

**IDEC 뉴스**

2018년 6월 MPW, CDC, 교육 안내

**기획칼럼**

EDA Tool 소개 (Seloco 사 MyChip)

**기술동향칼럼**

아날로그/혼성신호 IC검증의 도전과제들

**신진연구자 소개**


집적회로와 다양한 분야와의 융합을 통해 발전하는 연구자



**반도체설계교육센터**  
IC DESIGN EDUCATION CENTER

2018 June Vol. 252

# IDEC Newsletter



아날로그/  
혼성신호  
IC검증의  
도전과제들



## MPW 관련 문의

이의숙 책임 (yslee@idec.or.kr, 042-350-4428)

## 2018년 MPW 공정 및 진행 일정

## • 지원 공정 세부 내역

회사	공정 [μm]	공정내역	설계면적 (팀별)	칩수 /1회	모집 횟수	Package 사용가능 pin수(Design)	Package type
삼성	65nm RFCMOS	CMOSRF 1-poly 8-metal	4mm x4mm	40	3	208pin	LQFP/ BGA 208pin
매그나칩/ SK하이닉스	180nm CMOS	CMOS 1-poly 6-metal (6 metal을 Thick metal(TKM)로만 사용 가능) (Optional layer (DNW, HRI, BJT, MIM) 추가)	3.8mm x3.8mm	25	5	200pin	MQFP/ BGA 208pin
	350nm CMOS	CMOS 2-poly 4-metal (Optional layer (DNW, HRI, BJT, CPOLY) 추가)	5mm x4mm	20	2	144pin	

## 진행 일정 및 공정 내역

- 정규모집 (06.08 마감) : MS180-1805회 매그나칩/SK하이닉스 180nm
- 추가모집 (선착순 마감) : MS180-1804회 매그나칩/SK하이닉스 180nm

공정	회차구분 (공정_년도순서)	모집팀수 ((mmxmm)x칩수)	정규모집 신청마감	참여팀수 ((mmxmm)x칩수)	DB마감 (Tape-out)	Die-out	비고
MS 180nm	MS180-1801	(3.8x3.8) x25	2018.01.12	(3.8x3.8)x22 (3.8x1.9)x6	2018.03.19	2018.08.20	칩제작중
	MS180-1802		2018.01.12	(3.8x3.8)x23 (3.8x1.9)x4	2018.05.21	2018.10.22	칩제작중
	MS180-1803		2018.02.09	(3.8x3.8)x24 (3.8x1.9)x2	2018.07.23	2018.12.24	설계중
	MS180-1804		2018.04.13	(3.8x3.8)x21 (3.8x1.9)x2	2018.09.17	2019.02.18	추가모집(3팀)
	MS180-1805		2018.06.08	-	2018.12.03	2019.05.06	모집중
MS 350nm	MS350-1801	(5x4) x20	2018.02.09	(5x4)x16 (5x2)x1	2018.06.11	2018.10.08	설계중
	MS350-1802		2018.07.06	-	2019.01.14	2019.05.13	모집예정
삼성 65nm	S65-1801	(4x4) x40	2018.01.12	(4x4)x34	2018.05.07	2018.11.12	DB검토중
	S65-1802		2018.03.09	(4x4)x39	2018.09.10	2019.03.18	설계중
	S65-1803		2018.07.06	-	2019.01.07	2019.07.19	모집예정

- 일정은 사정에 따라 다소 변경될 수 있음.
- 회차표기 : 공정코드-년도 모집순서 (예시) 삼성 65nm 2018년 1회차 : S65-1801)
- 모집 기간 : 모집 마감일로부터 2주 전부터 접수
- 선정 결과 : 모집 마감 후 2주 후 결정
- NDA 접수, PDK 배포 : 선정 후 2주 이내 완료
- Package 제작은 Die out 이후 1개월 소요됨



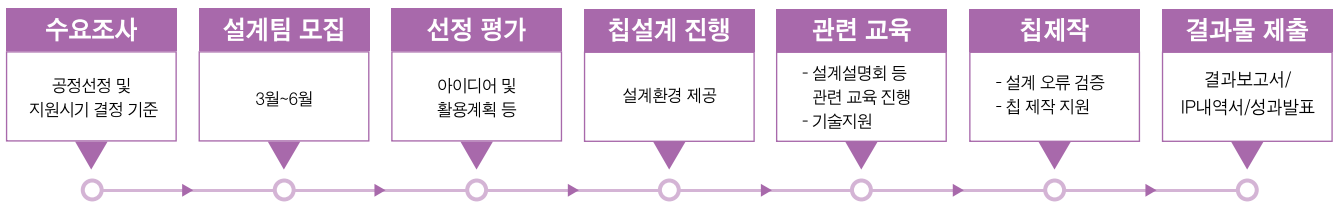
### MPW 관련 문의

이의숙 책임 (yslee@idec.or.kr, 042-350-4428)

## 2018년 국내외 MPW 공정 추가 지원\_1차 지원 설계팀 선정 완료

IDEC에서는 다양한 분야의 전문 설계인력 양성을 위해 기존 MPW 외 추가 공정 제작을 지원합니다. 필요한 공정 및 환경에 대한 조사를 통해 칩제작 지원 시행 기준을 마련하였습니다. 이를 토대로 모집된 팀 중 지정공정 7팀, 희망공정 19개팀을 1차 지원 대상으로 선정 하였습니다. 설계 지원팀 선정은 설계 내용과 활용 계획 등을 기준으로 평가하여 결정하였습니다. 2차 지원자 모집은 7월 초 공고할 예정입니다.

### · 시행절차



· 지원 대상 IDEC 참여교수

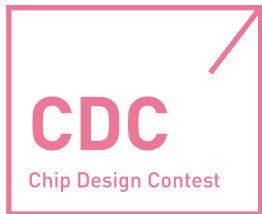
· 설계팀 모집 (2차 지원팀) 추후 공지

· 지원자 선정 조건

- 참가 대상 : IDEC 참여교수 중 사전 신청자 대상 우선 지원
- 제출 서류 : 설계계획서 (기존 설계회로설명서 제출 양식 이용)
- 대학의 연구와 교육을 위한 칩 설계 (산업체 과제 참여는 제한함.)
- 실적 제출 관련
  - 사사 문구에 "IDEC 지원"임을 표기
  - IP 내용 소개 (자료 제출)
  - 기존 MPW 참여 의무 이행 (결과보고서 제출, CDC 참여)
  - JICAS 게재 의무

· 지원 공정 4차산업의 필요 기술 개발 분야의 설계로 제작 희망공정 및 지정공정 (BCDMOS)

· 지원 규모 칩제작비의 일부 지원 (설계분야에 따라 차등 지원. 설계팀에 개별 안내)



### CDC 관련 문의

김하늘 주임 (kimsky1230@idec.or.kr, 042-350-8535)

## 2018 IDEC Congress Chip Design Contest 행사 개최 안내

### 개최 정보

- 개최 일정 : 2018년 7월 3일 (화)
- 개최 장소 : KAIST 학술문화관 (E9) 정근모컨퍼런스홀, 스카이라운지 (5층)
- 포스터 선정 결과 안내 : 5월 28일 (월)
- 최종 포스터 제출 마감 : 6월 4일 (월)



수강을 원하는 분은 IDEC 홈페이지 (www.idec.or.kr) 를 방문하여 신청하시기 바랍니다.

강좌일정

센터명	강의일자	강의 제목	분류
본센터	6.18-22	[IDEC 연구원 교육] Cell-Based 설계 Flow 교육	설계강좌
	6.25-27	PrimeTime 사용법 및 활용예	Tool강좌
성균관대	6.1	IoT 회로 레이아웃 기초	설계교육
충북대	6.20-22	저잡음 센서 아날로그 프론트엔드 설계 기법	설계교육
	6.26-27	Display pixel 회로 및 공정	설계교육
한양대	6.21-22	오픈소스 HW 플랫폼 라즈베리파이	설계교육



본센터

6/18-22

**강좌제목** [IDEC 연구원 교육] Cell-Based 설계 Flow 교육

**강사** 선혜승 연구원, 김연태 연구원 (IDEC)

**강좌개요**

디지털 칩 설계 전체 과정 중, 본 과정은 Front-End 과정을 다루는데 초심자의 눈높이에 맞추어 이론과 실습을 진행합니다. 기존의 Front-End 강좌에 Verdi Verification 과정을 추가하여 새롭게 업데이트 했습니다.

**수강대상** 대학(원)생, 회사원

**강의수준** 초급 **강의형태** 이론+실습

**사전지식 · 선수과목** 디지털 논리회로, Verilog Language



충북대

6/20-22

**강좌제목** 저잡음 센서 아날로그 프론트엔드 설계 기법

**강사** 고희호 교수 (충남대학교)

**강좌개요**

- 저항/용량/전압/전류 등 각종 센서 출력의 모델링 기법
- Correlated Double Sampling 및 Chopper stabilization 기법을 이용한 저잡음 아날로그 프론트엔드 설계 기법
- Periodic analysis를 통한 센서 인터페이스 회로 해석 기법

**수강대상** 센서 신호 처리용 회로 설계 관련 대학원생/산업체 실무자

**강의수준** 중급 **강의형태** 이론+실습

**사전지식 · 선수과목**

- 기초 아날로그 회로 설계 지식
- Cadence tool (schematic 및 spectre) 기본 사용법

6/25-27

**강좌제목** PrimeTime 사용법 및 활용예

**강사** 강원목 부장 (Synopsys)

**강좌개요**

In this workshop you will learn to perform Static Timing Analysis (STA) using PrimeTime by executing the appropriate high-level summary reports to initiate your analysis, customizing and interpreting detailed timing reports for debugging, and exploring and analyzing the clocks that dictate STA results.

**수강대상**

ASIC digital designers, or verification engineers, who will be using PrimeTime to perform Static Timing Analysis (STA) on pre- or post-layout gate level designs, and who need to validate STA constraints for correctness and completeness.

**강의수준** 중급 **강의형태** 이론+실습

**사전지식 · 선수과목**

- Have a basic understanding of digital IC design
- Understand elements of gate level design: chip vs. block level, sequential vs. combinational logic, clock tree vs. data path, pre- vs. post- layout differences
- Have familiarity with UNIX and a UNIX text editor of your choice

문의 | 본센터 IDEC 김영지 (042-350-8536, yjkim@idec.or.kr)

6/26-27

**강좌제목** Display pixel 회로 및 공정

**강사** 정재욱 교수 (충북대학교)

**강좌개요**

차세대 디스플레이 개발기술 및 산화물 박막 트랜지스터 등 차세대 박막소자 개발 현황을 소개한다.

**수강대상** 학부생 또는 대학원생, 일반인

**강의수준** 초급 **강의형태** 이론

문의 | 충북대 IDEC 라해미 (043-261-3572, idec@cbnu.ac.kr)



성균관대

6/1

**강좌제목** IoT 회로 레이아웃 기초

**강사** 손병복 이사 (이디에이엘리텍)

**강좌개요**

CMOS 아날로그 기초 Layout 교육

**수강대상** 학부생

**강의수준** 초급 **강의형태** 이론+실습

**사전지식 · 선수과목** - 전자회로 - CMOS Analog Circuit Design

문의 | 성균관대 IDEC 김성진 (031-299-4628, sun107ksj@skku.edu)



한양대

6/21-22

**강좌제목** 오픈소스 HW 플랫폼 라즈베리파이

**강사** 이용진 전임강사 (엣시아이랩)

**강좌개요**

대표, 대세 오픈소스 HW 플랫폼 "라즈베리파이"의 기본 사용방법과 이를 활용하는 실습을 통해 IoT 시스템 구현을 체험하고, 자신의 아이디어를 반영한 시스템 구현의 기초를 다진다.

**수강대상** 학생/일반인

**강의수준** 초급 **강의형태** 이론+실습

**사전지식 · 선수과목** 기본 컴퓨터 활용능력

문의 | 한양대 IDEC 박남선 (031-400-4079, ipc@hanyang.ac.kr)





김재하 교수 | 서울대학교 전기정보공학부

## Moore의 법칙이 가져온 IC 설계의 위기

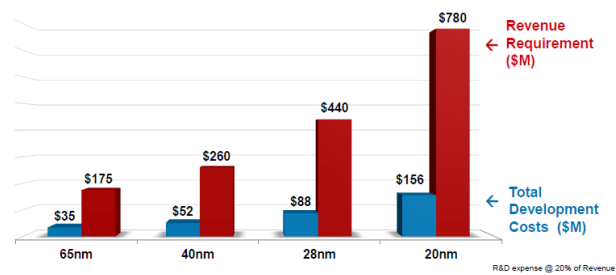
반도체 집적회로(IC)에 집적되는 트랜지스터의 수가 1~2년마다 두 배씩 증가한다는 Moore의 법칙은 1965년 Intel의 Gordon Moore가 이 현상을 첫 언급한 이래 반세기 이상 지속되어 왔다. Moore의 법칙은 반도체 산업의 눈부신 성장의 기관차 역할을 했다 해도 과언이 아닐 정도로, 매년 더 성능이 좋은 IC 제품이 더 싸게 공급될 수 있는 이유를 설명해준다.

하지만, Moore의 법칙에도 어두운 면이 있는데, 그 중의 하나는 반도체 공정이 미세화 됨에 따라 상승하는 IC 설계 비용이다. 매년 집적할 수 있는 트랜지스터의 수가 기하급수적으로 증가한다는 것은 그만큼 고성능화 된 IC를 여러 제품에 사용하고 누리는 입장에서는 좋은 일이지만, 그 IC를 설계해야 하는 입장에서는 힘든 일이기 때문이다. 이것은 마치 학교에서 학생들에게 내주는 숙제의 양을 매년 두 배씩 늘리는 것과 비슷한 것이다.

지금은 Intel에 인수된 Altera에서 2013년 발표한 자료에 따르면 (그림 1), 65나노 CMOS 공정에서 새로운 IC 제품을 개발하는 비용은 미화 3천5백만불(약 370억원)이었던데 반해, 요즘 쓰이는 20나노급 공정의 개발 비용은 미화 1억5천6백만불(약 1670억원)이 든다. 이 개발 비용을 전체 매출액의 20% 정도 유지하려고만 해도, 이 제품을 팔아 매출이 8300억원 이상을 낼 수 없다면 그 회사는 수익을 유지할 수 없다는 것을 뜻한다. 이때 많이 간과되는 사실은 이 비용의 75%는 설계 인력의 인건비 등을 포함한 설계 비용이며, 실제 IC를 제작 및 생산하는 비용은 25%에 불과하다는 사실이다. 이 때문에 설계 비용을 획기적으로 줄이지 못하면, 새로운 IC 제품을 개발하려는 회사들이 점점 줄 것으로 예상되는 것이다. 실제로 IC를 설계하는 회사들의 수가 인수, 합병 등을 통해 최근 많이 줄어들고 있다. 이것은 이들을 고객으로 삼는 IC foundry 업체들, EDA Tool 업체들에게 현재 큰 고민거리이며, IC 설계 분야에서 수학하는 젊은 세대들에게도 좋은 소식이 아닐 것이다.

### “Between a Rock and a Hard Place”

- Stay on lagging node → less competitive for design wins
- Move to advanced node → higher ROI hurdle



출처: Altera Corporation (현 Intel Corporation), 2013년

그림 1. 반도체 공정 미세화에 따른 IC 개발비용의 증가와 그에 따른 필요매출액의 증가

## IC 설계를 더 쉽게 만들수 있을까?

이러한 문제의 근본 원인은 IC 설계가 어렵다는 데에 있다. 어려우니 고급 인력이 많이 필요하고, 그런 고급 인력들이 오랜 시간 동안 설계와 검증을 해야 좋은 IC가 개발되니 설계 비용이 많이 드는 것이다.

최근에 우리 주변에서 일어나는 재미있는 사회 현상이 있는데, 미국에서는 Maker Movement이라고 부른다. Maker는 처음에는 일종의 DIY 취미로 전자회로 등을 활용한 장난감, 드론, 로봇 등을 만들고 그 설계도를 인터넷을 통해 공유하는 사람들을 뜻했으나, 요즘은 기존 회사들이 만들지 않는 창의적이고 다양한 전자 제품을 1인 기업의 형태로 고안하고 제작하여 판매까지 하는 사람들을 뜻한다. 이들을 대상으로 한 crowdfunding, 생산 서비스, 광고 서비스, 브랜딩 서비스,

공유 사무실 서비스 등 다양한 산업도 함께 발전하고 있다. 유튜브나 웹툰 작가들이 구글이나 네이버가 제공하는 플랫폼에서 개개인의 창의성을 바탕으로 다양한 수익을 내는 것과 매우 흡사하다. 이 현상이 흥미롭다면, Maker들이 즐겨읽는 잡지인 Make의 웹페이지를 한번 방문해보길 권한다(<http://makezine.com>).

IC 설계 비용의 위기를 이야기하면서 Maker Movement를 언급하는 이유는, 한편에서는 전자회로 설계가 계속 어려워진다고 하는데, 또 다른 한편에서는 전자공학이나 회로 설계에 그다지 전문지식이 없어 보이는 일반인들이 자신의 차고와 마당에서 다양한 전자제품을 만들어 공유하고 있는 사실이 너무 대조적으로 보이기 때문이다. 대체 이 Maker들이 전자공학에 대한 깊은 이해가 없이도 원하는 것을 제약없이 만들 수 있다고 생각하고, 실제로도 그렇게 할 수 있는 이유가 무엇일까? 이것을 알면 IC 설계 비용의 위기를 풀 수 있는 열쇠가 되지 않을까?

## 답은 Abstraction에 있다

필자는 그 비밀이 abstraction의 효과적인 활용에 있다고 생각한다. 먼저 abstraction에 대해서 설명을 하면, 좋은 abstraction은 아래의 세가지 요소를 잘 갖추고 있다.

1. 세상을 단순화하여 해석하는 관점(viewpoint)과 그 관점을 통해 세상을 표현하는 언어(language).
2. 이미 알고 있는 것을 조합하여 새로운 것을 만들어 낼 수 있는 규칙(set of composition rules).
3. 그 언어와 규칙이 만들어내는 세상의 완전성 (completeness).

우리가 어렸을 적에 한번쯤 놀아본 레고(LEGO) 블록을 예로 들어보자. 누구나 레고를 가지고 여러가지 사물이나 구조를 만드는 것을 쉽게 즐길 수 있는데, 그 비밀도 역시 위의 세 가지 요소로 설명할 수 있다.

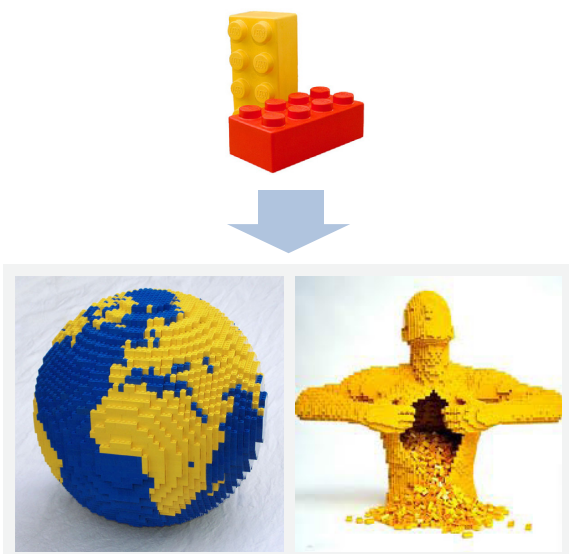


그림 2. 모두가 즐기는 레고(LEGO)도 좋은 abstraction의 세가지 요소를 갖추고 있다.

첫째, 레고는 세상의 모든 구조물을 가로:세로:높이=10:20:6의 기본 블록의 조합으로 보는 매우 “단순화된 관점”에서 시작한다. 그 블록들은 임의의 3차원 구조물을 표현하는 “언어”가 되어, 누구나 설명서에 있는 순서대로 블록들을 조합하면 각 제품이 의도한 집, 성, 배, 비행기 등을 만들 수 있다.

둘째, 각 레고 블록은 상단의 돌기가 다른 블록의 하단의 홈에 삽입되어 서로 부착이 된다는, 이미 만든 두 구조물을 서로 붙여 새로운 것을 만들어 낼 수 있는 “규칙”이다. 마지막으로, 이러한 언어(블록)과 규칙(블록 간의 연결 방법)은 어떠한 3차원 구조물도 만들어낼 수 있다는 “완전성”을 가지고 있다.

## Abstraction 관점에서 본 IC 설계의 현주소

그렇다면, IC 설계는 이러한 abstraction의 세가지 요소를 잘 갖추고 있을까? 사실 그렇다. 그 덕분에 10억개 이상의 트랜지스터가 하나의 결점도 없이 설계된 IC 제품들이 오늘 경제적인 가격으로 판매될 수 있는 것이다. 사실 IC 설계는 크게 디지털 IC 설계와 아날로그 IC 설계로 나누어 생각할 수 있는데, 이 두 방식의 설계가 서로 다르게 발전하여 왔다. 이 두 설계 방식의 차이가 오늘 IC 검증에서의 새로운 도전 과제들을 만들고 있다.

디지털 IC 설계는 처음부터 복잡함을 효과적으로 다루는 것이 중요했기 때문에 abstraction의 세가지 요소를 아주 충실히 활용하고 있다. 신호를 0과 1로만 표현하는 단순화된 관점은 어떠한 디지털 회로라도 그 기능을 진리표로 표현할 수 있는 언어를 제공했으며 INV, NAND, NOR 같은 기본 논리게이트와 flip-flop, latch 같이 상태를 저장할 수 있는 회로들을 조합하면 아무리 복잡한 디지털 회로라도 다 구성할 수 있는 규칙과 완전성이 있다. ASIC 설계와 SoC 설계로 대표할 수 있는 디지털 IC 설계는 원하는 바를 먼저 Verilog와 같은 하드웨어 기술언어로 표현한 후 이를 검증하는 동작 모델링 및 검증 단계, 그리고 이를 논리게이트의 조합으로 변환하는 합성 단계, 그것을 다시 실제 IC로 구현하는 물리적 구현 단계 등 체계적인 순서가 잘 정의되어 있고 각 단계마다 특성화된 설계 자동화 툴이 잘 개발되어 있다. 더 복잡한 시스템을 설계하기 위해 transactional-level 모델링 등 더 상위 레벨의 abstraction도 잘 활용되고 있다.

이에 반해, 아날로그 IC 설계는 그 abstraction이 잘 활용되고 말하기는 힘들 듯하다. 아날로그 IC에도 입력신호가 충분히 작게 변한다는 가정 하에는 임의의 회로를 선형시스템으로 볼 수 있다는 단순화된 관점이 존재하며, 아날로그 설계자들은 이에 근거해 gain, bandwidth, pole 등과 같은 언어를 사용해 자신들의 회로를 표현하지만, 그 선형 시스템 abstraction이 아날로그 IC의 설계 flow나 검증 방법에 잘 활용된 예는 아직 없었다. 아마도 그 이유는 아날로그 회로의 복잡성에 비해 SPICE 라는 매우 강력한 회로시뮬레이터가 어쩌면 너무 일찍(?) 설계자들에게 소개되었고, 그로 인해 아날로그 설계자들은 abstraction을 더 효과적으로 활용해야 할 필요를 느끼지 못했기 때문일 것이다.

## 혼성신호 IC 설계 검증의 도전과제들

IC 설계의 어려움 중의 하나는 단 하나의 실수나 오류도 용납하지 않는다는 것이다. 오류가 발견되면 제품을 판매한 후에도 업데이트를 통해 버그를 수정할 수 있는 소프트웨어와는 달리, IC 같은 하드웨어는 제조사가 막대한 손해를 감수하고 전면적인 리콜을 해야 하기 때문에 철저한 검증의 중요성이 훨씬 높다고 볼 수 있다. 그럼에도 불구하고 아직도 많은 IC 설계 회사들이 제작 이전에 충분한 검증을 못하고 있는데, 그 이유 중의 하나는 오늘날의 IC들은 순수한 디지털도 순수한 아날로그도 아닌 “혼성신호 IC”의 성격을 띠는데, 이런 IC를 검증하는데 아직 풀리지 않은 도전 과제들이 많이 남아있기 때문이다. 예를 들어, 마이크로프로세서나 메모리는 겉에서 볼 때는 그 동작이 디지털 방식으로 기술될 수 있지만, 속에는 안정적인 동작이나 고성능, 저전력을 위해서 클럭 생성, 전압 생성, 온도 조절, 고속 통신 등에 다양한 아날로그 회로들이 쓰이고 있다 (그림 3).

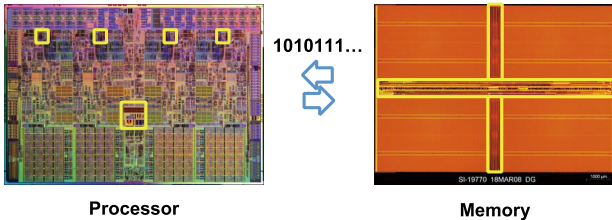


그림 3. 오늘날 개발되는 많은 IC들은 외부에서 보이는 동작은 디지털 방식이나 내부에는 많은 아날로그 회로를 포함하고 있다.

이렇게 디지털과 아날로그 회로가 혼재하고 있는 IC를 검증할 때 생기는 어려움은 다음과 같이 크게 세 부류로 나누어 볼 수 있다. 첫 번째는 디지털 검증 방법을 아날로그로 확대 적용하려 할 때 느껴지는 문제들로, 기존에 효과적으로 활용되던 디지털의 다양한 검증 분석 방법들이 아날로그 회로가 일부 들어갔다는 것 때문에 더 이상 적용되지 못하는 것이다. 예를 들면, static timing analysis, formal verification, coverage analysis 등은 시스템이 복잡해질수록 기하급수적으로 늘어나는 검증 작업의 양을 효과적으로 줄여주고 검증자가 미처 놓친 부분을

미리 찾아줄 수도 있기에 많이 쓰이는 분석 방법들이지만, 그 대부분이 디지털의 abstraction에 의존하고 있기 때문에 아날로그 회로가 들어가는 순간 효용성을 잃게 되는 것이다. 설계회사들은 이 때문에 아날로그 회로들을 제외하고 디지털 검증 분석을 적용하곤 하지만, 제외된 부분들로 인해 검증의 허점이 생기게 되고 이로 인해 제품 출시가 늦어지게 되는 경우가 많다.

둘째는 아날로그 검증 방법을 디지털로 확대 적용하려 할 때 발생하는 문제들이다. 사실, 아날로그에 있어서의 “검증”은 아직 명확히 정립된 개념이 아니기에 SPICE로 대표되는 아날로그 시뮬레이션을 디지털을 포함한 부분에게까지 확대 적용하려 할 때 생기는 문제를 말하는 것으로, 간단히 말하면 SPICE의 시뮬레이션 속도가 너무 느리다는 것이다. 이는 사실 당연한 것이, 디지털 IC는 그 동작과 특성을 트랜지스터 수준에서 일일이 시뮬레이션하지 않고도 abstraction을 활용해서 복잡한 회로를 잘 만들고 검증해왔는데, 아날로그 회로와의 interaction을 검증하기 위해 그 모든 것을 포기하고 다시 원시적인 방법으로 검증을 하고 있으니 그 효율이 떨어지는 것이다. 많은 설계자들이 SPICE의 성능이 더 개선되어서 이 작업을 수행할 수 있기를 바라지만, 필자가 보기에 이 방식으로 IC 검증에 성공한 회사는 하나도 없다.

세 번째는 아날로그 회로와 디지털 회로가 서로 상호작용하면서 전혀 새로운 형태의 문제를 발생시키는 경우이다. 이런 문제가 발생할 경우, 설계자와 검증자들은 마치 의사가 신중 질병을 발견한 것처럼 여러 현상들을 수집하여 그 원인을 찾아내고, 문제의 재발을 방지할 수 있는 방법을 세워야 하기에 요즘처럼 시간을 다투는 경쟁에서 뒤처지게 되기 일쑤이다. 이러한 문제 중에 필자가 가장 많이 본 형태의 것은 start-up과 관련된 문제들로, 아날로그 회로가 일부 포함하고 있는 디지털 회로의 비선형성 때문에 전원이 켜질 때마다 다른 동작을 하게 된다거나, 디지털 회로가 전원이 켜질 때의 각 신호의 불안정성 때문에 지연시간이나 전력 소모에 크게 변화가 생겨 시동 동작에 오류를 일으키는 경우들이 있다. 이러한 문제들은 거의 모든 회사들이 한번씩은 경험해 보았으나 보안이나 기업 이미지 때문에 학계의 연구자들에게 그 현상이 잘 알려지지 못한 경향이 있고, 그래서 이를 연구하는 사람들도 매우 소수이다.



## IC 설계 검증 위기 해결을 위한 나의 연구방향

필자는 이러한 여러가지 도전 문제들이 IC 설계의 abstraction을 잘 이해하고 활용하면 해결될 것이라는 믿음을 가지고 있다. 특히 아날로그 설계자들이 모든 문제를 SPICE를 통해 풀려는 의존성에서 벗어나, 복잡한 회로, 특히 디지털 회로와 융합된 회로를 설계하고 검증하는데 필수적인 abstraction의 세 가지 요소를 설계 과정에 도입한다면 자연스럽게 해결될 것이라 믿고 있다.

필자의 혼성신호 IC 및 시스템 연구실(Mixed-Signal IC and System Group; MICS)은 abstraction의 세가지 요소에 각각 대응하는 연구 노력을 기울이고 있다. 첫째, 아날로그 설계자가 회로를 보는 “단순화된 관점과 언어”는 선형 시스템이라는 인식에서, 바로 이 선형시스템으로 표현된 회로를 가장 효과적으로 시뮬레이션할 수 있는 XMODEL이라는 시뮬레이터를 개발하였고, Scientific Analog라는 회사의 창업을 통해 사업화를 하였다(<http://www.scianalog.com>). 특히, 이 XMODEL은 디지털 시뮬레이터인 SystemVerilog 상에서 동작하기에 혼성 신호 IC의 시뮬레이션과 검증에 가장 효과적으로 적용될 수 있다. 둘째, 아날로그 회로도 트랜지스터 수준의 설계에서 벗어나 디지털 회로처럼 셀 기반의 설계를 가능하게 하는 연구를 진행하고 있다. 현재 IDEC을 통해 배포되고 있는 아날로그 셀 라이브러리(Analog Cell Library; ACL)은 그러한 노력의 산물이며, 그 노력의 핵심은 단순히 IP 라이브러리를 만드는 것이

아니라 그 셀들이 서로 쉽고 자유롭게 조합될 수 있는 “규칙”을 정립하는 데에 있다. 셋째, 그 규칙의 “완전성”을 추구하다 보니 일반적인 아날로그 회로의 구조에 대한 실마리를 얻게 되었으며, 그 실마리에 기초해서 디지털 FPGA처럼 아날로그 회로도 프로그래밍을 통해 자유롭게 그 기능을 재구성할 수 있는 아날로그 FPGA를 개발하고 있다. 그 아날로그 FPGA의 구조가 인간의 뇌를 모방한 뉴로모픽 IC와 유사한 점이 많다는 점은 상당히 흥미로운 부분이다.

### 저자정보



**김재하** 교수

소속

서울대학교 전기정보공학부

주 연구분야

아날로그/혼성신호 집적회로 설계 및 검증

E-mail [jaeha@snu.ac.kr](mailto:jaeha@snu.ac.kr)

Homepage <http://mics.snu.ac.kr>

김재하 교수는 현재 서울대학교 공과대학 전기정보공학부의 부교수로 재직중이며, 주 연구분야는 저전력 혼성신호 IC 설계 및 검증 자동화이다. 1997년에 서울대학교 전기공학부 학사 학위를, 1999년과 2003년에 미국 스탠포드대학교 전기공학과에서 석사와 박사학위를 수여하였고, 이전 경력으로는 서울대학교 반도체공동연구소 박사후연구원, 미국 True Circuits사와 미국 Rambus사의 수석 회로설계엔지니어, 그리고 미국 스탠포드대학교의 조교수 대우 근무경력이 있다. 김재하 교수는 2005년 ISSCC 학회에서 Takuo Sugano 상을 수상하였고, 한국공학한림원으로부터 "2020년 대한민국 산업을 이끌 미래 100대 기술 주역"에 선정된 바 있다. 최근에 창업한 사이언티픽 아날로그사의 아날로그/혼성신호 시뮬레이터인 XMODEL은 현재 한국, 미국, 일본, 중국의 다양한 IC설계 기업과 대학들이 사용하고 있다.





# MyChip Station Pro™ 소개



## 셀로코 주식회사

주소 서울시 송파구 송파동 95-55 장원빌딩 4층 연락처 02-3432-1210 이메일 mycad@seloco.com  
 홈페이지 www.mycad.com

### A. 목적

Full custom Layout & Verification

### B. 구분

셀로코사의 MyChip Station Pro™는 Windows 환경에서 engineering workstation처럼 정교한 physical layout design과 Verification (DRC,ERC,LVS)을 할 수 있는 IC Design Solution 입니다. 뿐만 아니라 MEMS, FPD 분야의 MASK 설계도 지원하고 있습니다.

### D. 특성 및 기능

#### Hierarchical layout design

- Hierarchy 구조의 설계가 가능하며 Edit-in-place를 사용하여 편집 가능
- 이 기능을 통해 화면에 표시되는 속도를 혁신적으로 높였으며 데이터 저장 용량도 대폭 축소

#### Command line interface

- 마우스 외에 추가로 명령어로도 모든 메뉴가 사용 가능하며 Command Helper를 통한 command 설명 및 예제 지원

#### Macro

- 여러 가지 명령어를 하나의 명령어로 만들어 실행

#### User Programmable Interface

- VBS(Visual Basic Script)을 사용하여 복잡하고 대량의 디자인을 간단하고 빠르게 설계 가능

#### Customizable bind keys

- Bind key와 Toolbar를 사용자가 원하는 메뉴로 만들어 사용 가능

#### Various Layout editing function

- Align Objects, Window Stretch, Size, Flatten, Group / Ungroup, Reference point
- Repeat / Rotate / Reflect / Array objects
- Boolean Operations
- Corner / Octbias

### C. 구성

#### MyChip Station Pro™

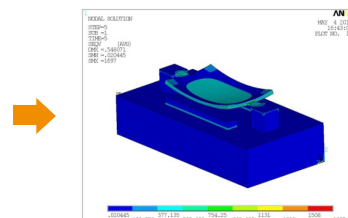
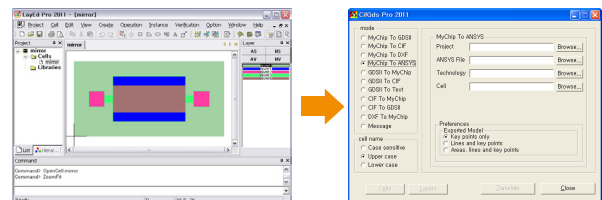
- LayEd Pro : A Full Custom Layout Editor
- CIF/GDS Pro : CIF/GDSII Translator
- MyDRC Pro : A Design Rule Checker
- LayNet Pro : SPICE Netlist Extractor & Electrical Rule Checker
- MyLVS Pro : Layout & Schematic Netlist Comparator

#### New features of LayEd

- Ansys format support : 3D MEMS 해석을 위해 Ansys 인터페이스 포맷 지원
- Auto Wiring : 수직 / 수평 / 수직 후 수평 / 수평 후 수직 자동 배선 기능 지원
- Chopping at Hole : Hole 이 있는 object를 자동 분할하는 기능
- Cross Section Viewer : 사용자가 지정한 임의의 위치의 수평 / 수직 단면 보기 기능 지원
- Curve Pattern : 패턴 설계에 휘어지게 위치 변화 적용 지원
- Pattern Change : 패턴 설계에 점진적인 위치 변화 적용 지원
- Reverse Pattern Generation : 설계 도형의 역패턴 생성 지원

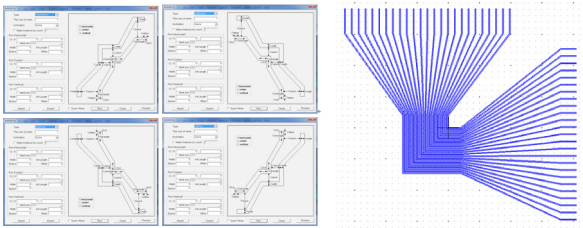
#### ANSYS format support

- 3D MEMS 해석을 위해 Ansys 인터페이스 포맷 지원



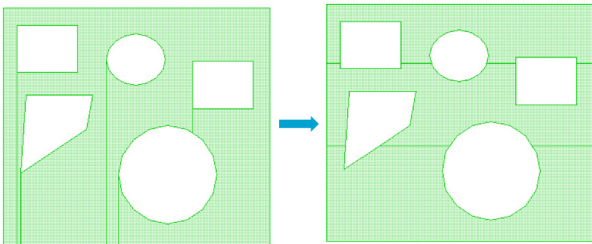
### Auto Wiring

- 수직 / 수평 / 수직 후 수평 / 수평 후 수직 자동 배선 기능 지원



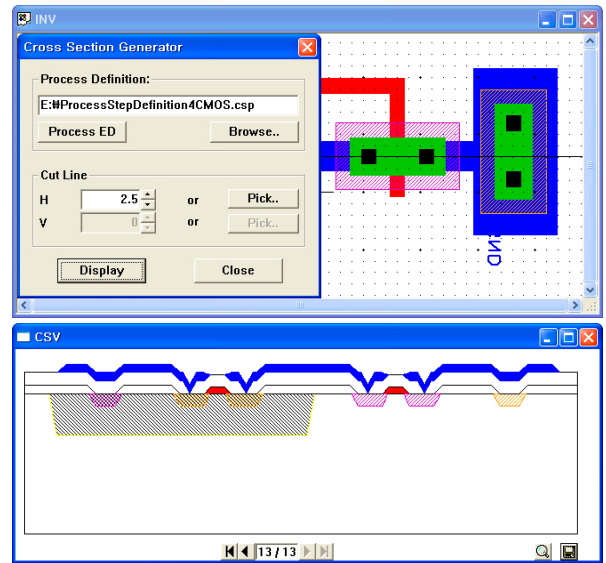
### Chopping at Hole

- Hole이 있는 object를 자동 분할하는 기능



### Cross Section View

- Layout 단면도(Cross Section View) 지원

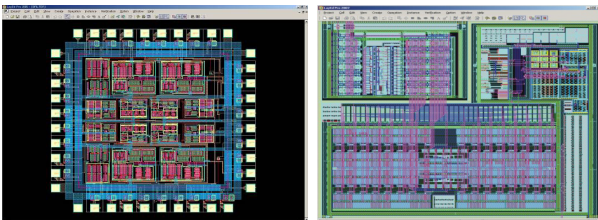


### Cross Section View

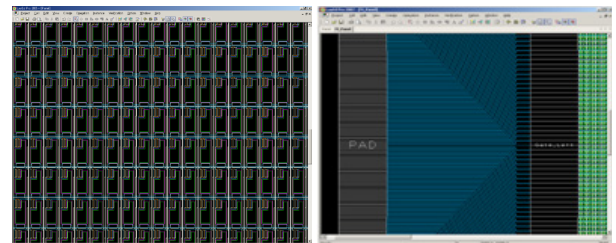
- Layout 단면도(Cross Section View) 지원

## E. Design Examples

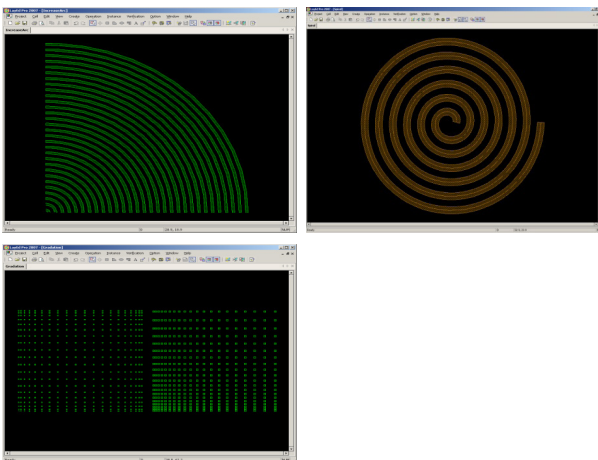
### IC Design



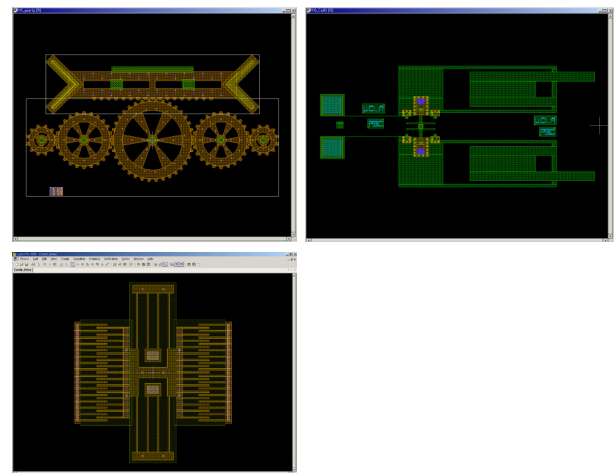
### FPD Design



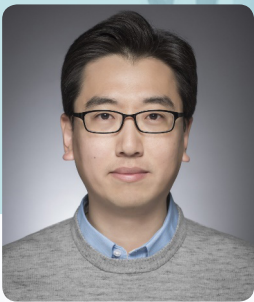
### VBS(Visual Basic Script)



### MEMS Design



# 집적회로와 다양한 분야와의 융합을 통해 발전하는 연구자



**이형민** 교수 | 고려대학교 전기전자공학부

많은 인생의 기로에서 우리는 선택을 해야하는 순간들을 만난다. 누구나 어떠한 이유로 하나의 선택을 하지만, 공통적인 것은 후회가 적은 선택을 하게 된다는 점일 것이다.

2017년 3월 고려대학교 전기전자공학부에 부임한 이형민 교수도 결정을 하는 데에 있어 후회가 가장 적은 것 같은 길을 언제나 택해왔기 때문에 결과에 상관 없이 아쉬움이 없는 연구 생활을 지속해올 수 있었다고 한다. 신진 연구자로서의 이형민 교수에 대한 이야기를 들어보았다.

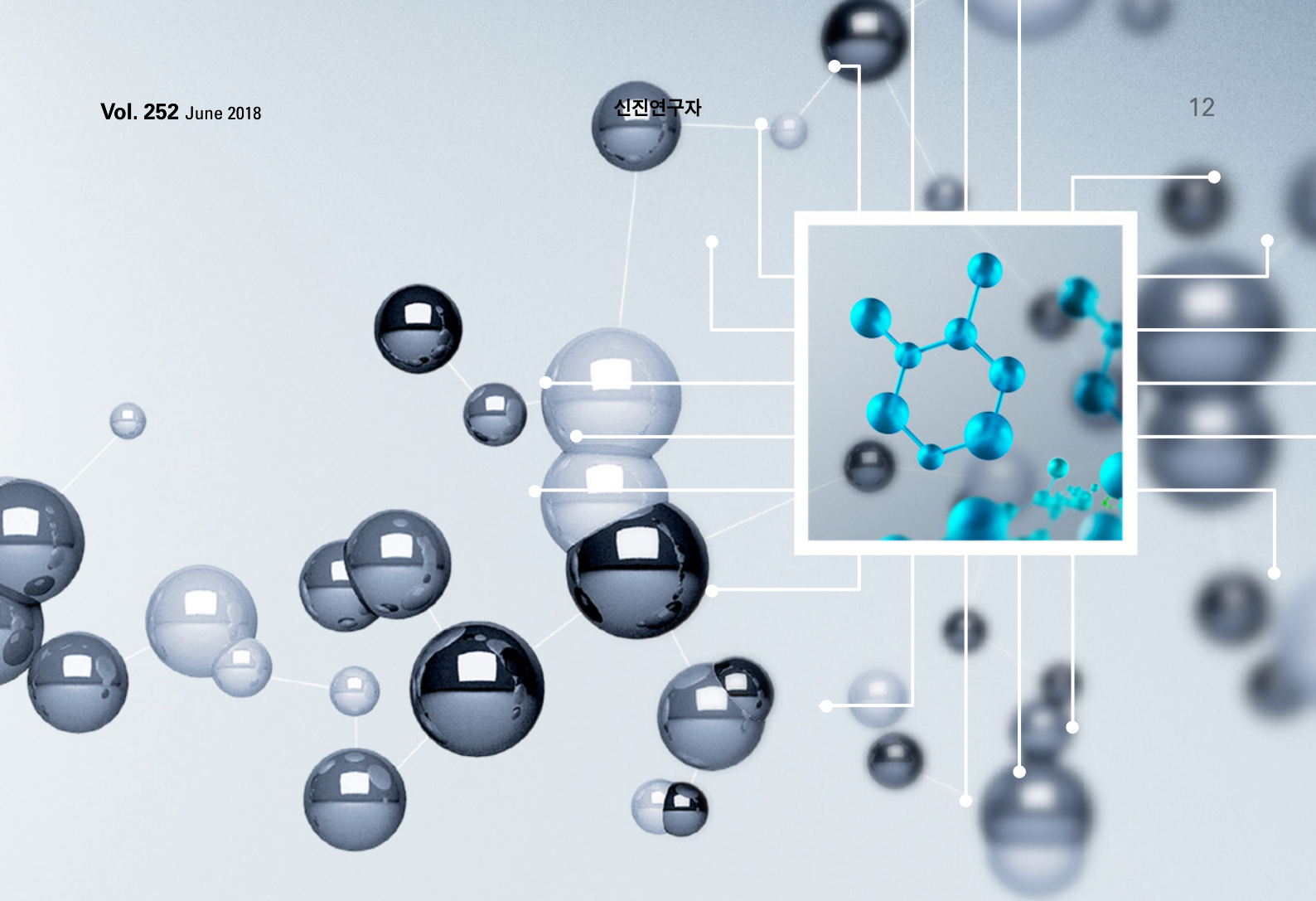
“2014년 미국 조지아텍에서 아날로그/혼성신호 집적회로 설계분야로 박사학위를 받고, MIT 포닥 과정과 IBM T. J. Watson 연구소 연구원 과정 이후 현재 고려대학교에 오게 되었습니다. 학부 시절, 전자회로 수업에서 다양한 트랜지스터와 소자들을 활용하여 내가 원하는 기능의 시스템을 직접 만들어 볼 수 있다는 점에 흥미를 느끼고 전공을 선택하게 되었습니다. 성격상 눈 앞에 실물(하드웨어)이 있어야 관심도 많아지고 이해도 잘 되었다는 점에서 더욱 재미를 느꼈던 것 같습니다.”

그렇게 선택하게 된 전공을 따라 이형민 교수는 박사 시절 몸 안에 이식하여 의료 기능을 수행하는 집적회로 시스템 설계를 연구했다. “먼저 이식형 의료기기에 무선전력과 데이터를 전송할 수 있는 회로를 설계하였고, 이를 토대로 몸 안에 이식되어 신경신호를 측정 및 처리하고, 동시에 자극 신호를 효율적으로 신경세포에 전달할 수 있는 시스템을 구현하였습니다. 또한, 바이오 의공학과 또는 의대와의 협업을 통해 다양한 동물 실험을 진행하여 설계한 이식형 기기의 성능 및 효능을 검증할 수 있었습니다.”

이형민 교수의 그 다음 선택은 남들과는 아주 약간은 달랐다. 보통 회로설계 분야로 박사 졸업을 한 후에는 회사나 연구소로 많이 가는 편이지만, 바이오메디컬 회로분야에 대한 연구를 한층 더 깊이 진행해보고 싶었기 때문이다. 그렇게 그는 MIT 포닥 과정을 선택했다. 선택한 그 곳에서 더 큰 세상의 연구 분위기를 경험하고, 더 다양한 사람들을 통해 생활 방식과 태도도 배우게 되었다.

현재 그는 집적회로를 다양한 융합분야 시스템에 적용하려는 연구를 진행하고 있다. “집적회로는 하드웨어 시스템을 초소형, 고성능, 저전력으로 만들 수 있는 가장 효과적인 방법입니다. 바이오메디컬, 이식형 의료기기, 브레인-컴퓨터 인터페이스 분야에 필요한 집적회로를 설계하고 있습니다. 또한 이 외에도 집적회로 솔루션을 필요로 하는 센서, 에너지, 무선전력 분야의 융합 시스템을 연구하고 있습니다.”






연구를 진행하며 어려운 점의 극복 방안에 대해서는 technique-oriented 보다는 problem-oriented 자세를 통해 해결해 나간다고 한다. “회로설계 연구를 진행하면 기존 시스템의 문제점을 해결하거나 성능을 개선할 수 있는 회로 기술을 개발해야 하는데 이러한 아이디어를 생각해 내는 것이 어려울 수 있습니다. 이럴 때 내가 알고 있는 기술 위주로 문제를 해결하기 보다는 문제 자체를 분석하고 여러 분야의 기술들을 활용하여 해결하려는 접근이 효과적인 것 같습니다. 특히 융합분야 시스템의 경우 회로 성능도 개선하면서 다른 분야 기술들도 같이 활용하면 전체 시스템의 문제점을 더 효과적으로 해결할 수 있었습니다.”

현재 연구하고 있는 이식형 의료기기의 미래 전망에 대해서도 말했다. “이식형 의료기기의 경우 효과적인 질병관리, 치료, 재활을 위한 필수적인 기술로서 학교나 연구소 차원에서 연구가 많이 진행되고 있습니다. 하지만 상용화를 위해서는 아직 해결해야 할 이슈들이 많이 있으며, 그 중 하나가 이식형 기기를 위한 초소형, 고성능, 저전력 시스템 설계입니다. 차세대 의료기기 또는 더 나아가 브레인-컴퓨터 인터페이스에 대한 필요성이 확실한 만큼 이를 위한 하드웨어(집적회로) 설계의 중요성 역시 강조될 것입니다.”

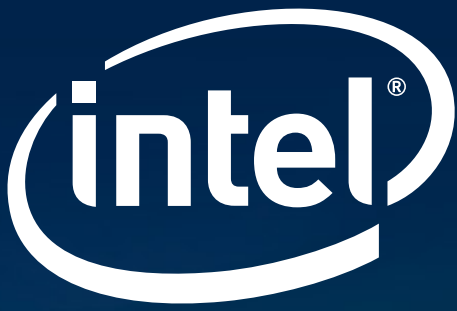
이렇게 그는 앞으로도 특정 분야 보다는 집적회로 설계라는 강력한 기술을 다양한 융합분야에 적용하여 획기적인 개선을 끌어내는 것이 목표라고 한다. 현재로서는 바이오메디컬 그리고 이식형 기기 분야에 집중하고 있으며, 실제 동물/임상 실험을 통해 성능이 검증된 전체 하드웨어 시스템을 만드는 것에 도전하고 있다.

마지막으로 같은 분야의 연구원이나 후배, 전공 학생들에게 하고 싶은 말도 함께 전해주었다.

“우리나라는 집적회로를 전공하기에 좋은 여건을 가지고 있으며, 그 중 대표적인 것이 IDEC이라고 생각합니다. 저희 연구실 학생들 역시 IDEC을 통해 실제 칩 제작을 여러 번 경험하고 있으며, 또한 다양한 IDEC 강좌를 통해 회로설계 기술을 습득하고 있습니다. 실제 미국에서도 이러한 회로설계 강좌나 저렴한 칩 제작 기회를 많이 가지기는 쉽지 않습니다. 집적회로는 경험이 중요한 분야인 만큼 전공하는 학생들이 IDEC에서 제공하는 다양한 기회들을 최대한 활용하여 실제 칩 설계, 제작, 측정 경험을 많이 해보면 좋을 것 같습니다.”

앞으로도 집적회로와 다양한 분야와의 융합을 통해 더욱 발전해가는 연구자로서의 모습을 기대해본다. 





# 2X HIGHER CORE PERFORMANCE\*

## Intel® Stratix® 10

FPGA • SoC



\* Comparison based on Stratix V vs. Stratix 10 using Quartus Prime Pro 16.1 Early Beta. Stratix V Designs were optimized using 3 step optimization process of Hyper-Retiming, Hyper-Pipelining, and Hyper-Optimization in order to utilize Stratix 10 architecture enhancements of distributed registers in core fabric. Designs were analyzed using Quartus Prime Pro Fast Forward Compile performance exploration tool. For more details, refer to HyperFlex FPGA Architecture Overview White Paper; [www.altera.com/content/dam/altera-www/global/en\\_US/pdfs/literature/wp/wp-01220-hyperflex-architecture-fpga-socs.pdf](http://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/wp/wp-01220-hyperflex-architecture-fpga-socs.pdf). Actual performance users will achieve varies based on level of design optimization applied. Tests measure performance of components on a particular test, in specific systems. Differences in hardware, software, or configuration will affect actual performance. Consult other sources of information to evaluate performance as you consider your purchase. For more complete information about performance and benchmark results, visit [www.intel.com/benchmarks](http://www.intel.com/benchmarks).

