IDEC 뉴스
2018년 4월 MPW, CDC, 교육 안내
2018년 IDEC 박사 졸업생, 신규 부임교수 소개

기획칼럼
EDA Tool 소개 (Scientific Analog 사 XMODEL)

기술동향칼럼
공정 변이를 고려한 프로세서 캐시 메모리 설계

특집기사
주행 안전을 책임질 미래기술: 인텔리전트 타이어(Intelligent Tire)

반도체설계교육센터
IC DESIGN EDUCATION CENTER

2018 April **Vol. 250**

IDEC Newsletter

주행 안전을 책임질 미래기술

인텔리전트 타이어

Intelligent Tire

MPW
Multi-Project Wafer

MPW 관련 문의
이의숙 책임 (yslee@idec.or.kr, 042-350-4428)

2018년 MPW 공정 및 진행 일정

• 지원 공정 세부 내역

회사	공정[㎛]	공정내역	설계면적 (팀별)	칩수 /1회	모집 횟수	Package 사용가능 pin수(Design)	Package type
삼성	65nm RFCMOS	CMOSRF 1-poly 8-metal	4mm x4mm	40	1	208pin	LQFP/ BGA 208pin
매그나칩/ SK하이닉스	180nm CMOS	CMOS 1-poly 6-metal (6 metal을 Thick metal(TKM)로만 사용 가능) (Optional layer (DNW, HRI, BJT,MIM) 추가)	3.8mm x3.8mm	25	5	200pin	MQFP/ BGA 208pin
	350nm CMOS	CMOS 2-poly 4-metal (Optional layer (DNW, HRI, BJT, CPOLY) 추가)	5mm x4mm	20	2	144pin	

진행 일정 및 공정 내역

• 모집은 정규모집으로만 진행됩니다. 미달시 일정기간 선착순으로 추가 모집합니다.
• 3월 모집 : S65-1802회 삼성 65nm 공정
• 추가 모집 : MS180-1803회 매그나칩/SK하이닉스 180nm, MS350-1801회 매그나칩/SK하이닉스 350nm

공정	회차구분 (공정_년도순서)	모집팀수 ((mmxmm)x칩수	정규모집 신청마감	참여팀수 ((mmxmm)x칩수)	DB마감 (Tape-out)	Die-out	비고
MS 180nm	MS180-1801	(3.8x3.8) x25	2018.01.12	(3.8x3.8)x22 (3.8x1.9)x6	2018.03.19	2018.08.20	설계중
	MS180-1802		2018.01.12	(3.8x3.8)x23 (3.8x1.9)x4	2018.05.21	2018.10.22	설계중
	MS180-1803		2018.02.09	(3.8x3.8) x19	2018.07.23	2018.12.24	추가모집
	MS180-1804		2018.04.13	-	2018.09.17	2019.02.18	모집중
	MS180-1805		2018.06.08	-	2018.12.03	2019.05.06	모집예정
MS 350nm	MS350-1801	(5x4) x20	2018.02.09	(5x4)x16 (5x2)x2	2018.06.11	2018.10.08	추가모집
	MS350-1802		2018.07.06	-	2019.01.14	2019.05.13	모집예정
삼성 65nm	S65-1801	(4x4) x40	2018.01.12	(4x4)x35	2018.05.07	2018.11.12	설계중
	S65-1802		2018.03.09	(4x4)x36	2018.09.10	2019.03.18	추가모집
	S65-1803		2018.07.06	-	2019.01.07	2019.07.19	모집중

- 일정은 사정에 따라 다소 변경될 수 있음.
- 회차표기 : 공정코드-년도 모집순서 (예시) 삼성 65nm 2018년 1회차 : S65-1801)
- 모집기간 : 모집 마감일로부터 2주 전부터 접수
- 선정결과 : 모집 마감 후 2주 후 결정
- NDA 접수, PDK 배포 : 선정 후 2주 이내 완료
- Package 제작은 Die out 이후 1개월 소요됨.

CDC
Chip Design Contest

CDC 관련 문의
김하늘 주임 (kimsky1230@idec.or.kr, 042-350-8535)

Chip Design Contest 운영 내용 변경 안내

IDEC에서는 Chip Design Contest 내용을 일부 변경하여 운영하고자 하오니,
해당자께서는 반드시 아래 내용을 참고하시어 CDC 참여에 착오가 없으시기를 바랍니다.

CDC 참여 인원 제한

1년에 3번 개최되는 각 CDC의 참여 인원을 조정하기 위해 각 CDC별 참여 인원 제한을 아래와 같이 설정하여 운영합니다.
이번에 개최되는 2018 IDEC Congress부터 적용되오니 참여에 착오 없으시길 바랍니다.

구분	참여 인원 제한 (변경 전)	참여 인원 제한 (변경 후)
KCS CDC (2월 개최)	없음	100명
IDEC Congress CDC (6월 개최)	없음	100명
ISOCC CDC (10월 개최)	없음	100명

* 각 CDC 사정에 따라 변경될 수 있습니다. 변경 시 공지 드립니다.

CDC 등록비 지원 범위 확대

IDEC에서는 ISOCC 2017 CDC부터 MPW 참여팀에 한해 KCS CDC, ISOCC CDC 등록비의 50%를 지원하고 있습니다. (최대 10만원)
이와 관련하여 아래와 같이 지원 범위를 확대하오니 많은 참여를 바랍니다.

구분	할인 등록비 (기존)	할인 등록비 (향후)
KCS CDC	70,000원 => 35,000원 (만찬 미포함)	70,000원 => 35,000원 (만찬 희망자에 한해 추가 만찬비 20,000원 지원)
ISOCC CDC	200,000원 => 100,000원 (만찬 포함)	200,000원 => 100,000원 (만찬 포함)

CDC 수상 내용 변경

각 CDC에 대한 수상 내용을 아래와 같이 조정합니다.

구분	KCS CDC	IDEC Congress CDC	ISOCC CDC
Best Design Award	각 CDC별로 선별된 candidate 중 3팀 이내를 IDEC Congress CDC에서 수상		
Best Poster Award	현장우수포스터상으로 대체	포스터 참여팀의 5% 이내	
SSCS 서울챕터 특별상	전체 참여팀 중 총1팀		전체 참여팀 중 총1팀
CDC 우수설계상	전체 참여팀 중 총1팀		

교육
프로그램 안내
2018. 4

수강을 원하는 분은 IDEC 홈페이지 (www.idec.or.kr) 를 방문하여 신청하시기 바랍니다.

강좌일정

센터명	강의일자	강의 제목	분류
본센터	4.3-4	OpenCL: Machine Learning과 Deep Learning을 위한 FPGA 활용 하드웨어 가속	설계강좌
	4.5-6	HDL Debug Skill Training (Verdi3/VCS)	Tool강좌
	4.11-13	Vivado를 활용한 Xilinx FPGA 설계 실습	설계강좌
	4.25-27	Calibre DRC/LVS and LVS debug	Tool강좌

본센터

4/3-4

강좌제목 OpenCL: Machine Learning과 Deep Learning을 위한 FPGA 활용 하드웨어 가속

강 사 기안도 대표이사 (㈜퓨쳐디자인시스템)

강좌개요

빅데이터와 인공지능은 고성능의 컴퓨팅 자원을 필요로 하여 Multi-core CPU, GPGPU, FPGA 등을 사용한다. 이를 위해 CUDA와 OpenCL이 주로 채용되고 있다. CUDA는 GPGPU에 한정되는 반면 OpenCL은 GPGPU와 FPGA 등 이종 하드웨어를 지원한다. 이 강좌에서는 업계표준인 OpenCL을 Multi-Core CPU을 활용하는 것과 FPGA와 연동하는 것에 대해 살펴본다. 이를 위해 필요한 Xilinx SDAccel 환경을 살펴보고 몇 가지 예제를 통해 실습한다.

수강대상 대학원생, 실무 개발자

강의수준 고급 **강의형태** 이론+실습

사전지식 · 선수과목

Digital logic; Computer Architecture; C/C++; Verilog-HDL; FPGA

4/5-6

강좌제목 HDL Debug Skill Training (Verdi3/VCS)

강 사 전병웅 차장 (Synopsys)

강좌개요

Verdi3는 Behavioral-level의 Post-debugging solution으로써 debugging methodology에 수학적 기술을 더해 새로운 temporal visualization, symbolic design exploration, auto bug tracing 다양한 기능을 제공함으로써 좀더 빠른 HDL design 설계를 도와준다. 본 교육에서는 산업체에서 가장 많이 사용되는 Simulation event 정보를 담는 FSDB(Fast Signal DataBase)에 대해 다룬다.

수강대상 RTL/GATE Design(Logic) Verification Engineer

강의수준 초급 **강의형태** 이론+실습

사전지식 · 선수과목

- HDL(Verilog) coding Skills: Verilog, VHDL, SystemVerilog
- Standard Logic Simulators: VCS(Synopsys), IUS(Cadence), MTI(Mentor)

4/11-13

강좌제목 Vivado를 활용한 Xilinx FPGA 설계 실습

강 사 김민석 팀장 (㈜리버트론)

강좌개요

Xilinx Vivado SW 이해를 기반으로 프로젝트 진행 및 7-Series FPGA의 Architecture 이해를 통해 실습을 하며, HDL 설계 실습을 통한 로직 설계 기반으로 디자인을 FPGA에 다운로드하여 로직 검증 및 디버깅을 한다.

수강대상 7-Series이상의 디바이스를 사용해야 하는 연구원 또는 학생

강의수준 초중급 **강의형태** 이론+실습

사전지식 · 선수과목 HDL(VHDL, Verilog) 기본 지식 및 Xilinx FPGA 사용 경험

4/25-27

강좌제목 Calibre DRC/LVS and LVS Debug

강 사 한정무 차장 (Mentor Graphics)

강좌개요

Calibre DRC/LVS를 통한 Design Verification의 기초활용 교육 및 LVS 디버깅 교육 과정

수강대상 Calibre DRC/LVS 기초 교육 대상자

강의수준 초급 **강의형태** 이론+실습

사전지식 · 선수과목 없음

문 의 | 본센터 IDEC 김영지 (042-350-8536, yjkim@idec.or.kr)

2018년 IDEC 박사 졸업생 소개 (2)

Nagakarthik Karthik
경북대학교
karthiknagaknu@gmail.com

소 속 Digital Convergence 연구실 (지도교수 최준림)
주 연구분야 Circuits and Embedded Systems
졸업논문 명
TCAM for Pattern Recognition and TCAM based PUF for Hardware Security with Enhanced Performance

Huynh Hai Au
성균관대학교
huynhhaiau292@gmail.com

소 속 ICDS Lab. (지도교수 김소영)
주 연구분야 EMI EMC
졸업논문 명
Prediction and Improvement of Electromagnetic Compatibility of Integrated Circuits

Ronnie O. Serfa Juan
청주대학교
ronnieserfajuan@cju.ac.kr

소 속 System LSI (지도교수 김희석)
주 연구분야 Electronic Communication
졸업논문 명
Design of an Enhanced Event-Triggered and Time-Triggered Communication Network using FPGA

강 인 구
KAIST
psychoik@kaist.ac.kr

소 속 IRIS (지도교수 이희철)
주 연구분야 적외선센서
졸업논문 명
볼로미터 적외선 감지물질로 사용하기 위한 니켈 산화막 및 리튬이 첨가된 니켈 산화막에 관한 연구

고 승 필
고려대학교
koddi3465@gmail.com

소 속 나노소자연구실 (NDL: Nano Device Laboratory) (지도교수 김규태)
주 연구분야 Wse2 (Tungsten disulfide) 의 ambipolar 특성
졸업논문 명
Electrical Characteristics of Charge Modulated Multilayer WSe2 Devices

고 재 용
서울대학교
sciencedo@ael.snu.ac.kr

소 속 전파공학연구실 (지도교수 남상욱)
주 연구분야 CMOS PA
졸업논문 명
무선 이동 통신 기기에 적합한 다중대역 CMOS 전력 증폭기에 관한 연구

곽 용 식
서강대학교
yskwak@sogang.ac.kr

소 속 혼성신호회로설계 연구실 (지도교수 안길초)
주 연구분야 Analog-to-Digital Converter Design
졸업논문 명
Low-Power Design Techniques for Wideband Discrete-Time Delta-Sigma Analog-to-Digital Converters

권 경 하
KAIST
kyeongha@kaist.ac.kr

소 속 Nanoscale Advanced Integrated Systems (NAIS) Lab. (지도교수 배현민)
주 연구분야 고속 통신 IC
졸업논문 명
High-speed Serial Link Transceivers with Clock and Data Recovery based on Electronic Dispersion Compensation

권 태 목
서울대학교
eatbambam@gmail.com

소 속 나노생체전자시스템 연구실 (Nano-Bio electronics and Systems laboratory) (지도교수 김성준)
주 연구분야
Cochlear Electrode Array (인공와우 전극)
졸업논문 명
A polymer cochlear electrode array: atraumatic deep insertion, tripolar stimulation, and long-term reliability

권 희 동
KAIST
wings@kaist.ac.kr

소 속 회로 설계 및 시스템응용 연구실 (Circuit design and System applications Laboratory, CNSL) (지도교수 조규형)
주 연구분야
power management integrated circuit design, analog circuit design
졸업논문 명
LTE-20MHz RF 전력 증폭기를 위한 포락선 추적 전원 변조기

김 덕 수
서울대학교
dskim@ael.snu.ac.kr

소 속 전파공학연구실 (지도교수 남상욱)
주 연구분야 Wideband Receiver 설계
졸업논문 명
A Study on Blocker-Tolerant Wideband Receivers

김 명 수
KAIST
myungsoo@kaist.ac.kr

소 속 방사선계측 및 의료영상센서 연구실 (지도교수 조규성)
주 연구분야 Digital X-ray imaging device
졸업논문 명
A Study on X-ray Image Sensor for Automated Inspection of Electronic Components

김 민 구
경희대학교
mkkim@khu.ac.kr

소 속 CDSL (지도교수 이승우)
주 연구분야
Perceptual characteristics of display devices
졸업논문 명
Perceptual Brightness of Display Devices under Various Illuminance Conditions

김 민 성
고려대학교
minseong@korea.ac.kr

소 속 Compiler and Microarchitecture Lab. (지도교수 김선욱)
주 연구분야
microarchitecture and memory simulation, compiler.
졸업논문 명
A High-Performance Scalable Microarchitecture Simulator with Epoch-based Execution on Multicore and Cloud Computing Platforms

김 민 우
KAIST
kimmw@kaist.ac.kr

소 속 회로 설계 및 시스템응용 연구실 (Circuit design and System applications Laboratory, CNSL) (지도교수 조규형)
주 연구분야
Analog IC design, wireless power transfer system, readout IC for various sensors, biosensors
졸업논문 명
약한 결합을 가진 자기유도 전력전달 시스템의 직관적 해석 및 고신뢰성 설계 방법

김 민 준
연세대학교
kmjsoc@yonsei.ac.kr

소 속 IT-SoC Lab (지도교수 김재석)
주 연구분야
Wireless mobile communication PHY
졸업논문 명
Design of soft-output tree-search detector with interference mitigation algorithm for downlink multiuser MIMO systems

김 성 미
전북대학교
mikim@jbnu.ac.kr

소 속 아날로그시스템 연구실 (지도교수 조성익)
주 연구분야
아날로그 집적회로 설계 및 센서 신호처리회로
졸업논문 명
DSP 기반 자동 위상보정이 가능한 RVDT 신호처리기의 SoC 구현

김 성 일
KAIST
praygod@kier.re.kr

소 속 응용열전달연구실 (지도교수 김성진)
주 연구분야 Cake filtration
졸업논문 명
초압축성 케이크의 여과에 관한 연구

김 연 선
연세대학교
younsunny.kim@gmail.com

소 속 컴퓨터 시스템 및 고신뢰성 SoC 연구실 (지도교수 강성호)
주 연구분야 IoT device, VLSI Design
졸업논문 명
A study on home connected vehicle for autonomous driving

김 영 찬
서울대학교
yckim@ssl.snu.ac.kr

소 속 컴퓨터이용설계연구실 (지도교수 김태환)
주 연구분야 클락 스파인 합성
졸업논문 명
Methodology for synthesizing clock spine networks

2018년 IDEC 박사 졸업생 소개 (2)

김웅연
고려대학교
wkim897@gmail.com

소 속 나노소자연구실 (NDL: Nano Device Laboratory) (지도교수 김규태)
주 연구분야 Thermoelectric effect
졸업논문 명
Electrical characterization of two-dimensional tungsten diselenide nanosheet

김유창
KAIST
youchang.kim@kaist.ac.kr

소 속 반도체 시스템 연구실 (지도교수 유회준)
주 연구분야
Multi-core and Network-on-Chip Architecture, Machine Learning and Artificial Intelligence
졸업논문 명
Low-power High Performance Artificial Intelligence Processor for Autonomous Mobile Robots

김윤지
GIST
yjk0825@gist.ac.kr

소 속 나노복합전자소자연구실 (지도교수 이병훈)
주 연구분야 그래핀 삼진로직소자
졸업논문 명
Study on graphene based ternary logic device and integration process

김일준
창원대학교
365383337@qq.com

소 속 SoC 연구실 (지도교수 김영희)
주 연구분야 NVM IP 설계
졸업논문 명
1.5V 단일 전원 전압을 이용한 대용량 EEPROM IP 설계

김정석
고려대학교
hanshin06@korea.ac.kr

소 속 OASIS Lab (지도교수 김용신)
주 연구분야 센서
졸업논문 명
Low-power Motion Gesture Sensor with a Partially Open Cavity Package for Portable Devices

김정식
서강대학교
k1j1s3@naver.com

소 속 RF 설계 연구실 (지도교수 정진호)
주 연구분야 RFIC
졸업논문 명
submillimeter-wave HBT power amplifier integrated citcuits and waveguide modules

김태효
KAIST
thkim1207@kaist.ac.kr

소 속 IRIS (지도교수 이희철)
주 연구분야 내방사선회로
졸업논문 명
Layout modification 기법을 이용한 내방사선 ADC 및 NED의 설계에 관한 연구

김현민
고려대학교
willguts@naver.com

소 속 암호알고리즘 연구실 (지도교수 홍석희)
주 연구분야 Secure Logic Design
졸업논문 명
Side-Channel Security by Design

김현섭
연세대학교
sarapio@yonsei.ac.kr

소 속 IT-SoC Lab (지도교수 김재석)
주 연구분야
Wireless LAN (IEEE 802.11 a/p) PHY & Wireless BAN (IEEE 802.15.6, UWB/Narrow Band) PHY
졸업논문 명
Low complexity design of MIMO detector with near MLD performance for SM-MIMO system

나경민
UNIST
nkmzz.ic@gmail.com

소 속 집적회로연구실 (지도교수 변영재)
주 연구분야 무선전력전송
졸업논문 명
Power control techniques in wireless power transfer system

문형석
서울대학교
hseok@ssl.snu.ac.kr

소 속 컴퓨터이용설계연구실 (지도교수 김태환)
주 연구분야 VLSI CAD
졸업논문 명
Design Methodologies using Multi-bit Flip-flops for Low Power

박대웅
KAIST
traction@kaist.ac.kr

소 속 Nice Lab. (지도교수 이상국)
주 연구분야 THz integrated circuit
졸업논문 명
Design of High-Gain and Wideband sub-THz Amplifiers

박성욱
KAIST
seongwook.park@kaist.ac.kr

소 속 반도체 시스템 연구실 (지도교수 유회준)
주 연구분야
Intelligent Vision SoC, Cognitive Computing
졸업논문 명
Low-power user interface and user experience system for smart glass

박지환
서울대학교
jihwan.park@analog.snu.ac.kr

소 속 아날로그 및 혼성신호 집적회로 설계 연구실 (지도교수 김수환)
주 연구분야
high-speed I/O circuits, equalization circuits, and architectures for signal integrity
졸업논문 명
12-Channel Transmitter with Data-Dependent Jitter Compensation Using Phase and Amplitude Emphasis Technique

박철규
서울시립대학교
chulkyu.park@siliconmitus.com

소 속 혼성신호집적회로 연구실 (지도교수 최중호)
주 연구분야 데이터 변환기
졸업논문 명
High-Accuracy Analog Front-End Compensation Techniques for Mobile Sensor Applications

박헌
창원대학교
sakura12n@nate.com

소 속 SoC 연구실 (지도교수 김영희)
주 연구분야 NVM 설계
졸업논문 명
Power mamagement IC용 EEPROM IP 설계

박효빈
세종대학교
hb8971@itsoc.sejong.ac.kr

소 속 ITSoC 연구실 (지도교수 이성주)
주 연구분야 LDPC 설계, WI-FI Backscatter
졸업논문 명
A STUDY ON THE DESIGN OF PHYSICAL LAYER PROTOCOL AND ENCODING/DECODING ALGORITHM FOR WI-FI BACKSCATTER SYSTEMS

박희천
서울대학교
phc@snucad.snu.ac.kr

소 속 컴퓨터이용설계연구실 (지도교수 김태환)
주 연구분야 Logic/physical 설계
졸업논문 명
Circuit and Architecture optimization Techniques for Emerging Technologies of High-Speed Computing

배주한
KAIST
juuhaan@gmail.com

소 속 응용열전달연구실 (지도교수 김성진)
주 연구분야 상변화 열전달
졸업논문 명
진동형 히트파이프 내 유동 및 열전달의 수치해석을 위한 동적 액막 모델

베트리비에란
전북대학교
vetriece86@gmail.com

소 속 로봇비전연구실 (지도교수 김형석)
주 연구분야 회로설계
졸업논문 명
A Design Method of an Oscillator Using Nonlinear Memristive Model Based on Local Activity Principle

2018년 IDEC 박사 졸업생 소개 (2)

서보희
고려대학교
silverdrizzt@korea.ac.kr

소 속 Advanced RF systerm Lab. (지도교수 전상근)
주 연구분야 CMOS를 이용한 D-band Transceiver
졸업논문 명
D-band Transmitter and Receiver for On-off Keying communication in a 65-nm CMOS Technology

서재화
경북대학교
seojeahwa@naver.com

소 속 Nano Device & System Lab. (지도교수 강인만)
주 연구분야 차세대 3차원 나노소자 공정 및 특성 평가
졸업논문 명
Fabrication and Performance of Al(In)N/GaN-based Nano-channel FinFET

석현기
KAIST
bredsuk@kaist.ac.kr

소 속 Nice Lab. (지도교수 이상국)
주 연구분야 초저전력 무선 송수신기 시스템
졸업논문 명
A High-Sensitivity, Interference Resistant BFSK Multi-Channel ULP Receiver using Frequency to Amplitude Conversion for IoT Applications

설호석
KAIST
seolhs@vlsi2.kaist.ac.kr

소 속 MVLSI (지도교수 김이섭)
주 연구분야 DRAM controller
졸업논문 명
Energy efficient DRAM Interface through Data encoding and security enhancement

손문규
서울대학교
earthtoss@gmail.com

소 속 Computing and Memory Architecture Lab. (CMA lab) (지도교수 유승주)
주 연구분야 Memory subsystem architecture
졸업논문 명
Non-volatile Write Buffer to Reduce Storage Write in Smartphone

손영훈
KAIST
sonyh216@kaist.ac.kr

소 속 회로 설계 및 시스템응용 연구실 (Circuit design and System applications Laboratory, CNSL) (지도교수 조규형)
주 연구분야 유도결합 플라즈마용 대전력 스위칭 변환, 무선전력전송
졸업논문 명
약한 결합을 가진 자기유도 전력전달 시스템의 직관적 해석 및 고신뢰성 설계 방법

송보배
단국대학교
sbb0906@dankook.ac.kr

소 속
반도체 설계 연구실 (Semiconductor Device Lab) (지도교수 구용서)
주 연구분야
ESD (ElectroStatic Discharge) protection circuit
졸업논문 명
Study on New SCR-based ESD protection circuits with High robustness and Latch-up immunity for Low and High voltage ICs

송치억
KAIST
chiuk.song@kaist.ac.kr

소 속 Teralab (지도교수 김정호)
주 연구분야 EMC를 고려한 WPT 시스템 설계
졸업논문 명
공진 자기장을 이용한 차량, 드론 및 디지털 텔레비전 고전력 무선전력전송 시스템에서의 전자파방해잡음 (EMI) 저감 기술

신동일
UNIST
mtsindong@naver.com

소 속 ICEMC (지도교수 김진국)
주 연구분야 EMI/EMC
졸업논문 명
Quantified Design Guidelines of Compact Active EMI Filters to Reduce the Common-Mode Conducted Emissions

신선해
UNIST
shskysh@gmail.com

소 속 NEEDs Lab. (지도교수 김경록)
주 연구분야 다치로직 소자 및 회로 연구
졸업논문 명
Ultra-low power ternary CMOS platform for physical synthesis of multi-valued logic and memory applications

신영산
숭실대학교
youngsane@naver.com

소 속 SoC 연구실 (지도교수 이성수)
주 연구분야 Automotive SoC, ISO26262, EMC
졸업논문 명
차량용 센서 시스템에서 구동 시간 변조를 이용한 EMI 저감 기법에 관한 연구

신용현
연세대학교
shinyh.work@gmail.com

소 속 반도체공학연구실 (지도교수 윤일구)
주 연구분야 반도체 소자 모델링
졸업논문 명
Unified DC Compact Modeling for Multiple-gate FETs with Physical Effects

신종목
고려대학교
jmshin89@korea.ac.kr

소 속 나노소자연구실 (NDL: Nano Device Laboratory) (지도교수 김규태)
주 연구분야 Flexible device (종이 소자)
졸업논문 명
Electrical properties of 2-dimensional nanosheet flexible electronic device : engineering of contact & substrate

심현빈
KAIST
bini0302@kaist.ac.kr

소 속 IRIS (지도교수 이희철)
주 연구분야 적외선센서
졸업논문 명
셔터 없이 동작하는 적외선 카메라를 위한 적외선 대역 전기변색 윈도우에 관한 연구

안영재
연세대학교
coreago@yonsei.ac.kr

소 속 VLSI SYSTEM LAB. (지도교수 정성욱)
주 연구분야 온도 센서
졸업논문 명
Energy-and Area-Efficient Temperature and Process-Sensitivity-Enhanced Ratioed-Inverter based Process Sensors for Low-Power On-Chip Variability Management

유민열
고려대학교
bindev87@gmail.com

소 속 나노소자연구실 (NDL: Nano Device Laboratory) (지도교수 김규태)
주 연구분야
2차원 TMDC (Transition metal dichalcogenide 물질의 chemical doping)
졸업논문 명
Device properties of chemically doped 2D-nanosheet device : MoS2 and WSe2

윤계석
KAIST
oscar04@kaist.ac.kr

소 속 회로 설계 및 시스템응용 연구실 (Circuit design and System applications Laboratory, CNSL) (지도교수 조규형)
주 연구분야
Energy Harvesting Circuit, DC/DC Converter, Wireless Power Transfer
졸업논문 명
Ultra-Low-Power Single-Inductor Multiple Energy Source Harvester and Multiple Output DC/DC Converter

윤명국
연세대학교
myungkuk.yoon@yonsei.ac.kr

소 속 임베디드 시스템 및 컴퓨터 구조 연구실 (지도교수 노원우)
주 연구분야 멀티코어 구조 및 GPU 구조 설계
졸업논문 명
Improving Performance of Graphics Processing Units using Optimized Threads Scheduling Techniques

이규호
KAIST
kyuho.jsn.lee@kaist.ac.kr

소 속 반도체 시스템 연구실 (지도교수 유회준)
주 연구분야
Machine Learning & Intelligent Vision SoC Design for ADAS, Mixed-Mode Heterogeneous Multi-Core Architecture, High-Throughput Network-on-Chip Architecture
졸업논문 명
An Intelligent Vision Algorithm and A real-time processor for Advanced Driver Assistance System

이동우
서울대학교
dongwoolee@dal.snu.ac.kr

소 속
설계자동화연구실 (지도교수 최기영)
주 연구분야
컴퓨터 아키텍처, 메모리 시스템, 인공신경망 가속기 구조

2018년 IDEC 박사 졸업생 소개 (2)

이동일
KAIST
dilee@mvlsi.kaist.ac.kr

소 속 MVLSI (지도교수 김이섭)
주 연구분야 I/O circuit, PLL
졸업논문 명
문턱전압 근처의 전원에서 데이터 등화를 수행하는 저전력 소스동기화 주입 고정 수신기

이민선
서울대학교
mslee1024@gmail.com

소 속 Functional & Molecular Imaging System Lab (지도교수 이재성)
주 연구분야
PET hardware development and simulation
졸업논문 명
Enhancement of 3-dimensional positioning accuracy in PET detector for high resolution PET system

이성주
동국대학교
leesj0828@gmail.com

소 속 System IC Design Lab. (지도교수 송민규)
주 연구분야 CMOS Image Sensor, ADC
졸업논문 명
Design of Middle-bit High-Speed CMOS Folding-Interpolation ADC

이승혁
경희대학교
shlee1@khu.ac.kr

소 속 CDSL (지도교수 이승우)
주 연구분야 디스플레이 구동
졸업논문 명
Design of Multi-level Memory Comprising Oxide TFTs and its Application to Low-power Displays

이재원
서울대학교
lee.jaewon@snu.ac.kr

소 속 High Performance Computer System Lab (지도교수 김장우)
주 연구분야 Improving Systems and Workloads via Modeling and Analysis
졸업논문 명
Fast, Accurate, and Efficient Performance Modeling of Computer Systems: From Processors to Datacenters

이재훈
성균관대학교
ljhnimking@naver.com

소 속 Mobile Electronics System Lab. (지도교수 한태희)
주 연구분야 Bus architecture, design methodology
졸업논문 명
Energy efficient optical network-on-chip design and accelerated simulation methodology

이정석
KAIST
fourthleaf@kaist.ac.kr

소 속 응용열전달연구실 (지도교수 김성진)
주 연구분야 Micro PHP
졸업논문 명
마이크로 진동형 히트파이프의 작동 한계에 관한 연구

이창민
연세대학교
exahz@yonsei.ac.kr

소 속 임베디드 시스템 및 컴퓨터 구조 연구실 (지도교수 노원우)
주 연구분야 이기종 프로세서 및 이기종 시스템 설계
졸업논문 명
Speculative Instruction Execution for Single-Threaded Workloads on Heterogeneous Core Microarchitecture

이채준
KAIST
chaejunlee@kaist.ac.kr

소 속 Microwave Microsystems Laboratory (초고주파 회로연구실) (지도교수 박철순)
주 연구분야 120GHz microwave circuit design
졸업논문 명
120GHz 대역 이득 증폭 16-직교 변조 칩 간 통신용 저전력 수신기

이철희
서울대학교
chlee@capp.snu.ac.kr

소 속 컴퓨터구조및병렬처리연구실 (지도교수 이혁재)
주 연구분야
Computer vision algorithm의 VLSI 구현 및 GPU 병렬화
졸업논문 명
GPU를 위한 Feature Extraction 및 Matching Algorithm 병렬화

이호성
한양대학교
hosung85@hanyang.ac.kr

소 속 고신뢰 및 고속 컴퓨팅 연구실 (Reliable and high Speed Computing Lab.) (지도교수 백상현)
주 연구분야
High Speed PCB Design, Solder Ball 불량으로 인한 메모리 Intermittent Failure 분석
졸업논문 명
The Signal Distortion and Failure Characteristic Analysis for Intermittent Nanometer-scale Fracture of the Solder Ball in a BGA Package Device

임백민
KAIST
lbmin1352@kaist.ac.kr

소 속 Nice Lab. (지도교수 이상국)
주 연구분야 PMIC
졸업논문 명
A Colpitts Oscillator Based Self-Starting Boost Converter for Thermoelectric Energy Harvesting with 40 mV Startup Voltage and 75% Maximum Efficiency

임재흥
서울대학교
jheung@snu.ac.kr

소 속 물리전자연구실 (지도교수 박영준)
주 연구분야 반도체 및 바이오센서
졸업논문 명
A Biosensor platform based on the Carbon Nanotube Network for Detecting antibody antigen reaction

임혁진
세종대학교
budlbudl@itsoc.sejong.ac.kr

소 속 ITSoC 연구실 (지도교수 이성주)
주 연구분야 촉각 터치 스크린, 영상처리 분야 SoC 설계
졸업논문 명
A STUDY ON THE LOW-POWER HARDWARE DESIGN SUITABLE FOR IOT PLATFORM

장일훈
KAIST
ilhoon0925@kaist.ac.kr

소 속 혼성집적회로연구실(MSICL) (지도교수 류승탁)
주 연구분야 Delta-Sigma Modulator Analog-to-Digital converter (ADC)
졸업논문 명
A 4.2 mW 10 MHz BW 74.4 dB SNDR Continuous-Time Delta Sigma Modulator with SAR-Assisted Digital-domain Noise Coupling

장호균
고려대학교
pleastandup@korea.ac.kr

소 속 나노소자연구실 (NDL: Nano Device Laboratory) (지도교수 김규태)
주 연구분야 CNT (Carbon Nanotube) network
졸업논문 명
Electrical Percolation of One-Dimensional Nanotube Network Devices : Simulation and Device Properties

전광재
KAIST
gjjeon@kaist.ac.kr

소 속 IRIS (지도교수 이희철)
주 연구분야 압력센서
졸업논문 명
넓은 동작범위를 갖는 다공성 양극 알루미늄 산호막 기반 피라니 진공 압력센서에 관한 연구

전세준
KAIST
jsjwin@kaist.ac.kr

소 속 Nanoscale Advanced Integrated Systems (NAIS) Lab. (지도교수 배현민)
주 연구분야 System 반도체 설계
졸업논문 명
A Framed-Pulsewidth-Modulation Scheme for Next Generation High-Speed Communication Links

정오용
KAIST
id1232@kaist.ac.kr

소 속 Nice Lab. (지도교수 이상국)
주 연구분야 주파수 합성기
졸업논문 명
초저전력, 저위상잡음 링 전압제어발진기 및 N-path 필터링 기반의 불요파 억제 기술이 적용된 주파수 합성기 연구

정원재
국민대학교
jungwon627@gmail.com

소 속 유비쿼터스융합기술 연구실 (지도교수 박준석)
주 연구분야 Analog IC, RFIC, Wireless Power Harvesting, Wireless Devices
졸업논문 명
I/Q 신호 불균형 보상을 위한 위상차 동기회로(PDLL, Phase Difference Locked Loop) 연구

2018년 IDEC 박사 졸업생 소개 (2)

정재환
KAIST
jwjung@ics.kaist.ac.kr

소 속 ICSL (지도교수 박인철)
주 연구분야 VLSI for Error-Correcting Codes, Embedded SoC Platform
졸업논문 명
Advanced Optimization Techniques of LDPC Decoding Architecture for NAND Flash Memory Systems

정효은
KAIST
junghe@kaist.ac.kr

소 속 Computational Nanoelectronics Laboratory (지도교수 신민철)
주 연구분야 DFT 기반 나노소자 시뮬레이션
졸업논문 명
제일 원리 기반의 산화 절연막 계면 특성 분석 및 원자 수준 소자의 수송 특성 연구

조두형
서강대학교
cdhengud@etri.re.kr

소 속 전력반도체소자 연구실 (지도교수 김광수)
주 연구분야 전력반도체 소자 연구
졸업논문 명
The study on the self-aligned 1.7kV 4H-SiC VD-MOSFET using N2O direct oxidation technique

조명현
연세대학교
myunghyun.jo@yonsei.ac.kr

소 속 임베디드 시스템 및 컴퓨터 구조 연구실 (지도교수 노원우)
주 연구분야
SSD 마이크로아키텍처 설계 및 I/O 스케줄링
졸업논문 명
Contection-Aware Virtual-Time Zone Method for I/O Dispatch Scheduling on Flash-based Storage

조지혁
KAIST
jhjo@ics.kaist.ac.kr

소 속 ICSL (지도교수 박인철)
주 연구분야 VLSI for Deep neural networks
졸업논문 명
VLSI Architecture for Deep Convolutional Neural Networks

조화숙
POSTECH
chs2752@postech.ac.kr

소 속 Analog IC Systems lab. (지도교수 심재윤)
주 연구분야 ADPLL, 뉴로모픽 회로
졸업논문 명
A Highly Synthesizable TDC- and DCO-less Fractional-N PLL and An On-chip Learning Neuromorphic Autoencoder with Current-Mode Memory Read

주소연
성균관대학교
hello.smithxx@gmail.com

소 속 ICDS Lab. (지도교수 김소영)
주 연구분야 IC design
졸업논문 명
Modeling and Optimization of Low Drop-Out(LDO) Regulator for PSR Enhancement

천성우
한양대학교
swchun@hanyang.ac.kr

소 속 반도체재료소자연구실 (지도교수 박완준)
주 연구분야 Tactile sensor
졸업논문 명
Graphene-based tactile sensors and its texture recognition system

최상호
KAIST
sahchoi@kaist.ac.kr

소 속 응용열전달연구실 (지도교수 김성진)
주 연구분야 Cryogenic frost formation
졸업논문 명
냉각 및 충전 과정 중 극저온 표면에서 서리 성장과 열 및 물질 전달에 대한 연구

최승남
POSTECH
snchoi89@gmail.com

소 속 Analog IC Systems lab. (지도교수 심재윤)
주 연구분야 Clock and data recovery (CDR) circuit, Analog to Digital Converter (ADC)
졸업논문 명
A study on low power analog-to-digital converter and reference-less clock and data recovery circuit

최승호
고려대학교
hyperleonheart@hanmail.net

소 속 초고주파연구실 (지도교수 김문일)
주 연구분야 RF 회로 및 안테나 설계
졸업논문 명
Research on Terahertz Sources and Antenna Components using InP DHBT and CMOS Technology

최웅
고려대학교
woongchoi84@gmail.com

소 속 VLSI 신호처리 연구실 (지도교수 박종선)
주 연구분야 임베디드 메모리 및 CNN 가속기 설계
졸업논문 명
Embedded Memory Customizing for Low Power and High Reliability System Design

최정렬
서울시립대학교
danger@sensonia.co.kr

소 속 혼성신호집적회로 연구실 (지도교수 최중호)
주 연구분야 데이터 변환기
졸업논문 명
High-Resolution Pipeline ADC with SAR Technique for X-Ray Detection

최준희
고려대학교
cjuny426@gmail.com

소 속 나노소자연구실 (NDL: Nano Device Laboratory) (지도교수 김규태)
주 연구분야
2차원 TMDC (Transition metal dichalcogenide) 물질 특성
졸업논문 명
Electrical properties of Transition metal dichalcogenides FETs : MoS2, MoTe2 and ReS2

팜티휀
인하대학교
phamhuyenmta87@gmail.com

소 속 디지털집적시스템 연구실 (지도교수 이한호)
주 연구분야 LDPC 복호기 아키텍처 설계
졸업논문 명
High performance decoding algorithms and architectures for Nonbinary LDPC codes with high-order Galois Fields

한미선
고려대학교
mesunyyam@gmail.com

소 속 Compiler and Microarchitecture Lab. (지도교수 김선욱)
주 연구분야
뉴메모리 성능 향상 알고리즘, 메모리 시스템 성능 분석
졸업논문 명
Bit Shuffling-Based Encoding and Decoding Schemes for Maximizing Phase Change Memory Performance

허상현
UNIST
hsh0430a@gmail.com

소 속 집적회로연구실 (지도교수 변영재)
주 연구분야 지문인식리드아웃 IC
졸업논문 명
Design of touch screen controller IC of transparent fingerprint sensor

홍영성
극동대학교
fxcd@powercubesemi.com

소 속 Power Device & IC (지도교수 강이구)
주 연구분야 MOSFET, IGBT
졸업논문 명
Sic Epi 재성장 기법을 적용한 SiC P-Floating Trench Gate MOSFET 최적화 설계

황가람
KAIST
hwang8@kaist.ac.kr

소 속 EMC Lab (지도교수 안승영)
주 연구분야 무선전력전송
졸업논문 명
무선 전력 전송 교통 시스템을 위한 정확한 차량 위치 감지 방법

2018년 IDEC 신규 부임교수 소개 (2)

궁 재 하 교수
DGIST
정보통신융합전공

이 력
2003.03-2010.02 고려대학교 학사
2010.02-2012.02 KAIST 석사
2012.08-2017.05 Georgia Institute of Technology 박사
2017.06-2017.12 POSTECH 박사후연구원
2017.12-현재 DGIST

주 연구내용
고성능 인공지능 학습 하드웨어 설계, 저전력 인공지능 추론 하드웨어 설계

E-mail jhkung@dgist.ac.kr

박 재 현 교수
울산대학교
전기공학부

이 력
2015.03-2015.11 서울대학교 컴퓨터연구소
2015.12-2018.02 아리조나 주립대학교
2018.03-현재 울산대학교

주 연구내용
- IoT 시스템 최적화
- 저전력 설계
- 비휘발성 메모리 시스템

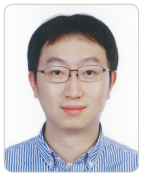
E-mail jaehyun@ulsan.ac.kr

배 준 성 교수
강원대학교
전기전자공학과

이 력
2007-2013 KAIST
2013-2014 삼성전자 책임 연구원
2014-2015 KAIST 연수 연구원
2015-2017 IMEC 연구원
2017-현재 강원대학교

주 연구내용
저전력 혼성신호 집적회로 설계, 바이오메디컬 집적회로 설계

E-mail baej.kangwon@gmail.com



송 준 영 교수
인천대학교
전자공학과

이 력
2014.09-2014.12 Research Professor (고려대학교, 서울)
2014.12-2018.02 SoC Design Engineer (Intel, CA, USA)
2018.03-현재 인천대학교

주 연구내용
- Analog/mixed-signal IC design
- Design of low-power, Low-noise clock generator
- Design of high-bandwidth wireline interface for data center
- Design of wireline interface for display and memory interfaces

E-mail jun.song@inu.ac.kr

옥 승 호 교수
동의대학교
로봇자동화공학과

이 력
2001.03-2006.02 동의대학교
2006.03-2014.02 경북대학교
2011.09-2013.04 Georgia Institute of Technology 방문 연구원
2014.03-2017.08 삼성전자 메모리사업부 책임 연구원
2017.09-현재 동의대학교

주 연구내용
로봇 비전 및 SoC 설계

E-mail osh@deu.ac.kr

이 인 영 교수
조선대학교
전자공학과

이 력
2005.02 경북대학교 학사
2007.08 KAIST 석사
2014.02 KAIST 박사
2014.03-2015.02 KAIST 정보전자연구소
2015.04-2017.08 삼성전자 S.LSI
2017.09-현재 조선대학교

주 연구내용
- 5G 저전력 PLL 연구
- 고성능 multi-standard Rx 연구 (DTV tuner)
- RTC 회로 연구

E-mail inyounglee@chosun.ac.kr

전 종 욱 교수
건국대학
전기전자공학부

이 력
2004.03-2009.08 서울대학교
2009.09-2017.08 삼성전자 반도체 연구소 책임, 수석 연구원
2017.09-현재 건국대학교

주 연구내용
- 차세대 소자 Design-Technology Co-Optimization 통한 Path-Finding
- 차세대 소자 Process-Design Kit 제작
- 차세대 소자 Reliability/SPICE 모델링

E-mail jwjeon@konkuk.ac.kr

최 상 조 교수
울산대학교
전기공학부

이 력
2008.09-2014.05 미시간대학교 Graduate Student Research Assistant
2014.06-2017.08 퀄컴 Senior Engineer
2017.09-현재 울산대학교

주 연구내용
5G 안테나 및 모듈 설계

E-mail sangjoc@ulsan.ac.kr

황 진 영 교수
한국항공대학교
항공전자정보공학부

이 력
2013 Ph.D. University of Michigan - Ann Arbor
2013.08-2017.02 삼성전자 종합기술원
2017.03-현재 한국항공대학교

주 연구내용
Actively tunable metasurface Nanostructured semiconductors and their applications

E-mail jinhwang85@gmail.com

공정 변이를 고려한 프로세서 캐시 메모리 설계

공준호 조교수 | 경북대학교 IT대학 전자공학부

서론

지속적인 공정 기술의 발달은 프로세서의 성능 향상 및 에너지 효율성 증대에 기여해왔다. 또한, 프로세서 내부에 사용되는 소자의 크기가 점점 줄어들면서 같은 면적에 더 많은 소자를 집적할 수 있게 되었고, 이는 대용량의 캐시 메모리와 많은 수의 기능 유닛을 프로세서 내부에 집적 가능하게끔 하였다. 이러한 공정 기술의 발달은 새로운 아키텍쳐의 개발과 더불어 프로세서 성능 및 에너지 효율성 향상에 큰 축을 담당해오고 있다.

한편, 공정 기술의 발전으로 인해 다른 문제점들이 대두되기 시작하였는데, 그 중 하나가 공정 변이(process variation)이다. 공정 변이는 칩(chip) 제조 시 발생할 수 있는 소자의 불량(defect) 혹은 변이(variation)를 의미한다. 이러한 불량 및 변이로 인해 실제 칩 제조 후 칩 내부 소자 혹은 트랜지스터들은 사용을 하지 못하게 될 수도 있고 각기 다른 특성을 지니게 될 수도 있다. 이러한 특성들은 회로의 성능 혹은 전력 소모량에 영향을 줄 수 있고, 영향을 주는 정도가 심해지면 칩의 수율(yield)에 좋지 않은 영향을 줄 가능성이 있다. 따라서, 칩 제조 공정이 점점 발전할수록 공정 변이를 효율적으로 억제 혹은 완화하는 방법이 필수적이다. 이러한 공정 변이는 일반 범용 프로세서에서도 많은 문제를 일으키는데 가장 많이 발생하는 문제는 공정 변이로 인해 회로 내부 임계 경로(critical path)가 영향을 받는 경우이다. 만약 설계 시 정의된 임계 경로 시간 대비 실제 칩 제조 후의 임계 경로 시간이 더 길어질 경우, 정상적인 프로세서의 동작을 위해서는 클럭 주파수를 낮추어야 한다. 만약 프로세서 명세에 엄격한 클럭 주파수 제한이 존재할 경우에는 특정 클럭 주파수 아래에서 동작되는 프로세서들은 사용될 수 없으므로 이는 곧 수율 감소로 이어질 수 있다. 또한, 과도한 누수 전력 소모 또한 발열 문제를 일으킬 소지가 있기 때문에 프로세서의 수율 감소로 이어질 수 있다.

프로세서 내부에서 보면 로직보다는 메모리 셀이 공정 변이에 더 취약한 것으로 알려져 있다. 이는 프로세서 내부에서 메모리 셀(SRAM 혹은 eDRAM)들이 차지하는 면적이 상당히 크고 많은 수의 셀들이 프로세서 내부에 집적되기 때문이다. SRAM이나 eDRAM 셀들이 대개 프로세서의 온칩(on-chip) 캐시 메모리로 사용되기 때문에, 프로세서 내부에서는 캐시 메모리가 공정 변이에 영향을 가장 많이 받는 컴포넌트로 간주된다. 따라서 프로세서 캐시 메모리에서 공정 변이로 인해 발생하는 문제들을 해결하기 위한 연구들이 매우 활발히 진행되어 왔다. 본 칼럼에서는 공정 변이를 고려한 프로세서 캐시 메모리 설계 및 기법들에 대해서 살펴보기로 한다.

배경 지식

서론에서 언급했듯이, 프로세서 내부에서 사용되는 메모리 셀이 공정 변이에 대체적으로 더 취약하다. 다양한 종류의 메모리 셀들이 프로세서 내부에 사용될 수 있지만, 본 칼럼에서는 SRAM과 eDRAM을 중심으로 공정 변이 문제를 다루고자 한다. SRAM의 경우 가장 많이 쓰이는 형태의 SRAM은 6T SRAM이다. 공정 변이는 칩 제조 시 6T SRAM 내부 각 트랜지스터 파라미터들에 영향을 주게 된다. 대표적으로 이러한 파라미터들은 게이트 길이(gate length), 임계 전압(threshold voltage) 등이 있다[1]. 이러한 파라미터들은 실제 칩을 제조하는 과정을 거치게 되면 설계 시 정의된 값보다 작거나 혹은 큰 값을 갖게 되며 이는 SRAM의 다양한 특성에 영향을 주게 된다. 이로 인해 가장 대표적으로 발생하는 문제가 SRAM의 접근 시간 실패(access time failure)이다[2]. 이는 SRAM에서 데이터를 읽거나 쓰는데 걸리는 시간이 길어져 본래 설계 명세 대비 접근 시간이 커지는 것을 의미하며 본래 설계 시 정의된 접근 시간과 설계 여유(design margin) 보다 셀의 접근 시간이 길어질 경우 올바른 데이터 값을 읽어내지 못하는 경우가 발생할 수 있다. 접근 시간 실패의 경우 늘어난 SRAM 셀 접근 시간으로 인해 캐시 메모리의 접근 시간에 영향을 받게 되며 최악의 경우 프로세서의 클럭 주파수를 낮춰야 하는 문제가 있다. 만약 올바른 동작을 보장하기 위해 클럭 주파수를 낮추었을 때 프로세서 설계 명세에 정의된 클럭 주파수를 맞추지 못할 경우 이는 수율 하락으로 이어지게 된다. 또한, 공정 변이로 인해 읽기 및 쓰기 실패(read and write failure), 홀드 실패(hold failure) 등이 발생할 수 있는데 이들에 대한 자세한 설명은 표 1에 기술하였다[3]. 이러한 SRAM에서 발생할 수 있는 문제를 해결하기 위해서 일반적으로 SRAM 셀을 추가적으로 더 넣는(redundancy) 방법이 있다. 그러나, 이는 추가적인 면적 오버헤드가 필요하며 추가된 SRAM 셀들 또한

공정 변이에 영향을 받을 수 있다는 단점이 있다. 이 뿐 아니라, SRAM 셀은 공정 기술이 발전하면서 많은 누수 전력을 소모하는 것으로 알려져 있는데 공정 변이는 SRAM 셀의 누수 전력 소모에도 영향을 주어 프로세서의 전체 전력 소모량에도 좋지 않은 영향을 줄 수 있다. 만약, SRAM 셀들의 누수 전력 소모량이 높은 프로세서 칩의 경우 과도한 전력 소모 및 발열 문제로 인해 사용되지 못하는 경우가 발생할 수 있다. 이와 같은 경우도 역시 프로세서의 수율 하락의 원인이 된다.

표 1. 공정 변이로 인해 SRAM 및 eDRAM에서 발생할 수 있는 대표적 failure mechanisms

	Failures	Description
SRAM failures	Access time failure	셀의 접근 시간이 늘어나 미리 정해진 접근 시간 제약 조건을 맞추지 못하는 경우
	Read failure	값을 읽을 때 셀 내부의 값이 파괴되는 경우
	Write failure	값을 쓸 때 셀에 제대로 값을 쓰지 못하는 경우
	Hold failure	스탠바이 모드에서 값을 제대로 유지시키지 못하는 경우
eDRAM failures	Retention time failure	셀의 데이터 보유 시간이 줄어들어 미리 정해진 리프레시 주기마다 리프레시 동작을 수행하여도 데이터 무결성을 보장할 수 없는 경우

또한, 최근 eDRAM 셀이 대용량의 캐시 메모리에 사용될 수 있는 셀로 각광받고 있으며 이미 eDRAM을 라스트-레벨 캐시 메모리로 사용한 프로세서들이 출시되고 있다[4]. eDRAM은 셀의 데이터를 유지하기 위해서 주기적으로 리프레시 동작이 필요한데, 리프레시 동작은 셀의 데이터를 한 번 읽고 쓰는 동작이 포함되므로 eDRAM 셀의 데이터 보유 시간(retention time)은 eDRAM으로 이루어진 캐시 메모리의 성능 및 에너지 효율성에 지대한 영향을 준다. 공정 변이는 이러한 eDRAM 셀의 보유 시간에 영향을 주게 되는데[5], 만약 공정 변이로 인해 기존에 정의된 eDRAM 리프레시 주기보다 특정 eDRAM 셀들의 보유 시간이 짧아지는 경우, eDRAM 셀 데이터의 무결성(integrity)을 보장할 수 없게 된다. 이 경우, 전체 캐시 메모리의 리프레시 주기를 짧게 설정해야 하는데 이는 프로세서의 성능과 에너지 효율성에 악영향을 주게 된다. 또한, 엄격하게 리프레시 주기를 제한해야 하는 경우라면 이는 프로세서의 수율 손실로 이어질 수 있다. 따라서, 이러한 문제들을 해결하기 위해 효율적인 기법들이 필요하다.

연구 동향

공정 변이를 고려한 SRAM 캐시 메모리 설계에 대한 연구가 활발히 이루어지기 시작한지는 약 10년정도 되었고 최근까지도 활발하게 연구되고 있다. 지속적인 공정 기술 발전으로 인해 65nm 이하 공정 기술이 활발히 사용되면서 공정 미세화로 인한 공정 변이 문제가 대두되었다. 본 칼럼에서는 공정 변이를 고려한 SRAM 및 eDRAM으로 이루어진 캐시 메모리 설계 및 기법에 대해서 다루고자 한다. 특히, 회로 수준의 기법보다는 컴퓨터 및 프로세서 구조적 기법에 초점을 맞추고자 한다.

[2]에서는 SRAM에서 공정변이로 발생할 수 있는 문제들에 대해서 소개하고 캐시 메모리 구조 측면에서 이를 해결하는 기법을 제안하였다. [2]에 따르면 공정 변이에 의해 SRAM에서 발생할 수 있는 문제는 읽기 실패, 쓰기 실패, 접근 시간 실패 등이 있다. 여러 종류의 SRAM 실패 중 공정 변이의 정도가 심해질 수록 접근 시간 실패가 발생할 확률이 가장 많이 증가하였다. 이와 더불어, 캐시 메모리 상에서 발생하는 이러한 문제들을 해결하기 위해서 실패가 발생하는 캐시 라인을 사용하지 않은 방법을 제안한다. 이를 위해 추가적인 저장 공간에 실패가 발생한 캐시 라인에 대한 주소와 데이터 저장 공간의 맵핑을 새롭게 정의하여 저장한다. 예를 들어, 같은 줄(row)에 4개의 캐시 라인 중 1개의 캐시라인을 캐시 결함에 의해 사용하지 못하게 될 경우, 1개의 캐시라인을 결함이 없는 다른 캐시라인으로 새롭게 맵핑하여 해결하는 방식이다. [6]에서는 수율을 고려한 캐시 구조에 대해서 제안하였다. 공정 변이로 인해 SRAM에 발생할 수 있는 문제가 크게 접근 시간 문제와 과도한 누수 전력 문제가 있는데 [6]에서는 이 두 가지를 새로운 캐시 구조를 통해 해결하고자 하였다. 첫 번째는 수율을 고려하여 전력 공급을 차단하는 방법으로서 캐시 웨이(way) 단위로 전력 소모를 차단한다. 접근 시간이나 누수 전력 소모가 많은 캐시 웨이는 전력이 차단되어 사용되지 않음으로써 수율을 향상시킨다. 두 번째는 가변 접근 시간 캐시 메모리 구조로서 공정변이로 인해 느려진 캐시 웨이는 추가적인 클럭 사이클을 소모하여 접근을 완료하는 방법이다. [7]에서는 프로세서 설계 및 제조 회사 측면에서 수익을 극대화할 수 있는 구조를 제안하였다. 앞에서 소개했던 대로 공정 변이가 프로세서의 수율에 악영향을 주므로 이는 곧 프로세서 설계 및 제조 회사 측면에서는 이익의 손실을 의미한다. 보통의 경우 프로세서 제조 및 설계 회사들은 수익을 극대화하기 위해 비닝(binning) 방법을 사용한다. 이 방법은 칩 제조 후 테스팅을 통해 각각 프로세서 칩의 최대 클럭 주파수가 정해지면 이를 동작 클럭 주파수 범위대로 나눠진 bin에 넣는다. 그리고, 각각의 bin에 들어가는 칩들은 동일한 최대 클럭 주파수를 갖게 되고 각기 다른 bin에 들어가는 칩들은 다른 가격으로 시장에 출시 된다. [7]에서는 추가적인 SRAM 셀을 사용하여 공정 변이로 인해 느려진 캐시 메모리 부분이 있으면 이를 추가적인 SRAM 셀들로 교체하여 사용하고 프로세서를 최대한 더 빠른 bin(다시 말해, 더 높은 클럭 주파수를 갖는)에 할당시키는 방법을 제안하였다. 더 빠른 bin에 많은 수의 프로세서를 할당할수록 반도체 제조 회사 입장에서는 기대할 수 있는 수익이 많아지게 된다. [8]에서는 SRAM에서 발생하는 접근 시간 문제를 해결하여 프로세서의 수율을 향상하고자 하였다. 프로세서의 L1 캐시 메모리는 빠른 접근 시간을 보장하여야 하는데 L1 캐시가 접근 시간 실패로 인해 영향을 받을 경우, 프로세서의 수율 하락 혹은 클럭 주파수 하락으로 인한 성능 하락을 피할 수 없다. 이 경우 캐시 메모리에 공급되는 전압을 높여 접근 시간을 줄일 수 있는데 전체 캐시 메모리의 전압을 높이는 것은 에너지 효율성에 좋지 않은 영향을 준다. 따라서, [8]에서는 접근 시간 실패가 발생하는 캐시 라인이 한정적이라는 점에 착안하여 선택적으로 접근시간 실패가 발생한 캐시 라인의 워드라인에만 높은 전압을 공급하여 접근 시간 실패를 낮추고 접근 시간 실패가 발생하지 않는 캐시 라인에는 일반 전압을 공급하여 에너지 오버헤드를 최소화하고자 하였다. [9]에서는 [8]의 연구를 확장하여 누수 전력 소모를 낮추기 위해서 과도한 누수 전력 소모가 일어나는 칩에 대해서만 SRAM 셀들에 낮은 전압을 공급하는 방법을 제안하였다. [8]에서 제안한 구조의 단점인 에너지 소모 증가 문제를 [9]에서는 SRAM 셀 공급 전압을 낮춤으로써 해결하였고, SRAM셀의 전압을 낮춤으로써 발생하는 접근 시간의 증가는 [8]에서 제안한 구조의 선택적 워드라인 전압

증가로 해결하였다. 이처럼 [9]에서는 두 가지 기법의 상보적인 효과로 인해 캐시 메모리의 수율을 향상시켰다(그림 1). [10]에서는 캐시 블록의 재배치를 통해 접근 시간 문제를 해결하고자 하였다. 만약 공정 변이로 인해 접근 시간 실패를 갖는 캐시 블록이 셋(set) 안에 존재한다면 해당 셋은 접근하는데 소모되는 클럭 사이클 수를 늘려 느리게 동작할 수밖에 없다. 기본 아이디어는 같은 셋에 접근 시간 실패를 갖는 캐시 블록과 접근 시간 실패가 일어나지 않는 캐시 블록의 공존을 최소화하는 방법이다. 즉, 접근 시간 실패를 갖지 않는 캐시 블록들을 최대한 같은 셋에 배치하여 해당 셋을 빠른 시간에 접근 가능하게 하여 공정변이가 성능에 미치는 악영향을 최소화 하는 방법이다. [11]에서는 캐시 웨이의 우선순위를 정해 우선순위가 높은 캐시 웨이만 사용함으로써 누수 전력 소모를 최소화하는 기법을 제안하였다. 공정 변이로 인해 누수전력이 큰 캐시 웨이의 경우 우선순위를 낮게 둠으로써 사용을 최소화하고 누수 전력 소모를 줄이게 된다.

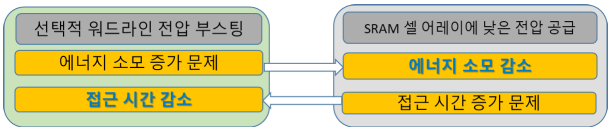


그림 1. [9]에서 제안한 두 가지 서로 다른 기법들의 상보적 효과

최근 3D 적층 기술이 발전함에 따라 이를 활용한 프로세서 및 메모리들이 연구 및 출시되고 있다. 이에 따라 프로세서 캐시 메모리를 3차원으로 적층하는 연구 또한 많이 진행되었다[12][13][14]. 공정 변이는 이러한 3차원 적층된 캐시 메모리에서 더 심각한 문제를 일으키는 것으로 알려져 있다. 주된 이유로는 서로 다른 다이(die)를 적층할 경우 다이-내부 변이(within-die variation)와 함께 다이-간 변이(die-to-die variation) 효과를 하나의 프로세서에서 동시에 갖기 때문이다[15]. 이로 인해 3차원 적층 구조에서는 프로세서 코어보다는 여러 층을 동시에 사용하는 L2 캐시나 라스트-레벨 캐시 메모리가 공정변이에 더 취약하다고 알려져 있다. 이러한 3차원 적층 구조 캐시 메모리에서의 공정 변이를 해결하기 위한 연구도 진행되었는데 [12]에서는 SRAM 어레이 내부에서 임계 경로에 해당하는 wire를 자르고 이를 TSV(through-silicon via)로 대체하여 3차원 구조를 설계하였다. 2차원 구조와 비교하여 3차원 적층을 하게 되면 선의 길이가 줄어드는 효과가 있기 때문에 이를 공정 변이로 인해 일어나는 접근 시간 실패 문제를 해결하는데 사용하고자 하였다. 제안한 구조로는 워드라인을 자르는 구조, 디코더를 자르는 구조, 워드라인과 비트라인을 동시에 자르는 구조들을 제안하였다. [15]에서는 3차원 적층 구조의 L2혹은 라스트-레벨 캐시에서의 공정변이를 고려한 캐시 구조를 제안하였다. [15]에서는 narrow-width 값이라는 특징을 활용하는데, narrow-width 값은 한 워드에서 LSB쪽에 대부분의 유효한 정보가 담겨있고 MSB쪽 상위 비트는 모두 0으로 채워지는 값들을 의미한다. 그림 1에 보이는 값은 32-비트 narrow-width 워드 값의 예인데 64-비트 워드 중 하위 32-비트부분에만 유효한 데이터 값을 가지고 있고 나머지 상위 부분은 모두 0으로 채워지게 된다. 따라서, 0으로 채워지는 부분들을 캐시에 저장하지 않고 제로-확장(zero-extension)을 사용하면 공간 사용의 효율성을 높일 수 있다.

[15]에서는 narrow-width 값의 특성을 이용하여 캐시 라인을 더 작은 16비트 단위로 쪼개고 narrow-width 값 내부의 유효한 데이터를 갖고 있는 부분만 잘라서 캐시에 저장하게 된다. 만약 공정 변이로 인해 SRAM 셀에 접근 시간 실패 혹은 읽기/쓰기 실패가 발생할 경우 실패가 발생한 16-비트 부분은 사용하지 않고 narrow-width 값의 특성을 이용해 최대한 많은 데이터를 캐시에 저장한다. 그리고, 사용하지 않는 부분들에 대해서는 공급되는 전압을 차단하여 에너지 효율성을 향상시킨다. [17]에서는 [15]의 연구를 확장하여 실제 SRAM 실패가 발생하는 부분 뿐만 아니라 0을 저장하는 부분까지 전압을 차단하여 에너지 효율성을 더 높이고 과도한 누수 전력 소모로 인해 발생하는 수율 손실을 복구한다.

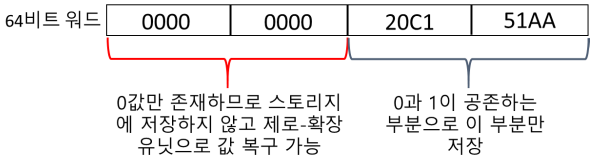


그림 2. Narrow-width 값의 예

SRAM 기반의 캐시메모리뿐만 아니라 eDRAM 기반의 캐시메모리에서도 공정변이가 심각한 문제로 알려져 있다. 따라서, 최근 eDRAM 기반 캐시메모리에서의 공정 변이 문제를 효율적으로 해결하기 위한 구조적 기법들이 제안되어 왔다. [18]에서는 eDRAM 기반의 캐시 메모리에서 공정 변이로 인해 발생하는 문제를 해결하기 위해서 기존 캐시에서 많이 사용하는 에러 정정 코드(error correction code: ECC)를 활용한다. ECC를 활용하여 eDRAM 보존 시간 실패가 일어난 셀들에 대해 보정을 시도하고 대신 리프레시 주기를 worst-case에 맞추는 대신 ECC를 활용하여 보정 가능한 수준까지 늘리게 된다. 이에 따라, 시스템 전체의 성능 및 에너지 효율성을 향상시킬 수 있다. [19]에서는 eDRAM 셀들의 보존 시간 분포가 공간적 연관성(spatial correlation)이 있다는 점에 착안하였다. 이를 활용하기 위해 캐시 메모리 내부를 타일 단위로 나누고 각각의 타일에 다른 리프레시 주기를 사용하게 된다. 이 때 타일에서 사용하는 리프레시 주기는 해당 타일에서 가장 보존 시간이 짧은 eDRAM 셀을 기준으로 정해지게 된다. [20]에서는 eDRAM 기반의 캐시 메모리에서 64바이트 캐시 라인 내부에서 대부분이 1개의 셀에서만 보존 시간 실패가 일어난다는 점에 착안하였다. 이렇게 보존 시간 실패를 가진 eDRAM 셀의 밀도가 상당히 적을 경우 간단한 하드웨어만 사용해도 보존 시간 실패가 발생한 캐시 라인을 복구할 수 있고 이는 eDRAM 캐시의 수율을 높일 수 있게 해준다. [20]에서 제안한 기법은 worst-case에 맞추어진 리프레시 주기 대비 높은 성능 및 에너지 효율성을 보여주었고, 리프레시 주기가 동일할 경우 높은 eDRAM 캐시 수율을 보여주었다.

결론

본 칼럼에서는 최근 연구되고 있는 공정변이를 고려한 캐시 메모리 구조에 대해서 살펴보았다. 공정 변이 문제는 공정 기술이 발전할수록

더 심각해질 것으로 예상되며 이를 효율적으로 해결하지 못할 경우 많은 수율 손실 혹은 성능 및 에너지 효율성 감소를 감수하여야 한다. 본 칼럼에서 소개했던 연구들은 공정 변이를 컴퓨터 구조적 측면에서 효율적으로 해결함으로써 성능 및 에너지 효율성을 증대시키고, 수율을 높이는 효과를 보여주었다. 본 칼럼에서는 SRAM 및 eDRAM을 사용하는 캐시 메모리를 주로 다루었지만, 최근에는 새로운 메모리 셀인 STT-RAM 셀을 사용한 캐시 메모리에서의 공정 변이 문제를 해결하고자 하는 시도도 있다[21][22]. 이처럼 현대의 미세화된 반도체 공정 하에서는 새로운 소자 및 공정 기술들이 개발되어도 로직 혹은 메모리 내에서 공정 변이 문제를 피해가기 힘들 것으로 보인다. 이러한 환경 속에서 본 칼럼에서 소개했던 캐시 메모리 구조 및 기법들은 공정 변이 문제를 효율적으로 해결할 수 있는 대안이 될 수 있을 것으로 기대된다.

참고문헌

1. S. R. Sarangi, B. Greskamp, R. Teodorescu, J. Nakano, A. Tiwari and J. Torrellas, "VARIUS: A Model of Process Variation and Resulting Timing Errors for Microarchitects," in IEEE Transactions on Semiconductor Manufacturing, vol. 21, no. 1, pp. 3-13, Feb. 2008.
2. A. Agarwal, B. C. Paul, H. Mahmoodi, A. Datta and K. Roy, "A process-tolerant cache architecture for improved yield in nanoscale technologies," in IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 13, no. 1, pp. 27-38, Jan. 2005.
3. S. Mukhopadhyay, H. Mahmoodi and K. Roy, "Modeling of failure probability and statistical design of SRAM array for yield enhancement in nanoscaled CMOS," in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 24, no. 12, pp. 1859-1880, Dec. 2005.
4. Intel® Core™ i7-7567U Processor. Avaliable at: https://ark.intel.com/products/97541/Intel-Core-i7-7567U-Processor-4M-Cache-up-to-4_00-GHz
5. W. Kong, P. C. Parries, G. Wang and S. S. Iyer, "Analysis of Retention Time Distribution of Embedded DRAM - A New Method to Characterize Across-Chip Threshold Voltage Variation," 2008 IEEE International Test Conference, Santa Clara, CA, 2008, pp. 1-7.
6. Serkan Ozdemir, Debjit Sinha, Gokhan Memik, Jonathan Adams, Hai Zhou: Yield-Aware Cache Architectures. MICRO 2006: 15-25.
7. Abhishek Das, Serkan Ozdemir, Gokhan Memik, Joseph Zambreno, Alok N. Choudhary: Microarchitectures for Managing Chip Revenues under Process Variations. Computer Architecture Letters 6(2): 29-32 (2007).
8. Yan Pan, Joonho Kong, Serkan Ozdemir, Gokhan Memik, Sung Woo Chung: Selective wordline voltage boosting for caches to manage yield under process variations. DAC 2009: 57-62.
9. Joonho Kong, Yan Pan, Serkan Ozdemir, Anitha Mohan, Gokhan Memik, Sung Woo Chung: Fine-Grain Voltage Tuned Cache Architecture for Yield Management Under Process Variations. IEEE Trans. VLSI Syst. 20(8): 1532-1536 (2012).
10. Madhu Mutyam, Narayanan Vijaykrishnan: Working with process variation aware caches. DATE 2007: 1152-1157
11. Ke Meng, Russ Joseph: Process variation aware cache leakage management. ISLPED 2006: 262-267.
12. K. Puttaswamy and G. H. Loh, "Implementing caches in a 3D technology for high performance processors," 2005 International Conference on Computer Design, 2005, pp. 525-532.
13. Kiran Puttaswamy, Gabriel H. Loh: 3D-Integrated SRAM Components for High-Performance Microprocessors. IEEE Trans. Computers 58(10): 1369-1381 (2009).
14. Joonho Kong, Young-Ho Gong, Sung Woo Chung: Architecting large-scale SRAM arrays with monolithic 3D integration. ISLPED 2017: 1-6.
15. Joonho Kong, Sung Woo Chung: Exploiting narrow-width values for process variation-tolerant 3-D microprocessors. DAC 2012: 1197-1206.
16. Serkan Ozdemir, Yan Pan, Abhishek Das, Gokhan Memik, Gabriel H. Loh, Alok N. Choudhary: Quantifying and coping with parametric variations in 3D-stacked microarchitectures. DAC 2010: 144-149
17. Joonho Kong, Farinaz Koushanfar, Sung Woo Chung: An Energy-Efficient Last-Level Cache Architecture for Process Variation-Tolerant 3D Microprocessors. IEEE Trans. Computers 64(9): 2460-2475 (2015).
18. Chris Wilkerson, Alaa R. Alameldeen, Zeshan Chishti, Wei Wu, Dinesh Somasekhar, Shih-Lien Lu: Reducing cache power with low-cost, multi-bit error-correcting codes. ISCA 2010: 83-93.
19. A. Agrawal, A. Ansari and J. Torrellas, "Mosaic: Exploiting the spatial locality of process variation to reduce refresh energy in on-chip eDRAM modules," 2014 IEEE 20th International Symposium on High Performance Computer Architecture (HPCA), Orlando, FL, 2014, pp. 84-95.
20. Joonho Kong, Young-Ho Gong: An efficient trade-off between yield and energy for eDRAM caches under process variations. Microprocessors and Microsystems - Embedded Hardware Design 55: 1-12 (2017).
21. S. Motaman, S. Ghosh and N. Rathi, "Impact of process-variations in STTRAM and adaptive boosting for robustness," 2015 Design, Automation & Test in Europe Conference & Exhibition (DATE), Grenoble, 2015, pp. 1431-1436.
22. Zhenyu Sun, Xiuyuan Bi, Hai Li: Process variation aware data management for STT-RAM cache design. ISLPED 2012: 179-184.

저자정보

공 준 호 교수

소속
경북대학교 IT대학 전자공학부

주 연구분야
컴퓨터 구조, 캐시 메모리 설계, 시스템-온-칩 설계

E-mail joonho.kong@knu.ac.kr
Homepage sites.google.com/site/joonhokong/

EDA Tool 소개 | Scientific Analog 사

XMODEL

개 요

A. 목적 (모델 생성 및 시뮬레이션)

아날로그 회로의 동작을 디지털 검증환경인 SystemVerilog 상에서 모델링하고, 이를 포함한 혼성신호 시스템 IC의 동작 및 성능을 빠르고 정확한 시뮬레이션을 통해 검증한다.

B. 구분 (모델기반의 혼성신호 시스템 시뮬레이터)

XMODEL은 모델을 기반으로 아날로그 및 혼성신호 IC 시스템을 검증하는 시뮬레이터라는 점에서 기존의 Verilog-AMS, Matlab/Simulink, CppSim과 유사한 목적과 기능을 가지나, 순수한 디지털 시뮬레이터인 SystemVerilog 상에서 동작한다는 점, 정확도와 실행속도가 10~100배 이상 월등하다는 점, 비트에러율 같은 통계적인 분석이 가능하다는 점, 아날로그-디지털 co-simulation을 지원한다는 점 등에서 차별성을 갖는다.

C. Supported platform and O/S System

Linux RedHat Enterprise 64-bit Release 5.0 이상

D. 특성 및 기능

Scientific Analog 사는 현재 XMODEL, GLISTER 그리고 MODELZEN의 세가지 제품을 보유하고 있다.

XMODEL

*XMODEL*은 다양한 아날로그 회로들을 기존의 디지털 검증 환경인 SystemVerilog상에서 쉽게 모델링하고 시뮬레이션할 수 있게 해주는 확장패키지입니다.

GLISTER

*GLISTER*는 Cadence® Virtuoso® 환경에서 아날로그 모델을 코드 작성없이 schematic 형태로 쉽게 만들고 시뮬레이션할 수 있게 해주는 GUI 환경입니다.

MODELZEN

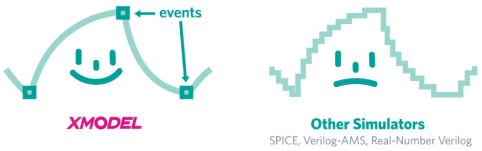
*MODELZEN*은 임의의 아날로그 회로로부터 SystemVerilog 모델을 자동으로 생성해주는 툴입니다.

XMODEL

XMODEL은 다양한 아날로그 회로들을 기존의 디지털 검증 환경인 SystemVerilog 상에서 쉽게 모델링하고 시뮬레이션할 수 있게 해주는 확장패키지다. XMODEL은 현재 Synopsys의 VCS, Cadence의 INCISIVE(NCVerilog), MentorGraphics사의 Questa(ModelSim)을 지원하고 있다.

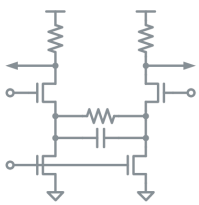
Event-Driven 방식의, 빠른 Functional 모델 시뮬레이션

XMODEL은 단순 값이 아닌 함수식을 사용해 아날로그 파형을 표현하고, 이를 event-driven 방식으로 계산하는 혁신적인 알고리즘을 사용한다. XMODEL에서 제공하는 primitive들을 사용해서 구성한 동작모델(functional model)은 정확한 결과를 위해 파형 위의 많은 점을 계산해야 하는 Verilog-AMS 또는 Real-Number Verilog에 비해 최대 10~100배 이상의 빠른 실행속도를 낼 수 있다.



SystemVerilog에서 수행가능한 회로 시뮬레이션

XMODEL을 사용하면 회로 시뮬레이션이 불가능한 디지털 시뮬레이터인 SystemVerilog 상에서도 저항, 커패시터, 인덕터, 다이오드, 트랜지스터 등의 소자들을 직접 활용하여 아날로그 회로를 표현할 수 있고, 이 회로를 XMODEL의 event-driven 방식으로 매우 빠르게 시뮬레이션할 수 있다. 이 기능은 특히 아날로그 회로에 있는 여러가지 비선형성, 로딩효과, 스위칭 동작, 다중 드라이버 효과 등을 모델링하는데 매우 유용하다. 놀라운 점은, 이러한 회로 시뮬레이션이 SPICE를 전혀 사용하지 않는 순수 SystemVerilog 환경에서 실행가능하다는 것이다.



```
module ctle (
    output xreal outp, outn,
    input xreal inp, inn, vb, vdd, vss
);

xreal sp, sn;

nmosfet     #(.Kp(10e-3),.Vth(0.5))
            M1(.d(outn),.g(inp),.s(sp),.b(vss)),
            M2(.d(outp),.g(inn),.s(sn),.b(vss));
nmosfet     #(.Kp(5e-3),.Vth(0.4))
            M3(.d(sp),.g(vb),.s(vss),.b(vss)),
            M4(.d(sn),.g(vb),.s(vss),.b(vss));
resistor    #(.R(200))
            RL1(.pos(vdd),.neg(outp)),
            RL2(.pos(vdd),.neg(outn));
resistor    #(.R(10e3)) RC(.pos(sp),.neg(sn));
capacitor   #(.C(15e-15))
            CL1(.pos(vdd),.neg(outp)),
            CL2(.pos(vdd),.neg(outn));
capacitor   #(.C(30e-15)) CC(.pos(sp),.neg(sn));

endmodule
```

주행 안전을 책임질 미래기술:

인텔리전트 타이어 Intelligent Tire

소순홍 책임연구원 | 한국타이어 연구개발본부

인텔리전트 타이어란?

한겨울 새벽 무렵 도로 위를 지나가던 자동차가 블랙아이스를 인지하지 못하고 미끄러져 사고가 났다. 이 자동차의 운전자가 블랙아이스를 사전에 알았다면 어땠을까? 아침에 출근을 하려고 차에 갔는데 펑크가 나서 운행을 못할 지경이 되었다. 나오기 전에 스마트 폰으로 경고 알림이 왔다면 어땠을까? 운전을 하다 보면 이렇게 노면의 상황에 따라 아찔한 경험을 하게 되거나 생각지도 못했던 사고로 난감한 상황에 처하게 되는 경우가 있다. 굳이 빙판길이 아니더라도 타이어가 완전히 마모되어 미끄러지거나 공기압 관리를 잘 못해서 문제가 발생하기도 한다. 타이어는 안전을 담보하는 부품이지만 대부분의 운전자들이 신경을 쓰지 않는 경우가 많다.

그림 1과 같이 노면의 정보를 실시간으로 알려주거나 그림 2와 같이 타이어의 상태를 실시간으로 알려주는 타이어가 있다면 얼마나 편리할까? 내 앞차가 지나간 노면 정보를 받아서 운전에 참고할 수 있다면 위에서 언급한 아찔한 경험은 하지 않을 것이다. 더욱이 자율 주행이나 무인 자동차의 경우에는 타이어에 공기압이 빠져있거나 이상이 생기면 운행 자체가 불가능하기 때문에, 이러한 기능이 절실히 필요할 것이다.

인텔리전트 타이어는 실시간으로 타이어에서 계측한 정보를 운전자와 차량 그리고 지능형 교통 시스템 등에 공유하여 자동차 운행에 도움을 줄 수 있는 타이어를 말한다. 이러한 인텔리전트 타이어는 현재 개발 초기 단계이며 구체적인 법규나 규정은 없다. *Smithers Rapra 社는 인텔리전트 타이어를 다음과 같이 정의하였다.

1. 타이어 내부에 센서를 삽입 또는 부착되어 있을 것 ☑
2. 공기압을 측정하는 것뿐만 아니라 다양한 정보를 전달할 수 있어야 할 것 ☑
3. 이 정보를 시스템과 공유할 수 있어야 할 것 ☑

여기서 중요한 것은 타이어 내부에 센서를 삽입 또는 부착되는 것과 정보를 공유할 수 있어야 한다는 것이다. 이제 타이어도 하나의 전자 장치가 결합된 스마트 부품으로 거듭나는 계기가 될 수 있을 것이다.

자율주행으로 대표되는 미래형 자동차 기술의 발달과 Big data로 대표되는 정보의 공유는 자동차를 더 이상 자동차가 아닌 가전제품으로 변화시켰으며, 이러한 기술변화와 발전에 힘입어 변화의 속도가 매우 느린 타이어까지 정보를 공유할 수 있도록 만들고 있다. 센서를 통해 타이어 내부 정보를 계측하고 이를 직접 클라우드까지 연동하려는 기술이 개발 중이며, 여기서 수집된 정보를 마케팅과 타이어 연구개발, 생산 관리까지 응용하려 하고 있다. 타이어의 기능은 그대로 유지하되 새로운 것이 적용되어 새로운 제품의 영역과 서비스로 탈바꿈하려는 시도가 인텔리전트 타이어를 통해 점점 나타나고 있다.

그림 1. 한국타이어에서 개발 중인 인텔리전트 타이어 노면 추정 컨셉

그림 2. 한국타이어에서 개발 중인 인텔리전트 타이어의 이상상태 알림 컨셉

*Smithers Rapra 고무, 플라스틱, 폴리머와 복합재료 테스트, 컨설팅 서비스와 컨퍼런스, 트레이닝, 시장 보고서의 글로벌 리더로 타이어, 산업, 운송, 소비재 및 의료 분야에 중점을 두고 있음

인텔리전트 타이어의 기술 동향

인텔리전트 타이어에 대해서 가장 적극적으로 움직이는 지역은 유럽이며 그 중에서도 자동차의 메카인 독일에서 가장 활발하게 표준화를 위해 자동차 제조사, 타이어제조사, 센서 제조사들이 함께 논의하고 있다. 독일자동차산업협회인 VDA(Verband der Automobilindustrie)에서는 인텔리전트 타이어에 부착되는 센서에 대한 표준화를 진행 중이며, 유럽과 미국의 몇몇 자동차 제조사와 타이어 제조사 그리고 센서 제조사들이 모여 타이어 내부에 부착된 센서의 안전성에 대해서 테스트를 실시하였으며 현재 이에 대한 표준을 정리하는 마지막 단계에 근접해 있다.

인텔리전트 타이어는 현재 내부에 센서를 하나만 부착하는 형태로 개발 중이며, 이 센서를 통해 타이어의 공기압은 물론 타이어의 개별 하중, 타이어 마모 수준, 노면 상태, 타이어 이상상태 감지까지 다양한 기능이 가능하도록 연구 개발이 진행 중이다.

현재 상용화 가능한 타이어 부착형 센서는 타이어 공기압 모니터링 장치(TPMS, Tire Monitoring Sensor)를 대체할 수 있는 수준으로 공기압과 타이어 정보만 제공할 수 있다. 나머지 하중, 마모, 노면 상태 등의 기능은 연구개발과 실증 작업을 거쳐야 상용화 가능하다. 또한 현재 센서의 전원으로 배터리를 사용하고 있지만 자가 발전 기능이 추가되어야 고속 샘플링이 가능하여 실시간으로 변화하는 노면의 상태를 추정하고 언제 발생할지 모르는 타이어 이상상태를 대비할 수 있다. 자가 발전 회로를 통해 실시간 정보를 전송 받아 이상상태를 실시간으로 모니터링 할 수 있다.

현재 상용 가능한 수준의 타이어 부착형 센서 기술을 보유한 곳은 Sensata 社의 UMTS(Universal Monitoring Tire Sensor)와 콘티넨탈 社의 eTIS(Electronic Tire Information Sensor)이다. 두 센서 모두 250km/h까지 센서의 내구성을 보증하는 것으로 알려져 있으며, VDA에서 권장하는 센서 기술을 보유하고 있다. 기타 몇몇 센서 회사에서도 타이어 부착형 센서(TMS, Tire mounted sensor)를 개발 중에 있으며 타이어 제조사들은 이들 센서 제조사와 협업을 통해 인텔리전트 타이어 기술을 개발하고 있다. 하지만 인텔리전트 타이어의 핵심인 하중, 마모수준, 노면 상태 추정 등의 추정기술에 대해서는 아직 더 많은 연구개발이 필요하다. 한국타이어 또한 인텔리전트 타이어 개발을 위해 글로벌 리딩 센서업체와 협업을 진행하고 있으며 타사와 차별화된 기술 개발을 위해 노력하고 있다.

또한 자동차 제조사에서도 차량 제어 및 자율주행 차량에서 활용을 위해 인텔리전트 타이어에 대한 검토를 진행 중이며 근래에 센서가 부착된 타이어를 장착한 차량이 출시될 것으로 예상된다.

타이어 부착형 센서

Tire Mounted Sensor

타이어에 부착되는 센서에 요구되는 성능은 정확한 계측과 정보의 송신이라 할 수 있다. 하지만 타이어 내부에 부착되는 센서는 센서가 떨어지거나 파손되어 타이어에 문제가 생기는 경우 인명사고와 연계될 가능성이 높기 때문에 내구성이 매우 중요하다. 현재 타이어 부착형 센서는 승용차 기준으로 12g 이하를 추천하고 있으며, 더 무거워지면 주행 시 타이어 밸런스에 영향을 주어 떨림과 이상마모 등이 발생할 수 있다. 따라서 센서의 경량화를 위해서 다양한 연구가 진행 중이다.

현재 센서의 구성은 메인 칩과 회로기판 그리고 배터리가 포함되며, 이 회로를 케이스나 전체 몰딩을 통해 보호하고 있다. 칩은 TPMS(Tire Pressure Monitoring Sensor)에 사용되는 칩과 동일하며 타이어 공기압과 온도, 가속도 등을 계측할 수 있으며, 간단한 프로그래밍이 가능하다. 또한 회전하는 타이어에서 계측한 데이터를 유선으로 송신하는 것은 불가능하기 때문에 무선 송수신이 가능하도록 설계되었다. 현재는 RF(Radio Frequency, 433/315MHz)를 사용하고 있으나 저전력 BLE나 Wi-Fi 등을 사용할 수도 있으며 이러한 소자들을 사용하기 위해서는 저전력화와 경량화가 필수적이다. 이를 위해 ASIC 설계 기술이 매우 필요하며 자동차용 반도체 설계 수준 또는 그 이상의 수준이 필요할 수 있을 것이다. 또한 배터리의 수명 한계를 극복하고 실시간 노면 추정 및 이상상태 판단을 위해 에너지 하베스터(Energy harvester)에 대한 관심이 높아지고 있다. 에너지 하베스터는 에너지의 변환을 통해 전력을 생성하고 공급하는 자가 발전 모듈로써 내구성과 효율성을 높이는 전력전자 기술이 필요하다.

타이어와 센서의 결합

Attachment Solution

인텔리전트 타이어가 되기 위해서는 타이어 내부에 센서가 존재해야 한다. 하지만 타이어는 안전을 담보하는 자동차 부품으로 타이어가 문제가 생기는 경우 인명사고와 연결될 가능성이 매우 높다. 그래서 타이어 회사에서는 그림 3과 같이 타이어 공기압이 0이 되는 상황 즉, 펑크가 나도 80km/h의 속도로 한 시간 동안 주행이 가능

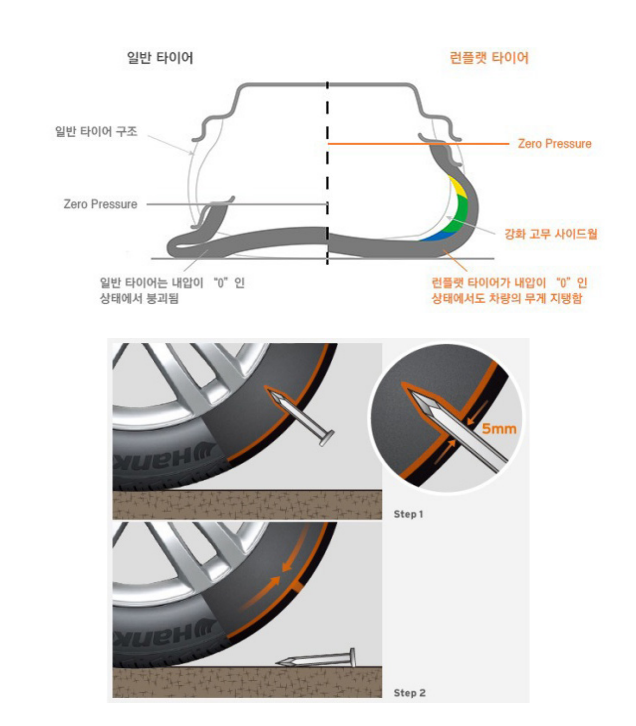


그림 3. 한국타이어의 Run flat Tire(상), Sealant Tire(하)

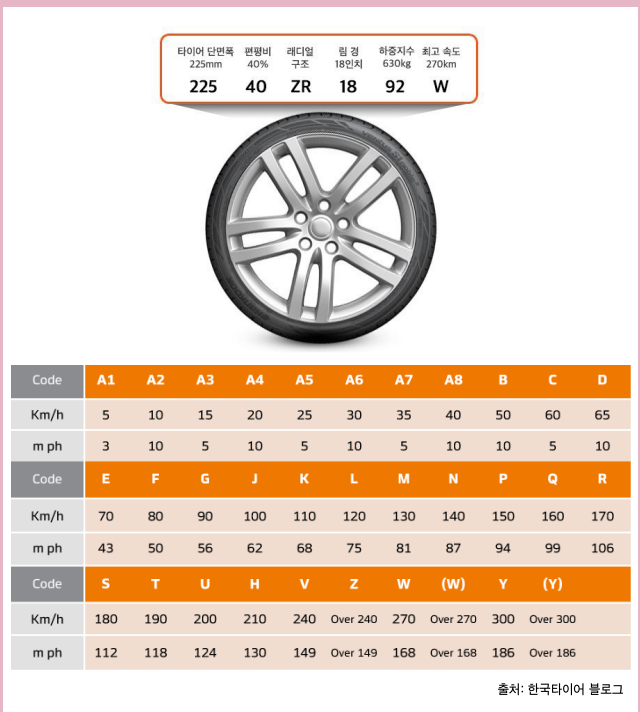
한 Run Flat Tire나 펑크가 발생하면 펑크 부위를 스스로 메우는 Sealant Tire 등 안전을 위한 상품을 출시하고 있다. 그렇다면 타이어 내부에 센서는 어떻게 삽입 또는 부착될까?

타이어 구조상 센서가 삽입되는 형태는 대부분의 타이어 회사에서 안전상 이유로 적용하지 않고 있다. 타이어 내부에 하나의 센서가 삽입되면 타이어 구조가 비대칭이 되어 타이어 밸런스에 문제가 발생하여 내구성에 영향을 미치게 된다. 다수개의 센서를 삽입하여 밸런스 문제를 해결한다고 해도 연비 향상에 초점을 맞춘 경량화 트렌드에 벗어나며, 타이어 압력을 계측을 하기 위해 내부 통로가 형성되어야 하는데 이 통로가 weak point가 되어 타이어가 쉽게 파손될 수 있다. 이러한 이유로 삽입되는 센서의 형태보다 타이어 내측 표면에 부착되는 형태로 개발이 진행 중이다. 또한 타이어 내부 표면에 부착하는 경우 센서의 파손이나 기능 이상 시 교체가 용이하며 파손 유무를 육안으로 확인 가능한 장점이 있다. 타이어 내부에 부착하기 위해서는 센서가 타이어의 재질과 잘 부착될 수 있도록 센서와 타이어 표면을 연결해주는 인터페이스가 필요하다. 타이어 제조사에서는 이 인터페이스 개발을 포함한 부착 기술 개발에 심혈을 기울이고 있다.

인텔리전트 타이어의 기능

Estimation Tech or Features

인텔리전트 타이어의 기능은 공기압 모니터링과 Tire ID 기능, 그리고 하중 추정기술과 마모 추정기술 그리고 노면 추정과 타이어 이상상태 판단 기술 등이 있다. 공기압 모니터링 기술과 Tire ID 기능은 이미 보편화된 기술로 공기압 모니터링 기술은 현재 국내에서 출시되는 승용차에 의무 장착 중인 TPMS를 통해서도 얻을 수 있다. 또한 Tire ID는 차량의 운행조건과 주변 기온을 센싱하여 현재 장착된 타이어가 자동차에 맞는지 또는 계절에 맞는 타이어인지 알려주는 기능이다. 모든 타이어에는 속도 제한이 있으며 차량에 맞게 타이어가 설계되므로 그림 4와 같이 타이어 외면에 표기된 속도 표기에 따라 타이어를 선택하도록 도와주고, 여름용 타이어가 장착된 차량은 겨울이 되면 타이어 교체 알림을 제공함으로써 겨울철 안전 운행을 도와 주는 기능을 제공한다.



Code	A1	A2	A3	A4	A5	A6	A7	A8	B	C	D
Km/h	5	10	15	20	25	30	35	40	50	60	65
m ph	3	10	5	10	5	10	5	10	10	5	10
Code	E	F	G	J	K	L	M	N	P	Q	R
Km/h	70	80	90	100	110	120	130	140	150	160	170
m ph	43	50	56	62	68	75	81	87	94	99	106
Code	S	T	U	H	V	Z	W	(W)	Y	(Y)	
Km/h	180	190	200	210	240	Over 240	270	Over 270	300	Over 300	
m ph	112	118	124	130	149	Over 149	168	Over 168	186	Over 186	

출처: 한국타이어 블로그

그림 4. 타이어 사이드월 표기(상), 내용과 스피드 심볼(하)

위에서 언급한 다양한 기능 중 가장 핵심은 추정기술이라 할 수 있다. 타이어에 부착하는 기술이나 센서는 상대적으로 개발 기간이 짧은 편이지만 인텔리전트 타이어의 기능 즉, 추정 기술은 수많은 테스트를 통해 좋은 알고리즘을 만들고, 이를 기반으로 정확한 추정기법을 확보해야 하기 때문에 센서개발이나 부착 기술을 개발하는 것보다 더 많은 시간을 필요로 한다. 본 기술을 개발하는 업체마다 차이가 있지만 한국타이어에서는 국내외 유명 연구기관과 함께 인공지능 기법을 활용하여 기술을 개발하고 있다.

그림 5. 한국타이어의 하중 추정 기술(좌), 마모 추정 기술(우) 컨셉도

인텔리전트 타이어의 대표적인 기능으로는 하중 추정기술, 마모 수준 추정기술, 노면 상태 추정기술, 타이어 이상상태 판단 기술 등이 있다. 그림 5와 같이 하중 추정 기술과 마모 수준 추정 기술은 센서가 위치한 부분이 지면과 접촉할 때를 계측하여 하중과 마모 수준을 추정하는 기술이다. 본 기술이 상용화되면 차량의 무게뿐만 아니라 어느 타이어에 하중이 많이 가해지는지 확인할 수 있어 무게에 따라 적절한 차량 제어 또는 적재위치의 변경이 가능할 것이다. 또한 현재 주행

상태를 반영하여 타이어 교체 시기 알림, 최저가 또는 현재 이용 상품을 보유한 가까운 타이어 서비스 점포를 안내해주는 서비스까지 가능할 것이다. 타이어의 사이즈나 종류를 굳이 알 필요도 없으며 타이어 서비스 점포를 선택하면 알아서 타이어 선택과 교체 가능일정, 지불까지 가능한 시스템으로 진화할 것이다.

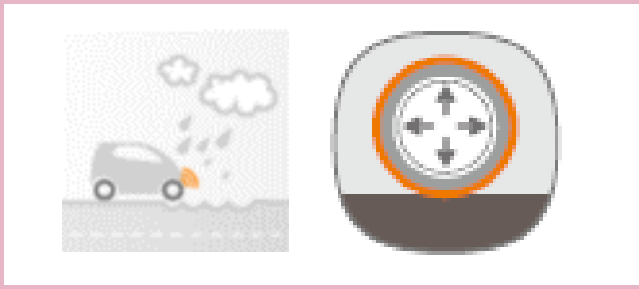


그림 6. 한국타이어의 노면 추정 기술(좌), 이상상태 판단 추정 기술(우) 컨셉도

그림 6에서 나타내고 있는 노면 추정기술과 타이어 이상상태 판단 기술은 타이어가 실시간으로 상태를 판단하여 자동차 제어 시스템에 정보를 전달하면 자동차는 노면 상태에 따른 적절한 제구동력을 배분하여 최적 드라이빙을 제공할 수 있도록 한다. 그림 1에서도 보여진 바와 같이 선행 차량이 노면을 통과하면서 얻은 정보를 후행차량에 공유하여 사고를 미연에 방지할 수 있으며, 타이어에 이상이 발생하는 경우 즉시 알림을 통해 운행 가능 여부를 판단할 수 있을 것이다. 자율 주행 자동차에서는 타이어의 상태와 하중, 노면 등을 고려하여 최적 운전 상태를 유지할 것이며, 선행 차량에서 공유하는 노면 정보를 받아 최적 드라이빙에 활용할 수 있을 것이다. 자율주행에만 인텔리전트 타이어가 활용되는 것은 아니다. 자율주행과 공유경제가 활성화 되더라도 자가 운전자는 존재할 것이며, 최적 드라이빙을 제공하기 위해 인텔리전트 타이어는 운전자에게 최적 운행 정보를 제공함과 동시에 운전 패턴을 분석하여 리포트를 제공하는 수준까지 개발될 것이다. 물론 상기 언급한 내용들은 근래에 완성되는 기술은 아니며 앞으로도 더 많은 연구개발이 진행되어야 가능한 기술이다.

인텔리전트 타이어의 미래

현재 인텔리전트 타이어는 하나의 센서로 모든 상황을 계측해야 한다는 단점이 있다. 극단적으로 센서가 부착된 부분과 반대쪽의 마모수준이 다르다면 어떨까? 센서가 부착되지 않은 쪽의 마모 수준이 매우 나쁘다면 펑크가 날 때까지 모를 수도 있다. 이러한 다양한 경우를 대비하기 위해 타이어 내부 전체에서 계측을 하고 정보를 실시간으로 공유할 수 있는 기술들이 개발 중에 있다.

3D 프린터를 비롯한 인쇄기술의 발달 그리고 다양한 재료의 발견 및 개발, 초소형 센서 기술, 휘어지거나 접히는 디스플레이의 개발 등 다양한 분야에서 기술 발전이 인텔리전트 타이어에도 적용될 것이며 다양한 인텔리전트 타이어, 아니 새로운 개념의 타이어들이 등장할 것으로 기대된다.

이러한 인텔리전트 타이어들은 자율주행 자동차를 비롯하여 미래 자동차에 필수 부품이 될 것이다. 왜냐하면 타이어의 정보가 없는 상태에서 자동차를 움직이는 것 자체가 안전에 대한 큰 위협이 되기 때문이다.

맺음말

4차 산업을 비롯한 기술의 발달, 그리고 기술의 융합은 자동차를 더 이상 운송 수단으로 사용되는 것을 원하지 않고 새로운 공간으로 변화시키고 있다. 최근 인공지능과 자율주행, 센서 기술이 급속도로 발전함에 따라 인간이 자동차를 직접 운행하지 않아도 되는 수준에 이르렀다. 수많은 센서들을 통해서 전방의 상황을 예의 주시하고 있으며 사고를 미연에 방지하도록 소프트웨어까지 개발되고 있다.

하지만 드라이빙에 있어서 가장 중요한 센서는 타이어가 될 수 있다. 노면과 접촉하는 유일한 부품인 타이어에서 가장 정확하게 노면 상태를 비롯한 운행 상태를 계측하고 정보를 전달할 수 있다. 타이어의 상태를 알지 못하면 자동차의 운행이 되지 못할 가능성도 높아진다. 왜냐하면 타이어는 안전을 담당하는 부품이기 때문이다.

타이어는 센서와 통신이 융합되어 인텔리전트 타이어가 되었고, 인텔리전트 타이어는 타이어의 상태를 실시간으로 제공하여 자동차의 운행에 중요한 역할을 함과 동시에 노면 정보를 실시간으로 제공함으로써 교통 시스템에까지 중요한 정보를 제공할 수 있다. 이러한 인텔리전트 타이어는 현재 연구개발 수준이며 더 많은 기능이 개발되고 더 많은 분야의 기술이 접목되어 더 큰 시스템으로 진화할 것이라 생각한다. 가장 보수적인 부품인 타이어에도 전기전자공학/IT라는 기술이 융합되어 새로운 드라이빙을 제공하는 이것이 바로 인텔리전트 타이어이다.

저자정보

소 순 홍 책임연구원

소 속
한국타이어 연구개발본부

주 연구분야
인텔리전트 타이어 시스템 및
신개념 타이어 개발

E-mail
soonhongso@hankooktire.com

MyChip Station Pro™

Hierarchical layout design

- Hierarchy 구조의 설계 가능 하며 Edit-in-place를 사용하여 편집 가능
- 이 기능을 통해 화면에 표시되는 속도를 혁신적으로 높였으며 데이터 저장 용량도 대폭 줄임

Command line interface

- 마우스 외에 명령어로 모든 메뉴 사용 가능, Command Helper를 통한 command 설명 및 예제 지원

Macro

- 여러 가지 명령어를 하나의 명령어로 만들어 실행

User Programmable Interface

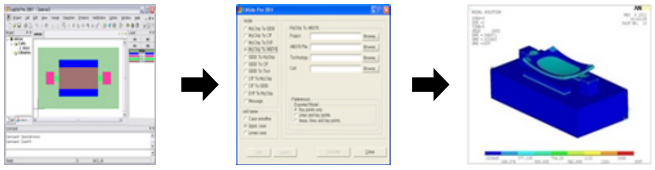
- VBS(Visual Basic Script)을 사용 가능하여 복잡하고 대량의 디자인을 간단하고 빠르게 설계 할 수 있음

Various Layout editing function :

Align Objects, Window Stretch, Size, Flatten, Group / Ungroup, Reference point Repeat / Rotate / Reflect / Array objects, Boolean Operations, Corner / Octbias

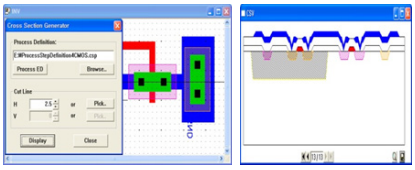
ANSYS format support

3D MEMS 해석을 위해 Ansys 인터페이스 포맷 지원



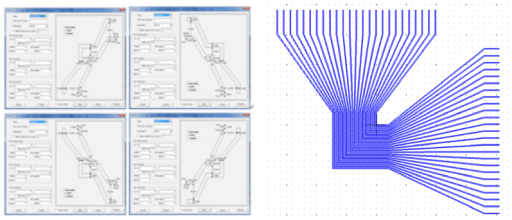
Cross Section View

Layout 단면도(Cross Section View) 지원



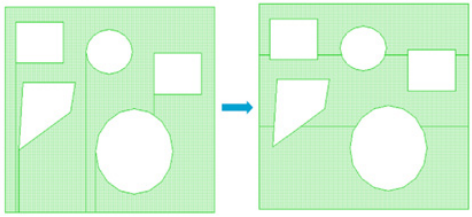
Auto Wiring

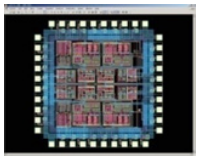
수직/수평/수직 후 수평/수평 후 수직 자동 배선 기능



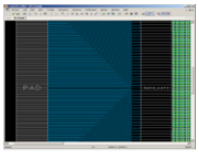
Chopping at Hole

Hole이 있는 object를 자동 분할하는 기능



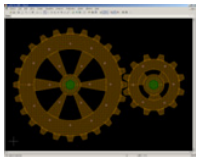


IC Layout

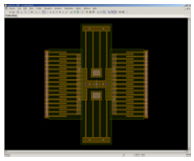


Auto Wiring

Pixel Array



MEMS-Gear



MEMS-Comb

SELOCO

서울시 송파구 기릭로 139-1 장원빌딩 3층
Tel : 02-3432-1210 E-mail : mycad@seloco.com Homepage : http : //www.mycad.co.kr

산업통상자원부 beyond leading technology KIAT KSIA 한국반도체산업협회

SAMSUNG 삼성전자 SK hynix MagnaChip Amkor Technology®

반도체설계교육센터 (IDEC) Homepage. http://www.idec.kr TEL. 042-350-8540 | 본 월간지는 "지능형반도체 전문인력양성사업(2018)"의 일환으로 수행되었습니다.