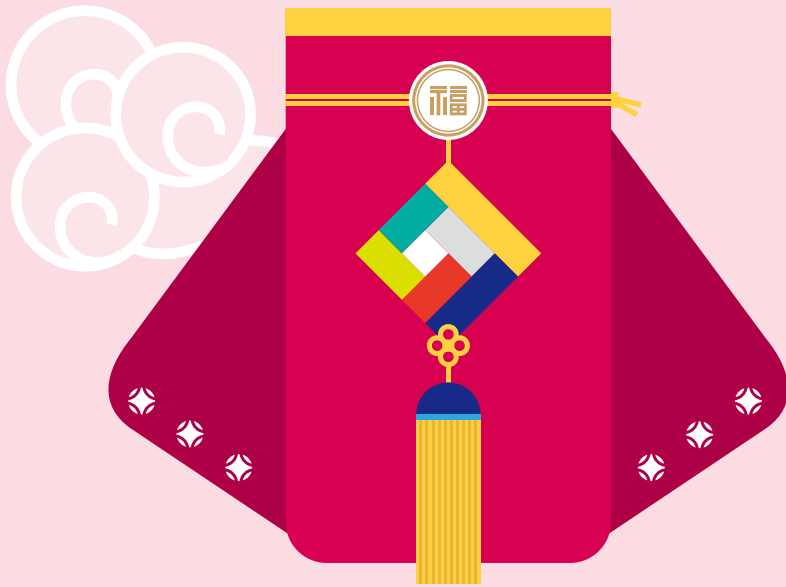


IDECC Newsletter

Vol. 248



2018 February

IDECC 뉴스 2018년 2월 MPW, CDC, 교육 안내
기술동향칼럼 고해상도 데이터변환기용 델타 - 시그마 기술동향
기획칼럼 EDA Tool 소개 (YURA사 CADvizer Logic)
특집기사 이동통신 네트워크 시스템의 새로운 패러다임 - 스몰셀의 약진



반도체설계교육센터
IC DESIGN EDUCATION CENTER



MPW 관련 문의

이의숙 책임 (yslee@idec.or.kr, 042-350-4428)

2017년 MPW 진행 내역

- 3개 공정 10회 모집 결과 : 279개팀, 907명 설계자 참여
- 공정별 칩제작 참여 내역

공정	삼성	매그나칩/SK하이닉스	
	65nm	180nm	350nm
제작팀수	109	135	35

2018년 MPW 공정 및 진행 일정 공지

- 지원 공정 세부 내역

회사	공정[μm]	공정내역	설계면적 (팀별)	칩수 /1회	모집 횟수	Package 사용가능 pin수(Design)	Package type
삼성	65nm RFCMOS	CMOSRF 1-poly 8-metal	4mm x4mm	40	1	208pin	LQFP/ BGA 208pin
매그나칩/ SK하이닉스	180nm CMOS	CMOS 1-poly 6-metal (6 metal을 Thick metal(TKM)로만 사용 가능) (Optional layer (DNW, HRI, BJT,MIM) 추가)	3.8mm x3.8mm	25	5	200pin	MQFP/ BGA 208pin
	350nm CMOS	CMOS 2-poly 4-metal (Optional layer (DNW, HRI, BJT, CPOLY) 추가)	5mm x4mm	20	2	144pin	

- 2월중 web 공지와 참여대학에 개별 안내될 예정

진행 일정 및 공정 내역

- 모집은 정규모집으로만 진행됩니다. 미달시 일정기간 선착순으로 추가 모집합니다.
- S65-1801회 (삼성 65nm) 는 서버가 구축된 팀 참여를 권장합니다. (칩 제작 기간 : 1.5~2개월 예상)
- 2월 모집회차 : MS180-1803회 매그나칩/SK하이닉스 180nm, MS350-1801회 매그나칩/SK하이닉스 350nm

회차구분 (공정_년도순서)	정규모집 신청마감	제작칩수	DB마감 (Tape-out)	Die-out	공정
S65-1801	2018.01.12	40	2018.05.07	2018.11.12	삼성 65nm
S65-1802	2018.03.09	40	2018.09.10	2019.03.18	
S65-1803	2018.07.06	40	2019.01.07	2019.07.19	
MS180-1801	2018.01.16	25	2018.03.19	2018.08.20	매그나칩/SK하이닉스 180nm
MS180-1802	2018.01.16	25	2018.05.21	2018.10.22	
MS180-1803	2018.02.09	25	2018.07.23	2018.12.24	
MS180-1804	2018.04.13	25	2018.09.17	2019.02.18	
MS180-1805	2018.06.08	25	2018.12.03	2019.05.06	
MS350-1801	2018.02.09	20	2018.06.11	2018.10.08	매그나칩/SK하이닉스 350nm
MS350-1802	2018.07.06	20	2019.01.14	2019.05.13	

- 일정은 사정에 따라 다소 변경될 수 있음.
- 회차표기 : 공정코드-년도 모집순서 (예시) 삼성 65nm 2018년 1회차 : S65-1801)
- 모집기간 : 모집 마감일로부터 2주 전부터 접수
- 선정결과 : 모집 마감 후 2주 후 결정
- NDA 접수, PDK 배포 : 선정 후 2주 이내 완료
- Package 제작은 Die out 이후 1개월 소요됨.

2018년 IDEC MPW 지원 내역 및 일정

MPW 지원 내역

아래 지원 내역은 공정사의 사정에 따라 변경될 수 있음.

회사	공정	공정내역	설계면적 (팀별)	칩수 /1회	모집 횟수	Package 사용 가능 pin 수 (Design)	Package 실제작 type
삼성	65nm RFCMOS	CMOSRF 1-poly 8-metal	4mm x4mm	40	3	208pin	LQFP / BGA 208pin
매그나칩/ SK하이닉스	180nm CMOS	CMOS 1-poly 6-metal (6 metal을 Thick metal (TKM)로만 사용 가능)(Optional layer (DNW, HRI,BJT,MIM) 추가)	3.8mm x3.8mm	25	5	200pin	MQFP / BGA 208pin
	350nm CMOS	CMOS 2-poly 4-metal (Optional layer (DNW, HRI,BJT, CPOLY) 추가)	5mm x4mm	20	2	144pin	

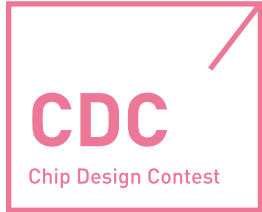
참여 대상 IDEC 참여대학의 학부 및 대학원생

MPW 진행 일정

- 아래 일정은 공정사의 사정에 따라 변경될 수 있음.
- 삼성 65nm 1회차(S65-1801)의 경우는 진행 일정 문제로 기존 서버를 보유하고 있는 설계팀만 참여가 가능합니다.

회차구분 (공정_년도순서)	정규모집 (신청마감)	제작 칩수	DB 마감 (Tape-out)	Die-out	공정
S65-1801	2018.01.12	40	2018.05.07	2018.11.12	삼성 65nm
S65-1802	2018.03.09		2018.09.10	2019.03.18	
S65-1803	2018.07.06		2019.01.07	2019.07.19	
MS180-1801	2018.01.16	25	2018.03.19	2018.08.20	매그나칩/SK하이닉스 180nm
MS180-1802	2018.01.16		2018.05.21	2018.10.22	
MS180-1803	2018.02.09		2018.07.23	2018.12.24	
MS180-1804	2018.04.13		2018.09.17	2019.02.18	
MS180-1805	2018.06.08		2018.12.03	2019.05.06	
MS350-1801	2018.02.09	20	2018.06.11	2018.10.08	매그나칩/SK하이닉스 350nm
MS350-1802	2018.07.06		2019.01.14	2019.05.13	

- 회차 표기 방법 변경 : “공정코드-년도모집순서”(예시)삼성65nm 2018년 1회차 : S65-1801)
- 모집 : 정규모집으로만 진행됩니다. 미달시 일정기간 선착순으로 추가로 모집합니다 (* 신청접수 기간 : 모집 마감일로부터 2주전부터 접수)
- 선정 결과 : 모집 마감 후 15일내 개별 통보
- 설계설명회 : 회차별 정규모집 마감 후 1~2주내 개최
- Package 제작 : Die out 이후 1개월 소요됨.



CDC 관련 문의

김하늘 주임 (kimsky1230@idec.or.kr, 042-350-8535)

IDEC에서는 MPW 참여팀에 한해 CDC 참여팀 등록비의 절반을 지원합니다.

제25회 한국반도체학술대회 Chip Design Contest 안내

시간 및 장소

- 일시 : 2017년 2월 6일 (화) ~ 2월 7일 (수)
- 장소 : 정선 강원랜드 컨벤션호텔 (강원도 하이원리조트)

Final Program

2월 6일 (화)

일시	내용	장소	비고
08:15-09:00	CDC 구두 발표	5층 함백 (room D)	
08:15-17:30	CDC 포스터 전시	5층 로비	포스터는 지정된 패널 위치에 10:00까지 반드시 부착해 주셔야 합니다.
17:40-20:00	만찬	5층 컨벤션홀	

2월 7일 (수)

일시	내용	장소	비고
13:15~14:45	CDC 구두 발표	5층 태백 (room B)	

수강을 원하는 분은 IDEC 홈페이지 (www.idec.or.kr) 를 방문하여 신청하시기 바랍니다.

강좌일정

센터명	강의일자	강의 제목	분류
본센터	2월 5-7일	Arduino 프로그래밍 및 하드웨어 기초	설계강좌
	2월 8-9일	Mixed Signal Simulation Using AMS Designer	Tool강좌
	2월 8-9일	3D프린터와 레이저커팅을 활용한 메이킹	설계강좌
	2월 12-13일	CPF_UPF를 이용한 저전력 Verilog RTL 설계 방법론	설계강좌
	2월 12-13일	반도체 개발 실무 기본과정	설계강좌
	2월 19-23일	[IDEC 연구원 교육] Cell-Based 설계 Flow 교육	설계강좌
	2월 26-28일	System Verilog Testbench	Tool강좌
광운대	2월 7-9일	Cortex-M0 DesignStart 기반의 SoC 플랫폼 구성 및 활용	설계강좌
	2월 20-21일	32bit 컴퓨터 Verilog 구현	설계강좌
부산대	2월 6-8일	Verilog을 이용한 digital system 설계	설계강좌
	2월 20-22일	CMOS Analog 전자회로설계	설계강좌
성균관대	2월 1-2일	Full custom Design Flow 및 설계노하우	설계강좌
	2월 9일	ESD 보호 회로 기술	설계강좌
	2월 12-13일	지능형 IoT 시스템을 위한 데이터변환기 설계	설계강좌
	2월 19일	고효율 IoT용 Regulator 설계	설계강좌



본센터

2/5-7

강좌제목 Arduino 프로그래밍 및 하드웨어 기초

강사 권재원 개발팀장(썬민트세이지)

강좌개요

- 프로토타입 제작에 많이 사용하는 Arduino를 이용해 간단한 프로그래밍, 전자 및 사고 문제 해결 기술을 가르치는 강의입니다.

- Arduino를 처음 경험한 사람들을 위해 Arduino Framework의 일부로 C / C++ 프로그래밍의 기초를 설명하고 간단한 회로를 작성하는 방법에 대해 배웁니다.

수강대상 전자 또는 프로그래밍 경험이 거의 없거나 전혀없는 일반인

강의수준 초급 **강의형태** 이론+실습

사전지식 · 선수과목 Arduino 배경 지식

2/8-9

강좌제목 Mixed Signal Simulation Using AMS Designer v14.2 (AVUM GUI (ADE) Use Model)

강사 이상철 부장(케이던스코리아)

강좌개요

Virtuoso AMS Designer (Virtuoso Use Model)사용방법 교육

수강대상 Analog / Digital Mixed Signal Simulation Engineer

강의수준 중급 **강의형태** 이론+실습

사전지식 · 선수과목

사전지식 : Analog / Digital Design simulation

선수과목 : Verilog language / NC-Verilog Simulator / Spectre Simulator / Analog Design Environment/ Schematic Editor

2/8-9

강좌제목 3D프린터와 레이저커팅을 활용한 메이킹

강사 한승현 연구소장(썬썬)

강좌개요

4차산업혁명 시대의 대표적인 생산도구인 3d프린터와 레이저커팅의 기본개념과 사용 방법을 익히고, 자신의 아이디어를 3d프린터와 레이저커팅으로 구체화하는 방법을 익혀서 메이커정신을 갖춘다.

수강대상 석박사생 및 일반인

강의수준 초중급 **강의형태** 이론+실습

2/12-13

강좌제목 CPF_UPF를 이용한 저전력 Verilog RTL 설계방법론

강사 강웅구 이사(테크스퀘어)

강좌개요

본 강의에서는 SoC 및 Embedded System을 설계하는데 있어서 가장 심혈을 기울여 SPEC 단계에서부터 고려되어야 하는 Low Power 문제를 짚어보고, 다양한 Low Power Technology를 이해한다. 이후 현 삼성 LG 등의 대형 Project에서 적용된 기법과 또한 Advance된 Low Power 설계를 위해서, 적용된 Verilog Design 설계와 CPF 사용 기법을 숙지한다. 동시에 설계된 Function Verification을 위해 Cadence 사의 NCVerilog를 이용한 실습과 함께 진행함으로써, 현장에서 실 Project를 수행할 수 있는 실무능력을 키운다.

수강대상 Verilog 회로설계 엔지니어 및 학생

강의수준 초중급 **강의형태** 이론+실습

사전지식 · 선수과목 Verilog 숙지자



수강을 원하는 분은 IDEC 홈페이지 (www.idec.or.kr) 를 방문하여 신청하시기 바랍니다.

2/12-13

강좌제목 반도체 개발실무 기본과정

강사 이창훈 이사(반도체기술인협동조합)

강좌개요

반도체 핵심 제품인 DRAM/FLASH/AP_Modem/CIS 등의 동작원리와 핵심기술을 이해하고, 제품을 구현하기 위한 단위공정 및 제품공정의 기본지식과 신기술을 이해한다.

수강대상 반도체 개발 관련 지식을 공부하려는 학부, 대학원생, 재직자

강의수준 중급 강의형태 이론

사전지식·선수과목 반도체 소자물리 기초

2/19-23

강좌제목 [IDEC 연구원 교육] Cell-Based 설계 Flow 교육

강사 선혜승 연구원(IDEC), 김연태 연구원(IDEC)

강좌개요

- 디지털 칩 설계 전체 과정 중, 본 과정은 Front - End 과정을 다루는데 초심자의 눈높이에 맞추어 이론과 실습을 진행한다. 기존의 Front-End 강좌에 Verdi Verification 과정을 추가하여 새롭게 업데이트 했다.

- IC Compiler를 이용한 Layout 방법을 소개하고 Back-end 과정 진행 시 주의 사항에 대해서 학습할 수 있도록 한다.

수강대상 대학(원)생, 회사원

강의수준 초급 강의형태 이론+실습

사전지식·선수과목 디지털 논리회로, Verilog Language

2/26-28

강좌제목 SystemVerilog Testbench

강사 김기욱 부장(Synopsys)

강좌개요

- System Verilog 문법을 익힌다.

- DUT(Design)를 SystemVerilog Testbench를 이용해서Coverage-driven random stimulus를 이용한 검증방법을 익힌다.

수강대상 SystemVerilog를 배우고자 하는 Engineer, 학생

강의수준 중급 강의형태 이론+실습

문의 | 본센터 IDEC 김영지 (042-350-8536, yjkim@idec.or.kr)



광운대

2/7-9

강좌제목 Cortex-M0 DesignStart 기반의 SoC 플랫폼 구성 및 활용

강사 김지훈 교수(서울과학기술대학교), 이영주(POSTECH)

강좌개요

- CPU Core를 중심으로 하는 HW/SW Interface 이해

- ARM Cortex-M0 프로세서 이해

- MDK-KEIL을 이용한 ARM Cortex-M0 SW 개발

- AMBA AHB-Lite기반의 SoC 구조 이해

- 구성된 SoC 플랫폼 상에서의 Firmware 작성을 통한 동작 검증

- FPGA Prototyping

수강대상 학부생, 대학원생, 일반인

강의수준 초급 강의형태 이론+실습

사전지식·선수과목 C 프로그래밍 / Verilog HDL / 논리회로 / 컴퓨터구조

2/20-21

강좌제목 32bit 컴퓨터 Verilog 구현

강사 심규현 박사(한성대학교)

강좌개요

- 32bit 컴퓨터 전체 구조

- Altera Nios CPU, Altera avalon bus, Memory, I/O 세부 구조

- C언어 code 개발환경

- Verilog로 32bit 컴퓨터 구현

- C언어로 polling, interrupt, DMA I/O code 구현

- 구현된 컴퓨터를 verilog simulation해보기

- 실습보드(Altera DE1-SoC)에서 실행하기, SW 디버깅하기, HW 디버깅하기

수강대상 학부생, 대학원생, 일반인

강의수준 초급 강의형태 이론+실습

사전지식·선수과목 C 프로그래밍 / Verilog HDL / 논리회로 / 컴퓨터구조

문의 | 광운대 IDEC 김은아 (02-940-5448, smartipc@kw.ac.kr)

수강을 원하는 분은 IDEC 홈페이지 (www.idec.or.kr) 를 방문하여 신청하시기 바랍니다.



부산대

2/6-8

강좌제목 Verilog을 이용한 Digital System 설계

강사 강봉순 교수(동아대학교)

강좌개요

디지털 하드웨어 설계의 국제 표준언어인 Verilog HDL의 기초이론과 응용에 대하여 학습한다. 습득한 이론을 바탕으로 기능 블록을 설계하고, 최종적으로 디지털 전자시스템의 전체 기능을 Verilog HDL을 이용하여 설계한 후에 Training Kit에 Download 하여 기능을 확인한다.

수강대상 2학년 수료자, 디지털 논리회로 설계 초보자

강의수준 초중급 **강의형태** 이론+실습

사전지식·선수과목 논리회로



성균관대

2/1-2

강좌제목 Full custom Design Flow 및 설계노하우

강사 남철상무(실리콘하모니)

강좌개요

- CMOS 공정 소개(TSMC/GF CMOS Process)
- Design Environment(Standard Lib/IO/Memory)
- CMOS Circuit Design/Layout/Verification

수강대상 4년 대학교 졸업자

강의수준 중급 **강의형태** 이론+실습

사전지식·선수과목 전자회로 / CMOS Analog Circuit Design

2/20-22

강좌제목 CMOS Analog 전자회로설계

강사 박주성 교수(부산대학교), 김태훈 교수(동의과학대학교)

강좌개요

기본적인 CMOS 및 전자회로에 대해 이해한다. 소자의 동작원리에서부터 왜곡의 원인과 해결책, 이득 결정 방법 등을 손으로 설계해보고 HSPICE를 이용하여 검증하여 체험적으로 이해한다.

수강대상 2학년 수료자, 아날로그 설계 초보자

강의수준 초중급 **강의형태** 이론+실습

사전지식·선수과목 논리회로, 전기회로, 전자회로1

2/9

강좌제목 CMOS Analog 전자회로설계

강사 구용서 교수(동국대학교)

강좌개요

BCD 공정이론 및 공정 process를 바탕으로 ESD 기본 이론 및 일반적인 ESD 보호회로의 동작원리를 강의한다. 그리고 기본 ESD 보호회로를 바탕으로 저/고전압용 ESD 보호 전략과 Analog IC ESD 보호회로의 기술에 대해 강의한다.

수강대상 학부 4학년 이상, Op-amp의 기본 원리 이해 선행자

강의수준 중급 **강의형태** 이론

사전지식·선수과목 전자회로설계

문의 | 부산대 IDEC 윤성심 (051-517-0172, idec@pusan.ac.kr)

문의 | 성균관대 IDEC 김성진 (031-299-4628, sun107ksj@skku.edu)



고속 고해상도 Continuous-Time Delta-Sigma ADC 기술동향

송석재 박사과정, 노정진 교수 | 한양대학교 전자공학부

고속 고해상도 ADC의 동향

아날로그-디지털 변환기(ADC)는 각종 센서, IoT, 오디오, 통신시스템 등에서 필수적인 회로이다. [그림 1]은 이러한 다양한 응용시스템 중에서 고속 데이터 변환을 필요로 하는 통신시스템의 기본 블록 다이어그램을 보여준다. 다양한 블록들 중 ADC는 통신의 속도와 질을 결정하는 중요한 블록이다.

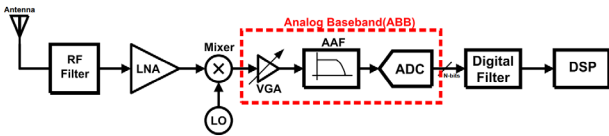


그림 1. 통신 수신기 블록 다이어그램

통신시스템에서는 저주파 센서에서 사용되는 ADC와는 다르게 고속의 아날로그 신호를 디지털로 변환해 주어야 하므로 Flash, Pipeline, SAR ADC 등의 Nyquist ADC 회로 구조를 주로 사용했다. 하지만 고속 회로에서도 좀 더 고해상도의 성능을 요구하게 되면서 최근에는 delta-sigma ADC 구조를 이용한 회로설계 연구가 활발히 이루어지고 있다. 과거에 delta-sigma ADC는 저주파 신호대역에서 고해상도 성능을 내기 위해 주로 사용하는 구조였지만 [그림 2]에서도 볼 수

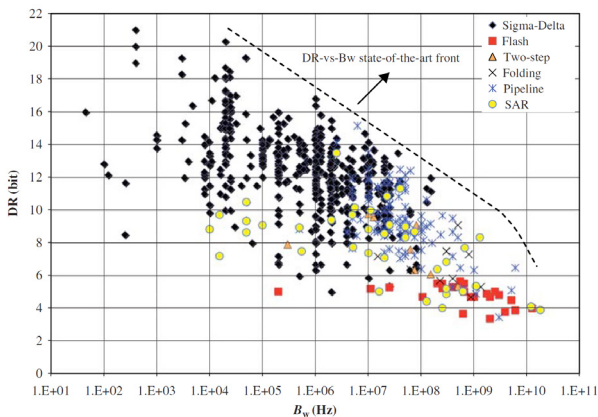


그림 2. Delta-sigma ADC 와 여러 Nyquist-rate ADC 의 DR vs. Bandwidth 비교 분포도

있듯이 공정 및 기술의 발달로 인해 고주파 대역으로 까지 범위가 확장되는 추세이다. 특히 continuous-time delta-sigma ADC 구조는 anti-aliasing filter(AAF) 효과도 회로 자체에 내재되어 있기 때문에 별도의 AAF 설계가 필요 없다¹. 즉, chip 면적과 전력 소비를 줄이는 데에도 장점이 있기 때문에 전력 효율이 중요시 되는 요즘, 사용하기에 적합한 구조로 평가받고 있다.

Continuous-Time Delta-Sigma ADC 기본구조 소개

Continuous-time delta-sigma ADC 소개에 앞서 oversampling delta-sigma ADC의 기본적인 개념을 설명하도록 하겠다. [그림 3]에서는 oversampling delta-sigma ADC의 블록 다이어그램을 보여주고 있다. 첫 번째 단계는 anti-aliasing filter(AAF)이며 입력 신호를 oversampling 주파수의 절반보다 작은 주파수로 대역을 제한해야 한다. Oversampling의 비율이 클 경우, AAF는 RC low-pass filter와 같이 더 간단한 구조로 설계가 가능하다. AAF의 출력인 연속 시간 신호 $x_c(t)$ 는 sample and hold에 의해 샘플링 된다. 이 신호는 delta-sigma modulator에 의해 처리되어 아날로그 신호를 고주파 노이즈가 포함된 형태의 디지털 신호로 변환한다. 그 다음 decimation filter에서는 oversampling된 저해상도 디지털 신호를 고해상도 디지털 신호로 변환한다².

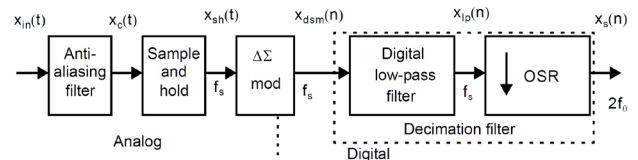


그림 3. Oversampling delta-sigma ADC 의 블록 다이어그램

Continuous-time delta-sigma ADC는 적분기로 구성된 루프필터 $H(s)$ 와 quantizer 그리고 feedback 경로에 있는 DAC로 구성된다. 이 구조는 Oversampling 기법과 feedback을 통해 quantization noise를 신호대역 밖으로 밀어냄으로써 SNR 성능을 향상시킨다. [그림 4]에서 (a)의 quantizer는 선형 회로가 아니기 때문에 해석이 어렵다. 일반적

으로 해석의 편의성을 위해 [그림 4]의 (b)와 같이 quantization noise를 $E(s)$ 로 표시함으로써 선형 모델링을 하여 분석하는 경우가 일반적이다. 루프필터로 표시된 $H(s)$ 는 크게 active-RC 적분기와 G_m -C 적분기 이렇게 두 가지 구조로 설계할 수 있다. [그림 5]에서는 흔히 사용되는 적분기 회로의 예를 보여주고 있다. 일반적으로 active-RC 적분기로 ADC 회로를 구현하는 것이 선형성 및 해상도 측면에서 G_m -C 적분기 보다 장점을 갖는다. 회로의 선형성이 낮은 경우 ADC에서는 harmonic이 발생하게 되므로 active-RC 적분기를 사용하면 G_m -C 적분기를 사용한 경우보다 선형성이 좋기 때문에 harmonic 측면에서 이점이 있다. Harmonic의 발생은 ADC의 해상도와 직결되기 때문에 active-RC 적분기를 사용한 경우에 좀 더 고해상도 성능을 갖는 ADC 설계가 가능하다.

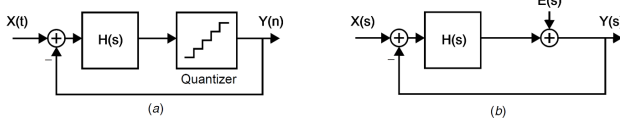


그림 4. Delta-sigma 모듈레이터 구성

반면에 G_m -C 적분기 구조는 상대적으로 적은 전력 소모에서 더 높은 신호대역을 얻는데 유리하다. [그림 6]에 active-RC, G_m -C, active-RC와 G_m -C의 혼합 구조를 사용한 continuous-time delta-sigma ADC의 신호대역 대비 dynamic range(DR) 분포도를 보여준다.

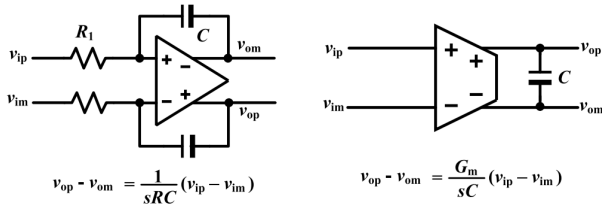


그림 5. Active RC 적분기(왼쪽)와 Gm-C 적분기(오른쪽)

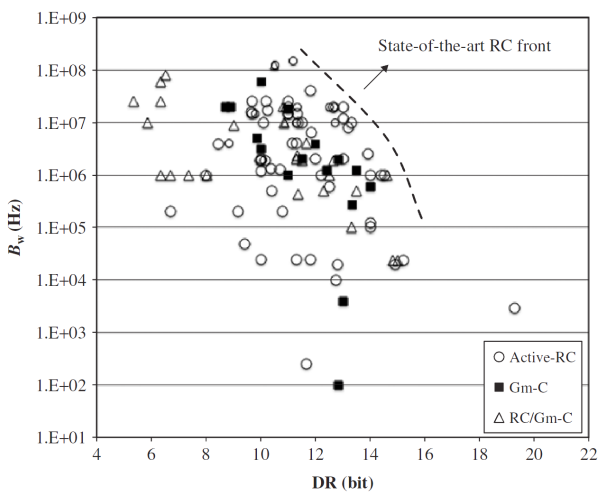


그림 6. Active-RC와 Gm-C 구조의 성능 분포도 (신호대역 vs. DR)

Continuous-time delta-sigma ADC의 많은 장점에도 불구하고 discrete-time delta-sigma ADC에 비해 몇 가지 단점이 존재하여

설계 시 이에 대해 고려해야 한다. 우선, 저항과 커패시터로 계수가 정해지기 때문에 실제 칩이 제작되었을 때 소자의 변화에 의한 계수 변동성이 많다. 이러한 계수의 변동은 곧바로 성능 감소를 일으킨다. 또한 switched-capacitor 구조와는 달리 샘플링과 적분을 타이밍 별로 따로 하는 것이 아니기 때문에 excess loop delay(ELD)와 jitter에 취약하다. 이와 같은 이슈를 다음 장에서 좀 더 자세히 소개하도록 하겠다.

Excess loop delay (ELD) 이슈

Continuous-time delta-sigma ADC의 경우에는 클럭마다 개별적으로 적분되는 동작이 아니라 신호가 계속해서 적분되는 구조이기 때문에 feedback(출력 신호가 quantizer, DAC, DEM 등의 회로는 거치는 과정)에서 생기는 ELD에 의해 오차가 발생한다. ELD는 전체 모듈레이터 루프의 stability를 나쁘게 만든다. [그림 7]은 continuous-time delta-sigma ADC의 간단한 블록 다이어그램이고 Clk_{ADC} 를 거쳐 나온 출력 데이터가 DAC 블록에 의해서 T_d 만큼 delay가 생기는 것을 보여준다. 또한 T_d 에 의해 DAC₂(t)만큼의 데이터 값이 한 클럭 뒤로 밀려남을 알 수 있다.

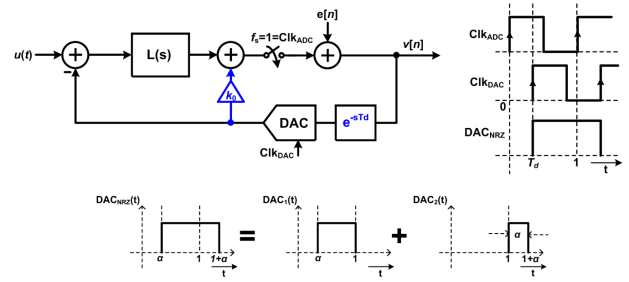


그림 7. Continuous-time delta-sigma ADC 구조의 Excess loop delay

이러한 문제를 해결하기 위해서는 ELD 보상을 해주어야 한다. 가장 기본적인 방법으로는 [그림 7]에서처럼 direct path를 적분기 출력 쪽에 놓지만 이 방식은 summing 회로가 추가적으로 필요하기 때문에 전력이 더 소모된다. 이를 보완한 것이 [그림 8]에 사용한 방식이다. [그림 8]에서는 [그림 7]에서와 달리 DAC 출력 신호가 마지막 적분기 입력 쪽으로 이동했음을 알 수 있다. Direct path gain인 k_0 를 [그림 8]에 표시한 부분처럼 변경하면 모듈레이터의 transfer function은 digital differentiation에 의해 상쇄되어 기존과 같게 유지된다. 이 방식을 사용하면 앞에서 말한 방식과는 달리 summing 회로가 필요 없게 된다. 최근에는 feed-forward와 feedback이 결합된 고속 continuous-time delta-sigma ADC 구조에 이 방식이 주로 사용되고 있다.

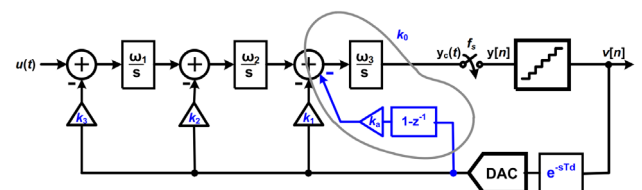


그림 8. Digital differentiator를 이용한 ELD 보상

[그림 9]는 direct path를 이용하여 ELD 보상을 한 예시이다. 앞에서 설명했듯이 summing 회로에서의 전력 소모를 피하기 위해서 direct path를 세 번째 적분기 입력 쪽으로 이동시켰다. 이 예시에서는 NRZ 펄스 모양보다 상대적으로 ELD에 영향이 적은 RZ 펄스 모양을 만들기 위해 NRZ DAC 두 개의 타이밍을 반 클럭 차이나게 하여 빼주는 아이디어를 사용하였다. 이러한 방법을 사용하게 되면 RZ DAC를 만들기 위해 기존에 필요하던 컨트롤 로직도 필요하지 않게 되어 전력 소모 측면에서 더 유리하다⁵.

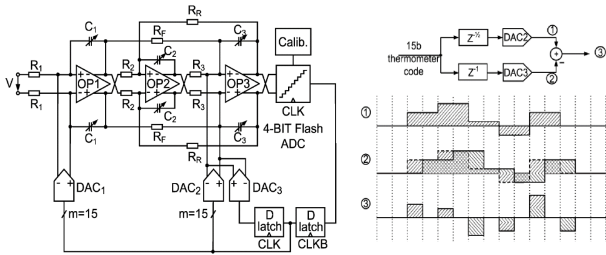


그림 9. RZ DAC direct path 를 이용한 ELD 보상 예시

Jitter 이슈

Discrete-time delta-sigma ADC의 경우에는 신호가 각 적분기 입력 쪽에서 이미 sampling되기 때문에 클럭 주기 안에만 settling이 되면 jitter에 의해 별 영향을 받지 않는다. 하지만 continuous-time delta-sigma ADC의 경우에는 feedback DAC의 출력 신호가 클럭이 on일 때 일정한 high 값이고 클럭이 off일 때 일정한 low 값을 가지기 때문에 클럭 jitter에 의해 오차가 발생한다. 이 문제는 DAC의 모양을 바꿔서 완화시킬 수 있다. 일반적으로는 current-steering 방식의 RZ DAC와 NRZ DAC 중에 선택할 수 있다. RZ DAC의 경우에는 NRZ DAC보다 high와 low로 변동되는 횟수가 2배 많기 때문에 그만큼 jitter에도 취약하다. 따라서 jitter 문제를 고려할 때 NRZ DAC를 일반적으로는 많이 사용한다. 좀 더 나아가 최근에는 NRZ DAC보다 더 jitter 영향을 줄이기 위해서 switched-capacitor-resistor(SCR) DAC를 이용하여 설계하는 논문도 많이 게재되고 있다. [그림 10]을 보면 SCR DAC 방식을 사용한 경우에 βT_s 근처에서의 미미한 settling 오차 부분만 jitter의 영향을 받기 때문에 current-steering DAC 방식보다 jitter에 의한 오차가 적은 것을 알 수 있다⁶.

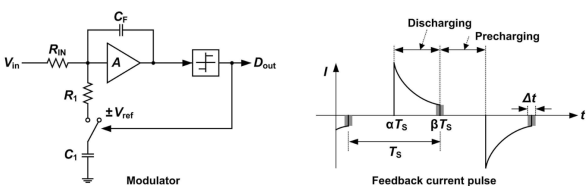


그림 10. SCR DAC 의 jitter 영향

Jitter 문제 완화를 위한 연구 중 SCR DAC 구조를 더 개선하여 변형시킨 full clock period switched-capacitor-resistor(FSCR) DAC 구조를 소개한다. 기존 SCR DAC는 반 클럭 $\beta T_s - \alpha T_s$ 만큼의 시간 동안

settling이 되어야 하지만 [그림 11]과 같이 회로를 구현하면 클럭의 전체 주기 시간 T_s 동안에만 settling이 되면 되기 때문에 상대적으로 amplifier의 전력을 줄일 수 있다. 또한 같은 성능의 amplifier를 사용한 경우에 settling이 더 잘 되기 때문에 jitter 영향도 줄일 수 있다⁷. 이와 같이 다양한 아이디어를 통한 jitter 문제 해결법들이 연구되고 있다.

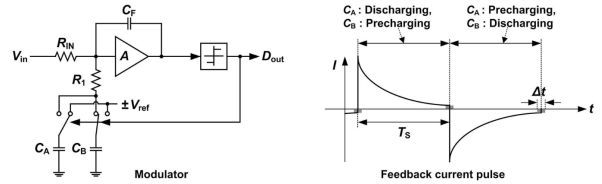


그림 11. FSCR DAC 의 jitter 영향

Continuous-time delta-sigma ADC 최근 논문 비교

표 1. 고속 continuous-time delta-sigma ADC 최근 논문 성능 비교

구분	5	8	9	10	11	12	13	14	15
fs (GHz)	0.64	1	1.5	4	0.64	6	2.2	3.2	8
BW (MHz)	20	50.3	50	125	15	60	25	53.3	465
DR (dB)	80	76.8	76.1	70	82.9	76	*	88	72
SNR (dB)	76	75.8	76.1	65.5	81.7	68.8	*	83.1	68
SNDR (dB)	74	74.4	73.5	65	80.4	67.6	77	71.4	67
Power (mW)	20	43	51.8	260	11.4	13.3	41.4	235	890
FoMs (dB)	170	167.5	166	156.8	174.1	164.1	*	171.6	520
FoMw (fJ/conv.)	122	99.8	134	710	44.1	56.5	143	107	159
Technology (nm)	130	40	65	45	130	65	65	28	28

[표 1]에 최근에 발표된 고속 continuous-time delta-sigma ADC 관련 논문의 성능을 비교하였다. 위 표를 보면 50MHz 정도의 신호대역에서 70-80dB의 DR를 얻으면서도 좋은 전력 효율(< 150 fJ/conv.-step)을 보이는 논문이 발표되고 있다^{8,9,14}. 이 논문들에서는 SNDR 성능을 향상시키면서 stability 문제를 완화시키기 위해 multistage noise-shaping(MASH) 구조를 사용하였다. MASH 구조는 2차 루프필터 두 개를 병렬로 연결하여 4차 루프필터의 noise-shaping 효과를 얻을 수 있고 2차 루프필터의 stability 특성을 가지는 장점이 있다. 또한 VCO quantizer nonlinearity cancellation 기법을 사용하여 선형성 및 매칭 문제도 어느 정도 해결하였다. 좀 더 고속인 125MHz 신호대역에서 70dB의 DR를 갖는 논문도 나와있다¹⁰. 이 논문에서는 고속 동작에서 전력 소모를 줄이기 위해 capacitive feedforward 구조를 사용하였다. Full feedback DAC 구조를 사용하면 각 DAC 회로가 amp 출력 단 마다 불기 때문에 amp의 속도를 높이기 위해 많은 전력을 써야 한다는 단점이 있다. 논문¹¹은 다른 논문들에 비해 속도가 빠르지 못하지만 double noise-shaped quantizer(DNSQ)라는 새로운 기법을 이용하여 SNDR 성능을 80dB 이상으로 끌어올렸다. 전력도 11.4mW만 사용하여 전력 효율 44.1fJ/conv.-step 임을 알 수 있다. 앞에서

언급한 논문들보다 훨씬 고속인 465MHz 신호대역에서 동작하는 칩의 논문도 발표되었다¹⁵. 이 칩은 28nm CMOS 공정을 사용하여 sampling frequency 8GHz에서 동작 가능하도록 하였다. 또한 MASH 구조를 사용하여 72dB의 DR를 얻었다. 전력 소모는 다소 많은 890mW를 사용하였지만 이 정도 신호대역에서까지 동작 가능한 delta-sigma ADC를 설계하였다는 것이 큰 발전이고 앞으로 FoM 측면에서도 더 개선된 논문들이 발표될 것으로 기대된다. 이와 같이 고속 continuous-time delta-sigma ADC 연구 및 개발이 많이 이루어지고 있으며 고속 통신에서 필수적인 부분으로 활용될 것이다.

결론

지금까지 continuous-time delta-sigma ADC의 간단한 구조와 주요 이슈들이 대해 살펴보았다. 최근에 계속해서 수십~수백 MHz 신호대역에서 동작하는 모뮬레이터에 관한 수많은 논문이 발표되고 있으며 FoM 측면에서도 발전되고 있다. 고해상도 continuous-time delta-sigma ADC의 속도 향상 및 ELD, jitter 이슈 등의 해결을 위한 연구가 활발함에 따라 통신시스템에서 더욱 빠르고 정확한 데이터 송·수신이 가능하게 될 것이다. 이러한 기술의 개발이 더욱 발달된 초고속 통신 기술 정착에 이바지하고 우리 일상에 많은 혁신을 불러오길 기대해 본다.

참고문헌

- ① Muhammed Bolatkale, Lucien J. Breems, Kofi A.A. Makinwa, High Speed and Wide Bandwidth Delta-Sigma ADCs, Springer, 2014.
- ② T. C. Carusone, D. A. Johns and K. W. Martin, Analog Integrated Circuit Design, 2nd ed. Hoboken, NJ, USA: Wiley, 2013.
- ③ D. Basak, D. Li, "A Gm-C Delta-Sigma Modulator With a Merged Input-Feedback Gm Circuit for Nonlinearity Cancellation and Power Efficiency Enhancement," IEEE Transactions on Circuits and Systems-I: Reg. Papers, pp. 1-14, accepted.
- ④ M. Keller, A. Buhmann, J. Sauerbrey, M. Ortmanns, and Y. Manoli, "A Comparative Study on Excess-Loop-Delay Compensation Techniques for Continuous-Time Sigma-Delta Modulators," IEEE Transactions on Circuits and Systems-I: Reg. Papers, vol. 55, no. 11, pp. 3480-3487, Dec. 2008.
- ⑤ G. Mitteregger, C. Ebner, S. Mechnig, T. Blon, C. Holuigue, and E. Romani, "A 20-mW 640-MHz CMOS Continuous-Time ADC With 20-MHz Signal Bandwidth, 80-dB Dynamic Range and 12-bit ENOB," IEEE Journal of Solid-State Circuits, vol. 41, no. 12, pp. 2641-2649, Dec. 2006.
- ⑥ S. Pavan, R. Schreier, and G. C. Temes, Understanding Delta-sigma Data Converters, 2nd ed. New York, NY, USA: Wiley, 2017.
- ⑦ J. Jo, J. Noh, and C. Yoo, "A 20-MHz Bandwidth Continuous-Time Sigma-Delta Modulator With Jitter Immunity improved Full Clock period SCR (FSCR) DAC and High-Speed DWA," IEEE Journal of Solid-State Circuits, vol. 46, no. 11, pp. 2469-2477, Nov. 2011.

- ⑧ A. Edward, C. Briseno-Vidrios, E. G. Soenen, "A 43-mW MASH 2-2 CT $\Sigma\Delta$ Modulator Attaining 74.4/75.8/76.8 dB of SNDR/SNR/DR and 50 MHz of BW in 40-nm CMOS," IEEE Journal of Solid-State Circuits, vol. 52, no. 2, pp. 448-459, Feb. 2017.
- ⑨ S. Dey, K. Reddy, K. Mayaram, T. S. Fiez, "A 50 MHz BW 76.1 dB DR Two-Stage Continuous-Time Delta-Sigma Modulator With VCO Quantizer Nonlinearity Cancellation," IEEE Journal of Solid-State Circuits, pp. 1-15, accepted.
- ⑩ M. Bolatkale, L. J. Breems, R. Rutten, and K. Makinwa, "A 4 GHz Continuous-Time ADC With 70 dB DR and 74 dBFS THD in 125 MHz BW," IEEE Journal of Solid-State Circuits, vol. 46, no. 12, pp. 2857-2868, Dec. 2011.
- ⑪ T. Kim, C. Han, N. Maghari, "A 4th-Order Continuous-Time Delta-Sigma Modulator Using 6-bit Double Noise-Shaped Quantizer," IEEE Journal of Solid-State Circuits, vol. 52, no. 12 pp. 3248-3261, Dec. 2017.
- ⑫ A. Jain, S. Pavan, "Continuous-Time Delta-Sigma Modulators With Time-Interleaved FIR Feedback," IEEE Transactions on Circuits and Systems-I: Reg. Papers, vol. 65, no. 2, pp. 434-443, Feb. 2018.
- ⑬ L. Breems, M. Bolatkale, H. Brekelmans, S. Bajoria, J. Niehof, R. Rutten, B. Oude-Essink, F. Fritschij, J. Singh, G. Lassche, "A 2.2 GHz Continuous-Time $\Delta\Sigma$ ADC With 102 dBc THD and 25 MHz Bandwidth," IEEE Journal of Solid-State Circuits, vol.51, no.12 Dec. 2016
- ⑭ Y. Dong et al., "A Continuous-Time 0-3 MASH ADC Achieving 88 dB DR With 53 MHz BW in 28 nm CMOS," IEEE Journal of Solid-State Circuits, vol. 49, no. 12, pp. 2868-2877, Dec. 2014.
- ⑮ Y. Dong, J. Zhao, W. W. Yang, T. Caldwell, H. Shibata, Z. Li, R. Schreier, Q. Meng, J. B. Silva, D. Paterson, and J. C. Gealow, "A 72 dB-DR 465 MHz-BW Continuous-Time 1-2 MASH ADC in 28 nm CMOS," IEEE Journal of Solid-State Circuits, vol. 51, no. 12, pp. 2917-2927, Dec 2016.

저자정보



송 석 재 박사과정

소속
한양대학교 전자공학부

주 연구분야
High Speed Delta-Sigma A/D Converter for Communication System, Low Speed Delta-Sigma A/D Converter for Sensor

E-mail song57188@hanyang.ac.kr

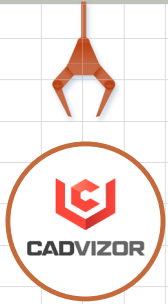


노 정 진 교수

소속
한양대학교 전자공학부

주 연구분야
Oversampled Delta-Sigma A/D Converter, Integrated Power management ICs Design, High-Performance DC-DC Converter Design

E-mail jroh@hanyang.ac.kr
Homepage http://soc.hanyang.ac.kr



CADvIZOR Logic 소개

YURA 주식회사 유라

연락처 070-7878-1772 주소 경기도 성남시 분당구 판교로 308 유라R&D센터 [웹페이지 http://www.cadvizor.com/](http://www.cadvizor.com/)
 관련 담당자 박훈 010-2764-4694 이상혁 010-2662-9755

A. 목적

Logic Circuit Design

B. 구분

전장 시스템 및 하네스 엔지니어를 위한 최적화 된 회로 설계 서비스 제공

C. Supported platform and O/S System

Window 7 이상

D. 특성 및 기능

CADvIZOR는 Cloud CAD 엔진을 이용한 플랫폼으로써 Advanced Logic Analysis 기반 특허 기술을 통해 불량률은 최소화 하고 설계 속도는 높여주는 사용자 중심의 최적화 솔루션이다.

Schematic을 담당하고 있는 CADvIZOR Logic은 회로를 설계 하고 공유할 수 있는 회로도 작성 솔루션으로써, 논리적 개념 설계에서부터 하네스 설계에 이르기까지 데이터 중심의 전체 프로세스를 지원한다.

CADvIZOR Logic이 꼭 필요한 이유

A 도면 및 라이브러리 데이터 보안 및 자동 백업, 복제를 필요로 할 때
 CADvIZOR는 Cloud 서버 베이스 기반으로 암호화 적용 및 분산 서버 시스템을 이용하여 안전하게 관리할 수 있다.

B 도면 정보의 효율적 공유 기반 마련을 필요로 할 때
 CADvIZOR는 서버에서 도면 및 라이브러리 정보들을 관리하기 때문에 여러 사용자가 동시에 정보를 공유하고 함께 설계가 가능하다. 또한 권한 프로세스를 제공하여 사용 목적에 따라 공유, 생성, 삭제, 편집, 복사, 뷰어 기능 제한 및 이력 관리가 가능하다.

C 급격하게 증가 되는 전장품의 시스템 관리를 필요로 할 때
 CADvIZOR는 옵션 및 Share(공유) 개념을 도입. 프로젝트 전체 시스템을 구체화 하고 특정 사양의 회로도만 추출하여 관리 및 분석이 가능하다.

D 복잡한 프로세스와 기능으로 회로 설계에 불편함을 느낄 때
 CADvIZOR는 사용자 중심의 디자인으로 최적화 된 UI/UX를 제공하며, 신속하게 회로도를 작성하고 설계 의도를 달성 할 수 있다.

E 타사 도면 정보를 이용하고 싶을 때
 DWG, DXF, Xml, Excel, PDF 등 다양한 포맷의 정보 입력 및 출력이 가능하고, 요구 조건에 따라 추가 개발 서비스를 이용할 수 있다. 현재 A社 제품 도면 및 라이브러리 Xml 변환 서비스를 제공한다.

Cloud ECAD Solutions

01 기본 설계 가능 최적화



02 설계 Object Tracing



03 Advanced Logic Search & Filter 기능



04 타사 도면 호환



그림 1. CADvIZOR Logic

CADvIZOR Logic만의 기능

1 사용자 등록 및 권한 관리

마스터 권한을 가진 사용자는 엔지니어에게 도면 생성 및 편집 권한을 부여할 수 있다. 모든 도면은 서버에서 관리하기 때문에 유관 부서 및 하위 부서와 공유가 가능하다.

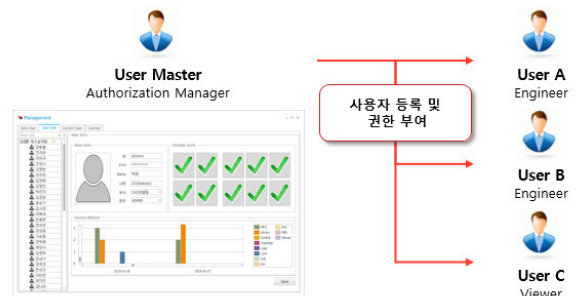


그림 2. 권한 관리 매니저

2 사용자 중심의 디자인으로 최적화된 회로 설계 서비스

설계자의 의도를 반영한 UI를 제공하여 회로 생성 및 편집의 복잡도를 낮춘다.

- UI/UX 최적화를 통해 복잡한 인터페이스를 알기 쉬운 화면으로 구성
- 발견 가능성을 고려, 자주 사용하는 기능은 중요한 위치에 표시함으로써 반복 작업의 효율성 증가
- 실시간 정보 동기화를 통해 도면간의 유기적 연동 확인
- 회로 이름 자동화를 통해 생성 및 편집 시간 단축
- 회로 객체 속성 편집 용이성 향상 및 심볼 Viewer 제공
- 분할 화면 및 듀얼 모니터 사용으로 비교 설계 가능
- 다국어 지원(한국어, 영어, 기타)과 같이 사용자 편의 유틸 기능 제공

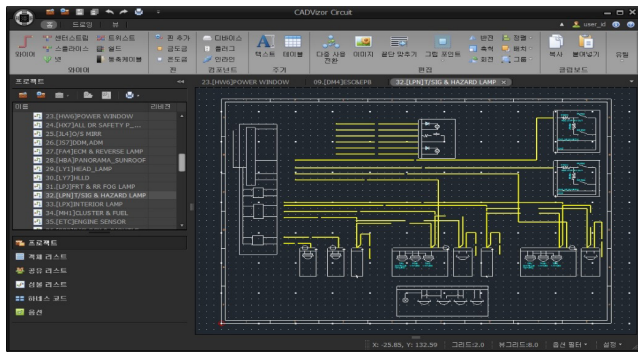


그림 3. 회로 설계 화면 구성

3 옵션으로 사양 관리

급격한 전장품 증가에 따른 복잡도 증가로 더 효율적인 도면 설계 관리를 위한 옵션 개념이 제공된다.

옵션 조합에 따라 정의된 특정 사양의 회로도도를 추출하여 표현한다.

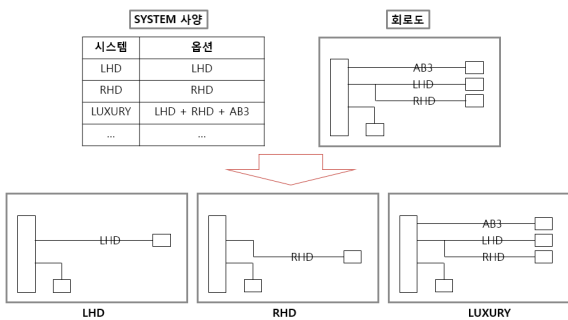


그림 4. 회로도 옵션 개념

4 Share(공유) 기능으로 확장 설계

전장품/커넥터 등이 여러 시스템(Design)에서 사용되는 경우 중복해서 같은 이름으로 사용하도록 한다.

논리적 개념으로는 하나의 모델 정보를 서로 공유하기 때문에 시스템 단위로 도면을 설계하거나 도면이 클 경우 유용하게 사용할 수 있다.

와이어의 경우 상위 구성 요소와 하위 구성 요소를 표현함으로써, 직관적으로 From/To 정보를 파악 할 수 있다. 이를 통해 프로젝트 및 도면 전체에 걸쳐진 와이어 연결 정보를 확인 가능하다.

또한 링크 기능을 통해 전기적 연결 관계를 빠르게 추적하고 편집 및 변경이 편리하다.

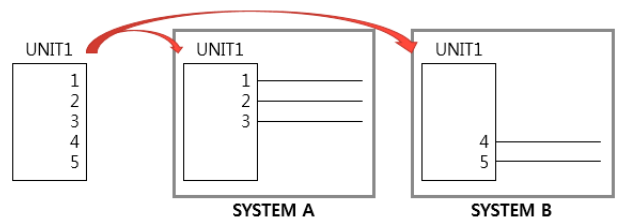


그림 5. Share(공유) 개념

5 설계 검증 기능

설계한 도면이 배선 Rule, 설계 Rule에 위배 되지 않는지 검사하는 기능으로, 오류 항목을 빠르게 추적하고 개선하는 작업을 도와준다.

회로 검증 작업은 품질 향상의 중요한 항목이며, 자동화 검증을 통해 휴먼 에러 감소 및 업무 효율 향상을 가져온다.

설계 노하우 전산화 및 공유 -> 도면 설계 품질 향상

설계 기술 상향 평준화 -> 초보 설계자 기술력 향상

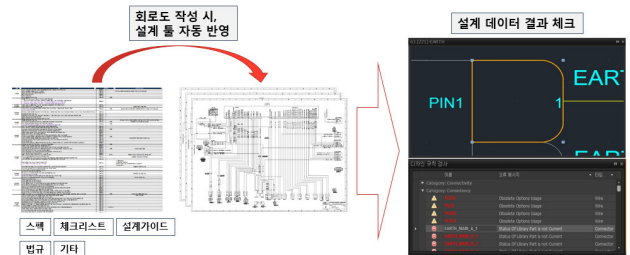


그림 6. 설계 검증 기능

6 다양한 포맷의 출력물 생성

각종 설계자 검토 필요 항목에 대한 Report를 다른 모듈이나 수작업 없이 도면 검증 후, 자동화 출력이 가능하다. DXF, DWG, Excel, PDF 등 다양한 포맷으로 출력 가능

- Wire list
- Connector list
- Option list
- Symbol list
- ETC

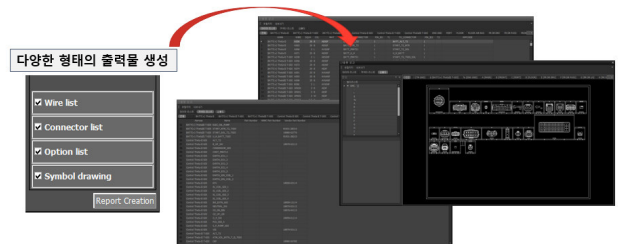


그림 7. 다양한 형태의 출력물

7 라이브러리 상세 정보, 심볼 라이브러리 지원

전산 라이브러리 일원화 관리를 통해 설계 오류 방지 및 불필요한 데이터 저장 관리 문제를 해소하고, 효율적으로 데이터를 관리한다.

- 자재 정보의 효율적 공유 기반 마련
- 자재 생성, 수정, 삭제의 투명한 이력 관리
- 자재 Spec 변경에 따른 Revision 개념 도입

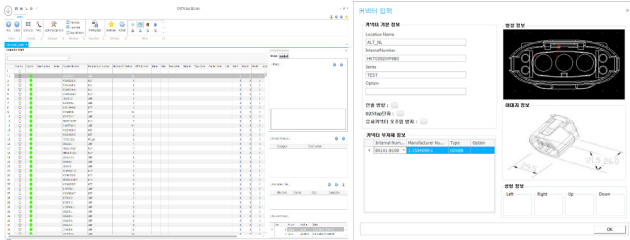


그림 8. 권한 관리 매니저

CADvizer Modules

CADvizer는 전기 모델을 정의하는 동시에 매우 빠르고 쉽게 전기 하네스 설계를 할 수 있도록 도와준다.

Logic은 전자 기호 라이브러리와 함께, 광범위한 회로 설계를 할 수 있는 통합 라이브러리를 구축하고 있으며 이 외에도 제조 설계 및 BOM, 1:1 조립판도 설계, 원가 산출 및 분석 모듈을 지원한다.

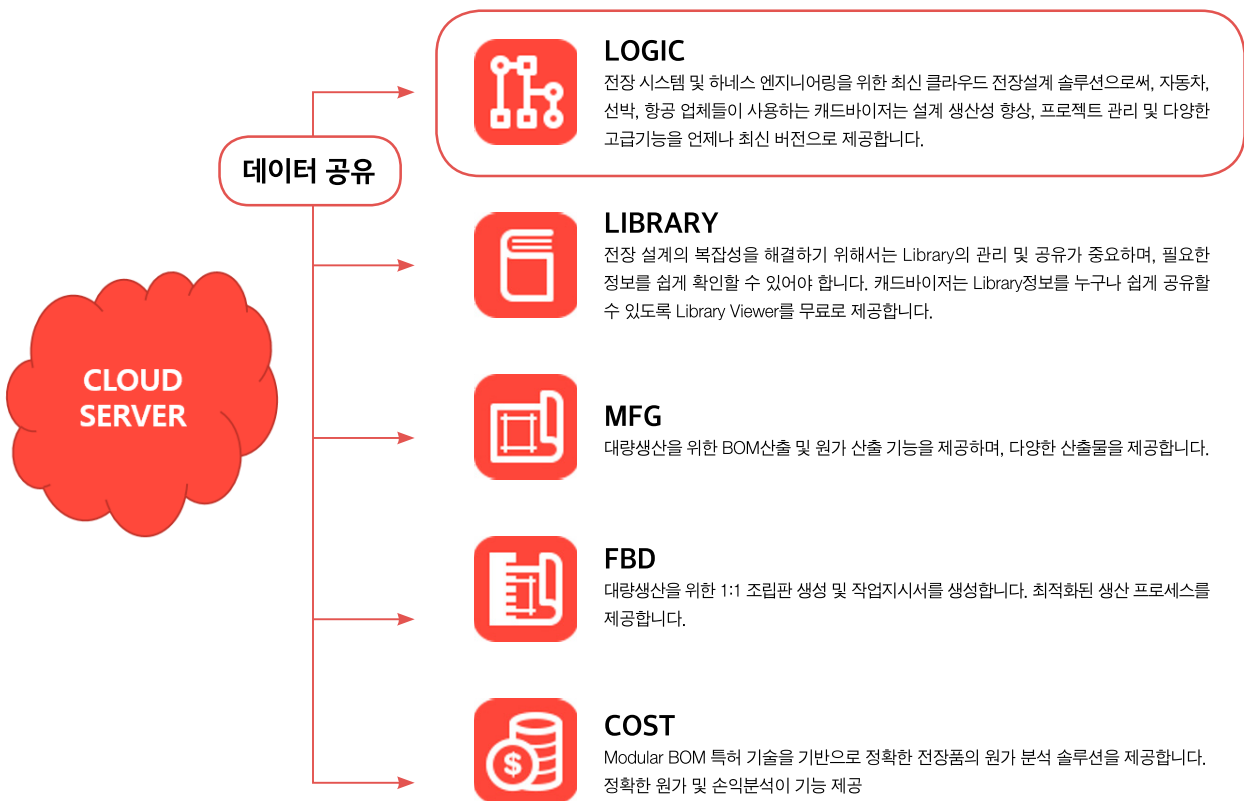


그림 9. CADvizer 서비스 종류

이동통신 네트워크 시스템의 새로운 패러다임 - 스몰셀의 약진

정종태 CEO | (주)이노와이어리스

모든 산업과 생활이 통신으로 초-연결(Hyper-Connected)되는 세상이 다가오고 있다. 5G 이동통신 기술의 표준화와 상용화가 가시권에 들어오면서 4G LTE(Long Term Evolution)가 통신 기술 진화의 패러다임을 주도해 왔던 Long-Term의 전환을 목도하고 있는 요즘, 처리 가능한 데이터 용량의 증대와 이로 말미암은 트래픽의 효율적인 관리가 현재 시장 상황에서 뿐만 아니라 다음 단계로 나아가기 위해 반드시 풀어야 할 업계 전반의 당면과제로 대두되고 있으며, 스몰셀이 문제의 실마리로 부상하고 있다.

데이터 트래픽의 효율적인 관리를 위해서는 트래픽의 발생 유형과 원인 분석이 전제되어야 한다.

다수의 리서치 그룹과 과학기술정보통신부의 조사결과, 전체 데이터 트래픽의 80% 안팎이 실내(In-Building)에서 발생하고 사용자 상위 10% 사용자가 전체의 약 60%를, 이 중 상위 1%가 약 15%의 트래픽을 발생시키고 있으며 사용 유형별로는 스트리밍 동영상 서비스를 포함한 멀티미디어 서비스 이용이 전체 사용 유형의 약 75%를 차지하고 있는 것으로 나타났다. 이로써 개별 사용자의 모바일 콘텐츠 소비에 따라 발생하는 데이터 트래픽의 처리 방안이 '한정된 주파수 자원으로 어떻게 쾌적한 통신 환경을 조성할 것인가'라는 물음에 대한 답이 될 수 있을 것이다.

장소와 시간에 구애 받지 않고 사용자에게 다양한 멀티미디어 서비스를 제공하는 모바일 콘텐츠산업은 사진이나 그림과 같은 단순한 수준의 데이터 전송에서 스마트 디바이스의 범세계적인 보급과 함께 불과 수 년 사이에 실시간 스트리밍 서비스, VR, AR 등의 고 사양 콘텐츠로 발전해왔다. 아울러, 다가올 5G 시대의 모바일 콘텐츠 산업은 사용자 경험을 토대로 사물인터넷, 빅데이터 및 인공지능 등과 콘텐츠의 결합을 통해 전방위 생활밀착형 서비스로 거듭날 것을 예고하고 있으며, 이는 단순히 모바일 생태계의 변화 뿐 아니라 기존 산업에 대한 전통적인 접근 방식의 획기적인 개선, 새로운 융복합 산업의 출현 등, 필연적으로 막대한 양의 데이터 트래픽 발생을 수반하는 산업 전반에 걸친 혁신으로 연계될 전망이다.

그렇다면 지금보다 더욱 막대한 양으로 폭증하는 데이터 트래픽을 어떻게 감당하여 새로운 시대의 기대에 부응할 수 있을까? 그 해답은 스몰셀에 있다. 스몰셀은 네트워크 서비스 커버리지 확보는 물론, 기존 기지국에서 사용하는 데이터 용량을 침해하지 않고 자체적으로 새로운 용량을 생성하여 데이터 트래픽을 오프로딩(Off-Loading)함으로써, 기존 기지국의 부하를 경감해 주고 사용자에게 쾌적한 통신 환경을 제공하는 '정량적인 범위 확보'와 '정상적인 성능 강화'의 두 가지 효과를 낮은 비용으로 획득할 수 있다.

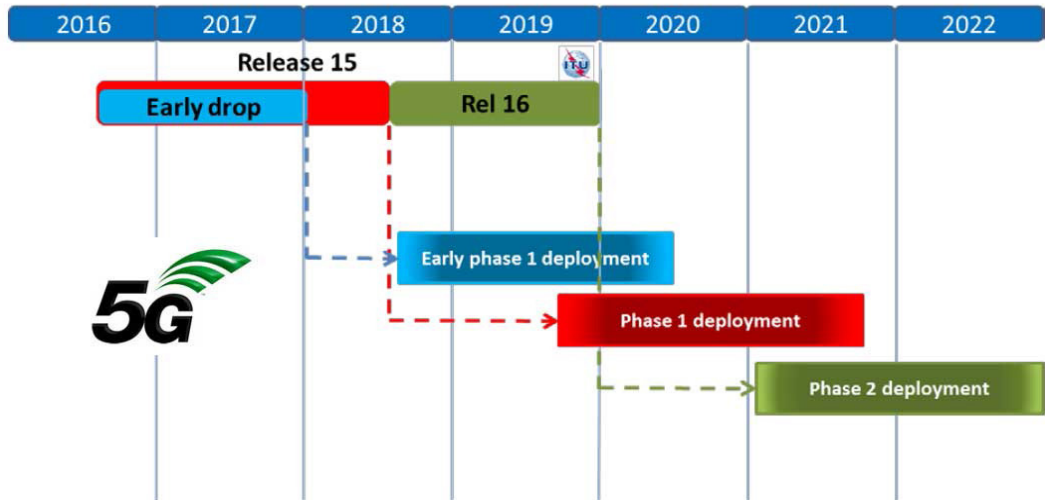
또한 장소에 구애 받지 않고 주변 기지국 없이도 설치 시 자체적으로 신호를 발생시켜 통신 서비스를 제공하며, 필요한 용량에 따라 맞춤형으로 용이하게 사용할 수 있다는 점에서 기지국의 신호를 단순 증폭하여 네트워크 커버리지를 확장하는 중계기나 한정된 서비스 지역에서 음성호를 지원하지 않고 보안에 취약한 Wi-Fi와 차별점을 가진다.

지난 2012년 이후 데이터 트래픽 범용 지역에 스몰셀을 설치하여 낮은 비용으로 분산효과를 누리고 있는 현존 4G LTE 네트워크 이후 5G의 완전한 상용화까지 앞으로 예상되는 스몰셀의 활용 방식은 다음과 같다.

우선 5G로의 전환 과정에서는 4G LTE와 5G를 혼합해서 사용하는 NSA(Non-Standalone) 스몰셀이 사용될 것으로 예상된다. 본 형태의 스몰셀에는 서로 다른 대역의 주파수를 집성·혼용하기 위한 CA(Carrier



그림 1. 스몰셀 장비 형상



출처 : 3GPP 웹사이트 'Preparing the ground for IMT-2020'

그림 2. 3GPP 5G 표준 개발 로드맵

Aggregation) 기술이 반드시 구현되어야 하는데, 이미 지난 수년 간 업계에서는 CA기술을 사용하여 4G LTE 면허대역 주파수와 각국의 실정에 맞는 다양한 비면허대역 주파수를 함께 활용하여 통신 기술 세대교체 시기의 연결고리로 사용하고자 하는 시도가 CBRS, LSA, sXGP 등으로 활발하게 진행되고 있다.

여기서 짚고 넘어가야 할 부분은 5G 이동통신 기술의 국제 표준화 현황이다. 국제 사회 전반에서 5G 이동통신 원천기술 선점과 상용화를 위한 공격적인 합종연횡이 경주되고 있는 현재, 국제 표준 수립 단체인 3GPP는 4G 시장의 포화 상태를 해소하고 5G 시장을 선점하려는 글로벌 사업자들과 정부들의 요구로 당초 2018년 6월까지 5G 단독 네트워크인 SA(Standalone)와 전술한 NSA를 동시에 표준화 하는 것을 목표로 진행하던 일정을 변경하여 금년 말까지 NSA 표준을 우선 개발 완료하는(Early-Drop) 5G 로드맵을 최근 발표하였다.

3GPP의 5G 표준화 로드맵이 차질 없이 진행된다는 가정 아래 5G SA 스몰셀은 2020년을 전후하여 본격적으로 상용화 될 것으로 예측 가능하다. 3~6GHz, 28GHz 이상의 높은 대역을 사용하게 될 5G 주파수는 각각 100MHz, 400MHz로 넓어진 채널 최대 대역폭을 기반으로 통신 용량과 전송 속도의 비약적인 향상이 기대되지만 직진성이 높고 회절각이 작은 고주파의 특성상 도달 거리가 짧아 진다는 단점이 존재한다.

5G의 상용화라는 토대 위에 이종 산업 간의 융복합과 다각화 생태계가 본격적으로 조성될 때, 반드시 선행되어야 하는 것은 촘촘한 네트워크 설비를 통한 데이터 전송 지연시간의 최소화이다. 단적인 사례로 자율주행 자동차를 상용해 보면, 데이터 전송 지연시간을 현재 4G LTE의 약 0.05초보다 더 줄이지 못할 경우 운행 중 주변 환경의 급작스런 변화로 인한 돌발상황에 즉각 대응하지 못해 탑승자의 안전을 보장할 수 없게 될 수도 있다.

비단 자율주행 자동차 뿐 아니라 AR, VR, 스마트 홈, 스마트 팩토리 등 향후 고도화 될 다양한 신기술들 모두가 끊김 없이 유기적으로 연결되어야만 융복합 생태계의 생존력과 글로벌 경쟁력을 확보할 수 있음이 자명하기 때문에, 짧은 전파 도달 거리라는 태생적인 한계를 스몰셀의 적극적인 개발과 도입을 통해 완화하고 극복할 것으로 예상된다.

바야흐로 4차 산업혁명의 시대가 도래하고 있는 지금, 치열한 국제 경쟁 환경에서 우리나라가 시대의 흐름을 선도할 수 있는 선두그룹에 자리매김 하기 위해서는 기초 산업 전반의 견조한 성장을 밑받침으로 변화와 혁신의 기폭제가 될 통신 원천기술과 세계적으로 경쟁력 있는 High-End 급 국산 제품으로 철저히 무장해야 한다. 2018년 평창 동계올림픽을 통해 선보일 세계 최초의 5G 시범서비스가 얼마 남지 않은 지금, 순수 국산 기술력으로 개발한 5G 원천기술과 인공지능, AR, VR, 스몰셀 등 필요한 막바지 준비에 더욱 박차를 가하여 올림픽과 시범서비스를 성공적으로 치러내고 이를 출발점 삼아 우리나라가 우리 기술, 우리 제품, 우리 인력으로 초연결 시대의 세계 시장을 향해 힘차게 약진하기를 기대해 본다.

저자정보



정종태 CEO

소속 (주)이노와이어리스

주 연구분야 이동통신 시험 솔루션, 스몰셀 시험 솔루션

E-mail jchung@innowireless.com

Homepage www.innowireless.com

IDEC Newsletter

2018. 2.

통권 제248호

발행일 2018년 1월 31일
발행인 박인철
편집인 김태욱, 남병규
제작 디자인심원
기획 김하늘
발행처 반도체설계교육센터(IDEC)
Tel. 042) 350-8535
Fax. 042) 350-8540
Homepage. <http://www.idec.or.kr>
E-mail. kimsky1230@idec.or.kr

반도체설계교육센터 사업은
산업통상자원부, 한국반도체산업협회, 반도체회사(삼성전자,
SK하이닉스, 매그나칩반도체, 엠코테크놀로지코리아)의 지원
으로 수행되고 있습니다.