

IDEC Newsletter

Vol. 247



2018 January

2018 IDEC 신년사

- IDEC 뉴스 2018년 1월 MPW, CDC, 교육 안내
- 기술동향칼럼1 차량용 반도체 고신뢰성 테스트 기술
- 기술동향칼럼2 두뇌 센서와 반도체 기술의 융합
- 기획칼럼 EDA Tool 소개 (MODELZEN, Scientific Analog사)



반도체설계교육센터
IC DESIGN EDUCATION CENTER

IDEC 신년사

2018

안녕하십니까?

절망과 희망이 교차된 정유년이 가고 황금 개를 상징하는 무술년 새해가 밝았습니다. 지난해는 12간지 중의 10번째 동물인 닭의 해였는데 닭은 새로운 시작을 알리는 의미를 가지고 있다고 합니다. 그래서인지 지난해는 정치와 체계가 새롭게 바뀌면서 새로운 희망이 시작된 한 해였던 것 같습니다. IDEC도 새로운 시작을 준비하기 위해서 기존의 하던 일들을 체계적으로 바꾸고 매뉴얼로 정리하는 일을 추진하여 1000여 페이지에 달하는 업무 매뉴얼을 작성한 의미 있는 한 해였습니다.

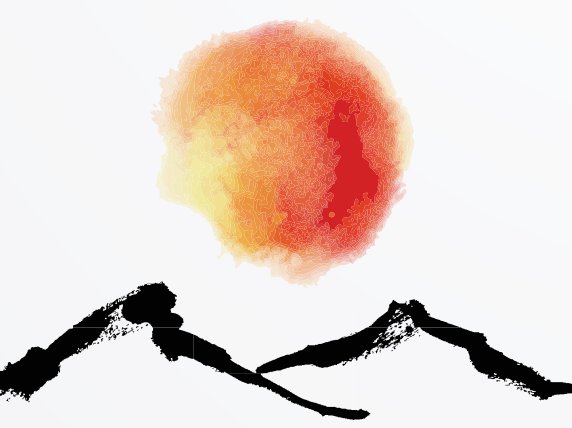
산업통상자원부가 배려해주신 덕분에 IDEC은 2016년부터 5개년 계획으로 새롭게 사업을 시작하였는데 금년은 3년째 사업이므로 사업 중반에 다다르고 있습니다. 새로운 사업 체계가 기존의 운영방식과 다른 면이 있고, 매년 예산 배정도 늦어지면서 운영 상에 어려움도 있지만, IDEC의 가치를 인정해 주는 기업과 내 일처럼 생각해 주는 많은 분들의 도움으로 초기보다는 모든 것이 안정 돼가고 있습니다.

IDEC은 1995년에 설립되었으니 이제 만 22년이라는 역사를 가지게 되었습니다. 특히 금년부터는 그동안 IDEC의 설립과 반도체 설계 인프라 구축에 많은 기여를 하셨던 초창기 교수님들이 차례로 자랑스러운 은퇴를 하시게 됩니다. 8개의 지역 캠퍼스를 운영 하면서 70여 대학교에 반도체 설계 인프라를 지원하고 있는 IDEC의 현재 모습은 이분들의 한없는 헌신이 없었다면 불가능했을 것입니다. IDEC은 이분들을 기억하면서 좀 더 다양하고 새로운 지원 체계를 구축하기 위한 노력을 시작하려고 합니다.

매년 300여 개의 반도체 칩 제작 기회와 3000카피 이상의 다양한 EDA 설계 도구를 대학에 지원하고 있지만, 최근 경영에 어려움을 겪는 반도체 관련 기업이 늘어나면서 대학 인프라를 유지하기가 어려워지고 있습니다. IDEC은 지원이 중단된 반도체 공정에 대한 대안을 만들고 대학의 부담도 줄일 필요가 있다는 의견에 동의하면서, 대학뿐만 아니라 반도체 관련 기업, 패키지 기업, EDA 벤더, 정부기관 모두와 같이 적극적으로 대안을 만들어 가려고 합니다. 또한 소프트웨어와 하드웨어 그리고 응용 시스템을 모두 고려하기 위해서는 한층 넓어지고 전문화된 교육과 지원이 필요하므로, 반도체 설계 뿐만 아니라 시스템 설계를 위한 교육 체계로 확대하여 스마트 시스템 분야의 전문 인력을 양성하는 초석을 마련해 가겠습니다.

IDEC은 반도체 설계 인력 양성이라는 평범한 목표를 향해 꾸준히 걸어가면서, 반도체 설계 인프라 지원이라는 고유의 역할에 충실하기 위해 최선을 다하겠습니다. 아낌없는 충고와 협조를 부탁드립니다. 밝고 희망찬 꿈과 미래를 위해 도약하는 새해 맞으시고 항상 건강하시기 바랍니다.

IDEC 소장 박인철 배상





MPW 관련 문의

이의숙 책임 (yslee@idec.or.kr, 042-350-4428)

2017년 MPW 진행 내역

- 3개 공정 10회 모집 결과 : 281개팀, 911명 설계자 참여
- 공정별 칩제작 참여 내역

공정	삼성	매그나칩/SK하이닉스	
	65nm	180nm	350nm
제작팀수	109	135	37

2018년 MPW 공정 및 진행 일정 공지

- 지원 공정 세부 내역

회사	공정[μm]	공정내역	설계면적 (팀별)	칩수 /회	모집 횟수	Package 사용가능 pin수(Design)	Package type
삼성	65nm RFCMOS	CMOSRF 1-poly 8-metal	4mm x4mm	40	1	208pin	LQFP/ BGA 208pin
매그나칩/ SK하이닉스	180nm CMOS	CMOS 1-poly 6-metal (6 metal을 Thick metal(TKM)로만 사용 가능) (Optional layer (DNW, HRI,BJT,MIM) 추가)	3.8mm x3.8mm	25	5	200pin	MQFP/ BGA 208pin
	350nm CMOS	CMOS 2-poly 4-metal (Optional layer (DNW, HRI,BJT, CPOLY) 추가)	5mm x4mm	20	2	144pin	

- 12월중 web 공지와 참여대학에 개별 안내될 예정입니다.

진행 일정 및 공정 내역

- 모집은 정규모집으로만 진행됨.
- 미달 시 일정기간 선착순으로 추가 모집함.
- S65-1801회(삼성 65nm)는 기존 설계 진행으로 서버를 보유한 팀만 참여 가능함.

회차구분 (공정_년도순서)	정규모집 신청마감	제작칩수	DB마감 (Tape-out)	Die-out	공정
S65-1801	2018.01.16	40	2018.05.14	2018.12.03	삼성 65nm
S65-1802	2018.03.09	40	2018.09.17	2019.04.08	
S65-1803	2018.07.06	40	2019.01.14	2019.08.05	
MS180-1801	2018.01.16	25	2018.03.19	2018.08.20	매그나칩/SK하이닉스 180nm
MS180-1802	2018.01.16	25	2018.05.21	2018.10.22	
MS180-1803	2018.02.09	25	2018.07.23	2018.12.24	
MS180-1804	2018.04.13	25	2018.09.17	2019.02.18	
MS180-1805	2018.06.08	25	2018.12.03	2019.05.06	
MS350-1801	2018.02.09	20	2018.06.11	2018.10.08	매그나칩/SK하이닉스 350nm
MS350-1802	2018.07.06	20	2019.01.14	2019.05.13	

- 일정은 사정에 따라 다소 변경될 수 있음.
- 회차표기: 공정코드-년도 모집순서 (예시) 삼성 65nm 2018년 1회차 : S65-1801)
- 모집기간: 모집 마감일로부터 2주 전부터 접수
- 선정결과: 모집 마감 후 2주 후 결정
- NDA 접수, PDK 배포: 선정 후 2주 이내 완료
- Package 제작은 Die out 이후 1개월 소요됨.

2018년 IDEC MPW 지원 내역 및 일정

MPW 지원 내역

아래 지원 내역은 공정사의 사정에 따라 변경될 수 있음.

회사	공정	공정내역	설계면적 (팀별)	칩수 /1회	모집 횟수	Package 사용 가능 pin 수 (Design)	Package 실제작 type
삼성	65nm RFCMOS	CMOSRF 1-poly 8-metal	4mm x4mm	40	3	208pin	LQFP / BGA 208pin
매그나칩/ SK하이닉스	180nm CMOS	CMOS 1-poly 6-metal (6 metal을 Thick metal (TKM)로만 사용 가능)(Optional layer (DNW, HRI,BJT,MIM) 추가)	3.8mm x3.8mm	25	5	200pin	MQFP / BGA 208pin
	350nm CMOS	CMOS 2-poly 4-metal (Optional layer (DNW, HRI,BJT, CPOLY) 추가)	5mm x4mm	20	2	144pin	

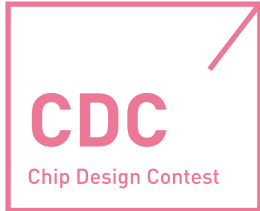
참여 대상 IDEC 참여대학의 학부 및 대학원생

MPW 진행 일정

- 아래 일정은 공정사의 사정에 따라 변경될 수 있음.
- 삼성 65nm 1회차(S65-1801)의 경우는 진행 일정 문제로 기존 서버를 보유하고 있는 설계팀만 참여가 가능합니다.

회차구분 (공정_년도순서)	정규모집 (신청마감)	제작 칩수	DB 마감 (Tape-out)	Die-out	공정
S65-1801	2018.01.16	40	2018.05.14	2018.12.03	삼성 65nm
S65-1802	2018.03.09		2018.09.17	2019.04.08	
S65-1803	2018.07.06		2019.01.14	2019.08.05	
MS180-1801	2018.01.16	25	2018.03.19	2018.08.20	매그나칩/SK하이닉스 180nm
MS180-1802	2018.01.16		2018.05.21	2018.10.22	
MS180-1803	2018.02.09		2018.07.23	2018.12.24	
MS180-1804	2018.04.13		2018.09.17	2019.02.18	
MS180-1805	2018.06.08		2018.12.03	2019.05.06	
MS350-1801	2018.02.09	20	2018.06.11	2018.10.08	매그나칩/SK하이닉스 350nm
MS350-1802	2018.07.06		2019.01.14	2019.05.13	

- 회차 표기 방법 변경 : “공정코드-년도모집순서”(예시)삼성65nm 2018년 1회차 : S65-1801)
- 모집 : 정규모집으로만 진행됩니다. 미달시 일정기간 선착순으로 추가로 모집합니다 (* 신청접수 기간 : 모집 마감일로부터 2주전부터 접수)
- 선정 결과 : 모집 마감 후 15일내 개별 통보
- 설계설명회 : 회차별 정규모집 마감 후 1~2주내 개최
- Package 제작 : Die out 이후 1개월 소요됨.



CDC 관련 문의

김하늘 주임 (kimsky1230@idec.or.kr, 042-350-8535)

IDECE에서는 MPW 참여팀에 한해 CDC 참여팀 등록비의 절반을 지원합니다.

제25회 한국반도체학술대회 Chip Design Contest 안내

시간 및 장소

- 2018년 2월 6일 (화), 강원도 하이원리조트

사전 등록 마감

- 2018년 1월 12일 (금)

* IDECE에서는 MPW 참여팀에 한해 CDC 참여팀의 사전 등록비를 50% 지원합니다.

- 일반으로는 등록하실 수 없으며, 반드시 학생으로 등록하셔야 합니다.
- 한 논문 당 저자 한 명에 대해서만 할인이 적용됩니다.

(따라서, 하나의 논문에 대해 실제로 두 명 이상의 공저자가 학회에 참여하더라도 한 번의 등록에 대해서만 할인을 적용하셔야 합니다.)

CDC 프로그램 구성

	구분	내용	장소
2월 6일 (화)	08:15~09:00	구두 발표	5층 room D
	10:00~17:30	포스터 전시	5층 로비
	12:00~13:00	점심	4층 포레스트 볼룸
	16:00~17:30	전시 관람	5층 로비
	18:00~20:00	만찬 및 시상식	5층 컨벤션 홀
2월 7일 (수)	13:15~14:45	스페셜 세션	5층 room B



수강을 원하는 분은 IDEC 홈페이지 (www.idec.or.kr) 를 방문하여 신청하시기 바랍니다.

강좌일정

센터명	강의일자	강의 제목	분류
본센터	1.8-9	PSpice를 이용한 회로 시뮬레이션	설계강좌
	1.10-11	Deep Learning: 이해와 응용(TensorFlow, Darknet, Tiny-DNN)	설계강좌
	1.15-16	반도체 개발 실무 기본과정(1)	설계강좌
	1.15-16	PCB 노이즈 대책을 위한 Simulation	설계강좌
	1.17	EDA Tool 사용을 위한 리눅스 기초	설계강좌
	1.18-19	Virtuoso Analog simulation using ADE (G)XL	Tool강좌
	1.22-23	XMODEL을 활용한 A/D 변환기 및 PLL 회로의 모델링 및 시뮬레이션	설계강좌
	1.24-25	Designing with Quartus II Software: Basic Course	설계강좌
	1.26	CMOS 공정 및 마스크 레이아웃	설계강좌
	1.29-30	시그마델타 ADC 설계 및 실습	설계강좌
	1.31-2.2	[IDEC 연구원 교육] Full-Custom 설계 Flow 교육	설계강좌
경북대	1.17	초고주파 회로설계	설계강좌
	1.23-24	OrCAD(Allegro)를 이용한 PCB 설계	설계강좌
성균관대	1.30-31	CMOS RF PLL 주파수합성기 설계 실습	설계강좌
전남대	1.10-11	멀티미디어 신호처리 기초 및 설계	설계강좌
	1.16-18	임베디드 및 안드로이드 플랫폼 설계	설계강좌
	1.23-25	Zynq system architecture 이해 및 설계	설계강좌



본센터

1/8-9

강좌제목 PSpice를 이용한 회로 시뮬레이션

강사 이양재 차장(나인플러스아이티㈜)

강좌개요

PSpice는 아날로그 및 아날로그-디지털 혼재 회로 시뮬레이션의 산업 표준 솔루션을 제공하며, PSpice A/D 교육 실습을 통하여 회로 설계의 중요성과 신뢰성을 인식한다. 본 강좌에서는 PSpice의 기본 사용법 및 시뮬레이션의 종류에 따른 다양한 해석 방법, 빠른 결과를 얻기 위한 해석 방법 및 창의적인 설계를 위한 회로 실무 교육을 목표로 한다.

수강대상 전기/전자/정보통신 관련자

강의수준 초중급 **강의형태** 이론+실습

사전지식·선수과목 전기/전자/정보통신 관련

1/15-16

강좌제목 PCB 노이즈 대책을 위한 Simulation

강사 김재익 대리(나인플러스아이티㈜)

강좌개요

Sigriety 2017를 활용한 해석 실습

강의수준 초급 **강의형태** 이론+실습

사전지식·선수과목 전자기학, 초고주파 공학

1/15-16

강좌제목 반도체 개발실무 기본과정

강사 이창훈 이사(반도체기술인협동조합)

강좌개요

반도체 핵심 제품인 DRAM/FLASH/AP_Modem/CIS 등의 동작원리와 핵심기술을 이해하고, 제품을 구현하기 위한 단위공정 및 제품공정의 기본지식과 신기술을 이해한다.

수강대상 반도체 개발 관련 지식을 공부하려는 학부, 대학원생, 재직자

강의수준 중급 **강의형태** 이론

사전지식·선수과목 반도체 소자물리 기초

1/17

강좌제목 EDA Tool 사용을 위한 리눅스 기초

강사 문관식 연구원(IDEC)

강좌개요

본 강좌에서는 리눅스의 기본 명령어 및 사용방법에 대해 설명하고 반도체 설계시에 필요한 EDA Tool 설치를 좀더 쉽게 할 수 있는 방법에 대해 강의한다.

수강대상 석사과정 신입생, 반도체 설계 초보자

강의수준 초급 **강의형태** 이론+실습

1/10-11

강좌제목 Deep Learning: 이해와 응용(TensorFlow, Darknet, Tiny-DNN)

강사 기안도 대표이사(퓨처디자인시스템)

강좌개요

인공지능과 기계학습 그리고 딥러닝에 대한 기초적인 내용부터 응용까지를 다루고, 딥러닝을 이해하고 응용을 개발하는데 필요한 다양한 이론적 배경과 개발 환경에 대해 상세하게 설명하며, 딥러닝 응용을 프로그래밍하여 실습해 보는 과정을 통해 직접 경험해 보도록 한다. 중·소규모 컴퓨팅 환경에 적용해 볼 있는 작은 딥러닝 라이브러리(Tiny-Dnn)와 가장 대표적인 딥러닝 개발환경(TensorFlow) 그리고 물체탐색과 인식 예로 Darknet/YOLO를 모두 실습해 봄으로써 현장에서 바로 적용해 볼 수 있도록 한다.

수강대상 학부생, 대학원생, 실무개발자

강의수준 중급 **강의형태** 이론+실습

사전지식·선수과목 Digital logic; Computer Architecture; C/C++



수강을 원하는 분은 IDEC 홈페이지 (www.idec.or.kr) 를 방문하여 신청하시기 바랍니다.

1/18-19

강좌제목 Virtuoso Analog Simulation using ADE (G)XL

강사 서승원 부장(Cadence Korea)

강좌개요

ADE (G)XL을 이용하여 Circuit simulation 진행시 필요한 기능에 대한 전반적인 설명 및 Lab 진행

수강대상 Analog Circuit Engineer

강의수준 중급 강의형태 이론+실습

사전지식·선수과목 Analog Circuit Simulation, Virtuoso Analog Design Environment, Spectre Circuit simulator

1/22-23

강좌제목 XMODEL을 활용한 A/D 변환기 및 PLL 회로의 모델링 및 시뮬레이션

강사 김재하 교수(서울대), 나경석 이사(Scientific Analog)

강좌개요

아날로그 설계자에게는 다소 생소할 수 있는 모델 기반의 시스템 설계 기법에 대해 소개 하고, Virtuoso Cadence Schematic Editor의 GUI 환경에서 모델링을 쉽게 할 수 있는 GLISTER와 아날로그 회로로부터 모델을 자동 생성해주는 MODELZEN을 활용하는 법에 대해 다룬다.

수강대상 학부생, 대학원생, 직장인

강의수준 초중급 강의형태 이론

사전지식·선수과목

- Verilog등 HDL언어에 대한 기본적인 이해
- 아날로그 및 디지털 회로의 원리 및 동작에 대한 이해

1/24-25

강좌제목 Designing with Quartus II Software: Basic Course

강사 이재철 부장(AXIOS)

강좌개요

FPGA 설계 경험은 없으나 향후 FPGA를 사용하여 설계할 계획이 있거나, FPGA 설계에 대해 관심이 있는 사람을 대상으로 하는 기초 교육 과정입니다. ALTERA FPGA 디바이스의 구조와 FPGA를 사용한 설계에 대한 기본 개념을 파악하도록 하는 강의입니다.

수강대상 FPGA 디자인에 관심있는 분

강의수준 초중급 강의형태 이론+실습

사전지식·선수과목 Digital 공학, 전자 회로

1/26

강좌제목 CMOS 공정 및 마스크 레이아웃

강사 조성재 교수(가천대학교)

강좌개요

기본적인 반도체 소자인 pn 접합 다이오드와 MOSFET의 동작 원리, CMOS process의 단위 공정, CMOS inverter의 동작 원리, CMOS inverter 제작을 위한 마스크 레이아웃과 process integration, 현대 VLSI 기술 방향에 관한 내용을 bottom-up 방식으로 진행 한다.

수강대상 학부 4학년 및 대학원생, 관련산업 엔지니어

강의수준 초급 강의형태 이론

사전지식·선수과목 반도체 소자(권장)

1/29-30

강좌제목 시그마델타 ADC 설계 및 실습

강사 채형일 교수(국민대학교)

강좌개요

- Oversampling ADC와 Noise-shaping의 개념과 시그마 델타 ADC의 동작 원리
- Noise-shaping의 차수 및 quantization 비트 수에 따른 시그마 델타 ADC의 특성 변화
- 연속시간형과 이산시간형 시그마 델타 ADC의 성격을 비교
- 시그마 델타 ADC의 회로 설계 방법 및 주의점
- 실습을 통한 간단한 시그마 델타 ADC의 구조 제작 및 성능 테스트

수강대상 시그마 델타 ADC 초급자

강의수준 초급 강의형태 이론+실습

사전지식·선수과목 ADC 기본

1/30-2/2

강좌제목 [IDEC 연구원 교육] Full-Custom 설계 Flow 교육

강사 조인신 연구원(IDEC)

강좌개요

- Full-Custom 설계 기초 이론과 설계 Flow 소개
- 설계에 필요한 EDA Tools(Cadence Virtuoso, Mentor Calibre 등)의 설치 및 환경 설정 방법 안내
- EDA Tools 를 이용한 Full-Custom 설계 Flow 실습

수강대상 CMOS 공정을 이용한 아날로그 설계 분야의 입문자

강의수준 초중급 강의형태 이론+실습

사전지식·선수과목 전자회로, 반도체공학, 회로이론

문의 | 본센터 IDEC 김영지 (042-350-8536, yjkim@idec.or.kr)



수강을 원하는 분은 IDEC 홈페이지 (www.idec.or.kr) 를 방문하여 신청하시기 바랍니다.



성균관대

1/30-31

강좌제목 CMOS RF PLL 주파수합성기 설계 실습

강사 신현철 교수(광운대학교)

강좌개요

PLL 기반 RF 주파수합성기 동작원리 및 요소회로의 CMOS설계 방법에 대한 이론을 강의한 후, 실제 CMOS 공정을 이용하여 개별 요소 회로를 설계하고, 설계된 요소회로를 조합하여 PLL 전체 회로를 완성하는 실습을 수행한다.

수강대상 대학원생, 학부생, 기업체 연구원

강의수준 중급 **강의형태** 이론+실습

사전지식·선수과목 학부 전자회로, 대학원 CMOS 아날로그회로

문의 | 성균관대 IDEC 김성진 (031-299-4628, sun107ksj@skku.edu)



전남대

1/10-11

강좌제목 멀티미디어 신호처리 기초 및 설계

강사 홍성훈 교수(전남대학교)

강좌개요

인터넷/이동통신에서의 멀티미디어 서비스를 제공하는 멀티미디어 시스템의 구성요소인 AV신호처리 및 압축, 다중화, 네트워크에 대한 기본개념을 습득한 후, 특히 멀티미디어 제품 및 서비스에서 사용되고 있는 멀티미디어 압축, 다중화 및 스트리밍에 대한 국제 표준인 H.264/AVC, MPEG 다중화 시스템, RTSP의 세부요소와 기능 및 공개 API 등에 대해 강의하고, 응용 시스템 설계 개념을 습득한다. 특히 모바일 스트리밍 서비스에 대한 이슈와 시스템을 설계한다. 본 과정에서는 멀티미디어 서비스의 핵심요소에 대해 기초 수준부터 단계적으로 학습할 수 있도록 진행한다.

수강대상 멀티미디어 시스템, 동영상 압축기술에 관심있는 학부생, 대학원생 및 직장인

강의수준 초/중급 **강의형태** 이론+실습

사전지식·선수과목 멀티미디어 지식 기초, 디지털 신호처리

1/16-18

강좌제목 임베디드 및 안드로이드 플랫폼 설계

강사 고대영 이사(㈜제이에이치네트웍스)

강좌개요

Embedded System에서 대부분 사용하고 있는 Linux의 기본 지식을 다지고 개발환경 구축, Bootloader/Linux Kernel/Linux File system 포팅, Device Driver 및 응용 프로그램을 개발할 수 있는 기술을 습득한다. 또한, 리눅스 기반의 Embedded 범용 플랫폼인 Android에 대한 기본 지식을 다지고, 안드로이드 포팅 및 디바이스 드라이버 개발, 응용 프로그램 개발 기술을 습득한다.

수강대상 임베디드, 안드로이드 플랫폼 설계에 관심있는 학부생, 대학원생 및 직장인

강의수준 초급 **강의형태** 이론+실습

사전지식·선수과목 프로그래밍 언어 기초(C,C++ 등)

1/23-25

강좌제목 Zynq System Architecture 이해 및 설계

강사 김민석 팀장(㈜리버트론)

강좌개요

본 ZYNQ 교육은 FPGA의 한계를 뛰어넘는 SoC환경의 디바이스인 ZYNQ에 대한 아키텍처 이해를 통한 ZYNQ 디바이스의 로직 구성 및 사용법을 습득하는 과정으로, 점차 개발 환경이 SoC 기반으로 변해 가는 ZYNQ 디바이스를 사용실습하고 로직을 구성하는 수업이다.

수강대상

- FPGA 설계에 관심있는 학부생, 대학원생 및 직장인
- SoC 기반의 ZYNQ 디바이스를 이용 개발해야 하는 HW 엔지니어
- ZYNQ 디바이스의 개발환경을 이해해야 하는 학부생, 대학원생 및 직장인

강의수준 중급 **강의형태** 이론+실습

사전지식·선수과목 VIVADO 사용 기초, FPGA 아키텍처 구조 이해



경북대

1/17

강좌제목 초고주파 회로설계

강사 양종렬 교수(영남대학교)

강좌개요

초고주파에서 동작하는 회로 설계를 위해서는 반도체 물성에 기반을 둔 동작해석과 전자기파 특성 이해를 비롯한 전자공학 전반의 내용을 이해하는 것이 필요하다. 본 강의에서는 이를 위해 트랜지스터 레벨에서의 소자 동작 이해, 회로 및 전자기파 특성에 기반을 둔 전송선 이론과 마이크로 네트워크 분석 등에 대해 학습하여, 초고주파 회로 설계에 필요한 기본 역량을 파악할 수 있도록 한다.

수강대상 전기, 전자, 정보통신 관련 전공 학부생/석박사 및 산업체

강의수준 중급 **강의형태** 이론

사전지식·선수과목 전자기학, 전파공학, 전자회로 등 전자기파응용시스템 관련 과목

1/23-24

강좌제목 OrCAD(Allegro)를 이용한 PCB 설계

강사 김무현 과장(나인플러스IT)

강좌개요

디지털 컨버전스에 따라 PCB Artwork의 설계 기술은 중요한 분야로 인식되고 있으며, EMI/EMC를 감안한 설계 방법론의 교육은 실무 중심 교육에 있어 핵심 분야를 차지하고 있다. 본 강의를 통해 다층, 고속, 고밀도 PCB 설계에 필요한 Artwork 기법, Constraint Driven Rule을 이용하여 PCB 설계 규칙을 설정한다.

수강대상 전기, 전자, 정보통신 관련 전공 학부생/석박사 및 산업체

강의수준 초급 **강의형태** 이론+실습

사전지식·선수과목 전기/전자/정보통신 관련

문의 | 경북대 IDEC 김정경 (053-950-6858, idec@ee.knu.ac.kr)

문의 | 전남대 IDEC 강병호 (062-530-0367 / 888pp@naver.com)

차량용 반도체 고신뢰성 테스트 기술



박성주 교수, 김진욱 박사과정 | 한양대학교 컴퓨터공학과

자율형 전기 자동차에는 프로세서와 메모리가 포함된 수많은 SoC가 내장되어 있다. 생명과 직결되는 차량용 반도체의 고신뢰성 확보를 위한 다양한 산업체 표준이 있다. 그 가운데 ISO 26262는 차량용 반도체의 설계 및 제작과 관련한 4등급의 Automotive Safety Integrity Level (ASIL)를 상세히 기술하고 있다. 본 논고에서는 차량용 반도체의 고신뢰성 확보 관련 국제 표준안에서 요구하는 ASIL D 등급을 만족하기 위한 다양한 테스트 및 진단 기술을 살펴보고자 한다.

Introduction

자율형 자동차의 확산으로 전세계 차량용 반도체의 매출은 2017년 30조원에서 2021년 47조원으로 연 평균 13.4% 지속 성장할 것으로 예상된다 [중앙일보, 2017.12.11]. 자동차를 포함한 의료, 원자력, 항공기 등 고 신뢰성을 요구하는 mission critical systems 관련 반도체 시장은 AI 및 IoT(Internet on Things)와 연계되어 획기적으로 늘어날 것이다. 차량을 가속시키는 방법으로 가속 페달과 크루즈 제어를 이용하는데, 급발진 사고는 전자장치를 이용한 크루즈 제어 기능이 추가되면서 발생하기 시작했다. 급발진 이외에도 에어백 및 ABS와 같은 전자장치에서 진단하기 어려운 EMI 관련 고장이 발생되어 왔다²⁴. 하드웨어의 functional failure는 defect, flaw(manufacturing test로 발견되지 않았으나 큰 사고로 이어질 수 있는 defect), random fault(permanent, intermittent, and transient fault)^{1 2 3} 등을 포함한다. 이렇게 다양하고 복잡한 고장을 발견하고 대처하기 위해 IEC 61508⁴ 및 ISO 26262⁵와 같은 functional safety 표준이 제정되었으며 차량용 반도체의 설계, 제조, 테스트 등 모든 전후 공정 사이클에 엄격히 적용되고 있다. 본 letter에서는 차량용 반도체 신뢰성 평가 방법인 AEC-Q100, ISO 26262의 H/W 고장 모델 및 고장진단 방법을 살펴본다.

1.1 차량용 반도체 시험 규격 AEC-Q100

AEC-Q100은 차량용 반도체의 스트레스 테스트에 의한 고장 메커니즘 및 품질 요구사항 등을 정의하고 있다. 반도체 소자 및 패키지의 고장을

가속시켜 실제 극한 환경에서 발생할 수 있는 고장을 건디는지 확인하며, 아래와 같이 12가지 정도의 테스트 항목을 정의하고 있다. 차량용 반도체 생산 업체에서는 AEC-Q100에서 명시한 테스트 조건 하에서 각 항목에 대한 품질 테스트 결과를 공지하도록 되어 있다.

표 1. AEC-Q100 테스트 항목

AEC-Q100-001	WIRE BOND SHEAR TEST
AEC-Q100-002	HUMAN BODY MODEL (HBM) ELECTROSTATIC DISCHARGE (ESD) TEST
AEC-Q100-003	MACHINE MODEL (MM) ELECTROSTATIC DISCHARGE (ESD) TEST
AEC-Q100-004	IC LATCH-UP TEST
AEC-Q100-005	NONVOLATILE MEMORY WRITE/ERASE ENDURANCE, DATA RETENTION, AND OPERATIONAL LIFE TEST
AEC-Q100-006	ELECTRO-THERMALLY INDUCED PARASITIC GATE LEAKAGE (GL) TEST
AEC-Q100-007	FAULT SIMULATION AND TEST GRADING
AEC-Q100-008	EARLY LIFE FAILURE RATE (ELFR)
AEC-Q100-009	ELECTRICAL DISTRIBUTION ASSESSMENT
AEC-Q100-010	SOLDER BALL SHEAR TEST
AEC-Q100-011	CHARGED DEVICE MODEL (CDM) ELECTROSTATIC DISCHARGE (ESD) TEST
AEC-Q100-012	SHORT CIRCUIT RELIABILITY CHARACTERIZATION OF SMART POWER DEVICES FOR 12V SYSTEMS

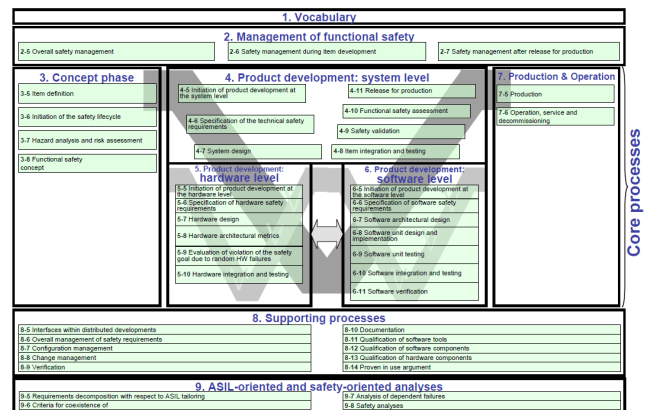


그림 1. ISO 26262 주요 항목

1.2 차량용 반도체 ISO 26262 기능 안전성 표준

ISO 26262는 자동차 업계에 대한 기능 안전성 표준이며 모든 부품 공급사는 표준에서 정의한 개발 공정에 따라 설계, 제조, 및 신뢰성 평가를 수행하여야 한다. 오랜 기간 사용되어왔던 전기/전자 시스템에 대한 IEC 61508 규격과 흡사하지만, 운전자에 의한 위험 상황을 회피할 수 있는 능력인 controllability가 ISO 26262에 추가되어 있다. ISO 26262는 위험한 운행 상황에 대한 안전성 척도를 정의하여 시스템 고장, 랜덤 하드웨어 고장 등을 미리 발견하고 위험한 상황이 발생하지 않도록 아래와 같은 사항을 정의한다^{6,7,8}.

그림 1은 ISO 26262의 10가지 항목들을 보여준다. 아이템 개발 과정은 3-7항이고 나머지는 보조 과정이며, 그림 1에 표시된 바와 같이 'V'자 형태의 개발 과정 모델로 표시된다. 특별히 차량용 반도체와 관련하여 하드웨어 수준의 제품 개발 규정은 5-5항의 하드웨어 수준의 제품개발 계획, 5-6항의 하드웨어 안전성 요구사항, 5-7항의 하드웨어 설계, 5-8항의 하드웨어 구조 측정 항목, 5-9항의 랜덤 하드웨어 고장에 의한 안전성 목표 침해 평가, 그리고 5-10항의 하드웨어 통합 및 테스트 항목에서 상세히 기술하고 있다. 아래의 표 2는 ISO 26262에서 자동차 시스템의 등급을 평가하는 ASIL 등급 기준을 보여준다. 하드웨어 고장 가운데 인간의 생명과 관련된 안전 관련 고장의 처리 정도에 따라서 ASIL D, C, B 등급으로 분류하게 된다.

표 2. ASIL 등급 기준

ASIL 레벨	ASIL 레벨	ASIL 레벨	ASIL 레벨
단일결함척도	>99%	>97%	>90%
잠재결함척도	>90%	>80%	>60%

Permanent 및 transient 고장까지 포함해 메모리/비메모리 전체에 대한 FIT를 산정하고 SM1, SM2, SM3 및 SM4 수준의 다양한 safety

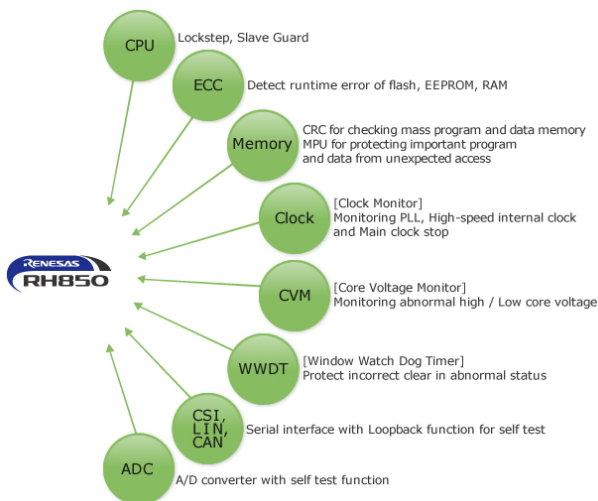


그림 2. Renesas 차량용 ECU의 safety mechanism

mechanism을 적용하여 처리할 수 있는 고장을 제외한 잔존 고장에 대한 FIT가 일정 수준 이하로 유지될 수 있어야 한다.

그림 2는 Renesas에서 제작하는 차량용 ECU의 다양한 safety mechanism을 보여준다. Dual lockstep, ECC, CRC, monitor, watchdog timer, self-test 등의 기술이 포함되어 있음을 알 수 있다.

다음 절에서는 ISO 26262의 ASIL 등급을 획득하는 데 필요한 신뢰성 테스트 및 관련 기술에 대해 서술한다.

1.3 Fault models, test pattern generation 및 fault simulation

- Fault models(논리 및 메모리 소자): Stuck-at fault, Bridging fault, Delay fault, Intermittent fault, Soft error, Aging fault, Transition Fault, Coupling Fault, Address Decoder Fault, Retention Fault, Neighborhood Pattern Sensitive Fault(NPSF) 등
- Fault coverage: 주어진 테스트 패턴으로 점검할 수 있는 고장의 비율을 나타낸다⁹.
- Automatic Test Pattern Generation(ATPG): 특정 고장에 대한 fault coverage 목표치를 달성할 수 있는 테스트 패턴을 자동으로 생성해주는 도구이다.
- Fault Simulation: 주어진 테스트 패턴으로 점검할 수 있는 고장을 찾아주며, 각종 fault model에 대한 fault simulator가 각각 존재한다.

1.4 Design-for-Testability(DFT) architectures

Scan design: 스캔 설계는 가장 널리 사용되는 구조적 DFT 기술로, 순차회로 상의 플립플롭 메모리 소자의 값을 직접 인가하고 관측 가능하도록 함으로써 조합회로화 하여 테스트를 용이하게 하는 기술이다.

IEEE 1149.1 Boundary scan(JTAG): Boundary scan(경계 스캔) 칩을 장착한 보드 혹은 코어를 내장한 SoC 등에서 칩(코어)의 입력 출력 핀 내부에 scan 셀을 추가하여 입출력 신호를 직접 제어하고 관찰하도록 한다. SoC에 내장된 메모리/비메모리 모듈의 효율적 테스트 및 고장 진단을 수행하기 위한 IEEE 1500, IEEE 1687, 및 TSV 기반 stacked IC의 테스트를 위한 IEEE 1878 표준 등이 제정되어 있다.

Logic Built-In Self-Test: BIST는 시스템 클럭으로 동작하며 자체적으로 테스트 패턴을 생성하고(pseudo random pattern generator), 결과도 자체적으로 비교한다(multiple input shift register)¹⁰.

Memory BIST: SRAM 및 DRAM에 메모리 BIST가 널리 사용된다. 메모리 BIST는 번지 생성부와 march 테스트 패턴 생성부로 구성되며 모든 메모리 셀에 순차적으로 0 혹은 1 값을 write하고 read하는 단순 동작의 조합을 반복한다¹¹.

Memory Error Correcting Codes(Memory ECC): DRAM 및 SRAM에서는 보통 Hamming 코드 기반 Single Error Correct Double Error Detect(SEC-DED) ECC가 사용된다¹². 오랜 read 동작에 다량의 오류를 발생하는 multi-level의 NAND flash 메모리의 경우에는 Low Density Parity Check(LDPC) ECC가 사용되고 있다.

1.5 차량용 반도체 노화고장 진단 기술

그림 3에서 보이는 바와 같이 공정기술이 미세화 됨에 따라서 반도체 aging이 빨리 일어나고 soft error도 증가함을 알 수 있다¹³. 반도체 aging은 그림 4와 같이 NBTI/PBTI, HCI, TDDB, EM, 및SM 등에 의하여 발생한다. Soft 오류는 중성자 알파선 등에 의하여 간헐적으로 발생한다. 차량용 반도체에는 신호 지연고장 형태로 나타나는 노화 고장에 대한 모니터링 및 정확한 진단 예측 기술을^{2 3 4 5 14} 필수적으로 적용하여야 한다.

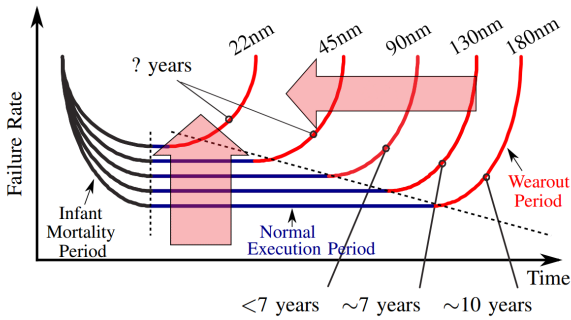


그림 3. 공정에 따른 반도체 노화 오류 발생빈도

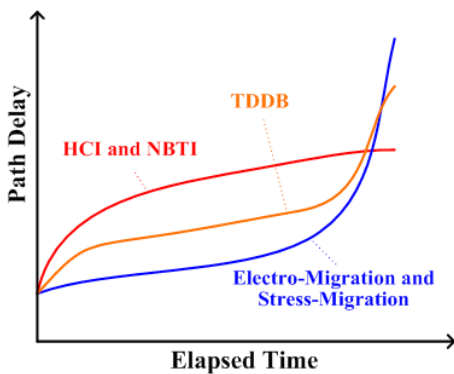


그림 4. 발생 요인에 따른 반도체 노화 수준

1.6 차량용 반도체 on-line 테스트 및 off-line 원격 고장진단

차량용 반도체의 quality와 reliability를 향상시키기 위하여 ECU와 같은 핵심 반도체에 대한 on-line 테스트가 필수적이다¹⁵. 정상동작을 방해하지 않으면서 최대한 고장 진단도를 높일 수 있는 Software Based

Self-Tests(SBST) 및 Built-In Self-Test(BIST) 기술이 사용되고 있다. 그림 5와 같이 시동을 걸고 운전중에 BIST 및 SBST를 작동시켜 전자 장치의 기본 테스트를 진행하고 운행 중에는 function operation 사이 사이에 SBST를 실행하여 핵심 코어에 대한 self-test를 진행한다.

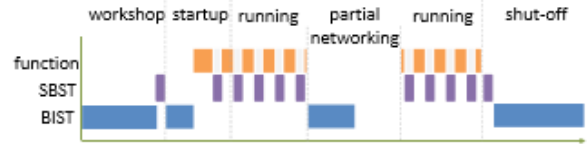


그림 5. 자동차 시스템 동작 모드에 따른 고장진단 기술

BIST 및 SBST와 함께, 그림 6과 같이 CAN/LIN/FlexRay/MOST 및 Ethernet을 통하여 자동차 전자시스템 각 모듈에 장착된 다양한 DFx 기능을 활성화시켜 고장 정보를 취득함으로써 원격 고장 진단이 가능하다.

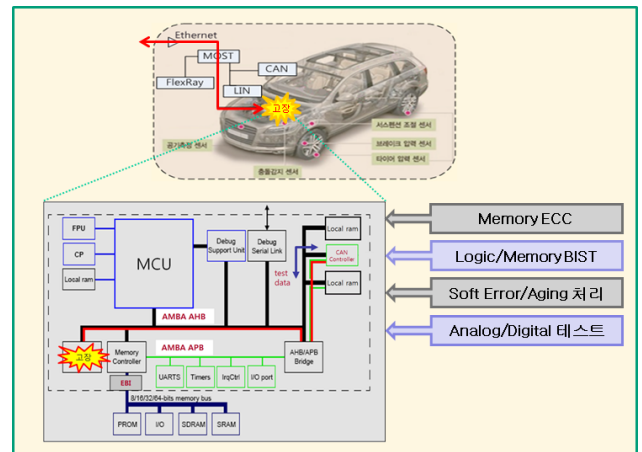


그림 6. 자동차 전자시스템 원격 고장 진단

결론

자율형 전기차 보급의 확산으로 비메모리 및 메모리 관련 차량용 반도체에 대한 수요가 지속적으로 증가하고 있다. 자동차뿐만 아니라 생명과 직결되는 mission-critical systems에 사용되는 반도체에 대한 고신뢰성 확보는 필수적인 사항이며 설계, 제작, 테스트, in-field 고장진단 등 다양한 수준에서 holistic하게 고신뢰성이 고려되어야 한다. 반도체 칩의 정확한 고장 모델링 및 고장점검출 향상을 위해 테스트 및 신뢰성을 고려한 설계기술 (Design-for-Testability/Reliability/Manufacturability) 채택은 필수적인 사항이며 Design Flow에서 단계별 고강도 검증과 더불어 자기치유 및 ECC와 같은 다양한 Safety mechanism을 도입하여야 한다. 본 논고에서는 차량 안정성 관련 각종 표준을 소개하고 이를 달성하기 위한 여러 종류의 기반 기술을 소개하였다.

참고문헌

- 1 S. J. Sero "Your car could take off by itself sudden acceleration is not a myth," Renaissance Engineering, Forensic Engineers
- 2 H. Tahne, "Safe and Reliable Computer Control Systems Concepts and Methods," Mech. Lab, Univ. Stock, 1996
- 3 R. Mariani, "The impact of functional safety standards in the design and test of reliable and available integrated circuits," in Proc. Test Symposium (ETS), 2012 17th IEEE European, May 2012
- 4 IEC 61508-1/7:2010, IEC
- 5 ISO/IS 26262-1/9:2011(E) and ISO/FDIS 26262-10:2012(E), ISO
- 6 ISO 26262 Road vehicles – Functional safety – Part 5: Product development: hardware level.
- 7 ISO 26262 Road vehicles – Functional safety – Part 10: Guideline.
- 8 S. Jeon, J. Cho, Y. Jung, S. Park, T. Han, "Automotive Hardware Development According to ISO 26262," Advanced Communication Technology (ICACT), 2011 13th International Conference on, pp. 588-592, Feb 2011
- 9 "VLSI Test Principles and Architectures: Design for Testability" edited by L. T. Wang, C. W. Wu, and X. Wen, Elsevier, 2006, ISBN 13:978-0-12-370597-6
- 10 C.-T. Huang, J.-R. Huang, C.-F. Wu, C.-W. Wu, and T.-Y. Chang, A programmable BIST core for embedded DRAM, IEEE Des. Test Comput., 16(1), 59–70, 1999.
- 11 A. J. van de Goor, Using march tests to test SRAMs, IEEE Des. Test Comput., 10(1), 8–14, 1993.
- 12 J. Jung, U. Ishaq, J. Song, S. Park "Efficient Use of Unused Spare Columns for Reducing Memory Miscorrections," Journal of Semiconductor Technology and Science, September 2012, vol. 12, no. 3, pp 331-340
- 13 F. Oboril, M. B. Tahoori, "Cross-Layer Approaches for an Aging-Aware Design of Nanoscale Microprocessors," in Proc. Test Conference (ITC), 2015 IEEE International, pp 1-10, Oct 2015
- 14 J. Jung, M. A. Ansari, D. Kim, H. Yi, and S. Park, "On Diagnosing the Aging Level of Automotive Semiconductor Devices," IEEE Transactions on Circuits and Systems II, Vol. 64, Issue.7, pp 822-826, July 2017
- 15 F. Reimann, M. Blab, J. Teich, A. Cook, L. R. Gomez, D. Ull, H.-J. Wunderlich, U. Abelein, and P. Engelke, "Advanced Diagnosis: SBIST and BIST integration in Automotive E/E Architectures," in Proc. 51st ACM/IEEE Design Automation Conference (DAC'14), June 2014

저자정보



박성주 교수
소속
 現 1995- 한양대학교 ERICA 캠퍼스 컴퓨터공학과 교수
 前 1992-1995 IBM 연구 스태프
주 연구분야
 SoC / 메모리 테스트, ECC, 차량용 반도체 고장진단
E-mail paksj@hanyang.ac.kr
Homepage http://mslab.hanyang.ac.kr



김진욱 박사과정
소속
 한양대학교 컴퓨터공학과
주 연구분야
 ECC, SoC / 메모리 테스트
E-mail 7777gh@hanyang.ac.kr
Homepage http://mslab.hanyang.ac.kr

두뇌 센서와 반도체 기술의 융합

박동욱 교수 | 서울시립대학교 전자전기컴퓨터공학부

1. 서론

두뇌의 이해는 인간의 이해에 있어 필수적이다. 우리가 생각하고 판단하고 행동하는 일련의 과정들이 두뇌의 활동에 의해 결정되기 때문이다. 인간의 두뇌에는 약 850억개의 신경 세포(Neuron)가 존재하고 이 신경 세포들을 통해 각종 정보들이 전달된다¹. 두뇌에서의 정보 전달 방식은 크게 두 가지로 이루어진다. 신경 세포 내부에서는 이온들의 이동에 의해 전기적으로 신호가 전달되고, 신경 세포들 사이(Synapse)에서는 신경 전달 물질에 의해 화학적으로 신호가 전달된다. 여기서 전기적 신호는 우리가 흔히 "뇌파"라고 부르는 것이다. 뇌파를 측정하거나 신경 전달 물질을 검출(sensing)하는 디바이스를 개발하는 데 있어서 반도체 공정, 소자, 회로 기술의 접목이 더욱 중요해지고 있다. 두뇌의 전기적, 화학적 활동을 정밀하게 검출하기 위해서는 두뇌 센서 또한 물리적으로 미세하고 집적도가 높으며 작은 신호 변화를 검출할 수 있어야 하기 때문이다. 이러한 요구 조건은 반도체 기술의 관점에서도 융합 영역 확대에 걸맞은 방향이라 할 수 있겠다.

뇌파를 측정하거나 뇌에 자극을 줄 수 있는 두뇌 센서를 신경 전극(Neural electrode)이라고 한다. 신경 전극은 신경계와 외부 장치 및 시스템을 연결하여 뇌파를 측정하는 프론트 엔드(front-end) 디바이스라고 할 수 있다. 측정된 뇌파는 신경질환의 검사에 쓰일 뿐만 아니라 Brain-Machine Interface(BMI) 시스템을 통해 외부 장치를 조절하는데

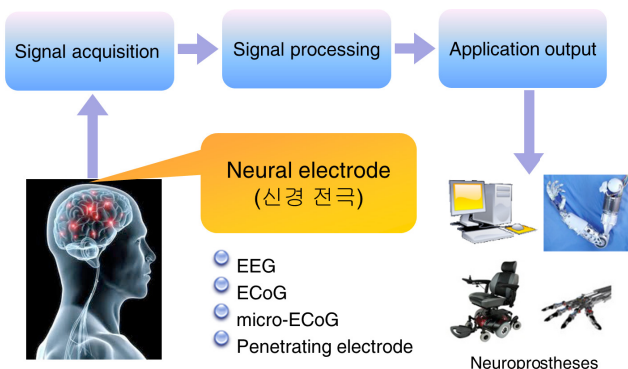


그림 1. Brain-Machine Interface (BMI) 구조 및 신경 전극의 종류
신경 전극은 뇌파를 측정하고 뇌를 자극할 수 있는 front-end device 이다.

쓰이기도 한다 [그림 1]. 예를 들어, 생각만으로 컴퓨터상에 글을 쓰거나 의수를 움직이는 것도 가능한 것이다. 신경 전극은 임상에서도 뇌파의 검출뿐 아니라 뇌에 자극을 줌으로써 신경질환을 치료하는데 쓰인다. 예를 들어 이상 운동 증상을 동반하는 파킨슨 병(Parkinson's disease)의 치료에 뇌 심부 자극술(Deep Brain Stimulation, DBS)이 시술되고 있으며, 이 때 뇌 심부 자극 전극(DBS electrode)이라는 신경 전극을 통해 뇌 심부를 전기 자극을 하는 것이다². 이 글에서는 이와 같이 다양하게 응용되고 있는 신경 전극의 종류에 관해 알아보고 관련 연구 동향을 기술하고자 한다.

2. 본론

신경 전극의 구분

신경 전극은 뇌파 검출 위치 및 방법에 따라 다음과 같은 4가지 형태로 구분할 수 있다.

1. Electroencephalography (EEG)

EEG는 우리가 흔히 보아온 뇌파 측정 방식으로서, 두피 위에 EEG 신경 전극을 모자의 형태와 같이 쓴 다음 뇌파를 측정하는 방식이다 [그림 2]. EEG는 상대적으로 사용하기 쉽고 비 침습성(non-invasive)이기 때문에 일반적으로 신경 신호를 수집하는 데 사용된다. 그러나, 신경 세포와 EEG 전극 사이의 조직(즉, 두피, 두개골, 연조직, 등)에 의해 신경 신호의 품질이 감소되는 한계점이 있다. 따라서 실제 EEG로부터 획득된 정보의 활용은 제한적이라 할 수 있다.



그림 2. EEG 전극 및 측정시스템

2. Electrocorticography (ECoG)

ECoG는 대뇌 피질(Cerebral cortex) 위에 배치된 신경 전극을 통하여 뇌파를 측정하는 방법이다 [그림 3]. ECoG 전극은 대뇌 피질에서 신경 신호를 측정함으로써 두개골과 두피 등에 의한 신호 필터링을 제거하여 EEG에서 기록되는 것보다 정밀한 뇌파를 측정할 수 있다. 일반적으로 임상적으로 사용하는 ECoG 전극 크기는 약 1cm이다. 비교적 큰 ECoG 전극은 삽입 시 넓은 수술 부위를 필요로 한다는 점과 뇌파의 공간적 해상도가 비교적 낮다는 한계가 있다.

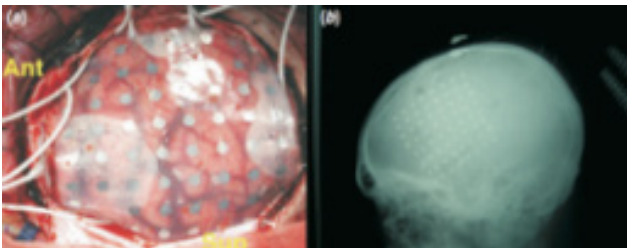


그림 3. ECoG 전극 및 측정시스템

3. Micro-electrocorticography (μ ECoG)

μ ECoG는 ECoG 전극보다 더 작은 크기(μ m scale)의 전극을 사용하여 신경 신호의 공간 분해능을 높이고 침습성을 줄인 뇌파 측정 방법이다 [그림 4]. μ ECoG 전극은 어플리케이션에 따라 수백 또는 수천 개의 전극을 가질 수도 있다. μ ECoG는 작은 면적에 다수의 전극을 집적하고 집적회로 기술과도 접목 가능하므로 반도체 기술과의 융합에 가장 적절한 형태라고 할 수 있겠다. 실제 전극 제작에 있어서 유연하고 생체 적합한(biocompatible) 기판 위에 반도체 공정 기술을 이용한 제작 방법이 주로 사용되고 있다.



그림 4. μ ECoG 전극 및 측정시스템

4. Penetrating electrode

Penetrating electrode(침투형 전극)는 뇌의 안쪽 영역에 전극을 침투시켜 신경 세포의 최 근접 부위에서 뇌파를 측정한다 [그림 5]. Penetrating electrode는 가장 정밀한 신경 신호를 제공하지만 침습도가 가장 높은 단점이 있다. 앞서 언급한 뇌 심부 자극 전극(DBS electrode)도 penetrating electrode의 한 종류라고 할 수 있겠다.

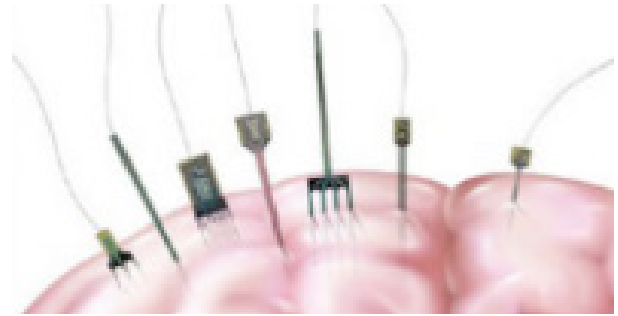
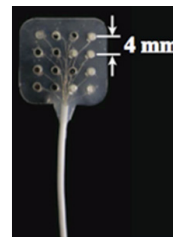


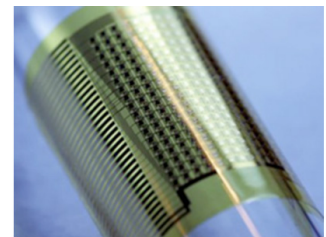
그림 5. Penetrating electrode (침투형 전극) 및 측정시스템

μ ECoG전극 연구 동향

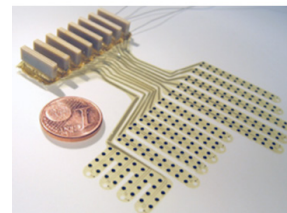
앞서 소개한 4가지 신경 전극의 형태 중, μ ECoG는 상대적으로 작은 침습성 및 높은 시공간 분해능의 장점으로 인해 점점 더 널리 보급되고 있다. 원숭이와 같은 영장류 두뇌에 주입하여 컴퓨터 커서를 제어하는 뇌-기계 인터페이스(BMI) 실험이 입증되기도 하였으며³, 음성 단어를 분류하고 음소를 구별하는 실험도 성공하였다⁴. μ ECoG 전극 제작과 관련하여 다양한 전극 디자인과 전극 재료에 대한 연구가 활발히 진행 중이다 [그림 6].



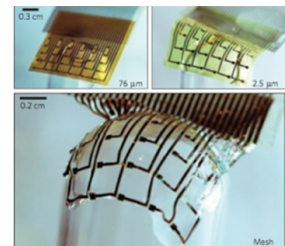
Wang *et al.*,
IEEE EMBS, 2009



Viventi *et al.*,
Nature Neuroscience, 2011



Rubehn *et al.*,
J. Neural Eng., 2009



Kim *et al.*,
Nature Materials, 2010

그림 6. μ ECoG전극의 다양한 형태들

백금(Platinum)은 부식에 저항하는 능력과 큰 전하 운반 능력으로 인해 신경 자극 및 뇌파 측정에 사용되는 물질이다⁵. 재작 공정 편의성 또한 전극 재료로서의 장점이다. 산화 이리듐(Iridium oxide)은 이리듐 원자 상태(Ir^{3+}/Ir^{4+}) 사이의 가역적인 산화 환원을 통한 큰 주입 전하로 인하여 신경 자극 전극에 널리 이용되는 물질이다⁶. 고분자 유기물인

Poly(3,4-ethylenedioxythiophene) (PEDOT) 또한 작은 임피던스로 인해 다량의 전하 주입이 가능한 장점이 있다⁷⁾. 작은 임피던스를 가지는 신경 전극은 전기 자극 및 뇌파 측정 관점에서 유리하기 때문에 일반적으로 선호된다.

한편, 위에 소개한 신경 전극 물질은 광학적으로 불투명하다는 단점으로 인해 생체 내 이미징(in vivo imaging)에 한계가 존재한다. 즉, 그림 7에서 보이는 바와 같이 불투명한 전극 재료가 의료 영상 정보를 제한하는 문제가 있는 것이다. 이를 극복하기 위하여 최근 투명 신경 전극이 개발되어 다양한 분야로 연구가 진행되고 있다^{8,9)}. 투명 신경 전극은 의료 영상화에 있어서 왜곡을 최소화함으로써 더 많은 정보를 제공하고 창의적인 연구 수행을 가능하게 한다 [그림 7].

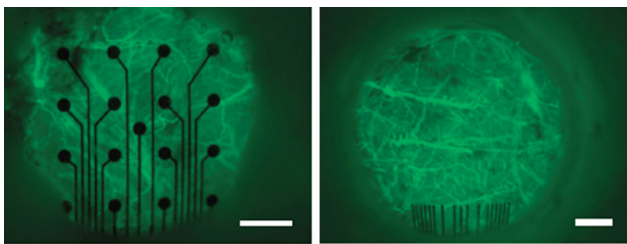


그림 7. 불투명 신경 전극과 투명 신경 전극의 영상화 비교

투명 그래핀 신경 전극

초기의 투명 신경 전극 재료로는 전자제품의 투명 전극으로 주로 사용되는 인듐-주석 산화물(Indium-tin-oxide, ITO)이 연구되었다¹⁰⁾. 그러나 ITO는 유연 기판 상에서 부서지기 쉽다는 점, 저온 공정이 어렵다는 점,

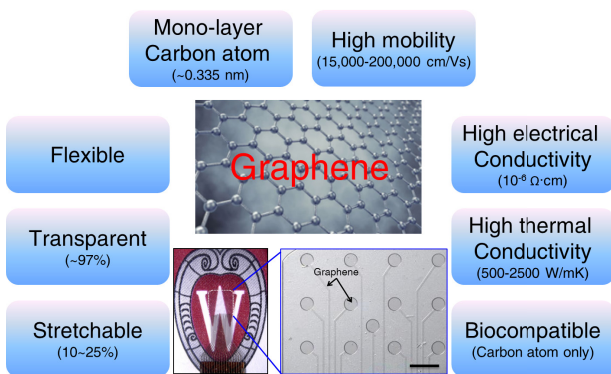


그림 8. 투명 그래핀 신경 전극 및 그래핀 물질 특성

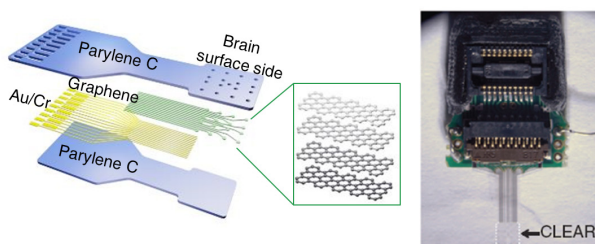


그림 9. 투명 그래핀 신경 전극의 구조 및 제작 완성 모습

자외선 영역에서 투명도가 급격히 줄어든다는 점 등의 단점으로 인해 생체 내 실험은 제한적이었다. 이러한 단점을 가지지 않고 높은 열전기 전도도, 생체 적합성, 넓은 광 스펙트럼에서의 투명도 등의 장점을 가진 그래핀(Graphene)이 신경 전극이 개발되었다 [그림 8,9].

투명 그래핀 신경 전극은 반도체 설계 및 공정 기술을 적용하여 제작함으로써 향후 집적도를 높이고 다양한 회로를 추가하는데 유리한 면이 있다. 그림 10에서 보는 바와 같이 실리콘 웨이퍼 위에 다수의 전극을 설계, 제작함으로써 양산성 측면에서도 장점이 있다. 해당 연구는 그래핀의 광학적, 전기적, 기계적 우수성을 이용해 뇌 영상을 얻는 동시에 뇌 신호를 검출하는 전극을 개발함으로써 그래핀의 생체 적합성 및 바이오 어플리케이션으로서의 확장성을 보여 준 예라 할 수 있겠다.

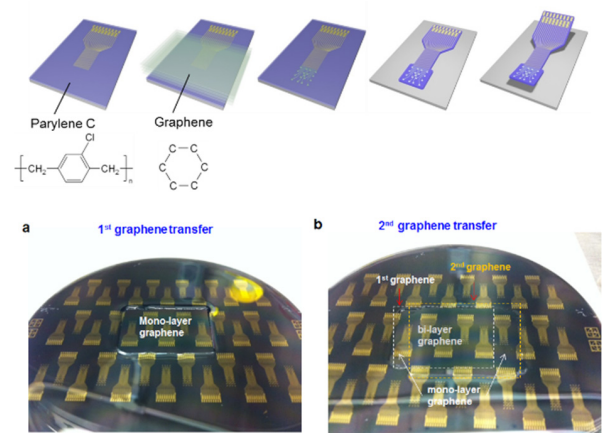


그림 10. 반도체 기술을 이용한 그래핀 신경 전극의 제작 과정

실제 개발된 투명 그래핀 신경 전극으로 생체 실험을 진행한 결과, 그래핀 신경 전극은 조직 내에서 안정성을 갖는 동시에 우수한 뇌 신호 검출 능력을 보여주었다. 광유전학(Optogenetics)과 같은 최신 신경 과학 기술과의 접목을 통하여 광학적 뇌 자극 및 자극에 대한 뇌파 반응을 성공적으로 측정하였다 [그림 11].

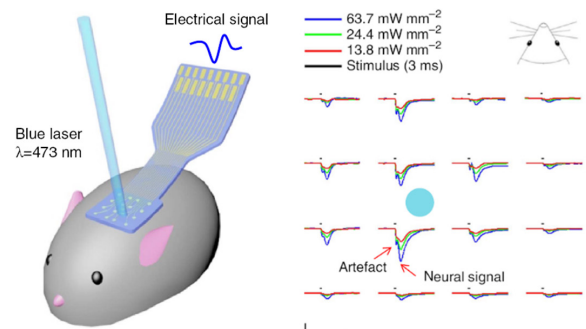


그림 11. 그래핀 신경 전극을 통한 광학적 뇌 자극 및 뇌파 측정 결과

그래핀 신경 전극은 영상화 측면에서도 뛰어난 특징을 보인다. 개발된 전극은 생체 내에 주입되어 형광 현미경법(fluorescence microscopy),

광간섭촬영법(optical coherence tomography)에서 투명함을 검증하였다 [그림 12]. 이러한 장점으로 인하여 그래핀 신경 전극은 향후 신경학, 생체의학 등에서 다양하게 이용될 것으로 기대된다. 예를 들어, 전기나 빛 자극에 의한 혈류 변화를 영상 왜곡 없이 관찰함으로써 더욱 더 정밀한 두뇌 활동 관찰이 가능할 것이다. 이와 같이 새로운 형태의 신경 전극은 파킨슨, 알츠하이머 등의 뇌 질환 규명 및 치료 프로세스 발견에 새로운 연구방법을 개척할 수 있을 것으로 기대된다.

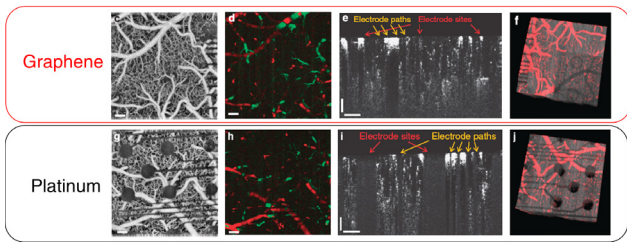


그림 12. 투명 그래핀 전극과 기존 금속 전극의 의료 영상 비교

3. 결론

신경 전극을 포함한 두뇌 센서의 개발은 신경 활동을 이해하고 다양한 병리의 원인을 탐색하는 데 큰 발전을 가져왔다. 이러한 기술은 질병이나 외상으로 인해 잃어버린 운동, 감각 기능을 복원할 수 있는 인공 장치 및 치료법 개발을 가능하게 한다. 특히, 침습성, 공간 해상도 및 생체 적합성 간의 균형을 갖춘 μ ECoG는 안정적이고 신뢰할 수 있는 신경 인터페이스 기술 중 하나이다. 또한, 고 집적도 및 다양한 기능의 추가를 위하여 반도체 기술과의 융합이 중요한 분야라고 할 수 있다. 최근 두뇌에 관한 관심이 커져가는 상황에서 기초 과학 및 임상 분야에서 신경 전극의 연구는 더욱 추진력을 얻을 것으로 기대된다.

참고문헌

- ① S. Herculano-Houzel, "The Human Brain in Numbers: A Linearly Scaled-up Primate Brain," *Frontiers in Human Neuroscience*, 3, 2009.
- ② J. S. Perlmutter, J. W. Mink, "Deep brain stimulation," *Annual Review of Neuroscience*, 27, 2006.
- ③ A. G. Rouse, J. J. Williams, J. J. Wheeler, D. W. Moran, "Cortical adaptation to a chronic micro-electrocorticographic brain computer interface," *The Journal of Neuroscience*, 33, 1326-1330, 2013.
- ④ S. Kellis, K. Miller, K. Thomson, R. Brown, P. House, B. Greger, "Decoding spoken words using local field potentials recorded from the cortical surface," *Journal of neural engineering*, 7, 056007, 2010.
- ⑤ A. Weremfo, P. Carter, D. B. Hibbert, C. Zhao, "Investigating the interfacial properties of electrochemically roughened platinum electrodes for neural stimulation," *Langmuir*, 31, 2593-2599, 2015.
- ⑥ S. Negi, R. Bhandari, L. Rieth, F. Solzbacher, "In vitro comparison of sputtered iridium oxide and platinum-coated neural implantable microelectrode arrays," *Biomedical materials*, 5, 015007, 2010.
- ⑦ K. A. Ludwig, N. B. Langhals, M. D. Joseph, S. M. Richardson-Burns, J. L. Hendricks, D. R. Kipke, "Poly (3, 4-ethylenedioxythiophene)(PEDOT) polymer coatings facilitate smaller neural recording electrodes," *Journal of neural engineering*, 8, 014001, 2011.
- ⑧ D.-W. Park, A. A. Schendel, S. Mikael, S. K. Brodnick, T. J. Richner, J. P. Ness, M. R. Hayat, F. Atry, S. T. Frye, R. Pashaie, S. Thongpang, Z. Ma, J. C. Williams, "Graphene-based carbon-layered electrode array technology for neural imaging and optogenetic applications," *Nature Communications*, 5, 5258, 2014.
- ⑨ D.-W. Park, S. K. Brodnick, J. P. Ness, F. Atry, L. Krugner-Higby, A. Sandberg, S. Mikael, T. J. Richner, J. Novello, H. Kim, D.-H. Baek, J. Bong, S. T. Frye, S. Thongpang, K. I. Swanson, W. Lake, R. Pashaie, J. C. Williams, Z. Ma, "Fabrication and utility of a transparent graphene neural electrode array for electrophysiology, in vivo imaging, and optogenetics," *Nature Protocols*, 11, 2201-2222, 2016.
- ⑩ T. Minami, "Substitution of transparent conducting oxide thin films for indium tin oxide transparent electrode applications," *Thin Solid Films*, 516, 1314-1321, 2008.

저자정보



박 동 욱 교수

소속
서울시립대학교 전자전기컴퓨터공학부

주 연구분야
의용공학, 신경전극, 바이오센서

E-mail dwpark31@uos.ac.kr

Homepage <https://www.bionanoseoul.com>

MODELZEN 소개



Scientific Analog 사

Scientific Analog사의 EDA 툴 개요

A. 목적

모델 생성 및 시뮬레이션 아날로그 회로의 동작을 디지털 검증환경인 SystemVerilog 상에서 모델링하고, 이를 포함한 혼성신호 시스템 IC의 동작 및 성능을 빠르고 정확한 시뮬레이션을 통해 검증한다.

B. 구분

모델기반의 혼성신호 시스템 시뮬레이터 XMODEL은 모델을 기반으로 아날로그 및 혼성신호 IC 시스템을 검증하는 시뮬레이터라는 점에서 기존의 Verilog-AMS, Matlab/Simulink, CppSim과 유사한 목적과 기능을 가지나, 순수한 디지털 시뮬레이터인 SystemVerilog 상에서 동작한다는 점, 정확도와 실행속도가 10~100배 이상 월등하다는 점, 비트에러율 같은 통계적인 분석이 가능하다는 점, 아날로그-디지털 co-simulation을 지원한다는 점 등에서 차별성을 갖는다.

C. Supported platform and O/S System

Linux RedHat Enterprise 64-bit Release 5.0 이상

D. 특성 및 기능

Scientific Analog사는 현재 XMODEL, GLISTER 그리고 MODELZEN의 세가지 제품을 보유하고 있다. 이번 뉴스레터에서는 MODELZEN에 대해 소개한다.



XMODEL

XMODEL은 다양한 아날로그 회로들을 기존의 디지털 검증 환경인 SystemVerilog상에서 쉽게 모델링하고 시뮬레이션할 수 있게 해주는 확장팩키지입니다.



GLISTER

GLISTER는 Cadence® Virtuoso® 환경에서 아날로그 모델을 코드 작성없이 schematic 형태로 쉽게 만들고 시뮬레이션할 수 있게 해주는 GUI 환경입니다.

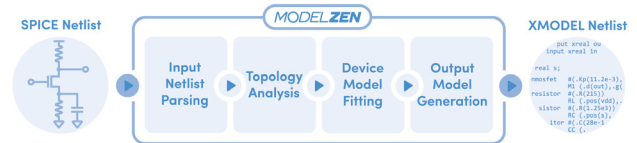


MODELZEN

MODELZEN은 임의의 아날로그 회로로부터 SystemVerilog 모델을 자동으로 생성해주는 툴입니다.

MODELZEN이란?

MODELZEN은 임의의 아날로그 회로로부터 SystemVerilog 모델을 자동으로 생성해주는 툴이다.



항상 옳게 동작하는 아날로그 모델의 자동 생성

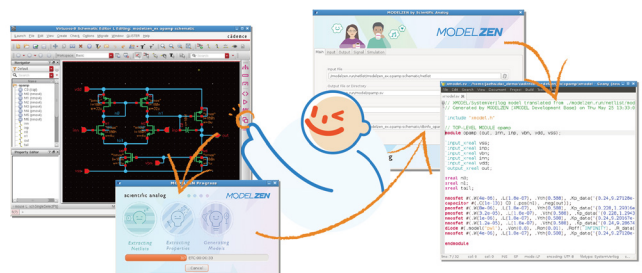
기본적으로 MODELZEN은 XMODEL의 회로 시뮬레이션 기능을 활용하여 주어진 회로의 구조적 모델(structural model)을 생성한다. 즉, MODELZEN은 회로를 구성하는 개별 소자들의 특성을 파악하여 그에 해당하는 모델을 생성한 후, 그 소자단위의 모델들을 기존 회로의 연결상태대로 연결한 회로 모델을 생성한다. 이러한 방법의 장점은 대상 회로에 대한 전문적인 지식이 없어도 항상 정확히 동작하는 모델을 쉽게 생성할 수 있다는 것이다. 또한 생성된 모델을 XMODEL의 event-driven 시뮬레이션 방식에 의해 SystemVerilog 상에서 빠르게 실행된다.

아날로그 전문지식이 없이도 가능한 모델 생성

MODELZEN을 사용하면 아날로그 전문가가 아니더라도 정확도 높은 SystemVerilog 모델을 쉽게 생성할 수 있다. MODELZEN의 구조적 모델링 방법은 주로 디지털 배경지식이 풍부한 검증 엔지니어들이 아날로그 회로 설계자에게 도움을 청하지 않고도 system-level 검증을 위한 아날로그 회로 모델을 직접 생성할 수 있게 해준다. 또한, 회로 설계자도 회로가 변경될 때마다 그에 맞게 모델을 자동 업데이트 할 수 있어 편리하다.

마우스 클릭 한번으로 생성되는 모델!

GLISTER와 함께 MODELZEN을 사용하면 Cadence Virtuoso Schematic Editor상에서 마우스를 단 한번 클릭하는 것만으로도 모델을 자동 생성할 수 있어 더욱 편리하다. GLISTER는 모델 생성을 위해 netlist 생성 및 속성 추출 등의 준비단계를 자동으로 수행하고, MODELZEN이 생성한 모델을 다시 Cadence database로 import하는 역할을 수행한다.



IDEC Newsletter

2018. 1.

통권 제247호

발행일 2017년 12월 29일
발행인 박인철
편집인 김태욱, 남병규
제작 디자인심원
기획 김하늘
발행처 반도체설계교육센터(IDEC)
Tel. 042) 350-8535
Fax. 042) 350-8540
Homepage. <http://www.idec.or.kr>
E-mail. kimsky1230@idec.or.kr

반도체설계교육센터 사업은
산업통상자원부, 한국반도체산업협회, 반도체회사(삼성전자,
SK하이닉스, 매그나칩반도체, 엠코테크놀로지코리아)의 지원
으로 수행되고 있습니다.