

2017
October



IDEC Newsletter

Vol. 244



IDEC 뉴스 MPW, CDC, 교육 안내
IDEC 논단 4차 산업혁명과 반도체

기술동향칼럼 1 3차원 초음파 의료영상기기를 위한 ASIC 설계 동향
기술동향칼럼 2 PRAM 소자 및 아키텍처 기술
기획칼럼 EDA Tool 소개 (Virtuoso Schematic Editor)



반도체설계교육센터
IC DESIGN EDUCATION CENTER

2018년 MPW 지원 계획

- 진행 일정 및 공정 내역 안내 : 12월 중 안내 예정

2017년 MPW 진행 현황

● 진행 현황

- 2017년 MPW 설계팀 모집 마감 : 285팀 설계 참여
- 진행 일정 (2017.08.17 기준)

공정	회차구분 (공정_년도순서)	모집팀수 ((mmxmm)x칩수)	정규모집 신청마감	참여팀수 ((mmxmm)x칩수)	DB마감 (Tape-out)	Die-out	비고
MS 180nm	MS180-1701	(3.8x3.8)x25	2017.01.26	(3.8x3.8)x23 (3.8x1.9)x4	2017.03.20	2017.08.21	제작완료
	MS180-1702		2017.02.20	(3.8x3.8)x19 (3.8x1.9)x12	2017.05.22	2017.10.23	칩제작중
	MS180-1703		2017.03.13	(3.8x3.8)x23 (3.8x1.9)x4	2017.07.24	2017.12.26	칩제작중
	MS180-1704		2017.04.10	(3.8x3.8)x25	2017.09.18	2018.02.19	DB검토중
	MS180-1705		2017.06.12	(3.8x3.8)x21 (3.8x1.9)x8	2017.12.04	2018.05.07	설계중
MS 350nm	MS350-1701	(5x4)x20	2017.02.20	(5x4)x17	2017.06.12	2017.10.02	칩제작중
	MS350-1702		2017.07.10	(5x4)x19	2018.01.15	2018.05.07	설계중
삼성 65nm	S65-1701	(4x4)x40	2017.01.26	(4x4)x33	2017.05.22	2017.11.27	칩제작중
	S65-1702		2017.03.13	(4x4)x38	2017.09.04	2018.03.11	DB검토중
	S65-1703		2017.06.19	(4x4)x40	2018.01.08	2018.07.16	설계중

- 일정은 사정에 따라 다소 변경될 수 있음.
- S65-1701회 (삼성 65nm) 는 기존 설계 진행으로 서버를 보유한 팀만 참여 가능함.
- 회차 표기 : 공정코드-년도 모집순서 (예시) 삼성 65nm 2017년 1회차 : S65-1701)
- 모집 기간 : 모집 마감일로부터 2주 전부터 접수함.
- Package 제작은 Die out 이후 1개월 소요됨.



MPW 관련 문의

이의숙 책임 (yslee@idec.or.kr, 042-350-4428)

ISOCC 2017 Chip Design Contest 안내

- 시간 및 장소 : 11월 6일 (월), 그랜드 힐튼 서울
- 논문 채택 안내 : 9월 15일 (금)
- 최종 논문 제출 : 9월 22일 (금)
- 사전 등록 마감 : 9월 22일 (금)

제25회 한국반도체학술대회 Chip Design Contest 안내

- 시간 및 장소 : 2018년 2월 6일 (화), 강원도 하이원리조트
- 초록 접수 마감 : 10월 20일 (금)
- 초록 채택 통보 : 12월 15일 (금)
- 사전 등록 마감 : 2018년 1월 12일 (금)

* IDEC에서는 MPW 참여팀에 한해 CDC 참여팀 등록비의 절반을 지원합니다.

김하늘 주임 (kimsky1230@idec.or.kr, 042-350-8535)

수강을 원하는 분은

IDEC 홈페이지 (www.idec.or.kr) 를 방문하여 신청하시기 바랍니다.

강좌 일정

센터명	강의일자	강의 제목	분류
본센터	10월 24~26일	Android Platform Architecture 분석	설계교육
	10월 30~31일	SiliconSmart / Library Characterization	Tool교육
충북대	10월 14~15일, 21일	디지털 및 집적회로 실무특강	설계교육



본센터

10/24-26

강좌제목 Android Platform Architecture 분석

강사 최영두 박사 (프리랜서)

강좌개요

사물 인터넷 통신(Internet of Things; IoT)의 기술 및 Smart IT 융합 서비스에 대해 이해하고 다양한 사물에 대한 센서/통신/제어 기능을 부과하여 유기적/지능적으로 정보를 수집하고 상호 전달하는 Networking을 실습해 봄으로써 실무 전공 분야에 대한 전문 지식과 더불어 Android 관련 분야도 이해하고 융합할 수 있는 능력을 배양한다.

수강대상 Android Application 개발에 관심있는 Engineer

강의수준 초중급 **강의형태** 이론+실습

사전지식·선수과목 기초적인 Programming 지식



충북대

10/14-15,21

강좌제목 디지털 및 집적회로 실무특강

강사 홍종필 교수 (충북대학교)

강좌개요

본 강의를 통해 마이크로프로세서 칩이 제작되는 전 과정을 살펴봄으로써 디지털 집적 회로에 대한 이해도를 높이고, 설계 툴을 이용하여 실제 회로를 설계, 시뮬레이션 검증, 레이아웃, 레이아웃 검증을 해 봄으로써 회로 설계 실무 능력을 향상시킬 수 있다.

수강대상 충북대학교 전기공학부 학부생

강의수준 초급 **강의형태** 이론+실습

문의 | 충북대 IDEC 라해미 (043-261-3572, idec@cbnu.ac.kr)

10/30-31

강좌제목 SiliconSmart / Library Characterization

강사 김동혁 과장 (Synopsys)

강좌개요

- What is Liberty?
- SiliconSmart characterization flow
- Characterization method
- How to debug?

수강대상 대학(원)생, 직장인

강의수준 초급 **강의형태** 이론+실습

사전지식·선수과목

Basic small circuit understanding (spice netlist, schematic, logic expressions), Spice

문의 | KAIST IDEC 김영지 (042-350-8536, yjkim@idec.or.kr)

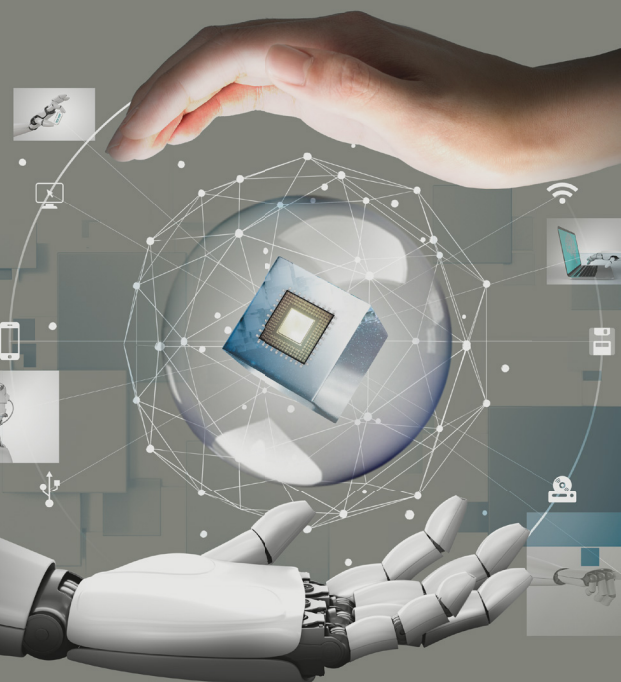


4차 산업혁명과 반도체



삼성전자 System LSI 事業部

장덕현 부사장



AI, IOT, Autonomous Car, 5G, Mobile Fintech, Mobile Social Network 등 아직까지는 전문가 집단에만 통용되는 4차 산업을 설명하는 이 단어들은 조만간 일반인들이 흔히 쓰는 보통명사가 될 것이다. 1980년대에 PC가 처음 나왔을 때, 필자는 10년만 먼저 태어났다면 PC를 세계 최초로 직접 만들 수 있었을 것이라고 생각한 적이 있었다. 자연과학이나 공학을 전공한 학생이라면 누구나 혁신적인 제품 앞에서 그런 상상을 한번쯤은 해 본 경험이 있을 것이다. 더 이상의 혁신이 없지 않을까 걱정하기도 했지만, 기술 혁신은 계속 되었다. 20년 전에는 예상하지 못했던 네트워크, Cloud, 실시간성, P2P 등의 신기술을 통해 우리는 전 세계 어디를 가도 하나의 동일한 서비스를 제공받고 있다.

지금은 인류가 지난 수 십년간 축적한 기술 위에 혁신의 속도가 가속되는 시기로, 4차 산업 혁명은 지적 Innovation의 Big Bang을 가져올 것이다. 앞으로는 지금과 다른 차원의 변화가 진행될 것이다. 단순히 반복적인 일을 대신하는 것이 아니라, 전문가 영역으로 분류되던 뉴스 기사 작성, 금융 Consulting, 의료 및 법률 서비스, 전략적인 판단을 주로 하는 스포츠 감독이나 CEO의 업무까지도 AI에 의해 대체되는 시기가 도래할 것이다.

제품 생산은 그간 전문 설계 능력, 생산 기술과 생산 인프라를 갖춘 집단의 전유물이었다. 그러나 현재 Smart 공장의 대표 사례로 언급되는 독일 지멘스 공장이나 아마존의 물류 창고를 보면, 로봇과 사람의 분업화 및 효율화가 높아지면서 그러한 장벽이 없어지고 있음을 볼 수 있다. 그간 단계가 많고 시간이 많이 걸리던 다양한 Option 처리를 높은 효율과 속도로 제공하고 있는 것이다. 물류의 Delivery Time 또한 획기적으로 감소하고 있다. 아마존은 실리콘밸리 지역에서 주문 후 4시간 내에 제품을 받을 수 있는 서비스를 제공한다. 이러한 변화가 계속되면 자동차와 냉장고를 하나의 작업장에서 생산하는 것도 예상 못할 일은 아닐 것이다. 부품과 Smart한 제조 설비만 있으면 어디서든 이종 제품의 생산과 유통이 가능해질 것이다.

이처럼 앞으로는 표준화된 설계와 제조 방식만으로도 세계적으로 어디에서든 물건이 제작 되고 유통될 것이다. 3D Printer로 만들 수 있는 것이라면 반제품 형태의 부품을 옮길 필요도 없어질 것이다. 소비자나 산업 자재의 다품종 소량 생산은 소비자의 필요에 맞게 더 진화하면서, 생산 비용은 감소하고 생산성은 배가 될 것이다. 독일, 일본, 미국 등 많은 국가들이 이 분야에서 선도적인 시도를 하고 있는 것을 볼 수 있다.

4차 산업을 가능하게 하는 엔진은 반도체 기술이다. 반도체 산업은 지속적으로 수많은 기술 혁신 요소를 찾아내고 최적의 설계 방법을 구축하는데 힘써왔다. 현재 많은 연구소 및 기업에서 반도체라는 Platform에 나노, 양자 역학, 정밀 화학, 통신 네트워크, AI 등 인간이 생각하는 대부분의 지적 영역을 인간을 대신해 수행할 수 있도록 만들고 있다. 초고속 반도체의 개발은 손 안의 Super Computer, 손 안의 AI 시대가 오는 것을 의미한다. 초저전력, 고병렬 반도체를 만들게 됨으로써 10년 전 수 천대의 PC가 처리하던 일을 이제는 AI Chip 하나로 수행할 수도 있게 되었다.

초고속 고용량 메모리, Deep Learning 기반 AI Chip, 고화소 영상 센서, 초고화질 Display, Energy Harvesting 등 반도체 분야에서 물리, 화학, 전자공학, 재료공학, 금속 및 기계공학, SW, Computer, 신경과학 등 반도체와 연관된 지적 요구는 폭발적으로 늘어나고 있다. 반도체 제조 공정의 혁신, 진보된 설계 및 System 기술은 4차 산업혁명을 통해 인류에게 더 많은 혁신을 가져다 주고, 더 안전하고 더 편리한 세상으로 인도해 줄 것이다. 1800년대 캘리포니아 골드러쉬 때에는 사금을 캐던 사람들이 아닌 채굴 장비와 청바지를 만든 사람들이 성공했다고 한다. 반도체는 4차 산업혁명을 이끄는 핵심 동력으로 지금보다 몇 배의 전문가를 필요로 한다. 더 많은 젊은 세대가 차세대 반도체 연구 개발을 통해 4차 산업혁명에 참여하기를 소망해 본다.

3차원 초음파 의료영상기기를 위한 ASIC 설계 동향

엄지용 교수 | 한남대학교 전자공학과

1. 서론

고령화 추세와 건강증진에 대한 인식 전환이 이루어지면서 외과적인 수술을 하지 않고 질병이나 신체의 이상을 진단하는 영상 진단기술에 대한 관심과 수요가 높아지고 있다. 주요 의료영상 진단장치로는 X-ray, CT, MRI, PET, 초음파 등이 있으며, 진단하고자 하는 신체기관 및 질병에 따라 적절한 진단장치가 사용된다. 이 중에서도 초음파는 인체에 무해하며 비교적 진단비용이 저렴하고 실시간으로 신체 단면의 영상을 볼 수 있다는 장점을 지닌다. 이러한 초음파 영상기기의 장점을 활용한 초음파 영상기기 기반의 새로운 진단 플랫폼도 최근 다양해지는 추세이다.

지닌다. 상기 기술에서 3차원 초음파 영상 모드가 가능해질 경우, 최소한의 스캐닝을 통해 병소의 정확한 위치를 정확히 파악할 수 있을 뿐만 아니라 소노그래퍼(sonographer)의 영상 진단능력에 대한 의존도를 낮출 수 있다.

최근 3차원 초음파 영상을 이용한 응용분야에 대한 관심이 증가하면서 전통적인 3차원 초음파 의료영상기기를 위한 ASIC 설계뿐만 아니라 3차원 내시경 심장 초음파 프로브를 위한 ASIC 설계와 관련된 연구 결과들도 주요 학회에서 발표되고 있다¹⁻⁶. 또한, 2차원 배열형 트랜스듀서와 ASIC의 결합(assembly)을 통한 소형화된 초음파 센서의 구현이 가능해지면서 이를 응용한 초음파 지문센서, 모션센서 등과 관련된 연구 결과들도 꾸준히 발표되고 있는 추세이다⁷⁻⁹.

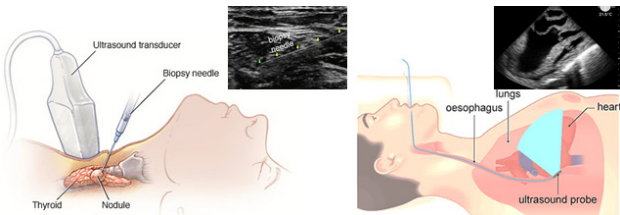


그림 1. 초음파 의료영상기기를 응용한 진단장치
(a) 초음파 유도 미세 침 흡인 생검 (b) 내시경 심장 초음파

그림 1은 초음파 영상장치를 응용한 미세 침 흡인 생검(ultrasound-guided needle biopsy)과 내시경 심장 초음파(transesophageal echocardiography)의 예를 제시한다. 미세 침 흡인 생검의 경우, 초음파 영상을 통해 조직검사가 필요한 신체 조직의 위치를 파악하며 바늘을 통해 신체 일부 조직을 채취하여 조직검사를 가능하게 한다. 내시경 심장 초음파의 경우, 내시경 튜브의 끝단에 초음파 영상용 배열형 트랜스듀서를 부착하며 심장으로부터 더 가까운 위치에서 심장의 영상을 자세히 관찰할 수 있는 장점을 지닌다. 또한, 해당 기술은 기존의 심장 초음파 영상장치보다 높은 프레임률(frame rate)을 지니기 때문에 기존의 초음파 영상장치가 제공할 수 없는 임상적 정보도 제공할 수 있는 장점을

2. 초음파 영상장치용 ASIC 설계동향 및 주요이슈

표 1. 최근 주요 학회에서 발표된 초음파 영상장치를 위한 ASIC 설계 연구결과

년도	학회명	응용분야	제안사항
2013	ISSCC ¹	의료영상	2차원 cMUT과 ASIC의 assembly 구현 방식
2014	ISSCC ²	의료영상	2차원 cMUT의 sub-array 수신 빔포머
	ISSCC ⁷	모션센서	2차원 pMUT과 ASIC의 결합을 이용한 모션센서 모듈
	SOVC ³	의료영상	2차원 cMUT의 addressing 방식의 복잡도 완화 방안
2015	ISSCC ⁸	건강관리	초음파 A-모드 영상을 이용한 신체 단면 체지방 측정
2016	ISSCC ⁹	지문센서	2차원 pMUT과 ASIC 결합을 통해 구현된 초음파 B-모드 영상 기반의 500dpi급 지문인식 센서모듈
	SOVC ⁴	의료영상	2차원 PZT와 ASIC의 결합을 이용한 내시경 심장 초음파용 3D TEE 프로브
2017	ISSCC ⁵	의료영상	2차원 3072채널용 단일칩 송수신 빔포머
	ISSCC ⁶	의료영상	3D photo-acoustic 응용을 위한 수신 빔포머

최근 발표된 초음파 영상기기와 관련된 연구결과(표 1)의 공통점은 2차원 배열 트랜스듀서의 송수신 신호처리를 위한 ASIC 설계라는 점이다. 이와 같이 기존의 1차원 배열 트랜스듀서용 초음파 영상기기에 비해 2차원 배열 트랜스듀서용 초음파 영상기기와 관련된 ASIC 설계 연구결과가 증가한 이유는 영상기기 관점에서 회로적으로 해결해야 할 이슈가 발생하였기 때문이다. 2차원 배열 트랜스듀서로 인해 발생하는 초음파 영상기기의 주요이슈는 트랜스듀서와 영상기기 본체 간의 케이블 내의 신호 선(wire) 개수 증가, 배열형 트랜스듀서와 ASIC 간의 결합 방식, 피치단위 회로의 면적, 빔포머 회로의 면적 등을 꼽을 수 있다.

2.1 3차원 초음파 영상기기의 주요 이슈 : 2차원 배열형 트랜스듀서의 신호 선 개수

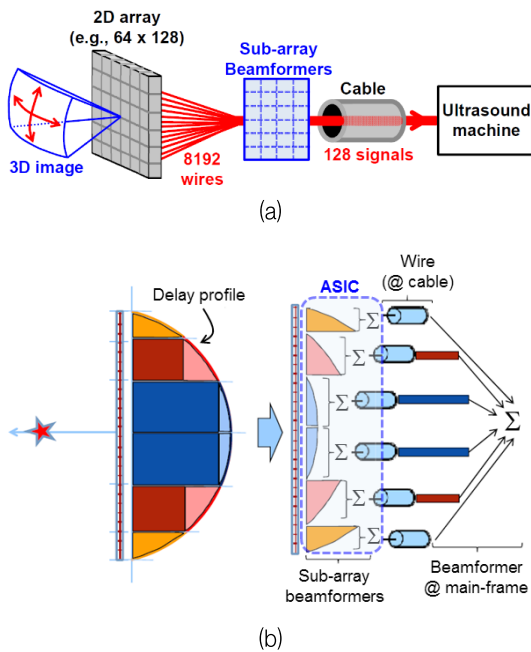


그림 2. (a) 초음파 프로브 내장형 sub-array 빔포머를 이용한 신호선 감소
(b) Sub-array 빔포밍을 이용한 3차원 영상기기의 빔포밍 개념

2차원 배열형 트랜스듀서는 응용분야에 따라 약 1000~9000개의 트랜스듀서 소자로 이루어진다^{1, 4, 5, 9, 10}. 그림 2(a)에 제시된 바와 같이, 예를 들어 64x128 형태의 2D 배열형 트랜스듀서는 총 8192개의 송수신 신호 선을 필요로 한다. 300 μ m 직경의 마이크로 동축선(micro-coaxial cable)으로 이루어진 신호 선을 모두 영상기기 본체로 연결할 경우, 프로브 케이블의 두께가 두꺼워질 뿐만 아니라 프로브 케이블의 가격이 매우 비싸진다. 또한, 수천 개의 신호 선이 영상기기 본체에 연결될 경우 해당 아날로그 신호에 대해 빔포밍을 수행해야 하는데 일반적인 디지털 빔포밍 방식으로는 하드웨어 구현이 거의 불가능하다.

따라서 최근 3차원 초음파 영상기기의 주요 빔포밍 플랫폼은 그림 2(b)에 제시된 sub-array 빔포밍 방식을 따른다^{2, 4-6, 10}. Sub-array 빔포밍은 2차원 배열형 트랜스듀서의 지연 프로파일(delay profile)을 N개로 나눈 후, 각 지연 프로파일에 대해 짧은 지연시간 범위 내에서 지연 및 합산

연산을 수행한다. Sub-array는 3x3, 4x4, 4x6, 1x64 등 다양한 형태를 지닐 수 있으며, 정사각형 또는 직사각형 형태의 sub-array는 1 μ s 내외의 지연시간 범위를 지닌다 [2, 4-6]. Sub-array 빔포머는 비교적 지연시간 범위가 짧기 때문에 아날로그-디지털 변환기의 개수를 최소화할 수 있는 아날로그 빔포머가 주로 사용된다. 아날로그 지연소자(delay line)는 아날로그 필터¹¹ 또는 샘플/홀드(S/H) 회로^{4, 5, 12}로 구현된다. 아날로그 필터 기반의 지연소자의 지연시간 성능은 공정/전압/온도 변화(PVT variation)에 민감하다. 반면에 샘플/홀드 회로는 클락신호를 이용하여 지연시간을 조절하기 때문에 지연시간 조절이 정확하며, 이로 인해 샘플/홀드 회로는 아날로그 지연소자로 주로 사용된다.

2.2 3차원 초음파 영상기기의 주요 이슈 : 트랜스듀서와 ASIC의 결합 방식

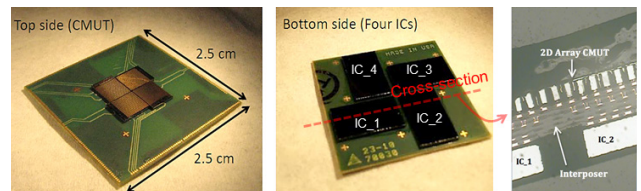


그림 3. 인터포저(interposer)를 이용한 2차원 cMUT과 ASIC의 결합¹

2차원 배열형 트랜스듀서에서 발생할 수 있는 다른 이슈는 트랜스듀서와 ASIC 간의 결합 방식에 있다. 2차원 배열형 트랜스듀서의 각 소자를 독립적으로 제어하기 위해서는 각 소자와 ASIC의 각 채널이 서로 연결되어야 한다. 해당 이슈를 다루기 위해 기존에 제안된 방식은 그림 3과 같은 인터포저(interposer)를 이용한 방식이다¹. 상기 방식은 인터포저의 상판에 16x16 cMUT을 2x2의 배치로 부착하고, 인터포저의 하판에는 4개의 ASIC을 그림 3과 같이 부착하였다. 사용된 인터포저는 6층 기판이며 100 μ m 너비의 전송선(trace)을 이용하며, 이를 통해 상판의 cMUT과 하판의 ASIC의 선 연결(wiring)을 해결하였다.

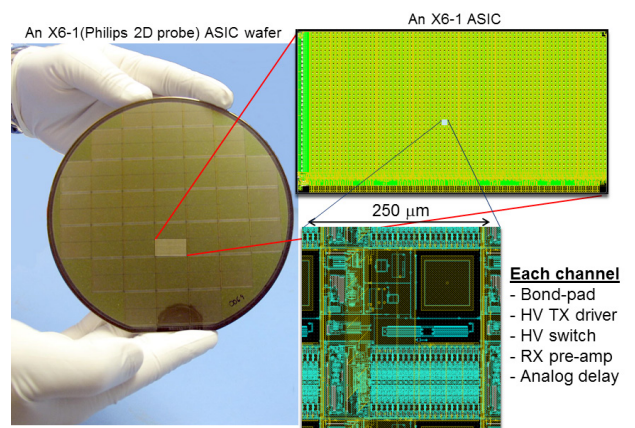


그림 4. 배열형 트랜스듀서와 ASIC 간의 일대일 결합을 위한 피치단위 회로설계¹⁰

배열형 트랜스듀서와 ASIC 간의 결합의 확장성을 높이기 위해 특정 인터포저 기판을 사용하지 않고 직접적으로 트랜스듀서 소자와 ASIC의 각 채널을 일대일로 연결하는 방식도 제안되고 있다^{4-6, 9, 10}. 상기 방식은 ASIC의 각 채널의 면적이 트랜스듀서 소자의 면적과 동일하며, 저온 공소성 세라믹(low-temperature co-fired ceramic), 공용 결합(eutectic bond) 등의 방법을 통해 ASIC과 배열형 트랜스듀서가 결합된다.

트랜스듀서 소자 간의 간격을 피치(pitch)라고 하며, 배열형 트랜스듀서와 ASIC이 직접적으로 결합될 경우, ASIC의 각 채널은 피치단위로 회로가 설계되어야 한다. 피치단위 회로에는 기본적으로 트랜스듀서 소자와 연결되기 위한 PAD, 고전압 송신회로, 고전압 스위치, 수신단 초단 증폭기, 아날로그 지연소자로 구성된다(그림 4). 트랜스듀서 소자 간의 간격은 초음파 빔의 그레이팅 로브(grating robe)를 최소화하기 위해 초음파 파장의 절반 이하로 설정한다. 예를 들어, 초음파 중심주파수를 5MHz로 사용할 경우, 소자 간의 간격은 150 μ m가 최대 허용 피치가 된다. 또한, ASIC의 전력소모는 자가방열(self-heating)에 의해 채널 당 0.5mW 이하로 제한된다.

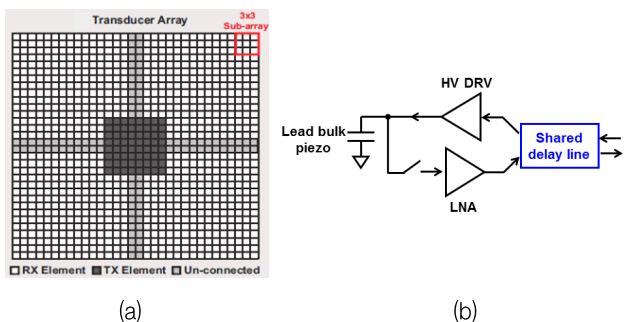


그림 5. 피치단위 회로의 면적을 줄이기 위한 방안
(a) 송/수신 전용 트랜스듀서를 분리한 2차원 배열형 PZT⁴
(b) 지연소자(delay line)를 공유하는 회로구조⁵

2.3 3차원 초음파 영상기기의 주요 이슈 : 피치단위 회로의 면적

초음파 중심주파수는 영상기기의 응용분야에 따라 다르게 사용되며, 스캐닝하고자 하는 대상의 깊이가 얇고 고해상도 영상이 필요할수록 중심주파수의 값을 높게 설정한다. 이는 초음파 영상의 축방향(axial) 및 측방향(lateral) 해상도를 결정하는 중요한 요소 중 하나가 중심주파수이기 때문이다¹³. 초음파 트랜스듀서의 중심주파수가 증가할 경우 각 트랜스듀서 소자의 피치는 감소하며, 이로 인해 피치단위 회로의 면적 감소에 대한 요구수준이 높아진다.

앞서 언급한 바와 같이 피치단위 회로에는 기본적으로 트랜스듀서 소자와 연결되기 위한 PAD, 고전압 송신회로, 고전압 스위치, 수신단 초단 증폭기, 아날로그 지연소자로 구성된다. 고전압 관련 회로는 레이아웃 규칙이 보수적이기 때문에 소면적 내에 구현하는 것이 쉽지 않다. 이에 대한 대응 방안으로는 송신 전용 트랜스듀서 소자와 수신 전용 트랜스듀서 소자를 구분하는 트랜스듀서 배열 구성을 들 수 있다(그림 5(a)). 상기 방식은 32x32 배열형 트랜스듀서에서 중심영역의 8x8 영역은 송신

전용 트랜스듀서로 사용하며, 나머지 864개의 트랜스듀서 소자는 수신 용도로만 사용하였다⁴. 또한, point-spread function 시뮬레이션을 통해 제안하는 배열형 트랜스듀서 구조로 인해 발생할 수 있는 빔 특성 열화를 최소화하였다.

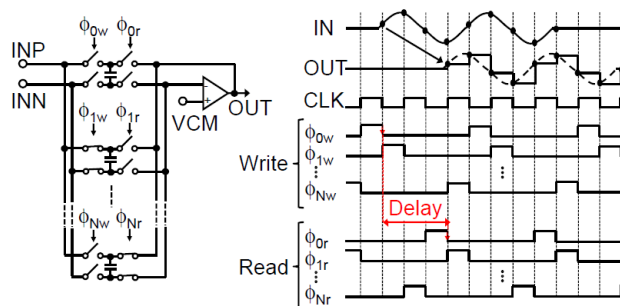


그림 6. 샘플/홀드 기반의 아날로그 지연소자의 동작⁵

뿐만 아니라, 그림 5(b)에 제시된 바와 같이 송수신단의 지연소자를 공유함으로써 피치단위 회로의 면적을 줄일 수 있다. 해당 방식에서 사용된 지연소자는 배열형태의 샘플/홀드 회로와 연산증폭기로 구성된다. 송신 모드일 때에는 연산증폭기를 비교기 회로로 재구성하여 사용하며, 지연소자의 아날로그 신호 출력은 재구성된 비교기 회로에 의해 디지털 신호로 변환되어 고전압 송신회로로 전달된다. 수신 모드일 때에는 배열형 샘플/홀드 회로와 연산증폭기가 스위치드 커패시터(switched capacitor) 회로로 동작한다(그림 6). 해당 회로는 샘플 시점과 홀드(read-out) 시점 간의 시각 차이를 조절함으로써 등가적으로 지연연산을 수행한다.

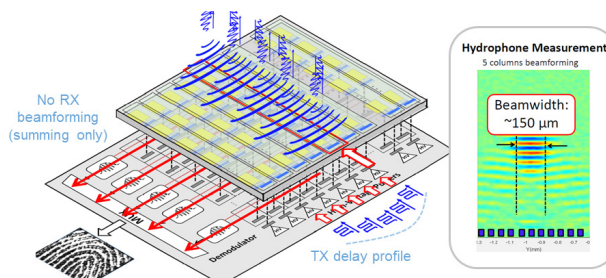


그림 7. 수신 빔포머를 사용하지 않는 3차원 초음파 영상 기반의 지문센서⁹

심지어 수신 빔포머용 지연소자를 피치단위 회로에 포함시키지 않은 경우도 존재한다(그림 7). 참고문헌⁹는 500dpi급 3차원 초음파 영상 기반의 지문센서를 구현하기 위해 피치의 크기를 50 μ m 내외로 제한하였다. ASIC의 단일 채널 면적이 상대적으로 작기 때문에 피치 단위 회로 내에 빔포머 관련 회로를 제거하였다. 대신에 초음파 영상의 측방향 해상도(lateral resolution)는 피치단위 회로 외부의 송신 빔포머에 의해 달성되었으며, 상대적으로 축방향 해상도(axial resolution) 및 수신 신호의 위상정보는 중요도가 낮기 때문에 수신 빔포머를 제거한 형태로 수신단 회로를 구성하였다.

2.4 3차원 초음파 영상기기의 주요 이슈 : 빔포머 회로의 면적

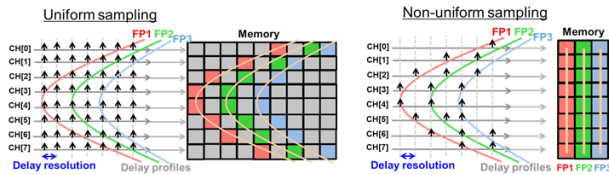


그림 8. 빔포머의 샘플링 기법에 따른 FIFO 메모리 사용 효율 비교

빔포머 회로의 면적도 3차원 초음파 영상기기용 ASIC의 이슈 중 하나이다. 빔포머 회로에서 면적을 크게 차지하는 블록은 수신 신호의 지연 동작에 사용되는 지연소자(예, FIFO 메모리)와 지연시간을 ASIC 내에 저장하기 위한 메모리(예, SRAM)이다. 지연시간 제어를 위한 메모리를 ASIC 외부에 위치시키는 경우도 존재한다. 하지만 실시간으로 ASIC의 모든 채널의 지연동작을 제어하기 위해서는 채널 수에 준하는 신호 선이 외부 제어부(예, FPGA)와 연결되어야 하며, 이 경우 인터페이스에 의한 잡음 증가는 피하기 어렵다.

일반적으로 빔포머 회로는 균일 샘플링 기법(uniform sampling scheme)을 기반으로 구현된다. 상기 빔포머의 지연시간 해상도(delay resolution)는 각 채널의 샘플링 주기에 해당하며, FIFO 메모리의 길이는 빔포머에 요구되는 최대 지연시간과 지연시간 해상도를 나눈 값과 일치한다. 그림 8의 균일 샘플링 기법의 FIFO 메모리 사용의 개념도에 의하면, 샘플링 된 일부 신호만이 실제 빔포밍에 사용되는 것을 확인할 수 있다.

빔포머의 FIFO 메모리 사용의 효율성을 증가시키기 위한 방안으로 불균일 샘플링 기법(non-uniform sampling scheme)이 존재한다^{2, 12, 14, 15}. 상기 방식은 목표 초점(target focal point)에 해당하는 초음파 반향신호만을 샘플링하고 FIFO 메모리에 저장하기 때문에 메모리 사용의 효율성이 높으며, 결과적으로 ASIC 내의 FIFO 면적(지연소자 면적)을 줄일 수 있다. 그러나 해당 기법은 각 채널의 샘플링 클럭신호 생성기의 회로 구현 복잡도가 증가하는 단점을 지닌다.

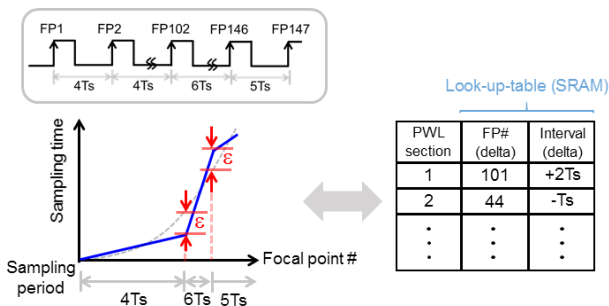


그림 9. 구분적 선형근사를 이용한 지연시간 인코딩 기법¹⁵

샘플링 클럭신호는 ASIC 내에 지연시간 연산기(on-the-fly delay calculator)를 구현하는 방식 또는 지연시간 인코딩 방식으로 구현될 수 있다. 그림 9는 인코딩 방식으로 지연시간 정보를 ASIC 내의 SRAM 메모리에

저장하는 방식을 나타낸다. 상기 방식은 구분적 선형 근사(piece-wise-linear approximation) 방식을 이용하여 오차 범위 내에서 각 채널의 샘플링 클럭의 샘플링 시점을 회귀(regression)시킨다. 이 경우, 샘플링 주기가 변하는 초점의 번호(focal point number)와 샘플링 주기의 변화량을 ASIC 내의 순람표(look-up-table)에 저장한다. 구분적 선형 기반의 지연 시간 인코딩 기법은 1.3Mb의 SRAM으로 64채널의 빔 조향(beam steering)을 지원한다. 상기 인코딩 기법에 사용된 순람표의 용량을 초점 개수, 스캔라인 개수, 채널 개수로 정규화할 때 $0.031\text{-bits}/(\text{FP}\cdot\text{SL}\cdot\text{CH})$ 로 표현할 수 있으며 해당 수치는 state-of-the-art에 해당한다¹⁵.

3. 결론

본 칼럼에서는 초음파 프로브에 집적 가능한 3차원 초음파 영상기기용 ASIC의 최근 연구동향을 살펴보고, 관련 ASIC의 주요 이슈로 2차원 배열형 트랜스듀서의 각 소자를 독립적으로 제어하기 위한 신호 선 처리 방식, 배열형 트랜스듀서와 ASIC 간의 결합 방식, 피치단위 회로의 면적, 빔포머 회로의 면적을 다루었다. 최근 관련 연구결과들을 살펴볼 때, 대부분 sub-array 빔포밍 구조를 통해 상기 이슈들이 해결 또는 완화되고 있음도 확인할 수 있었다. 기존의 3차원 초음파 영상기기용 ASIC의 연구는 범용 초음파 의료영상기기와 B-mode 영상(brightness mode)에 초점이 맞추어져 있다. 앞으로는 photoacoustic 영상, 도플러 효과를 이용한 영상기기 또는 이를 응용한 3차원 스캐닝 용도의 소형 센서 등과 관련된 연구가 진행될 것으로 전망된다.

참고문헌

- 1 A. Bhuyan et al., "3D volumetric ultrasound imaging with a 32x32 CMUT array integrated with front-end ICs using flip-chip bonding technology," IEEE ISSCC, pp. 396-397, Feb. 2013.
- 2 J.-Y. Um et al., "An analog-digital-hybrid single-chip RX beamformer with non-uniform sampling for 2D-CMUT ultrasound imaging to achieve wide dynamic range of delay and small chip area," IEEE ISSCC, pp. 426-427, Feb. 2014.
- 3 K. Chen et al., "A column-row-parallel ASIC architecture for 3-D wearable/portable medical ultrasonic imaging," IEEE Symp. VLSI Circuits, pp. 181-182, Jun. 2014.
- 4 C. Chen et al., "A front-end ASIC with receive sub-array beamforming integrated with a 32x32 PZT matrix transducer for 3-D transesophageal echocardiography," IEEE Symp. VLSI Circuits, pp. 38-39, Jun. 2016.
- 5 Y. Katsube et al., "Single-chip 3072ch 2D array IC with RX analog and all-digital TX beamformer for 3D ultrasound imaging," IEEE ISSCC, pp. 458-459, Feb. 2017.
- 6 M.-C. Chen et al., "A pixel-pitch-matched ultrasound receiver for 3D photoacoustic imaging with integrated delta-sigma beamformer in 28nm UTBB FDSOI," IEEE ISSCC, pp. 456-457, Feb. 2017.
- 7 R. J. Przybyla et al., "3D ultrasonic gesture recognition," IEEE ISSCC, pp. 210-211, Feb. 2014.
- 8 H.-Y. Tang et al., "Integrated ultrasonic system for measuring body-fat composition," IEEE ISSCC, pp. 1-3, Feb. 2015.
- 9 H.-Y. Tang et al., "3D ultrasonic fingerprint sensor-on-a-chip," IEEE ISSCC, pp. 202-203, Feb. 2016.
- 10 S. Freeman "Microbeamformers for large-aperture ultrasound transducers," Ann. Meeting in American Assoc. of Physicists in Medicine, Aug. 2011.
- 11 G. Gurun et al., "An analog integrated circuit beamformer for high-frequency medical ultrasound imaging," IEEE TBioCAS, vol. 6, no. 5, pp. 454-467, Oct. 2012.
- 12 J.-Y. Um et al., "A single-chip 32-channel analog beamformer with 4-ns delay resolution and 768-ns maximum delay range for ultrasound medical imaging with a linear array transducer," IEEE TBioCAS, vol. 9, no. 1, pp. 138-151, Feb. 2015.
- 13 W. R. Hedrick et al., Ultrasound Physics and Instrumentation. Philadelphia, PA, USA:Elsevier, 2005.
- 14 T. K. Song et al., "Ultrasonic dynamic focusing using an analog FIFO and asynchronous sampling," IEEE TUFFC, vol. 41, no. 3, pp. 326-332, May 1994.
- 15 Y.-J. Kim et al., "A single-chip 64-channel ultrasound RX-beamformer including analog front-end and an LUT for non-uniform ADC-sample-clock generation," IEEE TBioCAS, vol. 11, no. 1, pp. 87-97, Feb. 2017.

저자정보



엄지용 교수 | 한남대학교 전자공학과

주 연구분야
혼성신호 회로, 초음파 의료영상 시스템

E-mail jyum@hnu.kr

Homepage <http://sites.google.com/site/hannamiclab>

PRAM 소자 및 아키텍처 기술

송윤흡 교수 | 한양대학교 공과대학 융합전자공학부

1. 서론

상변화 메모리 소자(Phase Change Random Access Memory, PCRAM)는 1968년 S.R Ovshinsky가 상변화 현상에 대해 발표한 후¹, 광메모리와 반도체 메모리 분야에서 그 응용을 위한 연구가 시작되었다. 초기에는 상변화 현상과 재료 물질의 실용화에 대해 그 안정성과 신뢰성이 의문시 되었으나, 광메모리, 광디스크 산업의 발전과 더불어 그 신뢰성이 안정화 되었다. 1990년 고속 정보 기록이 가능한 광 디스크의 상품화를 계기로 반도체 메모리에 대한 연구가 90년 후반부터 본격적으로 착수되었다. PRAM은 스케일링의 용이성으로부터 40nm 이하의 고집적화의 가능성, 간단한 구조, 비휘발성 등의 특징으로 DRAM을 대체하는 차세대 메모리로 각광받았다.

상변화 재료는 Ge, Sb, Te 등을 포함한 칼코게나이드 물질로써 비정질상(amorphous)과 결정질상(crystalline)이 전류의 크기에 따른 열에 의해 제어된다. 하지만, 이러한 상변화 재료는 2족, 3족, 4족 등으로 구성되어 상변화 mechanism이 복잡하다. 일반적으로 가장 많이 사용되는 재료인 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (GST)의 경우 약 150~240°C의 온도에서 결정화되며, 비결정질상은 약 630°C의 융점까지 가열하고 급속한 냉각으로 형성된다. 그림 1은 각 상에 대한 energy band 구조를 비교하고 있는데, energy barrier에 의해 두 가지 상이 안정적으로 보존되고 있다.

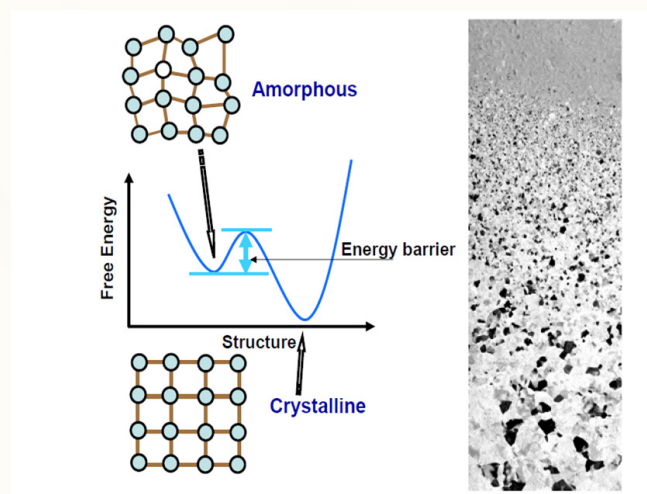


그림 1. 비정질상과 결정질상에 대한 Energy band 비교

PCRAM에서 reset(1 상태), set(0 상태) 구현을 위한 대표적인 pulse 파형을 그림 2에서 보여주고 있다. 결정질 상태에서 비정질 상태로 상변화하기 위해서는 용해상태에서 급격한 냉각처리가 필요하다. 이런 과정을 구현하기 위해서 short pulse로 고전류 또는 고전압을 인가하는데, 이를

reset 동작이라고 한다. 또한, 비정질 상태에서 결정질 상태로 상변화 하기 위해 융점보다는 낮고 결정화 온도보다는 높은 적절한 온도로 가열 하는데, 이 과정에서는 long pulse로 전류 또는 전압을 인가하며 냉각도 서서히 진행시킨다. 이 동작을 set 동작이라고 한다. 이런 reset 및 set 동작을 통해 상변화 물질의 저항 차이를 확보할 수 있으며 서로 다른 두 저항이 메모리 “1” 또는 “0” 상태를 인식하도록 한다.

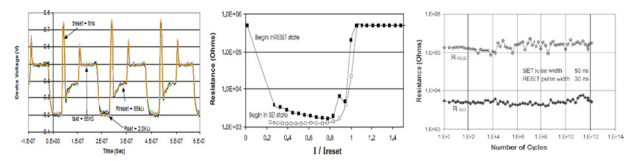


그림 3. (a) OUM 동작 cycling, (b) reset 및 set 동작에 의한 저항 특성, (c) 반복 cycling 특성

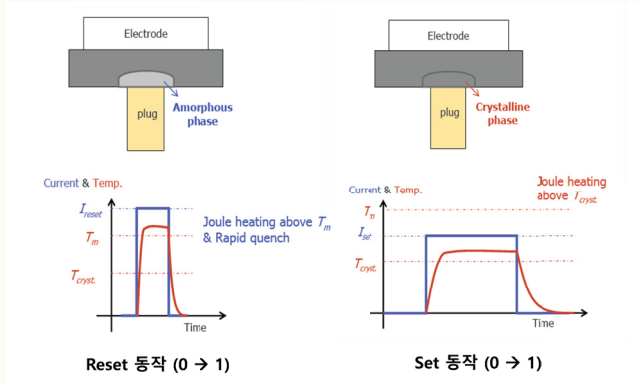


그림 2. PCRAM에서 reset, set 동작을 위한 pulse 비교

그림 2에서 보듯 PCRAM은 reset 동작에서 융점(GST의 경우 약 630°C)에 도달하도록 하는 높은 전압(또는 전류) pulse가 요구되므로 이로 인한 구동 전력소모 문제, 그리고 set 동작에서는 reset pulse 대비 넓은 pulse 폭으로 인해서 동작속도 문제가 대두된다. 이러한 이슈들을 개선하기 위해 다양한 구조 연구를 통한 접촉 면적 감소, 상변화 물질 (PCM) 및 heater 재료 연구를 통한 reset 동작 시 구동 전력 감소, set 동작에서도 소자 및 재료 연구를 통한 동작속도 개선 연구가 활발히 진행 되고 있다. 한편, PCRAM의 공정 선 폭이 지속적으로 감소되고 있는데 이웃하는 PCRAM 간 열 및 전기적 간섭 현상을 개선하는 소자 구조 및 재료 연구도 신뢰성 측면에서 매우 중요하다. 또한, 사이클링(cycling) 동작에서 발생하는 저항 drift 문제 개선도 PCRAM 기술 개발에서 핫 토픽이 되고 있다.

이후 Ovonyx 사, STM 등은 PRAM의 scaling에 대한 연구를 통해 contact 면적을 줄이면 전력을 100uA 이하로 낮추어 구동 전력을 개선 할 수 있으며, 소자 구조를 개선하면 reset 전류 감소를 실현할 수 있음을 제시하였다. 그림 4는 PRAM의 contact 면적 감소(a) 및 소자 구조 개선에 따른 Reset 전류 감소(b)를 보여주고 있다⁴. 여기서 제안하는 구조 B는 후속 연구에서 confined cell 구조와 연계된다.

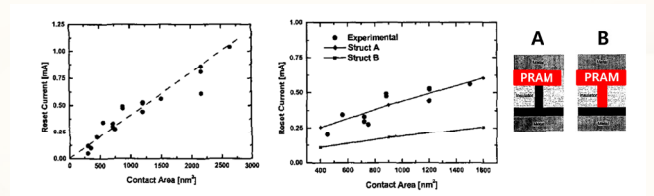


그림 4. (a) PRAM에서 접촉 면적 감소에 따른 Reset 전류 감소, (b) 소자 구조에 따른 Reset 전류 감소 결과 : 구조 A - 기존 pillar, 구조 B - GST를 insulator hole에 filling 시킨 개선 구조

2. PRAM 소자 구조 기술

2000년대 초기 PRAM 개발은 Intel, Ovonyx 사에 의해 주도되었으며, 2001년 국제전자소자 재료학회(IEDM)에서 Intel 사의 Stefan Lai는 칼 코지나이드, 상 변화 물질기반의 비휘발성 메모리로 180nm node의 OUM(Ovonic unified memory)을 개발하여 발표하였다². 이 발표에서 pulse 조건 변경에 따른 reset, set 동작 방법, 그리고 PRAM의 scaling에 따른 전력 감소 및 동작속도 개선을 최초로 언급했다. 이후 2002년에 International Solid-State Circuit Conference(ISSCC)에서 OUM을 이용한 0.18um 3V CMOS 공정을 기반으로 4Mb VLSI test chip 개발 결과를 발표했다. 그림 3과 같이 실제 OUM 동작을 위한 동작 cycling을 적용시켜(a), 저항차이를 5×10^2 이상으로 확보 하였으며(b), 반복 cycling 평가에서도 10^{12} 까지 양호한 특성(c)을 제시했다³.

이와 같은 PRAM의 초기 기술 개발 단계에서 보다 성숙된 제품화 기술은 삼성전자에 의해 주도되어 왔고, 삼성전자는 2006년에 국제전자소자 재료학회(IEDM)에서 90nm 기술로 512Mbit PRAM 기술에 대해 발표 하였다. 그림 5는 PRAM 소자 구조(a) 및 이 연구에서 핵심인 하부 전극 형성 공정 흐름도(b)를 보여주고 있다. 이 구조는 P/N Diode를 선택 소자로 적용하고, Ring-Type의 하부전극을 Self-aligned 방식으로 형성 시키는 cell 구조로써 접촉 면적을 낮추면서 5.8F² cell size를 구현하였다. Self-aligned Ring-Type 전극을 이용하고 T-shaped GST 구조를 갖는 Plug Confined cell 채용으로 reset 전류를 60uA 수준으로 낮추는데 성공 하였고, 이 기술을 사용하여 512Mbit PRAM에서 full 동작을 검증했음을 발표하였다⁵.

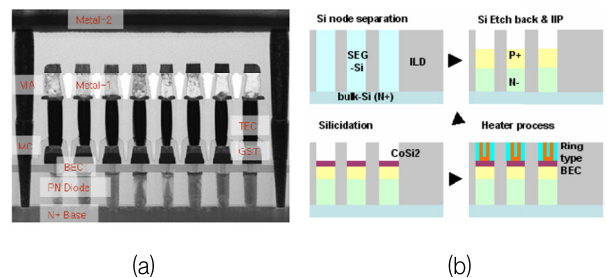


그림 5. 90nm 기술 기반 PRAM 기술 : (a) 소자 구조 및 (b) self-aligned Ring-type 하부 전극 형성 공정

이후 삼성전자는 2008년 같은 학회에서 20nm의 선 폭으로 7.5nm의 접촉면적(dash-contact)을 갖는 새로운 type의 confine cell 구조를 제안했다. Confined 구조는 CVD 방식을 통해 PCM(Phase Change Material)을 30nm depth에 void 없이 성공적으로 filling 되었으며, 이 기술로 reset 전류를 160uA까지 낮추었고 우수한 신뢰성 특성을 발표하였다. 또한, cell 구조의 장점으로 set time을 획기적으로 줄일 수 있음을 제시하였다. 그림 6은 20nm 기술에 의한 Dash-type confined cell 구조의 TEM(a), cell 구조에 따른 set falling time 특성을 보여 주고 있는데 50ns 이하에서 set 동작이 이루어짐을 확인할 수 있다⁶.

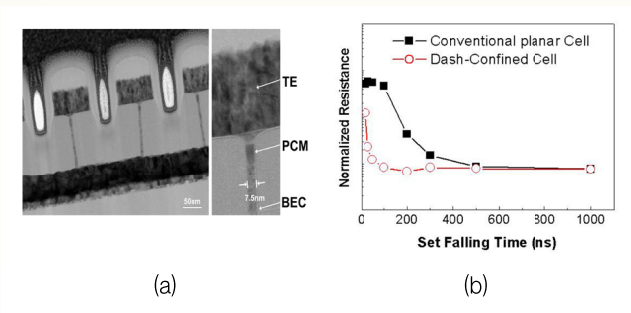


그림 6. 20nm 기술 기반 PRAM 기술
: (a) Dash-type confined cell, (b) cell 구조에 따른 set 동작 speed 특성

삼성전자는 confined cell의 개발을 더욱 가속화시켜 25nm 선 폭 기반 다치화향 parallel multi-confined cell 구조를 개발하였는데, 이 기술로 낮은 저항 drift를 갖는 middle 저항 확보로 2x105까지 안정적인 four level 저항 특성을 보여주었다. 이 결과를 2009년 VLSI 기술 심포지움 (VLSI Technology)에서 발표하였다. 그림 7에서 제안한 multi-confined cell 구조 및 cycling에 따른 다치화 저항 특성을 보여주고 있다⁷.

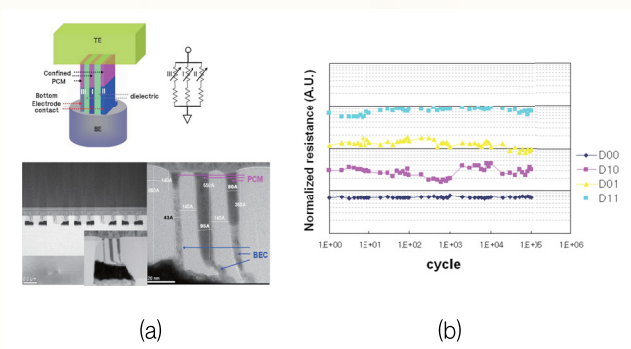


그림 7. 25nm 기술 기반 다치화 PRAM 기술
: (a) parallel-confined cell 구조, (b) 다치화 동작 cycling 특성

이와 같이 2006년 이후 삼성전자 등을 중심으로 저전력 및 속도 개선, 다치화 등을 위한 노력으로 PRAM cell 구조는 계속 변화되어 왔는데, 그 동안 PRAM 소자 구조의 변화를 그림 8에서 정리하였다. 100nm 급 이상에서는 planar cell, 100nm 급 이하에서는 plug confined cell, 20nm 급에서는 dashed confined cell로 구조의 변화를 보여주고 있다.

이런 다양한 기술 개발을 통해 삼성전자는 업계 최초로 2010년

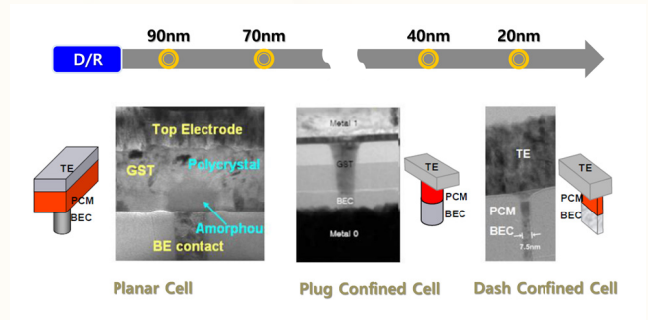


그림 8. PRAM cell 구조의 변화

512Mbit PRAM 제품 개발에 성공하여, 기존 NOR Flash memory의 flat-form 하에서 NOR Flash 대체 가능 메모리로 handset designer에게 공급을 발표한 바 있다.

3. 3D XPoint 아키텍처 기술

2000년대에 발표되는 PRAM 소자 기술은 2D 기반에서 저소모전력, 고속동작을 위한 cell 특성 개선에 집중해 왔다. 2009년 국제전자소자 재료학회(IEDM)에서 Intel, Numonyx 사는 고집적화, 고속화에 적합하도록 PCM 기반에 OTS(Ovonic Threshold Memory) 소자를 selector로 사용하는 stackable cross point PCM을 제안하였는데, 이는 기존 silicon 기판을 이용하는 P/N diode 또는 MOS Transistor의 selector를 OTS로 대체함으로써 3D 구조로 구현할 수 있어 집적화에 매우 유리하다. 그림 9는 발표된 crossbar 구조의 기본 PCMs cell(a) 및 아키텍처 구조(b)를 보여주고 있다.

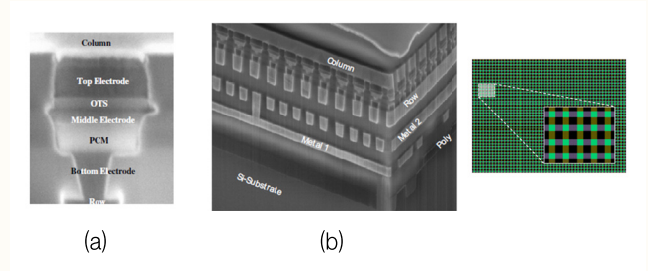


그림 9. (a) Crossbar 구조의 PRAM cells 및 (b) 아키텍처 구조

그림 9(a)에서 보듯 PCM cell은 하부 전극층, 중간 전극층, OTS selector, 상부 전극층의 적층 구조물로 구성되어 있다. 어레이 구조는 그림 9(b)에서 보듯 row 방향의 M2와 column 방향의 M1 사이에 적층 구조물의 PCM cell이 놓이게 되어 crossbar 구조의 형태를 보이게 된다. Crossbar 구조로 제작된 PCM cell의 특성은 그림 10에서 보듯 set, reset 상태가 threshold voltage에 의해서 구분되며(a), OTS 스위칭 특성을 1로 보았을 때 상대적인 PCM 및 full PCM cell 동작에 대한 특성을 보여 주고 있다(b). 여기서 충분한 변별력을 갖는 OTS 기반 PCM cell 특성을 확인할 수 있다⁸.

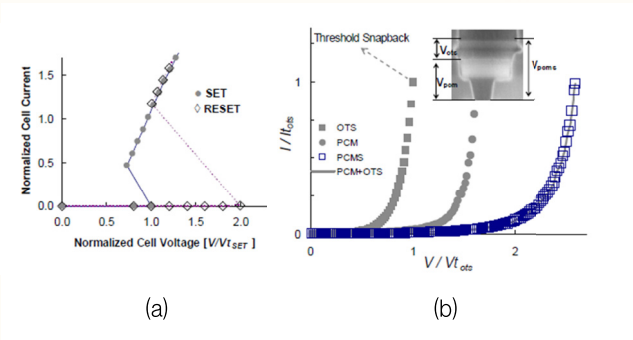


그림 10. (a) Crossbar 구조의 PRAM 기본 I-V 특성, (b) full PCM cell 동작 특성

2015년에 Intel 사와 Micron 사는 공동 개발을 통해서 3D XPoint 제품 개발을 발표하였는데, 이 구조는 DRAM 대비 10배의 집적도를 갖고 NAND Flash보다 1000배 이상 빠른 특성을 가지고 있어 메모리 기술의 break-through라고 강조했다. 그림 11은 2015년 7월 PC World에 게재된 Optane 3D XPoint cell 구조 및 Chip을 보여주고 있다.

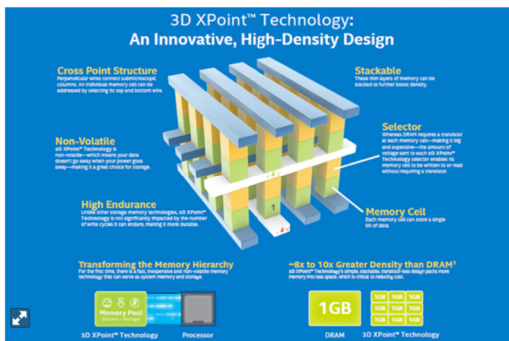


그림 11. Optane 3D XPoint 구조

3D XPoint 제품 개발은 2012년부터 IM Flash 사에서 본격적으로 착수 되었다. 그림 9, 10에서 보이는 구조는 전통적인 GST 물질보다 더 안정적이고 더 빠른 칼코게나이드 물질을 storage 및 selector 부분에 동시에 사용하며 bulk 전체의 저항 변화를 통해 메모리 상태를 저장한다. 이 3D XPoint 기술을 이용한 제품은 2015년부터 128Gbit 제품이 IM Flash 사에서 소량으로 생산되고 있는데, 2017년부터 본격적인 양산을 기대하고 있다고 발표되었다.

3D XPoint 제품 개발에서 중요한 토픽은 안정적인 selector 소자의 개발이다. 2014년에 A.Manivanna 등은 OTS의 스위칭 특성 및 OTS 소자의 threshold voltage 산포에 대한 연구를 발표하였다. 연구 그룹에서는 GeTe 기반의 OTS 소자를 제작하였는데, 그림 12에 그 스위칭 특성을 나타내었다. 그림에서 보듯 OTS V_{th} 산포가 1.9~2.9V의 1V 정도의 큰 range를 갖고 있어서 full PCMs 동작에서 큰 영향을 줄 것이라고 판단 된다⁹.

따라서, 3D XPoint 구조의 성공적인 개발을 위해서는 PCM 물질 개발과 동시에 작은 산포를 갖는 OTS 소자의 개발, 신뢰성이 높은 2단자 selector의 개발이 매우 중요한 부분을 차지한다.

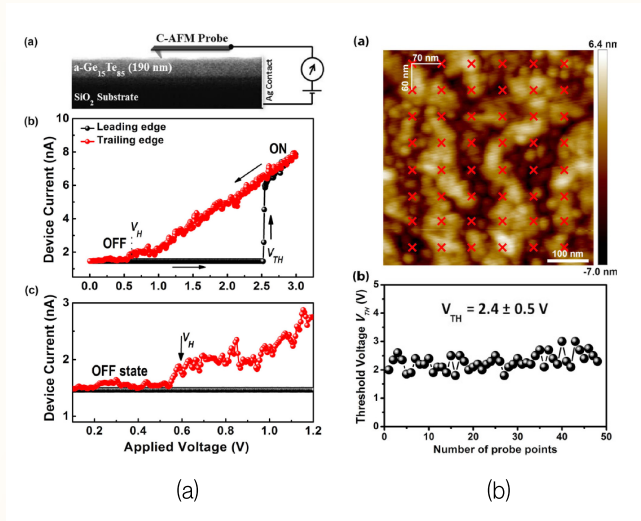


그림 12. (a) OTS I-V 특성, (b) OTS threshold voltage 산포

4. PRAM 소자, 아키텍처 문제점 및 개선 방향

PCM 소자가 scaling되면 접촉 면적이 줄어들고 이로 인해 contact 저항 증가로 메모리 window가 감소하는 문제가 발생한다. 그림 13(a)는 contact size 감소에 따른 reset 전류 감소 trend를 보여주고, (b)는 size 감소에 따른 reset과 set 저항의 window 감소를 보여준다. (b)는 contact resistivity에 따른 reset 및 set 상태의 저항을 보여주고 있는데, 여기서 알 수 있듯 contact resistivity가 small size에서 특히 메모리 window에 큰 영향을 줄 수 있다.

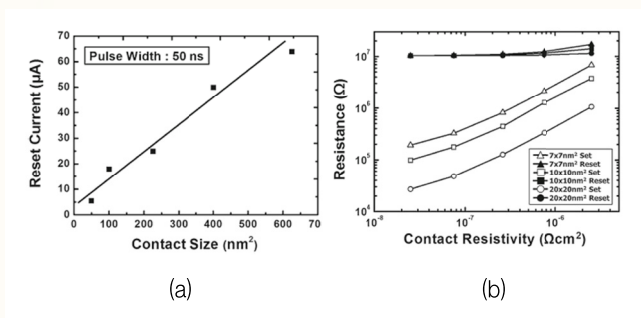


그림 13. (a) contact size 감소에 따른 reset current, (b) contact resistivity에 따른 contact size 별 메모리 window

이와 같은 문제는 그림 14에서 보듯 contact size가 감소함에 따라 전체 저항에서 contact 저항(R_c)이 차지하는 비중이 점점 증가함에 기인한다. 그림 14(a)에서는 contact size에 따른 R_c/R₁를 보여주고 있는데 reset 상태에서는 저항이 크므로 R_c의 비중이 미미하나, set 저항은 그 저항이 낮아서 R_c의 점유율이 매우 크다. contact size 감소에 따라서 그 R_c의 영향은 더 커지며, 이에 따라 메모리 window가 더욱 감소한다. 그림 14(b)에서는 contact resistivity에 따른 R_c/R₁를 보여주고 있는데, con-

tact resistivity가 증가할수록 소자의 Rc/RT가 증가하여 메모리 window를 감소시킨다.

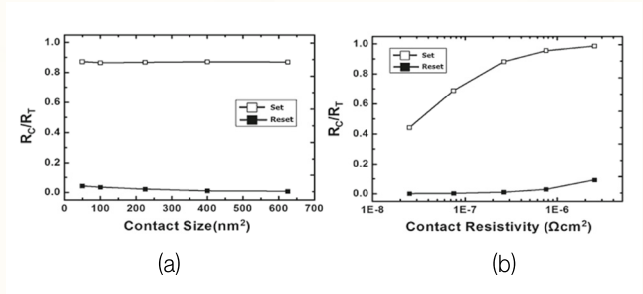


그림 14. (a) contact size에 R_c/R_t 경향, (b) contact resistivity에 따른 R_c/R_t 경향

위와 같이 PRAM에서 contact size 감소에 따른 메모리 window를 개선하는 방향으로 2D 구조에서 contact 접촉 면적을 넓히는 방법과 새로운 PCM 물질 기반으로 contact resistivity를 개선하는 방법이 있다. 그림 15는 2D 구조에서 메모리 window를 증가시키는 방법으로 step profile 형태의 contact region을 갖는 PCM 소자 구조 및 이에 따른 메모리 window 개선 결과를 보여주고 있다. 이 구조는 confined type 구조에서 하부 층에만 열을 집중시키기 위해서 상부 층에 얇은 PCM 층을 형성시키고, 하부 층에서는 접촉 면적을 증가시키기 위해서 step height를 갖게 구성하였다. 이런 구조로 하여 메모리 window가 3배 정도 개선됨을 알 수 있다¹⁰.

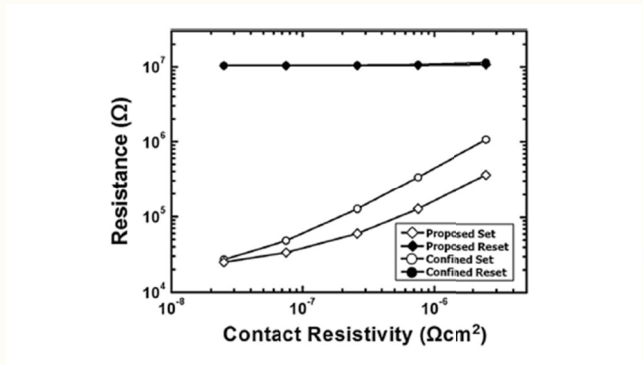


그림 15. Step profile 형태의 contact region을 갖는 PCM 소자 구조에서 메모리 window 개선 결과

또한, 새로운 PCM 물질 적용에 의한 contact resistivity 개선은 PRAM의 메모리 window를 개선시킬 수 있다. 예로서 그림 16(a)에서 보통 GCT 물질은 GST 물질대비 물질 자체의 resistivity는 취약하지만, 전극(실함에서는 W)과의 contact resistivity는 set 상태에서 GST 대비 더 낮음을 알 수 있다(b). 이런 특성으로 그림 17에서 보통 PCM thickness가 감소함에 따라 GCT가 GST 대비 메모리 window가 증가함을 알 수 있다¹¹.

또한, PCM 소자가 scaling되면 이웃하는 cell 간격이 가까워져서 열 적 간섭 문제가 심각해진다. 그림 18은 GST 상변화물질에 대한 열적 간섭에 대한 예측 결과를 보여주고 있는데, melting 온도 이상으로 상승시키면, 이웃하는 PCM2의 온도가 결정화 온도(set 상태) 이상으로 되어 PCM2 정보 저장 상태에 심각한 영향을 미친다. 충분한 소자 margin을 고려하여 약 800°C 수준으로 melting을 한다면 simulation 결과로 이웃

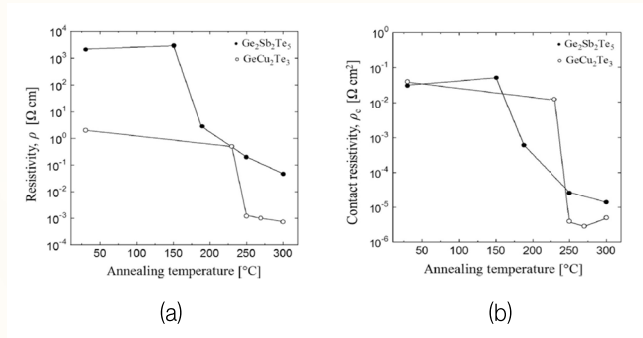


그림 16. (a) GCT / GST 간의 resistivity 비교, (b) GCT / GST간의 contact resistivity 비교

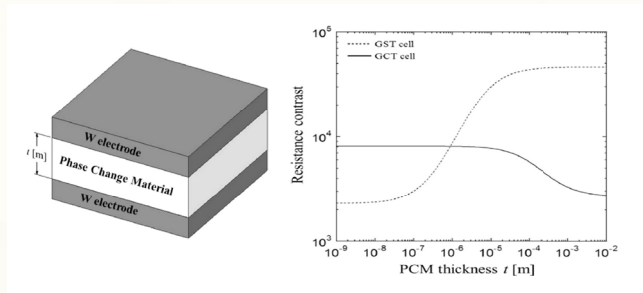


그림 17. GCT / GST 간의 PCM 두께에 따른 메모리 window 비교

간 space를 100nm 이상을 확보해야 하며, 20nm 이하로 하기 위해서는 Reset 동작 온도가 650°C 이하로 유지되어야 한다. 이런 scaling 상의 thermal interference 문제를 개선하기 위한 소자 구조, 열 전달을 억제하는 주변 막질의 재료 선택 그리고 결정화 온도가 높고 melting 온도가 낮은 새로운 PCM 물질 개발이 중요한 토픽이 될 것이다.

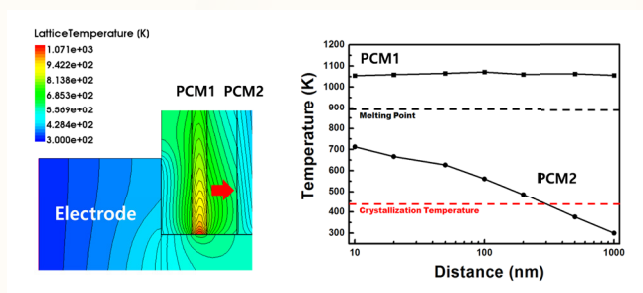


그림 18. reset 동작 시 이웃하는 PCM cell에 미치는 열 적 영향성

아키텍처에서는 무엇보다 PRAM의 집적화에 용이한 구조 개발이 필요하다. 기존의 2D 구조는 열 적 문제 등으로 scaling의 한계를 우려할 수 있으며, 3D XPoint 아키텍처는 2D 대비 집적화에는 유리하지만, 보다 고단으로 올라가면서 각 단계에 대한 추가 제작 경비가 소요되어 cost 측면의 효율성이 감소될 수 있다. NAND Flash Memory에 비해서 PRAM의 우수한 성능 특성을 극대화하기 위해서는 V-NAND 등 3차원 NAND Flash Memory와 견줄만한 cost effective하고 scalable한 새로운 아키텍처의 제안이 절실하다.

참고문헌

- 1 S. R. Ovshinsky, "Reversible electrical switching phenomena in disordered structures", PRL Vol. 21, No. 20, P. 1450, 1968
- 2 Stefan Lai and Tyler Lowrey, "OUM – A 180nm nonvolatile memory cell element technology for stand alone and embedded applications", 2001. IEDM
- 3 Stefan Lai and Tyler Lowrey, "OUM – A 180nm nonvolatile memory cell element technology for stand alone and embedded applications", 2001. IEDM
- 4 A. Pirovano, A.L. Lacaita, A. Benvenuti, F. Pellizzer, S. Hudgens, and R. Bez, "Scaling analysis of phase-change memory technology", 2003. IEDM
- 5 A. Pirovano, A.L. Lacaita, A. Benvenuti, F. Pellizzer, S. Hudgens, and R. Bez, "Scaling analysis of phase-change memory technology", 2003. IEDM
- 6 D. H. Im et al., "A unified 7.5nm Dash-type confined cell for high performance PRAM device", 2008. IEDM
- 7 G.H. Oh et al., "Parallel multi-confined (PMC) cell technology for high density MLC PRAM", VLSI Tech. Dig. 2009 Symposium.
- 8 DerChang Kau et al., "A stackable cross point phase change memory", 2009. IEDM
- 9 A. Manivannan et al., "Low power ovonic threshold switching characteristics of thin GeTe6 films using conductive atomic force microscopy", Appl. Phys. Lett., 105, 243501, 2014
- 10 Jun-seop An, et al., "Impact of contact resistance on memory window in phase-change random access memory(PCRAM)", Journal of Computational Electronics, Vol. 15, 4, pp1570, 2016
- 11 S. Shindo, et al., "Contact resistivity of amorphous and crystalline GeCu₂Te₃ to W electrode for phase change random access memory", Mater. Scie. Semicon. Proc., 47, 2016

저자정보



송 윤 호 교수 | 한양대학교 공과대학 융합전자공학부

주 연구분야

차세대 소자 및 회로 설계
(STT-MRAM, PRAM, V-NAND flash memory, Logic)
Neuromorphic device, Sensor device & system

E-mail yhsong2008@hanyang.ac.kr

Homepage <http://isslab.hanyang.ac.kr>

Cadence사 Virtuoso Schematic Editor

cādence®

Cadence Korea

주소 : 경기도 성남시 분당구 판교로 334
Mtek IT Tower 9층
전화 : 031-728-3114
Web : www.cadence.com/kr

• 목적

Schematic capture, Netlist 추출

• 구분

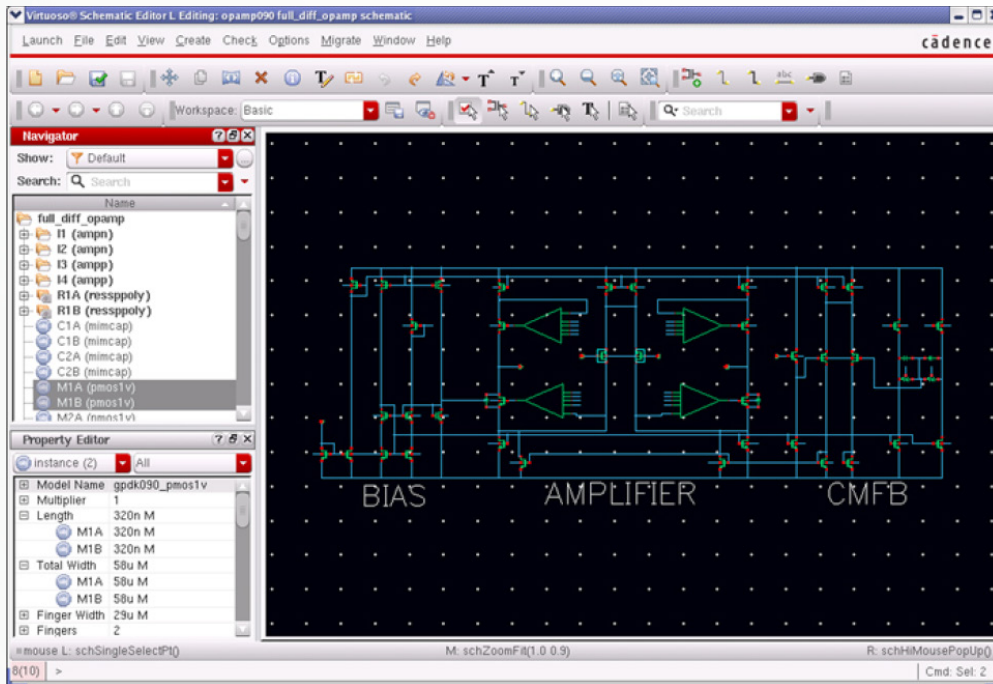
Circuit Entry

• 특성 및 기능

- GUI 환경에서 회로들을 손쉽게 구현 가능

• Supported Platform and O/S System

- Red Hat Enterprise Linux (32/64bit) 5, 6, 7
- SuSE Linux Enterprise Server (32/64bit) 10, 11, 12



FAMILY FEATURES AT A GLANCE :

Feature	L	Feature	L
Multi-tab, multi-view canvas	•	Generate bookmarks and history	•
Customizable workspaces	•	Expanded Search Assistant	•
World View Assistant	•	Design Navigator Assistant	•
Hierarchical schematics with support for Verilog, VHDL, and Verilog AMS	•	Property Editor Assistant	•
Hierarchical cross-probing front to back	•	Updated common constraints	



IDEC
Newsletter

2017년 10월 | 통권 제244호

발행일 2017년 9월 29일 **발행인** 박인철 **편집인** 김태욱, 남병규 **제작** 심원기획 **기획** 김하늘 **발행처** 반도체설계교육센터(IDEC T,042) 350-8535 **F,042) 350-8540** **H,http://www.idec.or.kr** **E,kimsky1230@idec.or.kr**

반도체설계교육센터 사업은 산업통상자원부, 한국반도체산업협회,
반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 앰코테크놀로지코리아)의 지원으로 수행되고 있습니다.