

2017  
August



# IDEC Newsletter

Vol. 242



IDEC 뉴스 MPW 안내 및 교육 일정

기술동향칼럼 웨어러블 기기를 위한 생체신호 수집 기술동향

기획칼럼

EDA Tool 소개 (QRCX)

신진연구자 소개

시간이 지날수록 빛이나는 연구자



반도체설계교육센터  
IC DESIGN EDUCATION CENTER

## 2017년 MPW 진행 현황

### ◎ 지원 변경 사항

- 매그나칩/SK하이닉스 공정 Package Type 변경 (변경전 : LQFP 208pin → 변경후 : MQFP 208pin)

### ◎ 진행 현황

- 2017년 MPW 설계팀 모집 마감
- 2018년 MPW 진행 일정 및 공정 내역은 12월 공지 예정
- 2017년 진행 일정 (2017.07.28 기준)

| 공정       | 회차구분<br>(공정_년도순서) | 모집팀수<br>((mmxmm)x칩수) | 정규모집<br>신청마감 | 참여팀수<br>((mmxmm)x칩수)         | DB마감<br>(Tape-out) | Die-out    | 비고    |
|----------|-------------------|----------------------|--------------|------------------------------|--------------------|------------|-------|
| MS 180nm | MS180-1701        | (3.8x3.8)x25         | 2017.01.26   | (3.8x3.8)x23<br>(3.8x1.9)x4  | 2017.03.20         | 2017.08.21 | 제작완료  |
|          | MS180-1702        |                      | 2017.02.20   | (3.8x3.8)x18<br>(3.8x1.9)x14 | 2017.05.22         | 2017.10.23 | 칩제작중  |
|          | MS180-1703        |                      | 2017.03.13   | (3.8x3.8)x23<br>(3.8x1.9)x4  | 2017.07.24         | 2017.12.26 | DB검토중 |
|          | MS180-1704        |                      | 2017.04.10   | (3.8x3.8)x24<br>(3.8x1.9)x2  | 2017.09.18         | 2018.02.19 | 설계중   |
|          | MS180-1705        |                      | 2017.06.12   | (3.8x3.8)x20<br>(3.8x1.9)x10 | 2017.12.04         | 2018.05.07 | 설계중   |
| MS 350nm | MS350-1701        | (5x4)x20             | 2017.02.20   | (5x4)x15                     | 2017.06.12         | 2017.10.02 | 칩제작중  |
|          | MS350-1702        |                      | 2017.07.10   | 모집중                          | 2018.01.15         | 2018.05.07 | 설계중   |
| 삼성 65nm  | S65-1701          | (4x4)x40             | 2017.01.26   | (4x4)x33                     | 2017.05.22         | 2017.11.27 | 설계중   |
|          | S65-1702          |                      | 2017.03.13   | (4x4)x40                     | 2017.09.04         | 2018.03.11 | 설계중   |
|          | S65-1703          |                      | 2017.06.19   | (4x4)x40                     | 2018.01.08         | 2018.07.16 | 설계중   |

- 일정은 사정에 따라 다소 변경될 수 있음.
- S65-1701회 (삼성 65nm) 는 기존 설계 진행으로 서버를 보유한 팀만 참여 가능함.
- 회차 표기 : 공정코드-년도 모집순서 (예시) 삼성 65nm 2017년 1회차 : S65-1701)
- 모집 기간 : 모집 마감일로부터 2주 전부터 접수
- Package 제작은 Die out 이후 1개월 소요됨.

## 2016년 MPW 진행 내역

### ◎ 2016년 MPW 회차별 모집 현황

- 3개 공정 10회 진행, 283팀 참여
- 총 283개 제작 완료됨. (2017.07.28 기준)

| 공정    | 삼성   | 매그나칩/SK하이닉스 |       |
|-------|------|-------------|-------|
|       | 65nm | 180nm       | 350nm |
| 총제작팀수 | 108  | 134         | 41    |



이의숙 책임 (yslee@idec.or.kr, 042-350-4428)

수강을 원하는 분은

IDEC 홈페이지 (www.idec.or.kr) 를 방문하여 신청하시기 바랍니다.

강좌 일정

| 센터명 | 강의일자      | 강의 제목   | 분류     |
|-----|-----------|---|--------|
| 본센터 | 8월 3-4일   | Star RC   | Tool교육 |
|     | 8월 7-8일   | HDL Debugging Training(Verdi)                                       | Tool교육 |
|     | 8월 9-11일  | Xilinx ZYNQ Device 설계 교육(1차)  | 설계교육   |
|     | 8월 16-18일 | 저전력 반도체 설계 구현 검증  | Tool교육 |
|     | 8월 22-23일 | FPGA-based Hardware-Acceleration for Machine-Learning/Deep-Learning | 설계교육   |
|     | 8월 24-25일 | Finesim   | Tool교육 |
|     | 8월 28-29일 | (미정)ARTIK 강좌  | 설계교육   |
|     | 8월 29일    | GPU 및 인공지능 가속기 구조   | 설계교육   |
| 경북대 | 8월 30-31일 | Mentor-Calibre xRC  | Tool교육 |
|     | 8월 7-8일   | 컴퓨터 시스템 구조 설계 및 정량적 평가  | 설계교육   |
|     | 8월 21-22일 | SoC 설계 특론   | 설계교육   |
| 광운대 | 8월 23-24일 | Advanced Digital Circuit and System Design                          | 설계교육   |
|     | 8월 8-11일  | IoT 보안 설계   | 설계교육   |
| 부산대 | 8월 21-24일 | 지능형 웨어러블 Bio IoT 설계   | 설계교육   |
|     | 8월 8-10일  | CMOS analog 전자회로설계  | 설계교육   |
| 전남대 | 8월 17-18일 | SoC 검증을 위한 PCB 설계   | 설계교육   |
|     | 8월 22-24일 | Verilog을 이용한 digital system 설계                                      | 설계교육   |
|     | 8월 9-11일  | Verilog HDL을 이용한 16비트 마이크로 프로세서 설계                                  | 설계교육   |
|     | 8월 17일    | 반도체 집적회로 설계과정   | 설계교육   |
| 충북대 | 8월 22-23일 | Verilog HDL을 이용한 디지털 시스템 설계 및 FPGA 응용                               | 설계교육   |
|     | 8월 24-25일 | PSpice를 활용한 아날로그 회로 설계 및 RFIC 기초                                    | 설계교육   |
|     | 8월 29-31일 | 집적회로 설계의 기초   | 설계교육   |
| 한양대 | 8월 16-18일 | Vivado를 활용한 Xilinx FPGA 설계 실습                                       | 설계교육   |
|     | 8월 23-24일 | 인공지능과 딥러닝   | 설계교육   |
| 한양대 | 8월 24일    | Display pixel 회로 및 공정   | 설계교육   |
|     | 8월 8-9일   | Verilog HDL 언어 초급 및 설계 가이드 라인                                       | Tool교육 |
| 한양대 | 8월 10-11일 | Verilog 언어 중급   | Tool교육 |



본센터

8/3-4

강좌제목 Star RC

강사 조갑환 부장(Synopsys Korea)

강좌개요

After a design has been completed and laid out, the circuit timing must be tested. Accurate timing analysis requires that all of the parasitic resistances and capacitances resulting from the manufacturing process are taken into account. Extracted parasitics are also important for other simulation tools such as circuit simulators and electromigration analysis tools.

수강대상 Designers or process technologists who need to perform signoff extraction

강의수준 초급 강의형태 이론+실습

사전지식·선수과목

Familiarity with place and route tools and flows / transistor level tools and flows

8/7-8

강좌제목 HDL Debugging Training(Verdi)

강사 전병용 차장(Synopsys Korea)

강좌개요

Verdi3는 Behavioral-level의 Post-debugging solution으로써 debugging methodology에 수학적 기술을 더해 새로운 temporal visualization, symbolic design exploration, auto bug tracing의 다양한 기능을 제공 함으로써 좀더 빠른 HDL design 설계를 도와준다. 산업체에서 가장 많이 사용되는 Simulation event 정보를 담은 FSDB(Fast Signal DataBase)에 대해 교육을 진행한다.

수강대상 RTL/GATE Design(Logic) Verification Engineer

강의수준 초급 강의형태 이론+실습

사전지식·선수과목

- HDL(Verilog) coding Skills: Verilog, VHDL, SystemVerilog  
- Standard Logic Simulators: VCS(Synopsys), IUS(Cadence), MTI(Mentor)

8/9-11

강좌제목 Xilinx ZYNQ Device 설계 교육(1차)

강사 김민석 팀장(리버트론)

강좌개요

Xilinx ZYNQ 디바이스 Architecture 이해를 기반으로 Vivado SW 환경을 이용하여 HW 기반의 ZYNQ 디바이스를 활용하는 프로젝트 진행 및 디버깅 실습을 하며, 하드웨어 기반으로 하는 설계 및 검증을 진행한다.

수강대상 Xilinx ZYNQ Device를 사용해야 하는 HW 엔지니어

강의수준 중급 강의형태 이론+실습

사전지식·선수과목

Xilinx Vivado 사용 경험, HDL 기본 지식 및 Xilinx FPGA 사용 경험

8/16-18

**강좌제목** 저전력 반도체 설계 구현 검증  
**강사** 이해창 과장(Synopsys Korea)

**강좌개요**

Low power 검증 전체에 대해 체험한다. 과정 이수 후 UPF를 통해 저전력 구현 및 검증에 필요한 파워 구조를 작성할 수 있고, 해당 UPF를 가지고 VCS-NLP 시뮬레이션을 해서 저전력 설계시 function 검증을 할 수 있다.

**수강대상** 저전력 설계 인력 및 검증 인력

**강의수준** 중급 **강의형태** 이론+실습

**사전지식·선수과목** ASIC 기초, Low Power Methodology, Cell library

8/22-23

**강좌제목** FPGA-based Hardware Acceleration for Machine Learning/Deep Learning

**강사** 기안도 박사(퓨처디자인시스템)

※ 강좌 내용 준비중

8/24-25

**강좌제목** Finesim

**강사** 전준호 차장(Synopsys Korea)

**강좌개요**

General description of the major options and lab for the accuracy and performance using the FineSim SPICE/PRO

**수강대상**

Analog designers and engineers who perform circuit simulation and analysis at the transistor level

**강의수준** 중급 **강의형태** 이론+실습

**사전지식·선수과목** Analog Circuit Simulation

8/28-29

**강좌제목** (미정)ARTIK 강좌

**강사** 미정

※ 강좌 내용 준비중

8/29

**강좌제목** GPU 및 인공지능 가속기 구조

**강사** 노원우 교수(연세대학교)

**강좌개요**

GPU 역사 및 하드웨어 구조, GPGPU 프로그래밍 기본 원리, 인공지능 가속기 구조, 인공지능 가속기 응용 및 전망

**수강대상** 학부생, 대학원생, 일반인

**강의수준** 초급 **강의형태** 이론

**사전지식·선수과목**

컴퓨터구조, C 프로그래밍

8/30-31

**강좌제목** Mentor-Calibre xRC

**강사** 이훈구 과장(한국멘토그래픽스)

**강좌개요**

본 교육은 Calibre xRC를 사용하여 Layout 상의 Parasitic 저항 및 캐패시터를 추출하는 방법 및 Rule file generation에 대하여 교육한다. Calibre xRC의 다양한 기능적인 부분에 대하여 실습과 병행한다.

**수강대상** Calibre xRC User

**강의수준** 초급 **강의형태** 이론+실습

**사전지식·선수과목**

Calibre nmDRC/nmLVS에 대한 경험이 필요하나, 기본적인 내용이 포함되어 있어 처음 Tool을 사용하시는 분도 가능

문의 | KAIST IDEC 김영지 (042-350-8536, yjkim@idec.or.kr)



광운대

8/8-11

**강좌제목** IoT 보안 설계

**강사** 황보선 책임(삼성전자), 신영주 교수(광운대학교), 서정욱 교수(남서울대학교), 송재승 교수(세종대학교)

**강좌개요**

IoT 시스템 및 보안 프로그래밍 기술을 배우고, 시뮬레이션을 통하여 성능 평가를 수행한다. IoT 보안 프로그래밍 및 무선 센서 네트워크, IoT 네트워크 최적화 기술을 배우고, 이와 관련한 시뮬레이션 및 실습을 수행한다.

**수강대상** 학부생, 대학원생, 일반인

**강의수준** 초급 **강의형태** 이론+실습

**사전지식·선수과목** 데이터통신, 컴퓨터네트워크

8/21-24

**강좌제목** 지능형 웨어러블 Bio IoT 설계

**강사** 하태준(광운대학교), 박주현 교수(동국대학교), 박철수 교수(광운대학교), 이승민 교수(국민대학교)

**강좌개요**

Wearable IoT에 결합된 다기능 센서와 바이오 소자의 기본 개념에서부터 소자의 공정 이론과 공정 최적화 연구, 그리고 소자 및 회로 설계에 대해서 구체적으로 살펴보고자 한다. 또한 이렇게 구현된 바이오 센서로부터 얻어진 생체 신호 데이터를 적절히 처리하여 정보를 추출할 수 있는 통계 및 신호처리 방법에 대해 배워본다.

**수강대상** 학부생, 대학원생, 일반인

**강의수준** 초급 **강의형태** 이론+실습

**사전지식·선수과목**

Digital Signal Processing, 회로이론, 반도체 공정, 반도체 물리, 전자회로

문의 | 광운대 IDEC 박수건 (02-940-5448, smartipc@kw.ac.kr)

수강을 원하는 분은

IDEC 홈페이지 (www.idec.or.kr) 를 방문하여 신청하시기 바랍니다.



경북대

8/7-8

**강좌제목** 컴퓨터 시스템 구조 설계 및 정량적 평가

**강사** 공준호 교수(경북대학교)

**강좌개요**

컴퓨터 시스템 구조 설계에 대한 이론, 최신 컴퓨터 시스템 구조 설계 이슈, 정량적 평가 방법 습득

**수강대상** 전기, 전자, 정보통신 관련 전공 학부생/석박사 및 산업체

**강의수준** 중급 **강의형태** 이론(실습은 이론이 끝나고 난 뒤 별도로 시행)

**사전지식·선수과목** 학부 수준의 컴퓨터 구조 및 논리 회로

8/21-22

**강좌제목** SoC 설계 특론

**강사** 허석원 Staff Engineer(Qualcomm Technologies)

**강좌개요**

Systems-on-Chip(SoCs) are at the core of most devices. This course will provide an understanding of the concepts, current issues of computer arithmetic and bus architecture, which are subfield of digital computer organization. They deal with the hardware realization of functions to support various computer architectures as well as with algorithms for firmware/software implementation.

**수강대상** 전기, 전자, 정보통신 관련 전공 학부생/석박사 및 산업체

**강의수준** 중급 **강의형태** 이론

**사전지식·선수과목** Digital Logic, Digital System Design, Computer Architecture

8/23-24

**강좌제목** Advanced Digital Circuit and System Design

**강사** 김경기 교수(대구대학교)

**강좌개요**

This course covers the systematic design of advanced digital systems using FPGA and ASIC. The emphasis is on top-down design starting with a software application, and translating it to high-level models using a hardware description language(such as VHDL or Verilog).

**수강대상** 전기, 전자, 정보통신 관련 전공 학부생/석박사 및 산업체

**강의수준** 중급 **강의형태** 이론

**사전지식·선수과목** 전자회로, 디지털회로, VHDL, Verilog

문의 | 경북대 IDEC 정미진 (053-950-6858, idec@ee.knu.ac.kr)



부산대

8/8-10

**강좌제목** CMOS analog 전자회로 설계

**강사** 최영식 교수(부경대학교)

**강좌개요**

CMOS 및 전자회로에 대한 기본적인 이해를 돕기 위하여 만들어진 코스이다. 대부분의 대학에서 증폭기를 만드는 실험을 하지만 파형의 왜곡이 왜 생기고 그것을 어떻게 해결하는가를 설명하지 않는 경향이 있다. 본 강좌에서는 소자의 동작원리에서부터 왜곡의 원인과 해결책, 이득 결정 방법 등을 손으로 설계해보고 HSPICE를 이용하여 검증하여 체험적으로 이해하도록 할 계획이다.

**수강대상** 2학년 수료자, 아날로그 설계 초보자

**강의수준** 초중급 **강의형태** 이론+실습

**사전지식·선수과목** 전기회로, 전자회로 1

8/17-18

**강좌제목** SoC 검증을 위한 PCB 설계

**강사** 박주성 교수(부산대학교)

**강좌개요**

PCB(Printed Circuit Board) 설계를 이해하는데 꼭 필요한 기초적인 이론을 간단하게 복습한 후, PCB 설계에서 일어나는 실제적인 문제를 다룬다. 이론을 깊이 있게 들어가기 보다는 가장 기본적인 이론에 근거하여 실무적으로 PCB를 어떻게 설계하는 것이 좋은가를 강의한다.

**수강대상** 학부 3~4학년, 관련분야 대학원생

**강의수준** 초중급 **강의형태** 이론

**사전지식·선수과목** 전자회로, 전기전자학

8/22-24

**강좌제목** Verilog을 이용한 Digital System 설계

**강사** 강봉순 교수(동아대학교)

**강좌개요**

디지털 하드웨어 설계의 국제 표준언어인 Verilog HDL의 기초이론과 응용에 대하여 학습한다. 습득한 이론을 바탕으로 기능 블록을 설계하고, 최종적으로 디지털 전자시스템의 전체 기능을 Verilog HDL을 이용하여 설계한 후에 Training Kit에 Download하여 기능을 확인한다.

**수강대상** 전자전기 3-4학년, 관련분야 대학원생

**강의수준** 중급 **강의형태** 이론+실습

**사전지식·선수과목** 논리회로

문의 | 부산대 IDEC 윤성심 (051-517-0172, idec@pusan.ac.kr)



전남대

8/9-11

**강좌제목** Verilog HDL을 이용한 16비트 마이크로 프로세서 설계

**강사** 한남수 교수(목포대학교)

**강좌개요**

조합회로, 순차회로 그리고 FSM에 대한 Verilog HDL 문법과 합성을 위한 코딩 방법을 학습한다. Xilinx의 Vivado(또는 ISE)를 사용한 구현 및 테스트벤치 작성, 시뮬레이션 방법을 학습한다. 응용과정으로 16비트 마이크로프로세서를 설계한다.

**수강대상** VHDL에 관심있는 학부생, 대학원생 및 기타

**강의수준** 초중급 **강의형태** 이론+실습

**사전지식·선수과목** (프로그래밍, 전자회로, 마이크로프로세서)

8/29-31

**강좌제목** 집적회로 설계의 기초

**강사** 이명진 교수(전남대학교)

**강좌개요**

디지털 시스템의 회로 설계 및 반도체 엔지니어링에 관한 기초적인 지식을 습득하기 위해 기본적인 MOSFET 반도체 물리 및 공정을 알아본 후, 인버터 회로의 동작을 이해하고 구현한다.

**수강대상** 집적회로, MOSFET 설계에 관심있는 학부생, 대학원생 및 기타

**강의수준** 초중급 **강의형태** 이론+실습

**사전지식·선수과목** (프로그래밍, 전자회로, 집적회로설계)

문의 | 전남대 IDEC 강병호 (062-530-0367, 888pp@naver.com)

8/17

**강좌제목** 반도체 집적회로 설계공정

**강사** 지택수 교수(전남대학교)

**강좌개요**

반도체 소재의 물성, 공정원리에 관한 이해도를 바탕으로, 포토리소그래피, 박막성장, 확산, 에칭, 산화 등 반도체 소자를 제작하기 위한 여러 공정기술에 관한 이론을 습득하고, 최근의 실리콘 공정에 대한 이해도를 높인다.

**수강대상** 반도체 집적회로 설계에 관심있는 학부생, 대학원생 및 기타

**강의수준** 초중급 **강의형태** 이론

**사전지식·선수과목** 반도체 집적회로 설계에 관심있는 학부생, 대학원생 및 기타

8/22-23

**강좌제목** Verilog HDL을 이용한 디지털 시스템 설계 및 FPGA 응용

**강사** 최광석 교수(조선대학교)

**강좌개요**

Verilog HDL이라는 하드웨어 언어를 가지고 디지털 시스템을 설계 및 모의실험하고 FPGA 형태로 구현하는 과정이다. 이를 통하여 향후 SoC 설계과정과 같은 이해의 폭을 넓히고자 한다.

**수강대상** VHDL, FPGA에 관심있는 학부생, 대학원생 및 기타

**강의수준** 초중급 **강의형태** 이론+실습

**사전지식·선수과목** (프로그래밍, 전자회로, 마이크로프로세서, 반도체공학)

8/24-25

**강좌제목** PSPICE를 활용한 아날로그 회로 설계 및 RFIC 기초

**강사** 최현식 교수(조선대학교)

**강좌개요**

전자 회로 분야에서는 circuit design을 위한 SPICE(simulation program with integrated circuit emphasis)의 사용이 매우 중요하며, 특히 아날로그 회로 설계 및 검증에 필수적이다. 이를 위해 PSPICE의 사용법 등을 OrCAD를 이용하여 익히고, netlist 기반의 설계 기법 등을 배우고자 한다. 이와 함께 최근 다양한 분야에 활용되고 있는 RFIC 관련한 기초적인 내용 등을 배우고자 한다.

**수강대상** PSPICE, 아날로그 회로 설계에 관심있는 학부생, 대학원생 및 기타

**강의수준** 초중급 **강의형태** 이론+실습

**사전지식·선수과목** (프로그래밍, 전자회로, 마이크로프로세서)



충북대

8/16-18

**강좌제목** Vivado를 활용한 Xilinx FPGA 설계 실습

**강사** 김민석 팀장((주)리버트론)

**강좌개요**

Xilinx Vivado SW 이해를 기반으로 프로젝트 진행 및 7-Series FPGA의 Architecture 이해를 통해 실습을 하며, HDL 설계 실습을 통한 로직 설계 기반으로 디자인을 FPGA에 다운로드 하여 로직 검증 및 디버깅을 한다.

**수강대상** 학부생 또는 대학원생, 일반인

**강의수준** 초중급 **강의형태** 이론+실습

8/23-24

**강좌제목** 인공지능과 딥러닝

**강사** 이건명 교수(충북대학교)

**강좌개요**

인공지능 개념 및 기술 현황, 기계학습의 개념 및 방법론, 신경망과 딥러닝의 소개

**수강대상** 학부생 고학년 또는 대학원생 및 일반인

**강의수준** 중급 **강의형태** 이론

8/24

**강좌제목** Display pixel 회로 및 공정

**강사** 정재욱 교수(충북대학교)

**강좌개요**

차세대 디스플레이 개발기술을 소개하고, 산화를 박막 트랜지스터 등 차세대 박막소자 개발 현황을 소개한다.

**수강대상** 학부생 또는 대학원생, 일반인

**강의수준** 초급 **강의형태** 이론

문의 | 충북대 IDEC 라해미 (043-261-3572, idec@cbnu.ac.kr)

수강을 원하는 분은  
IDEC 홈페이지 (www.idec.or.kr) 를 방문하여 신청하시기 바랍니다.



한양대

8/8-9

**강좌제목** Verilog HDL 언어 초급 및 설계 가이드 라인

**강사** 송재훈 대표이사(INNOTIO)

**강좌개요**

본 강좌를 통해 Verilog 언어에 대한 이해와 회로합성(synthesis) 측면에 기초한 올바른 RTL(Register Transfer Level) 코딩 기술 방법 및 설계 가이드라인에 대해 다룸으로써 효과적인 설계를 할 수 있도록 이론과 실습 수업을 병행 하도록 한다.

**수강대상** 학생/일반인

**강의수준** 초급      **강의형태** 이론+실습

8/10-11

**강좌제목** Verilog 언어 중급

**강사** 김두영 연구개발팀장(INNOTIO)

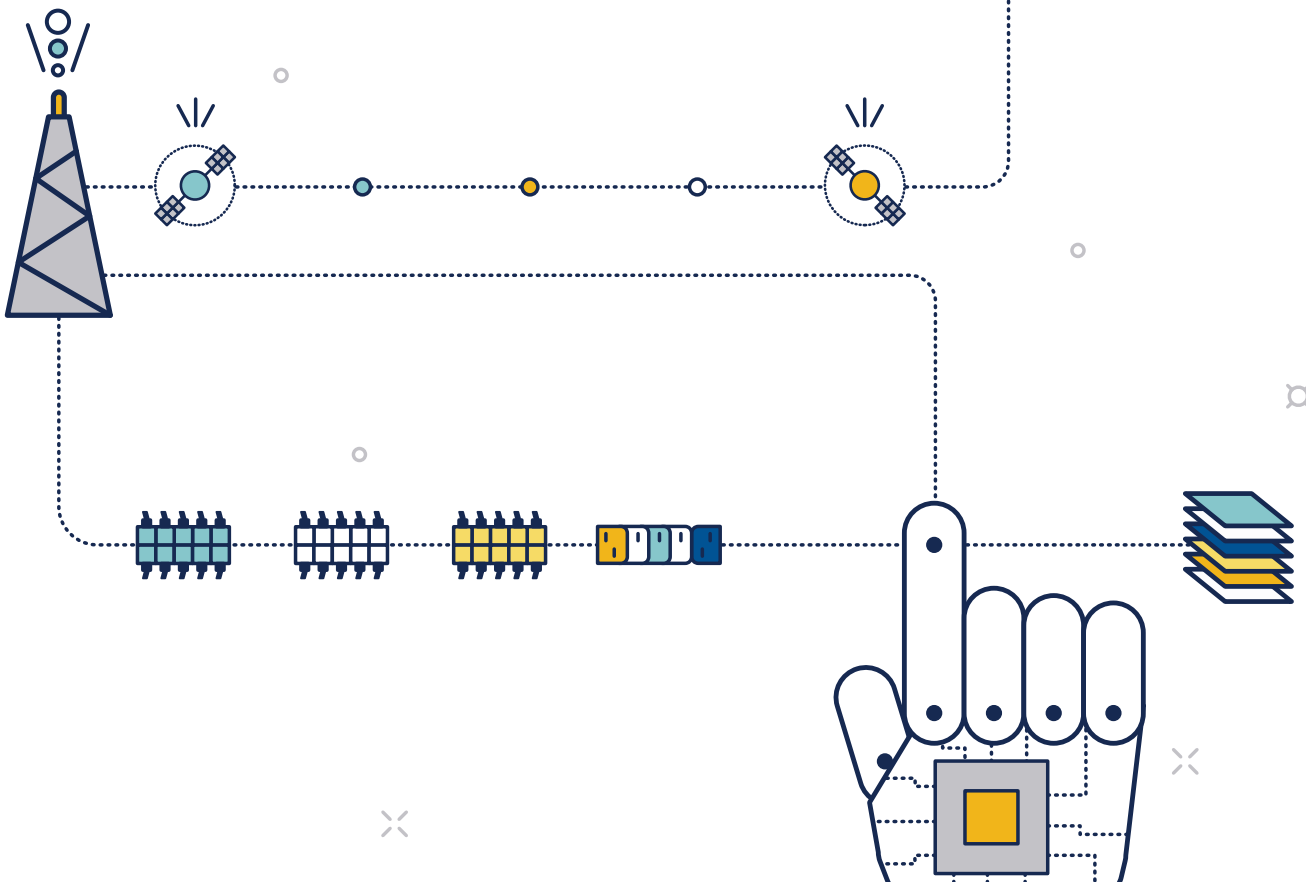
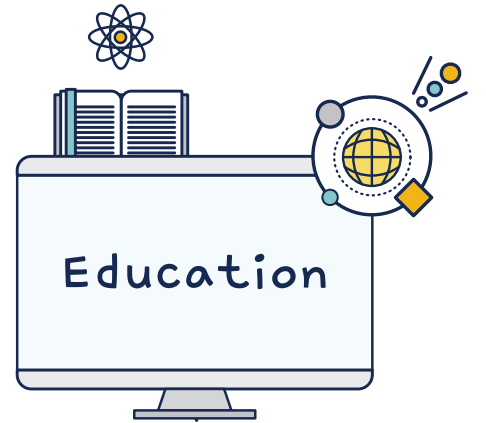
**강좌개요**

Verilog HDL 설계 언어를 사용한 하드웨어 설계 기술 중급 강좌로서, 기초적인 Verilog HDL 문법을 숙지한 상태에서 실제 ASIC design flow를 고려한 하드웨어 설계 기술을 다룬다.

**수강대상** 학생/일반인

**강의수준** 중급      **강의형태** 이론+실습

문의 | 한양대 IDEC 박남선 (031-400-4079, ipc@hanyang.ac.kr)



# 웨어러블 기기를 위한 생체신호 수집 기술동향

고형호 교수, 문영진 석사과정 | 충남대학교 전자공학과



## 1. 머리말

사물 인터넷(Internet of Things) 시대와 함께 반도체 기술들이 발달함에 따라 스마트 워치나 스마트폰과 같은 웨어러블 기기에서 각종 생리학적 생체 지표(Physiological biometrics)를 측정하는 센서 IC의 수요와 시장이 점점 더 확대되고 있다. 최근 10년 사이에 심전도(ECG: Electrocardiography), 안전도(Electrooculography), 근전도(EMG: Electromyography), 뇌파(EEG: Electroencephalography), 광학적 맥파(PPG: Photoplethysmography), 혈당, 혈압 등 생체신호를 주제로 한 연구 논문들이 주요 선진국을 중심으로 발표되기 시작했다. 삼성전자, 애플, LG전자, 화웨이 등 모바일 기기 개발 업체를 중심으로 생체신호 측정과 관련된 연구가 활발히 진행되고 있으며 관련 특허 출원 건수가 증가하고 있는 추세이다. 웨어러블 기기에서의 생체신호 측정 센서 시스템 기술 발전으로 언제 어디서나 자신의 건강 상태를 모니터링 하고 건강 관리 서비스를 받을 수 있는 U-헬스케어(Ubiquitous Healthcare)에 대한 관심이 높아지고 있다. 이러한 U-헬스케어 관련 연구가 증가 하면서 다양한 생체신호를 하나의 칩으로 측정 가능한 다기능 센싱 플랫폼이 대두되고 있으며<sup>1-2</sup> 질병의 자가 진단을 위한 소형화 의료 기기에 관한 연구가 활발히 진행되고 있다. 또한, U-헬스케어를 통해 소아, 노약자, 장애인 등은 언제 어디서나 유무선의 통신망으로 자신의 건강 상태에 대한 주기적인 점검이 가능하기 때문에 질병에 대한 효과적인 사전 예방 조치를 할 수 있을 것으로 기대를 모으고 있다.

최근 모바일/웨어러블 플랫폼에 적용되고 있는 생체신호는 크게 다음과 같이 분류될 수 있다. ED와 포토다이오드를 이용하여 혈관 내 혈류량에 따른 반사광을 측정하여 광학적 심박(PPG)을 측정하는 방식이 널리 사용되고 있다. 인체의 피부에서 비침습적으로 전극을 부착하고 전압을 측정하는 방식을 사용하여 심전도, 근전도, 뇌파 등의 생체 전위(바이오포텐셜) 신호가 널리 연구되고 있다. 또한, 인체에 AC 전류를 인가하고 전류와 신체 임피던스의 곱으로 발생하는 전압을 측정하여 체성분/

체지방 분석, 감정 상태 등에 따라 변화하는 피부 저항(GSR, Galvanic Skin Resistance) 등을 측정할 수 있다. 전기 화학 센서를 이용하여 혈당을 측정하거나 압력 센서를 이용한 혈압 측정, 심전도(ECG)와 PPG의 시간차를 이용한 혈압 추정 등의 방식도 널리 연구되고 있다. 본 뉴스레터에서는 생체 신호 수집을 위한 여러 기술들에 대해 알아보고 웨어러블 디바이스에서 다양한 생체신호를 측정하기 위한 센서 IC의 설계 기법에 대해 개략적으로 살펴보고자 한다.

그림 1은 바이오포텐셜, 생체 임피던스, 맥파 등 다양한 생체신호를 단일 칩에서 측정할 수 있는 생체신호 수집 플랫폼의 예시이다. 기존 시스템에서는 다양한 생체신호 수집을 위해 다수의 개별 칩이 요구 되었으나, 시스템의 소형화 및 저전력화 측면에서 다양한 기능을 집적한 “재구성 가능한 구조”의 생체신호 계측 회로가 활발히 연구되고 있다.

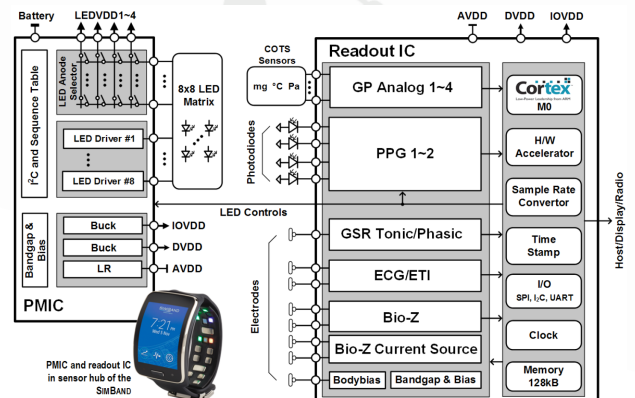


그림 1. 다중 생체신호 측정을 위한 센서 플랫폼 예시<sup>3</sup>



## 2. 바이오폠펄셜 측정 회로

바이오폠펄셜 신호는 피부에서 측정되는 전압 형태의 생체신호를 의미한다. 이러한 생체신호를 측정하는 대표적인 방법은 신체의 표면에 전극 혹은 습식 전극을 부착하여 신호를 전위차의 형태로 기록하는 방법이다. 대표적인 전기적 생체신호는 뇌의 활동에 의해 발생하는 뇌파, 심장의 박동과 관련되어 전압의 형태로 측정되는 심전도, 근육의 활동 상태를 나타내는 근전도 등이 있다. 생체신호는 일반적으로 약 0.5Hz~400Hz 수준의 주파수 대역과 수십  $\mu\text{V}$ ~수 mV 이내의 신호 크기를 가지고 있으며 피부 접촉 계면에서 측정되는 수 mV 수준의 전압 신호를 측정하기 위한 높은 게인과 높은 입력 저항을 가지는 정밀한 계측 증폭기 (instrumentation amplifier, IA)가 필요하다.

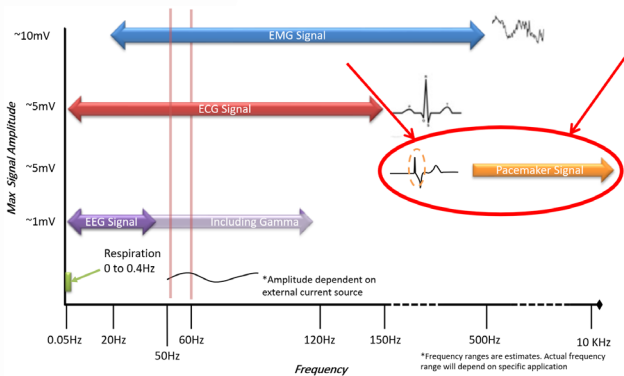


그림 2. 전기적 생체신호의 주파수 대역 및 신호 크기<sup>4</sup>

대부분의 생체신호 측정 회로의 첫 단계에 위치하게 되는 계측 증폭기 (Instrumentation Amplifier)는 수  $\mu\text{V}$  이내의 낮은 입력 환산 잡음(input referred noise)을 얻어야 하며 매우 높은 입력 저항과 높은 공통모드 제거 비를 가져야 한다. 그 후 신호의 응용에 따라 baseline 제거 회로 및 spike detection 회로 등을 통해 센서 시스템 전반의 전력 소모를 최적화 하거나 통신 회로를 이용해 전송될 데이터의 양을 줄이기 위한 여러가지 기술들이 구현된다. 특히 심전도 신호의 경우 수 mV 수준의 신호에 비해 기저 선이 수십 mV 정도로 크게 흔들릴 수 있다. 이러한 경우 신호가 saturation되기 때문에 motion artifact 제거 회로나 별도의 가속도 센서를 사용하기도 하며, 낮은 전압 이득으로 증폭한 후 24bit 수준의 고해상도 델타 시그마 ADC 등을 사용해서 디지털 백엔드 부분에서 baseline 성분 등을 제거하기도 한다<sup>6</sup>.

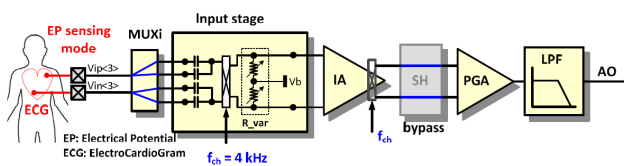


그림 3. 전기적 생체신호 측정을 위한 계측 회로 예시<sup>5</sup>

계측 증폭기는 높은 전압 이득과 높은 입력 저항, 높은 공통모드 제거 비를 가지는 증폭기로 생체신호 측정 회로의 핵심적인 역할을 담당한다.

가장 대중적인 형태인 3-opamp 계측 증폭기는 3개의 opamp를 이용하여 그림 4(a)와 같은 형태로 구성된다. 3-opamp 계측 증폭기는 구조가 단순하며 높은 입력 저항과 전압 이득을 얻을 수 있다. 하지만, 둘째 단 저항의 매칭에 의해 공통모드 제거 비가 제한되며 3개 이상의 opamp를 사용하기 때문에 전력 소모가 큰 단점이 있다. 최근 발표되고 있는 생체신호 계측 회로의 계측 증폭기 구조는 그림 4(b)와 같은 current balanced IA(CBIA) 구조 또는 그림 4(c)와 같은 capacitively coupled IA(CCIA) 구조이다. CBIA는 3-opamp에 비해 상대적으로 저전력 및 소형화가 가능하며 잡음과 공통모드 제거 비가 우수하다. CCIA는 구조적으로 고역 통과 필터(high-pass filter)의 특성을 보이며 DC offset을 제거해야 하는 생체신호 계측 증폭기의 특성과 부합하여 널리 이용된다. 그러나 커패시터 매칭에 의해 공통모드 제거 비가 제한된다.

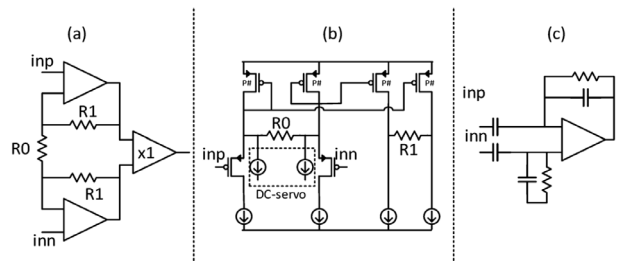


그림 4. 계측증폭기 구조<sup>6</sup>

## 3. 광학적 생체신호 측정 회로

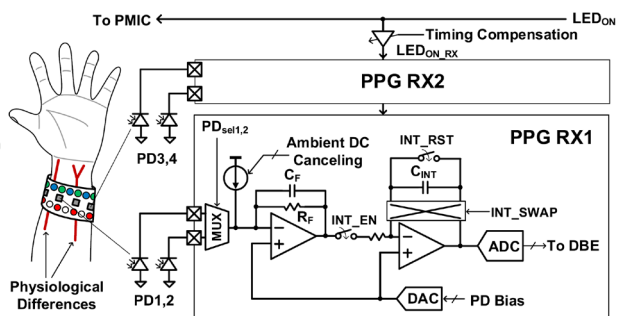
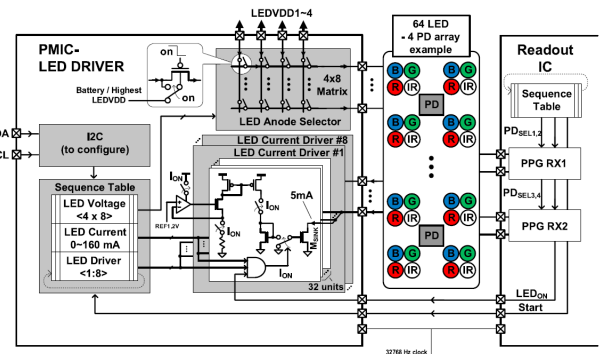


그림 5. PPG 신호 측정을 위한 계측 회로 예시<sup>6</sup>

혈류량에 관한 PPG 신호는 혈관이 존재하는 임의의 신체 부위에서 측정이 가능하며 바이오텐셜과 달리 수 mm의 비접촉 상태에서도 측정이 가능하기 때문에 스마트 워치와 같은 웨어러블 기기에서 자주 사용된다. PPG 신호를 측정하는 회로는 LED 드라이버, 포토다이오드 및 transimpedance amplifier(TIA)로 구성된다. LED를 통해 피부에 빛을 비추 상태에서 혈류량에 따라 반사된 빛을 photo diode를 통해 전류로 변환하고 TIA를 통해 전압으로 변환하는 구조가 일반적으로 널리 적용된다. LED 및 포토다이오드를 각각 2개(예: IR, Red)를 이용할 경우 PPG 신호와 더불어 산소포화도(SpO2)를 측정할 수 있다.

구성되어 있으며 다양한 방법으로 입력단을 구성하고 있다<sup>9-10</sup>. 혈당을 측정하기 위한 회로는 주로 전류를 측정하는 회로와 RE에 전압을 고정시켜주는 회로(potentiostat)로 구성된다. 일반적으로 RE의 전압을 고정시키기 위해 opamp의 virtual ground 특성을 이용하고 RE의 전압을 조절하여 DC offset current를 제거할 수 있다. RE Sensing strip 부분의 화학적인 반응에 의해 WE에 전류가 흐르게 되며 current-mirror를 통해 trans-conductance amplifier 부분으로 전류 신호가 전달된다<sup>9</sup>. 전달된 신호는 programmable gain amplifier(PGA) 단에서 증폭되며 100Hz 정도의 저역 통과 필터(low-pass filter)를 통과한 뒤 출력된다.

### 4. Bio-impedance 측정 회로

신체 임피던스를 측정하는 회로는 신체에 전류를 흘려주는 current generator 부분과 인체에 유도된 전압 신호를 측정하는 계측 증폭기 부분으로 구성된다. Current generator를 통해 modulated current를 신체에 주입하면 신체 임피던스에 비례한 전압 신호가 발생한다. 이러한 전압 신호를 계측 증폭기 부분에서 current generator의 주파수로 in-phase 및 quadrature-phase로 demodulation하면 신체 임피던스의 실수 성분과 허수 성분을 측정할 수 있으며 이를 이용하여 체성분 분석 등에 이용한다. 최근 신체 임피던스 측정 회로의 경우 저전력/고해상도를 위한 연구가 다수 진행되고 있으며, 정밀한 임피던스 계측을 위해 저전력/저왜곡 current generator 구현과 관련된 주제가 연구되고 있다. 인체에 주입되는 square-wave 형태의 current generator의 경우 매우 높은 전력 효율을 얻을 수 있다. 그러나, synchronous demodulation 시 하모닉 성분들의 폴딩에 의해 정확도에 제한이 발생한다. Pseudo-sine-wave 형태의 current generator는 좋은 전력 효율과 정확성을 가지고 있으며 pure sine-wave보다는 낮은 THD(total harmonic distortion) 성능을 가진다<sup>6</sup>.

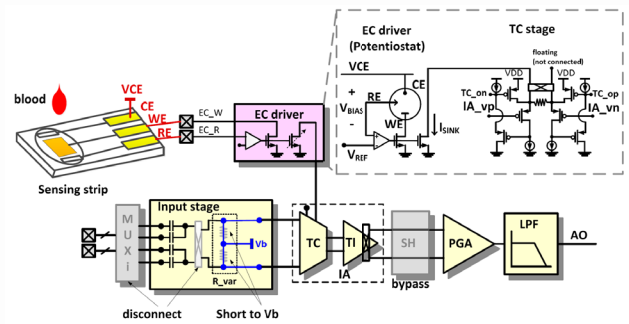


그림 7. 혈당 측정을 위한 계측 회로 예시<sup>5</sup>

### 5. 맥음말

본 뉴스레터에서는 웨어러블 기기에서 사용되는 다양한 생체신호 측정을 위한 센서 인터페이스의 구조와 특징 및 AFE 설계 시의 고려 사항에 대하여 검토하였다. 생체 신호 계측을 위한 핵심 circuit block인 instrumental amplifier(IA)는 높은 입력 임피던스와 높은 전압 이득 및 높은 공통모드 제거 비가 요구되며 동적인 신호 계측 상황을 고려하면 motion artifact 등을 제거할 수 있는 기술이 요구된다. 또한, 미세 신호를 증폭해야 하기 때문에 낮은 입력 잡음을 구현하기 위한 저잡음 설계 기법에 대한 고려가 필수적이다. 웨어러블 기기의 시장 규모의 증가와 함께 생체신호 측정을 위한 센서 IC에 대한 수요가 점차 증가하고 있으며, 이를 충족시키기 위해 많은 기술들이 개발되고 있다. 회로의 성능이 계속적으로 향상되면서 센서 IC의 경우 더 많은 기능과 함께 더 소형화 될 것으로 예측된다. 최근에는 하나의 칩에서 다양한 생체신호를 측정할 수 있는 다기능 센싱 플랫폼에 관한 논문들이 발표되고 있으며, 다양한 생체신호를 하나의 칩에서 획득하려고 하는 연구들이 활발히 진행되고 있다.

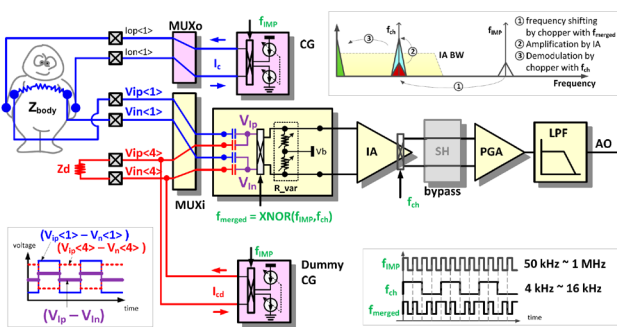


그림 6. Bio-impedance 측정을 위한 계측 회로 예시<sup>5</sup>

### 5. 혈당 측정 회로

혈당을 측정하기 위해 amperometric electrochemical 센서가 사용된다. Amperometric electrochemical 센서는 세 개의 전극(reference electrode(RE), counter electrode(CE), working electrode(WE))으로

## 참고문헌

- 1 S. Ha, C. Kim, Y. M. Chi, A. Akinin, C. Maier, A. Ueno, and G. Cauwenberghs, "Integrated circuits and electrode interfaces for noninvasive physiological monitoring," *IEEE Trans. Biomed. Eng.*, vol. 61, no. 5, pp. 1522–1537, May. 2014.
- 2 I. Kim, R. Lobo, J. Homer, and Y. A. Bhagat, "Multimodal analog front-end for wearable bio-sensors," *SENSORS*, 2015 IEEE, Busan, Korea, Nov. 2015, pp. 1-4.
- 3 M. Konijnenburg, S. Stanzione, L. Yan, D.-W. Jee, J. Pettine, R. Wegberg, H. Kim, C. Liempd, R. Fish, J. Schluessler, H. Groot, C. V. Hoof, R. F. Yazicioglu, and N. V. Helleputte, "A battery-Powered Efficient Multi-Sensor Acquisition System with Simultaneous ECG, BIO-Z, GSR, and PPG," "A battery-powered efficient multi-sensor acquisition system with simultaneous ECG, BIO-Z, GSR, and PPG," in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, San Francisco, CA, USA, Jan./Feb. 2016, pp. 480–481.
- 4 T. Calabria, "Software PACE detect with ADS1292," <http://slideplayer.com/slide/5917472>
- 5 J. Kim and H. Ko, "Reconfigurable Multiparameter Biosignal Acquisition SoC for Low Power Wearable Platform," *Sensors*, vol. 16, no. 2002, pp. 42382–42394, Nov. 2016.
- 6 N. V. Helleputte, M. Konijnenburg, J. Pettine, D.-W. Jee, H. Kim, A. Morgado, R. V. Wegberg, T. Torfs, R. Mohan, A. Breeschoten, H. Groot, C. V. Hoof, and R. F. Yazicioglu, "A 345  $\mu$ W multi-sensor biomedical SoC with bio-impedance, 3-channel ECG, motion artifact reduction, and integrated DSP," *IEEE J. Solid-State Circuits*, vol. 50, no. 1, pp. 230–244, Jan. 2015.
- 7 M. Konijnenburg, S. Stanzione, L. Yan, D.-W. Jee, J. Pettine, R. Wegberg, H. Kim, C. Liempd, R. Fish, J. Schluessler, H. Groot, C. V. Hoof, R. F. Yazicioglu, and N. V. Helleputte, "A Multi(bio)sensor Acquisition System With Integrated Processor, Power Management, 8x8 LED Drivers, and Simultaneously Synchronized ECG, BIO-Z, GSR, and Two PPG Readouts," *IEEE J. Solid-State Circuits*, vol. 51, no. 11, pp. 2584–2595, Nov. 2016.
- 8 Y.-J. Huang, T.-H. Tzeng, T.-W. Lin, C.-W. Huang, P.-w. Yen, P.-H. Kuo, C.-T. Lin, and S.-S. Lu, "A Self-Powered CMOS Reconfigurable Multi-Sensor SoC for Biomedical Applications," *IEEE J. Solid-State Circuits*, vol. 49, no. 4, pp. 851–866, Apr. 2014.
- 9 J. Kim, H. Ko, "A 1.2 V Low-Power CMOS Chopper-Stabilized Analog Front-End IC for Glucose Monitoring," *IEEE Sensors Journal*, vol. 16, no. 17, pp. 6517–6518, Sept. 2016.
- 10 M. M. Ahmadi and G. A. Jullien, "Current-mirror-based potentiostats for three-electrode amperometric electrochemical sensors," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 56, no. 7, pp. 1339–1348, Jul. 2009.

## 저자정보



**고형호** 교수 | 충남대학교 전자공학과

주 연구분야  
아날로그 집적회로, 센서 인터페이스, 저전력/저잡음 혼성 신호 회로  
E-mail [hhko@cnu.ac.kr](mailto:hhko@cnu.ac.kr)  
Homepage <http://icdl.cnu.ac.kr>



**문영진** 석사과정 | 충남대학교 전자공학과

주 연구분야  
바이오메디컬 센서 인터페이스, 델타시그마 ADC

# Cadence사 QRCX

**cādence®**

Cadence Korea

주소 : 경기도 성남시 분당구 판교로 334  
Mtek IT Tower 9층  
전화 : 031-728-3114  
Web : www.cadence.com/kr

• 목적

Physical Layout에서 Parasitic Extraction

• 구분

IC Design Flow 중 Physical Layout을 검증 완료 후 설계자가 의도하지 않는 Design 내 기생 성분 즉, Parasitic을 추출하여 검증하는 Solution을 제공

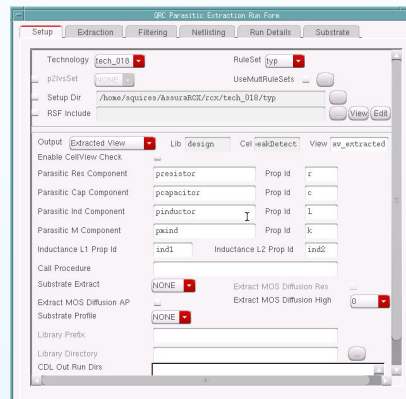
• Supported Platform and O/S System

- Platform : Linux (Inx86)
- Architecture : X86\_64
- Supported OS : RHEL 5, 6, 7, SLES 11, 12

• 특성 및 기능

Cadence사의 Quantus QRC Extraction는 IC design flow 중 physical layout시 설계자가 의도하지 않는 design 내 기생 성분이 생기면서 회로 동작에 영향을 주게 되는데, 실제 제품 생산을 위한 최종 Mask 제작 전 parasitic 추출 후 parasitic을 포함한 post simulation을 통해 회로 오동작을 미연에 방지하기 위해 사용된다. 또한, Cadence Quantus QRC Extraction은 하나의 technology file을 이용해서 Digital design 또는 Analog design 모두 사용 가능하다.

Cadence Quantus QRC Extractor는 ASSURA/PVS LVS 검증 결과와 연동하여 Quantus QRC extraction 전용창을 통해 설계자의 의도를 반영한 av\_extracted cellview를 만든 후 ADE(Analog Design Environment)를 이용하여 post simulation을 위한 유기적 환경을 제공하며, 설계자가 직관적으로 사용할 수 있는 GUI(Graphic User Interface)를 제공한다.



그리고, 정확한 parasitic 추출과 추출된 parasitic을 이용한 post simulation 결과를 바탕으로 회로 오동작 원인 분석 및 오동작 방지를 위한 회로 분석을 위해 Quantus QRC Extraction이 제공하는 parasitic cross probing 기능 또한 설계자들에게 큰 도움이 된다. 또한, advance node 공정에서 발생하는 여러 문제점을 파악하여 이미 제품에 반영하여 최신 공정에서도 보다 정확한 결과를 추출하여 회로 오동작을 사전에 방지할 수 있도록 다양한 기능을 제공하고 있다.

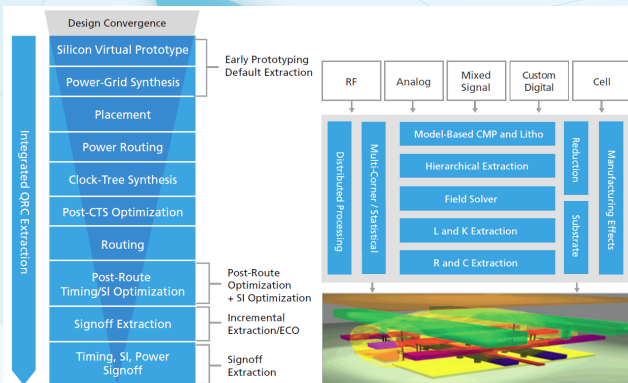


Figure 1: Enabling in-design in the Encounter digital implementation platform

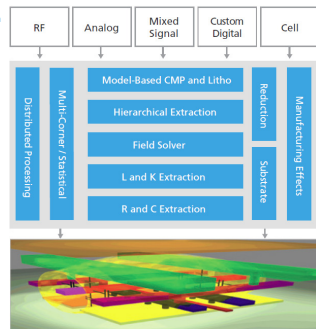
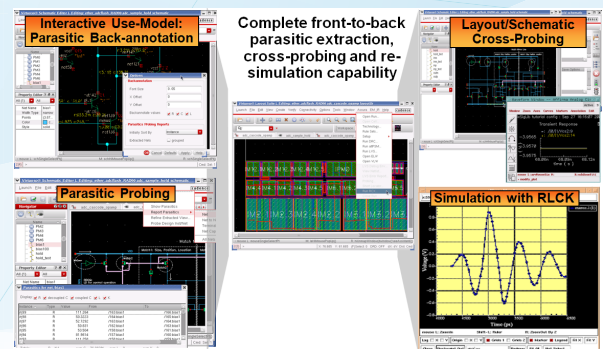


Figure 2: Key functionalities of Cadence QRC Extraction



# 시간이 지날수록 빛이나는 연구자



**김주성** 교수

한밭대학교 전자제어공학과

“불매”라는 신조어가 있다. 불수록 매력이 있다는 뜻이다. 이처럼 시간이 지날수록 빛이내고 중요성을 잃지 않는 연구를 하고자 하는 마음을 가진 연구자가 있다. RF 무선 송수신 반도체 개발을 수행하고 있는 한밭대학교 전자제어공학과 김주성 교수이다. 그는 퀄컴(Qualcomm)에서 엔지니어로 3년 6개월간 다수의 무선 송수신 반도체 칩을 개발하고 2015년 학교에 부임하게 되었다.

현재까지의 무선 송수신 칩은 협대역 구조로서 다양한 무선 상용 시스템에 따라 특화된 하드웨어를 구현해야만 한다. 이에 단일 반도체로서 여러가지 무선 송수신 시스템을 지원하고자 하는 도전들이 계속되고 있다. 김주성 교수 역시 이러한 연구를 수행하고 있다.

“현대의 휴대폰은 셀룰러 통신을 위한 무선 통신칩, 와이파이를 위한 무선 통신칩, 직비 혹은 블루투스를 위한 무선 통신칩, 그리고 그 외의 다수의 무선 송수신 시스템을 지원하기 위해 개별적인 무선 송수신 반도체가 탑재가 되어야 하며 이로 인해 시스템의 면적이 커질 수 밖에 없습니다. 이와는 반대의 개념으로 많은 연구자들이 현재 심혈을 기울이는 것이 Software Defined Radio(SDR)입니다. 현재 여러 시스템의 동시 지원을 위해 하드웨어 및 시스템 측면에서 많은 어려움이 존재하고 있으며 이러한 문제점의 해결을 위한 연구를 석박사 과정부터 현재까지 진행하고 있습니다.”

그가 이렇게 RF 무선 통신 연구를 시작하게 된 계기는 학부 시절의 교환 학생 경험에서 비롯되었다고 한다. 이론적으로 배웠던 내용이 실질적으로 적용되는 모습을 보며 연구 분야로서 관심을 가지게 되었고, 석박사 과정 그리고 기업 연구원을 거쳐 현재의 자리까지 오게 되었다고 한다.



“대학 진학 후 1~2년 동안은 전공에 많은 흥미를 느끼는 학생은 아니었습니다. 그러나 군대 제대 후 미국으로 교환 학생을 가게 되었고 그 곳에서 들었던 전자 회로 수업 및 실험을 통해 아날로그 및 RF 회로에 대해 새로운 관심을 가지게 되어 연구실에 진학하게 되었습니다. 이후 퀄컴에서 근무하며 반도체 칩을 설계하고 검증

했습니다. 특히 Apple 사의 S6 및 S6+에는 입사 후 처음 설계한 반도체가 탑재되기도 하였으며, 미국에서 직접 사용 중이던 통신사인 verizon wireless의 통신 대역에 직접 설계한 회로들이 구동되기도 하였습니다. 이러한 사실을 안 후 매우 신기하고 기쁩니다.”

현재 그는 SDR 관련 연구 외에도 통신 대역의 한정화로 인한 유한한 통신 대역의 효율적인 사용을 위한 통신 기법인 Cognitive Radio (인지 무선통신)을 위한 무선 송수신 반도체 연구와, 최근 대두되고 있는 IoT와 관련하여 LPWAN(low power wide area network)를 위한 저전력 무선 송수신 반도체 연구를 진행 중에 있다. 그는 진행 중인 연구에 대한 어려움에 대해서도 언급했다.

“반도체 회로 설계 분야는 아이디어 도출, 회로 설계, 제작, 실험 및 검증의 단계를 필요로 하며 시간 집약적이고 많은 리소스를 필요로 합니다. 학교에 부임 후 이러한 모든 과정들을 스스로 셋업 하고 진행하면서 주위 조력자 및 시스템이 없는 상태에서 연구를 수행해 나가기가 쉽지 않음을 느끼고 있습니다. 이에 협업을 적극 활용하여 대전의 주변 대학 및 주요 연구소들과 연구를 함께 수행해 나가고 있습니다.”

아날로그 및 RF 회로 분야는 지난 30~40년간 up/down이 극심한 분야이다. 1970~1980년대를 거쳐 디지털 시대가 도래하자 많은 연구자들과 전문가들이 아날로그 회로 및 컴퓨팅 시대의 종말을 예고했다. 하지만 이후 1990~2000년대에 무선 통신 분야가 각광을 받으면서 다시금 아날로그 회로 설계 산업이 성장했다. 이러한 흐름으로 보아 그는 아날로그 및 RF 회로 분야가 또 다른 중흥기를 맞을 것으로 예상한다.

“최근 5G 시대로 가는 상황 속에서 이전의 기술로는 극복되지 않는 밀리미터파 대역의 여러 고성능 회로를 위한 제작 기법 및 테크닉이 필요해지고 있습니다. 이러한 흐름 속에서 새로운 분야의 문제 해결을 위해 많은 투자와 연구가 진행되고 있습니다.”

마지막으로 그는 연구자로서의 자세에 있어 가장 중요한 것은 나만의 연구 과정을 즐기는 것이라고 말한다.

“학부 4학년, 석박사 6년, 이후 5년 간의 연구 과정을 거치며 다양한 분야에서 다양한 사람들을 만나며 그들의 능력과 나의 능력이 비교가 되는 시기도 있었지만, 남들과 비교하고 경쟁하는 자세 보다는 나만의 연구 과정을 즐겼을 때 풀리지 않는 문제가 해결되는 경우가 더 많았습니다. 자아의 실현을 위해 몰두하고 매진하는 자세가 곧 연구자로서의 성공의 자세임을 깨닫고 실현하려 합니다.”

연구자로서의 자아 실현을 통해 더욱 가치있는 기술로 미래를 빛낼 그의 앞날을 기대해본다. 🍀





**IDEC**  
**Newsletter**

2017년 7월 | 통권 제241호

---

**발행일** 2017년 7월 31일 **발행인** 박인철 **편집인** 김태욱, 남병규 **제작** 심원기획 **기획** 김하늘 **발행처** 반도체설계교육센터(IDEC)  
T.042) 350-8535 F.042) 350-8540 H.<http://www.idec.or.kr> E.[kimsky1230@idec.or.kr](mailto:kimsky1230@idec.or.kr)

반도체설계교육센터 사업은 산업통상자원부, 한국반도체산업협회,  
반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 앰코테크놀로지코리아)의 지원으로 수행되고 있습니다.