

2017
July



IDEC Newsletter

Vol. 241



IDEC 뉴스 MPW 안내 및 교육 일정
2017 IDEC SoC Congress 개최 소식

기술동향칼럼 가상현실 3D 사운드를 위한
실시간 sound tracing 기술 개발

기획칼럼 EDA Tool 소개 (Assura)

특집기사 자동차 기능 안전 소프트웨어 표준:
ISO 26262, AUTOSAR, MISRA C



반도체설계교육센터
IC DESIGN EDUCATION CENTER

2017년 MPW 진행 현황

◎ 지원 변경 사항

- 매그나칩/SK하이닉스 공정 Package Type 변경 (변경전 : LQFP 208pin → 변경후 : MQFP 208pin)

◎ 진행 현황

● 7월 모집

- MS350-1702회 매그나칩/SK하이닉스 350nm (정규) : ~07.10 (월), 2017년 마지막 회차 모집임.
- 2018년 MPW 진행 공정 및 일정은 12월 중 공지 예정

● 진행 일정

공정	회차구분 (공정_년도순서)	모집팀수 ((mmxmm)x칩수)	정규모집 신청마감	참여팀수 ((mmxmm)x칩수)	DB마감 (Tape-out)	Die-out	비고
MS 180nm	MS180-1701	(3.8x3.8)x25	2017.01.26	(3.8x3.8)x23 (3.8x1.9)x4	2017.03.20	2017.08.21	칩제작중
	MS180-1702		2017.02.20	(3.8x3.8)x18 (3.8x1.9)x14	2017.05.22	2017.10.23	칩제작중
	MS180-1703		2017.03.13	(3.8x3.8)x23 (3.8x1.9)x4	2017.07.24	2017.12.26	설계중
	MS180-1704		2017.04.10	(3.8x3.8)x24 (3.8x1.9)x2	2017.09.18	2018.02.19	설계중
	MS180-1705		2017.06.12	(3.8x3.8)x20 (3.8x1.9)x10	2017.12.04	2018.05.07	설계대기중
MS 350nm	MS350-1701	(5x4)x20	2017.02.20	(5x4)x15	2017.06.12	2017.10.02	칩제작중
	MS350-1702		2017.07.10	모집중	2018.01.15	2018.05.07	
삼성 65nm	S65-1701	(4x4)x40	2017.01.26	(4x4)x33	2017.05.22	2017.11.27	설계중
	S65-1702		2017.03.13	(4x4)x40	2017.09.04	2018.03.11	설계중
	S65-1703		2017.06.19	(4x4)x40	2018.01.08	2018.07.16	설계대기중

- 일정은 사정에 따라 다소 변경될 수 있음.
- S65-1701회 (삼성 65nm) 는 기존 설계 진행으로 서버를 보유한 팀만 참여 가능함.
- 회차 표기 : 공정코드-년도 모집순서 (예시) 삼성 65nm 2017년 1회차 : S65-1701)
- 모집기간 : 모집 마감일로부터 2주 전부터 접수
- Package 제작은 Die out 이후 1개월 소요됨.

2016년 MPW 진행 내역

◎ 2016년 MPW 회차별 모집 현황

- 3개 공정 10회 진행, 288팀 참여
- 총 283개 제작 : 현재 245개 제작완료, 38개 제작중 (7월중 완료 예정)

공정	삼성	매그나칩/SK하이닉스	
	65nm	180nm	350nm
총제작팀수	108	134	41



이의숙 책임 (yslee@idec.or.kr, 042-350-4428)

수강을 원하는 분은

IDEC 홈페이지 (www.idec.or.kr) 를 방문하여 신청하시기 바랍니다.

강좌 일정

센터명	강의일자	강의 제목	분류
본센터	7월 4-7일	Mixed Analog Layout	설계교육
	7월 10-11일	반도체 개발 실무 기본 과정	세미나
	7월 11-13일	System Verilog Testbench	Tool강좌
	7월 14일	Incisive Verilog simulation	Tool강좌
	7월 17-19일	Design Compiler 사용법 및 활용예	Tool강좌
	7월 20-21일	Low Power Flow	Tool강좌
	7월 24-25일	DFT Compiler 사용법 및 활용예	Tool강좌
	7월 26-28일	PrimeTime 사용법 및 활용예	Tool강좌
	7월 31일-8월 2일	IC Compiler 사용법 및 활용예	Tool강좌
경북대	7월 4-5일	RFIC 설계 Basic 이론	설계교육
	7월 7일	아날로그 회로의 직관적 해석	설계교육
	7월 19-21일	PSpice를 이용한 아날로그 Front end 설계	설계교육
	7월 31일-8월 4일	3D IC 회로 설계 및 CAD 알고리즘의 기초	설계교육

센터명	강의일자	강의 제목	분류
광운대	7월 3-4일	4G/5G 이동통신 시스템 설계	설계교육
	7월 3-5일	Full-custom 설계 실습	설계교육
	7월 6-7일	아날로그 집적회로 설계	설계교육
	7월 10-14일	CMOS RF 트랜지스터 설계 실습	설계교육
	7월 17-20일	스마트 모바일 AP 구조 및 주변장치 응용	설계교육
부산대	7월 4-5일	IC 설계를 위한 반도체 소자	설계교육
	7월 13-14일	IC 설계를 위한 반도체 공정	설계교육
	7월 18일-20일	Full Custom IC 설계	설계교육
전남대	7월 20-21일	차량 소프트웨어 플랫폼 AUTOSAR에 대한 이해	설계교육
	7월 26-27일	딥러닝 기초 및 설계	설계교육
충북대	7월 6-7일	아날로그 프론트엔드 설계기법	설계교육
	7월 10-12일	DC-DC Converter 회로 설계	설계교육
	7월 13-14일	A Comprehensive Survey of Issues in Solid State Drives	설계교육
	7월 24-26일	Verilog 설계언어 기초	설계교육
한양대	7월 11일	AMBA AXI와 AXI-Stream 버스 설계와 검증	설계교육



본센터

7/4-7

강좌제목 Mixed Analog Layout

강사 박의근 연구위원 ((주)파인스)

강좌개요

LAYOUT 수행을 위한 기초 학습 및 연계성 인식, IC 특성 저해 요인 고찰 및 특성 향상을 위한 방안 고찰, LAYOUT 실습을 통해 학습 내용을 적용

강의수준 중급 **강의형태** 이론+실습

사전지식 · 선수과목

Mixed Analog Circuit의 간단한 동작 특성 해석 가능 (필수), Virtuoso Layout Editor 이용 작업 가능 및 실무 경험 (필수), Calibre Verification Tool 사용 및 검증 가능 (필수)

7/11-13

강좌제목 System Verilog Testbench

강사 김기욱 부장 (Synopsys Korea)

강좌개요

Verilog/System Verilog로 되어있는 Design을 Systemverilog를 이용해서 검증하는 스킬을 익히고, 관련된 Coverage-driven random stimulus를 이용한 검증 방법을 익힌다.

수강대상 Systemverilog 를 이용한 Verification Engineer

강의수준 고급 **강의형태** 이론+실습

사전지식 · 선수과목 Systemverilog, Verilog

7/10-11

강좌제목 반도체 개발 실무 기본 과정

강사 이창훈 이사 (반도체기술인협동조합)

강좌개요

반도체 개발 직무인 설계/공정/PKG/평가/품질 등의 기본 지식과, 주요 제품인 AP/DRAM/FLASH의 동작원리와 제조공정 및 신기술을 강의

수강대상 반도체 개발에 대한 기본 지식을 공부하고자 하는 학부, 대학원생 또는 유관 부문 재직자

강의수준 초중급 **강의형태** 이론

사전지식 · 선수과목 회로 이론, 전자회로, 반도체 소자 등

7/14

강좌제목 Incisive Verilog simulation

강사 전우진 부장(Cadence Korea)

강좌개요

Cadence NC-Verilog tool을 사용한 Verilog simulation 전체 flow에 대한 설명 및 Lab을 진행

강의수준 중급 **강의형태** 이론+실습

사전지식 · 선수과목 Verilog Language, UNIX/LINUX command

7/17-19

강좌제목 Design Compiler 사용법 및 활용예**강사** 강원목 부장 (Synopsys Korea)**강좌개요**

SoC 설계 및 MPW 제작을 위한 Front-End 설계의 중요한 단계인 Logic-Synthesis를 하기 위한 Synopsys사의 Design-Compiler에 대한 사용법에 대한 이해

수강대상 ASIC digital designs with little or no design compiler experience**강의수준** 초중급 **강의형태** 이론+실습**사전지식 · 선수과목**

Basic digital logic design concepts and terminology, including:

- RTL, gates, netlist, Boolean/combinational/sequential logic, pipelines, data path, scan chain, buffering
- Register-to-register

7/20-21

강좌제목 Low Power Flow**강사** 강원목 부장, 임동규 대리 (Synopsys Korea)**강좌개요**

- Create UPF to capture the expected power intent
- Run power aware static checks on the design
- Synthesize RTL and insert scan chains for the required power intent
- Perform equivalence checking for functionality with the power intent
- Floorplan a design with multiple power domains, including power-switched blocks
- Create voltage areas to provide the physical context of MV floorplanning
- Setup MV constraints on optimizations, high fanout synthesis, and scan chain placement during place_opt
- Perform voltage-area aware clock-tree synthesis
- Use the classic router in the presence of voltage areas

수강대상

ASIC, back-end or layout designers with experience in one or more of: logic design, design verification, Place&Route or signoff verification. CAD engineers responsible for flow development will find.

강의수준 초급 **강의형태** 이론+실습**사전지식 · 선수과목**

UNIX/Linux and X-Windows, A Unix text editor, e.g. Emacs, vi, pine, A basic working knowledge of Synopsys IC Compiler, An awareness of the basics of low-power design techniques

7/24-25

강좌제목 DFT Compiler 사용법 및 활용예**강사** 김태삼 과장 (Synopsys Korea)**강좌개요**

Verilog/System Verilog 로 되어 있는 Design을 Systemverilog를 이용해서 검증하는 스킬을 익히고, 관련된 Coverage-driven random stimulus를 이용한 검증 방법을 익힌다.

수강대상

Design and Test engineers who need to identify and fix DFT violations in their RTL or gate-level designs, insert scan into multi-million gate SoCs, and export design files to ATPG and P&R tools

강의수준 초중급 **강의형태** 이론+실습**사전지식 · 선수과목**

There are no prerequisites for this workshop. Prior experience with Design Compiler, Design Vision and writing Synopsys Tcl scripts is useful, but not required.

7/26-28

강좌제목 PrimeTime 사용법 및 활용예**강사** 김태삼 과장 (Synopsys Korea)**강좌개요**

In this workshop you will learn to perform Static Timing Analysis (STA) using PrimeTime by executing the appropriate high-level summary reports to initiate your analysis, customizing and interpreting detailed timing reports for debugging, and exploring and analyzing the clocks that dictate STA results.

수강대상

ASIC digital designers, or verification engineers, who will be using PrimeTime to perform Static Timing Analysis (STA) on pre- or post-layout gate level designs, and who need to validate STA constrain

강의수준 초중급 **강의형태** 이론+실습**사전지식 · 선수과목**

Have a basic understanding of digital IC design and understand elements of gate level design: chip vs. block level, sequential vs. combinational logic, clock tree vs. data path, pre- vs. post- layout

7/31-8/2

강좌제목 IC Compiler 사용법 및 활용예**강사** 임동규 대리 (Synopsys Korea)**강좌개요**

Synopsys의 차세대 auto place & routing tool인 IC compiler overview를 이해한 후 필요한 input file 및 각 단계별 key command에 대한 설명을 강의를 통하여 습득한 후 작은 sample design에 대해 IC compiler를 직접 실행함으로써 real physical design에 적용할 수 있는 능력을 배양하고자 한다.

수강대상

ASIC, back-end, or layout designers who will be using IC Compiler to perform placement, CTS, and routing on block-level designs

강의수준 초급 **강의형태** 이론+실습**사전지식 · 선수과목**

Synthesis concept using Design compiler, Prime Time, UNIX 기본 사용법 및 VI Editor

수강을 원하는 분은

IDEC 홈페이지 (www.idec.or.kr) 를 방문하여 신청하시기 바랍니다.



경북대

7/4-5

강좌제목 RFIC 설계 Basic 이론

강사 문현원 교수 (대구대학교)

강좌개요

RFIC 설계를 처음 접하는 분들께 RFIC 설계에 대한 기초 이론 및 wireless communication IC 설계 방법 기본 원리 및 기본회로인 CMOS Low noise amplifier 회로 설계 방법을 습득하게 한다.

수강대상 전기, 전자, 정보통신 관련 전공 학부생/석사 및 산업체

강의수준 중급 **강의형태** 이론

사전지식·선수과목 전자회로



광운대

7/3-4

강좌제목 4G/5G 이동통신 시스템 설계

강사 전창범 부장 (에릭슨 LG)

강좌개요

4G 이동통신의 주요기술 및 5G 차세대 이동통신의 후보기술을 이해하도록 하고, 아울러 5G의 한 축인 Telco Cloud에 대한 기본 사항들을 이해하여 5G 시대를 준비한다.

수강대상 학부생, 대학원생, 일반인

강의수준 초급 **강의형태** 이론

7/3-5

7/7

강좌제목 아날로그 회로의 직관적 해석

강사 심재윤 교수 (포항공과대학교)

강좌개요

기본적인 R,L,C, pole/zero 특성, 증폭기 회로, 주파수 응답 및 피드백 이론을 다양한 graphical 한 직관적 방법으로 이해한다.

수강대상 전기, 전자, 정보통신 관련 전공 학부생/석사 및 산업체

강의수준 초급 **강의형태** 이론

사전지식·선수과목 전자회로

강좌제목 Full-custom 설계 실습

강사 민경식 교수 (국민대학교), 김용신 교수 (고려대학교)

강좌개요

CMOS 회로 설계 tool을 이용한 CMOS 스케매틱 및 레이아웃 설계 방법을 배운다. 이를 위해 Cadence Schematic Editor, Cadence Spectre, Cadence Layout Tool, Mentor DRC/LVS Tool의 사용법을 배우고 이를 사용한 스케매틱 설계 및 검증, 레이아웃 및 레이아웃 검증에 관한 실습을 수행한다.

수강대상 학부생, 대학원생, 일반인

강의수준 초급 **강의형태** 이론+실습

사전지식·선수과목 집적회로 설계, 집적회로 공정, 반도체소자

7/19-21

강좌제목 PSpice를 이용한 아날로그 Front end 설계

강사 김무현 과장 (나인플러스 IT)

강좌개요

반도체 및 컴퓨터 기술의 급격한 발달과 더불어 기술이 혁신적으로 발전하고 전기전자 관련 제품의 설계 및 제조 공정이 자동화되어 생산성 증대와 제품의 품질향상 등이 산업체의 경쟁력 제고를 위해 요구되고 있으며, 특히 제품개발기간을 단축시키고 신뢰성을 높이기 위한 노력의 일환으로 Simulation Tool을 이용하여 실제 제작단계 이전에 회로 특성을 해석해보는 과정이 중요시되었다.

수강대상 전기, 전자, 정보통신 관련 전공 학부생/석사 및 산업체

강의수준 초중급 **강의형태** 이론+실습

사전지식·선수과목 전자회로, 회로이론, 반도체공학

7/6-7

강좌제목 아날로그 집적회로 설계

강사 범진욱 교수 (서강대학교), 박영철 교수 (한국외국어대학교)

강좌개요

CMOS 공정을 기반으로 MOS Transistor의 기본을 바탕으로 single TR의 구성과 이의 응용회로와 설계 시 고려해야 할 nonideality를 이해하고, 이를 보완하기 위한 설계 기법들에 대해 소개한다. 아울러, single TR 증폭기를 비롯하여 current mirror, differential amplifier, operational amplifier 등의 응용회로에 대하여 학습한다.

수강대상 학부생, 대학원생, 일반인

강의수준 초급 **강의형태** 이론+실습

사전지식·선수과목 회로이론, 전자회로, II (optional), 전자소자 (optional)

7/31-8/4

강좌제목 3D IC 회로 설계 및 CAD 알고리즘의 기초

강사 임성규 교수 (Georgia Institute of Technology)

강좌개요

무어의 법칙을 이어 나갈 여러 가지 solution 중 가장 주목을 받는 3D IC에 관해 소개한다. 그리고 digital 3D IC 회로를 설계할 때 중요한 고려 사항들을 배운다. 구체적으로 3D IC가 performance, power consumption, area, cost, reliability, thermal, yield등에 미치는 영향에 관해 학습하며, 이들을 최적화하는 방법론을 배운다. 다음으로 digital 3D IC 회로 설계 시에 사용되는 CAD tool들의 기반이 되는 알고리즘을 배운다. 3D IC의 3대 option인 TSV, monolithic, 그리고 wafer-to-wafer bonding 기술에 관해 심도 있게 학습한다.

수강대상 전기, 전자, 정보통신 관련 전공 학부생/석사 및 산업체

강의수준 초중급 **강의형태** 이론

7/10-14

강좌제목 CMOS RF 트랜시버 회로 설계 실습

강사 신현철 교수 (광운대학교), 문용 교수 (숭실대학교), 정진성 교수 (서울시립대학교)

강좌개요

RF 트랜시버에 사용되는 가장 필수적인 회로인, LNA, Mixer, VCO, 전력증폭기의 설계 실습을 진행한다. 각 회로의 기본적인 동작원리, 설계 이론, 성능 지수, Cadence Spectre RF를 이용한 설계 기술 등을 학습한다. 특히, 학생들이 주어진 예제 회로를 이용하여 단계별로 설계 및 시뮬레이션을 진행해 봄으로써, 회로 설계에 대한 이해도를 높일 수 있다. 최종적으로는 기본 회로를 연결하여 Direct Conversion RF 수신기 회로를 설계하고 시뮬레이션을 수행하여 수신기의 성능을 평가하는 능력을 습득한다.

수강대상 학부생, 대학원생, 일반인

강의수준 초중급 **강의형태** 이론+실습

사전지식·선수과목 전자회로, CMOS 아날로그 집적회로, RF 집적회로

7/17-20

강좌제목 스마트 모바일 AP 기반 SoC 구조 및 주변장치 응용

강사 이광엽 교수 (서경대학교), 한태희 교수 (성균관대학교), 김지훈 교수 (서울과학기술대학교)

강좌개요

스마트 모바일 기기에서는 멀티미디어, 게임, GUI, 센서 융합 등을 기반으로 하는 다양한 앱, 웹을 수행하기 위해 고성능, 저전력의 AP (Application Processors) 를 탑재하고 있어 스마트 모바일 기기용 SoC 개발 및 응용을 위해서는 AP 구조를 이해하고 AP를 기반으로 한 SoC 및 주변장치를 활용할 수 있는 능력을 갖추어야 한다.

수강대상 학부생, 대학원생, 일반인

강의수준 초급 **강의형태** 이론+실습

사전지식·선수과목 컴퓨터구조, C 프로그래밍

문의 | 광운대 IDEC 박수건 (02-940-5448, smartipc@kw.ac.kr)



전남대

7/20-21

강좌제목 차량 소프트웨어 플랫폼 AUTOSAR에 대한 이해

강사 김윤진 대리 (한국멘토그래픽스)

강좌개요

AUTOSAR Platform 기본 이론을 바탕으로 Embedded System 개발 관련 지식을 습득한다. AUTOSAR 이론과 개발 Flow에 대한 이해를 바탕으로 실습을 통해 AUTOSAR Platform을 설계한다.

수강대상 차량 소프트웨어에 관심있는 학부생, 대학원생 연구원 및 기타

강의수준 초중급 **강의형태** 이론+실습

사전지식·선수과목 C프로그래밍, 전자회로

7/26-27

강좌제목 딥러닝 기초 및 설계

강사 김동국 교수 (전남대학교)

강좌개요

최근 딥러닝 기술의 비약적인 발전으로 인해 인공지능 분야 등, 산업 전반에 큰 영향을 미치고 있다. 따라서 딥러닝 기술에 대한 기술적인 이해와 실제로 이를 응용하여 사용하고자 하는 요구가 커지고 있는 상황이다. 본 교육에서는 딥러닝에 대한 기본 이론을 소개하고, NN, CNN, RNN과 같은 다양한 딥러닝 기법들에 대해 소개한다. 그리고 Google에서 발표한 딥러닝 툴박스인 Tensorflow를 이용하여 다양한 딥러닝 기술을 실습을 통해 이해하고, 이를 여러 응용분야에 적용한 딥러닝 시스템을 설계한다.

수강대상 딥러닝에 관심있는 학부생, 대학원생, 연구생 및 기타

강의수준 초중급 **강의형태** 이론+실습

사전지식·선수과목 Python 프로그래밍, 선형대수학, 기초확률론

문의 | 전남대 IDEC 강병호 (062-530-0367, 888pp@naver.com)



부산대

7/4-5

강좌제목 IC 설계를 위한 반도체 소자

강사 이문석 교수 (부산대학교)

강좌개요

반도체 내에서 전자의 분포, 이동에 관한 기본적인 물리이론과 밴드이론을 습득하고 기본적인 반도체 소자인 다이오드, MOSFET, BJT의 동작원리에 대해 강의한다.

수강대상 전자,전기,재료,물리,나노학부 2학년 이상, 일반인

강의수준 초중급 **강의형태** 이론

사전지식·선수과목 일반물리, 일반화학

7/13-14

강좌제목 IC 설계를 위한 반도체 공정

강사 김응수 교수 (부산외국어대학교)

강좌개요

반도체 칩을 제작하는데 필요한 oxidation, 불순물 주입, chemical vapor deposition, metalization 등의 단위공정의 기본원리를 다룬다. 최근 반도체 소자의 대세를 이루고 있는 CMOS의 구조를 소개하고 inverter의 layout에 대하여 공부한다. CMOS inverter의 layout을 기반으로 CMOS 반도체 칩이 제작되는 전체 공정을 소개한다.

수강대상 전자공학, 재료공학, 물리학, MEMS 전공자 학부 3-4학년, 관련분야 대학원생

강의수준 초중급 **강의형태** 이론

사전지식·선수과목 일반물리, 화학

7/18-20

강좌제목 Full Custom IC 설계

강사 최진호 교수 (부산외국어대학교)

강좌개요

Full custom layout을 위해 CMOS 공정 및 Design Rule, MOS 트랜지스터의 동작, Inverter, NAND, NOR 등 디지털 게이트의 동작 및 layout, HPICE, CADENCE 툴 사용법 및 실습 등의 기본적인 사항을 다룬다.

수강대상 전자전기 3-4학년, 관련분야 대학원생

강의수준 초중급 **강의형태** 이론+실습

사전지식·선수과목 논리회로

문의 | 부산대 IDEC 윤성심 (051-517-0172, idec@pusan.ac.kr)

수강을 원하는 분은

IDEC 홈페이지 (www.idec.or.kr) 를 방문하여 신청하시기 바랍니다.



총복대

7/6-7

강좌제목 아날로그 프론트엔드 설계기법

강사 고희호 교수 (충남대학교)

강좌개요

저항/용량/전압/전류 등 각종 센서 출력의 모델링 기법, Correlated Double Sampling 및 Chopper stabilization 기법을 이용한 저잡음 아날로그 프론트엔드 설계 기법

수강대상 아날로그 설계 분야 대학원생 및 관련 업계 종사자

강의수준 중급 **강의형태** 이론+실습

사전지식·선수과목 전자회로/아날로그 집적회로 기초, Cadence 및 Spectre 기본 사용법

7/10-12

강좌제목 DC-DC Converter 회로 설계

강사 김훈 박사 ((주)Himax Technologies, Inc.)

강좌개요

반도체 집적회로의 필수적인 구성요소인 전력변환 회로의 동작원리 및 설계 방법을 알아 본다. 먼저 CMOS 아날로그 회로의 기본 구성 요소인 증폭기, 비교기 바이어스 회로의 동작원리와 설계 방법을 살펴본다. 그리고 다양하게 사용되고 있는 선형 안정화 전원의 동작특성 및 피드백 제어회로를 살펴본 후 시뮬레이션 실습을 통해 배운 이론을 확인한다. 마지막으로 기본적인 스위칭 안정화 전원의 동작원리와 보상 방법을 배우고 시뮬레이션을 통해 스위칭 DC-DC 컨버터의 전달함수를 측정하고 보상 전후의 안정도를 비교하여 강의를 통해 배운 이론이 어떻게 활용되는지 살펴본다.

수강대상 학부 3-4학년생 및 대학원생

강의수준 초급 **강의형태** 이론+실습

사전지식·선수과목 전자회로, 반도체공학

7/13-14

강좌제목 A Comprehensive Survey of Issues in Solid State Drives

강사 Ben Lee 교수 (오리곤 주립 대학교)

강좌개요

Introduction, Fundamentals of a Flash Device, SSD Architecture, Flash Transition Layer, Garbage Collection, Wear Leveling, Bad Block Management, SSD Parallelism Techniques, A Survey of Recent Research Trends in SSDs

수강대상 학부, 대학원생, 일반인

강의수준 중급 **강의형태** 이론

7/24-26

강좌제목 Verilog 설계언어 기초

강사 송기용 교수 (총복대학교)

강좌개요

HDL의 개념을 살펴보고 조합회로, 순차회로, 레지스터와 카운터의 Verilog/HDL 기술 및 추가예제를 통한 실습

수강대상 학부생 또는 대학원생

강의수준 초급 **강의형태** 이론+실습

사전지식·선수과목

디지털 논리를 다루는 '논리회로' 또는 '디지털공학' 또는 이에 준하는 내용

문의 | 총복대 IDEC 라해미 (043-261-3572, idec@cbnu.ac.kr)



한양대

7/11

강좌제목 AMBA AXI와 AXI-Stream 버스 설계와 검증

강사 기안도 박사 (퓨처디자인시스템)

강좌개요

시스템 반도체와 내장형 시스템 등에 광범위하게 사용되고 있는 AMBA AXI3/4와 AXI Stream에 대해 살펴보고, 이들 버스를 지원하는 반도체 설계자산 (IP) 설계와 검증 방법을 배우고 실습한다.

수강대상 학생/일반인

강의수준 초중급 **강의형태** 이론+실습

사전지식·선수과목

디지털 논리를 다루는 '논리회로' 또는 '디지털공학' 또는 이에 준하는 내용

문의 | 한양대 IDEC 박남선 (031-400-4079, ipc@hanyang.ac.kr)



2017 IDEC SoC Congress(ISC) 개최소식

2017.06.29 (목), KAIST K빌딩



| 발표장 전경 |

6월 29일 (목) KAIST K빌딩에서는 2017 IDEC SoC Congress가 개최되었다. 본 행사에서는 반도체 인력양성 및 대학의 연구 지원방향과 관련하여 많은 정보를 공유하는 자리가 되었다. 또한, 최근 화두인 4차 산업혁명과 관련한 반도체 산업의 기술동향 및 전망과 관련하여 세미나가 개최되었다. 이와 더불어 IDEC MPW 아래 제작 지원된 대학의 칩 설계 결과와 우수 연구실의 성과도 함께 전시되었다.

가장 먼저 2층 매트릭스홀에서는 발표 세션이 개최되었다. IEEE 게재 및 특허등록과 기술이전 등의 성과를 거둔 IDEC 참여교수 연구실의 우수 연구성과를 시작으로 ISOCC 2016, 제24회 한국반도체학술대회 및 이번 2017 IDEC SoC Congress의 Chip Design Contest에서 Best Design Award를 수상한 팀이 발표를 진행했다.



이후 1층 퓨전홀에서는 IDEC 소장인 박인철 교수(KAIST)의 오프닝을 시작으로 IDEC 초대소장인 경종민 교수(KAIST)의 축사가 함께 진행되었다.

오전의 첫번째 강연은 “시스템반도체 산업 분야의 기술진화 및 향후 시장의 진화방향”이라는 주제로 삼성전자 System LSI 사업부 System 개발팀 김민구 전무가 진행했다. 김민구 전무는 과거의 1세대 통신시대의 모습과 특정 기업의 강자구도인 현재 무선통신 분야의 상황을 언급하며, 앞으로 다가올 5G 통신시대에 어떻게 대응해야 하는지에 대해 말했다.



| KAIST 경종민 교수(위), 지니텍스 손종만 대표(아래) |

두번째로는 한국산업기술평가관리원 손광준 PD의 “4차 산업혁명과 반도체 산업, 그리고 R&D”라는 강연이 진행되었다. 손광준 PD는 초연결 사회가 도래하면서 IoT, 빅데이터, 인공지능 등이 새로운 메가 트렌드로



| 전시 풍경 |



| IDEC 박인철 소장 |



| 시상식 진행 |

자리잡고 있다며, 이러한 4차 산업혁명 시대에 반도체가 핵심 경쟁력의 원천이 될 것임을 언급하며 반도체 현황과 미래의 반도체 기술에 대해 설명했다.

오후 강연은 (주)지니틱스 손종만 대표의 “스마트폰용 시스템반도체 개발 동향”에 대해 발표되었다. 손종만 대표는 한국 팹리스 기업을 통해 한국 시스템 반도체 산업의 현주소를 살펴보고, 디스플레이, 카메라, 생체인식, 스마트페이 모듈 등과 관련하여 스마트폰에 이용되는 주요 시스템반도체의 개발 방향을 설명하며 시스템반도체의 산업 발전을 위한 제언도 아끼지 않았다.

모든 강연이 끝난 후 별도로 마련된 전시 관람 시간에는 많은 인파가 1층 로비에 모여 학생들의 연구 성과를 관람하고 관련 정보를 공유하며 의견을 교류하는 장이 자연스럽게 형성되었다. 기업 부스에서는 ARTIK 플랫폼 시연이 진행되어 큰 관심을 얻기도 했다.

이후 1층 퓨전홀에서는 IDEC 소개에 이어 MPW 및 EDA Tool 사용료 인하, CDC 등록비 지원, 공식 블로그 개설 등 2017년 중점 추진 사업 수행내용이 보고되었다. 또한, IDEC이 처해있는 공정 지원 축소, 디지털 칩설계 비중의 감소, 공정 셀 라이브러리 개발 등의 현안에 대해 언급하며 많은 분들의 도움과 관심이 필요함을 호소했다.

마지막으로 IDEC을 통해 최근 1년간 반도체 전문인력 양성에 큰 기여를 해준 우수 강사 및 참여교수와 Chip Design Contest를 통해 수상한 학생들의 우수 성과에 대한 시상도 이루어졌다.

정리_IDEC 김하늘 주임

2017 IDEC SoC Congress CDC 수상팀 명단

구분	소속	이름	지도교수	구분	소속	이름	지도교수
ISOC 2016 CDC Best Design Award	서울대학교	박관서	정덕균	2017 ISC Best Poster Award	KAIST	김민서	유희준
24th KCS CDC Best Design Award	고려대학교	신경호	박종선	2017 ISC Best Poster Award	경북대학교	최병수	신장규
24th KCS CDC Best Demo Award	경북대학교	민경국	문병인	2017 ISC Best Poster Award	고려대학교	김동교	전상근
2017 ISC CDC Best Design Award	KAIST	정종수	김이섭	2017 ISC Best Poster Award	고려대학교	김은희	김철우
2017 ISC CDC Best Demo Award	POSTECH	김은환	김재준	2017 ISC Best Poster Award	성균관대학교	나윤식	서문교
2017 ISC Best Demo Award	한국항공대학교	윤혜연	김태환	2017 ISC Best Poster Award	성균관대학교	서현우	김병성
				2017 ISC Best Poster Award	아주대학교	김형기	지동우

가상현실 3D 사운드를 위한 실시간 sound tracing 기술 개발

박우찬 교수, 홍덕기 석박사 통합과정 | 세종대학교

1. 서론

최근 모바일, 그래픽스 및 센서 등의 기술 발달로 가상현실 분야에 대한 관심이 급격히 증가되고 있다. 이러한 트렌드의 예로써 Facebook이 Oculus VR 회사를 인수하며 “가상현실은 중요한 미래 트렌드”라고 발표했으며, 월스트리트 전문가들도 향후 가상현실 기술이 가장 크게 발전할 것으로 예상하고 있다. 현실감 있는 가상현실 환경을 지원하기 위해서는 가상공간, 시각적 공간감 그리고 청각적 공간감의 재현이 필요하다. 이 중에서도 청각적 공간감의 재현을 위해서는 멀티채널 오디오 시스템이나 머리기반 전달함수(Head Related Transfer Function, HRTF)를 이용한 3D 사운드 기술 등을 사용한다^{1,2}.

청각적 공간감을 강조한 예로써 가상현실 분야의 선두주자인 Oculus VR의 chief scientist인 Michael Abrash는 “It’s not an addition — it’s a multiplier.’ It’s a force multiplier when you have 3D positional sound in VR. It’s just one of those things that’s just so important. You buy into what you’re seeing.”라고 언급하였다. 또한, Sony Computer Entertainment America R&D의 Senior Director인 Richard Marks 또한 “3D audio adds to the feeling of presence that we strive so hard to achieve with the visuals in VR”라고 강조하였다.

고품질의 3D 사운드 기술을 확보하기 위해 세계적인 게임회사인 Valve는 2017년 2월에 Impulsonic을 인수했고, Facebook은 VR 사운드의 질을 높이기 위해 2016년 5월 Two Big Ears라는 스타트업을 인수했다. 국내의 경우 가우디오랩이 벤처캐피탈 등으로부터 50억 규모의 투자를 유치했다.



그림 1. 청각적 공간감을 재현하기 위해 사용되는 기술들

최근 들어 이러한 3D 사운드에 대한 니즈는 제품 차별화 및 경쟁력 강화 전략을 추구하고 있는 소비자 가전(스마트폰, 태블릿, TV, 사운드 바, 셋톱박스) 및 자동차 분야에서 커지고 있다. 그러나 3D 사운드 재현을 위해 사용되는 멀티채널 오디오는 전용 스피커 시스템이 필요하고, 해당 스피커 시스템의 설치공간 필요 등의 문제점들이 존재한다. 대부분의 머리기반 전달함수를 기반으로 한 3D 사운드 기술은 가상 공간 상의 주변 환경과 물체의 표면재질에 대한 물리적인 효과가 반영되지 않기 때문에 현실감있는 사운드를 재현하는 데 한계가 있다.

이러한 문제를 해결하기 위해 세계 유수의 회사와 대학에서는 geometric method를 기반으로 한 3D 사운드 기술들을 발표하고 있다³⁻⁵. Geometric method의 여러 방법들 중에서 3D graphics의 ray tracing 기술과 sound processing 기술을 결합한 방식을 sound tracing이라 한다. Sound tracing은 3D geometry로 구성된 가상공간

상에서 listener와 sound source 사이의 sound propagation path를 추적하여 사운드를 생성하는 기법이다.

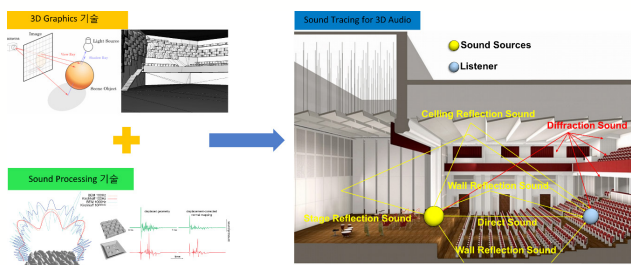


그림 2. 3D 사운드를 위한 sound tracing 기술

Sound tracing은 머리기반 함수를 이용한 기존 3D 사운드 기술을 핵심적 차별요소로 갖고있다. 기존 머리기반 함수를 이용한 3D 사운드 기술은 미리 설정된 위치 혹은 scene에 한정된 곳에서 3D 사운드 효과를 지원하고 DSP filter에 의존한 잔향효과를 제공함으로써 사용자에게 현실감 있는 사운드 효과를 재현하기 어려운 점이 있다. 이와는 반대로, sound tracing은 listener의 위치 혹은 가상공간에 제약없는 사운드를 구현할 수 있으며 geometry의 매질 속성에 따른 반사, 굴절, 회절, 흡수 등을 반영한 매우 사실적인 잔향효과를 재현할 수 있다.

본 글에서는 sound tracing 기술과 본 연구실에서 개발한 실시간 sound tracing 기술에 대해 소개하고 향후 전망에 대하여 논하고자 한다.

II. 본 론

1. Sound tracing 기술 소개

그림 3은 sound tracing의 파이프 라인을 보여준다. Sound tracing 파이프 라인은 사운드 합성(sound synthesis), 사운드 전파(sound propagation), 사운드 생성(sound generation, auralization) 단계로 구성된다. 사운드 전파단계는 Sound tracing 처리단계 중 가상현실에 몰입감을 부여하는 가장 중요한 단계이며 계산 복잡도가 높고 계산 시간이 가장 오래 걸리는 단계이다. 또한, 이 단계의 가속여부가 sound tracing의 실시간 처리를 좌우한다. 사운드 합성은 사용자의 상호작용에 따른 사운드 효과의 생성하는 단계이다. 즉, 사용자가 문을 두드리거나 물건을 떨어뜨려 발생하는 소리의 처리를 하며 기존 게임 혹은 UI 등에서 일반적으로 사용되는 기술과 다르지 않다.

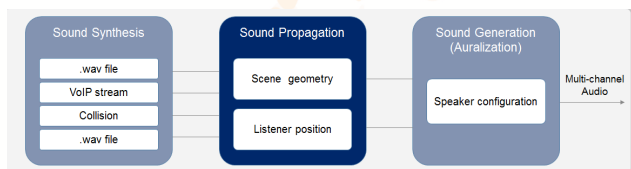


그림 3. sound tracing의 파이프 라인

사운드 전파 단계는 합성된 사운드가 가상현실을 통해 청취자에게 전달 되는 과정을 시뮬레이션 하는 단계로 가상현실의 음향적 특성(반사 계수, 흡수계수 등)과 소리의 특성(반사, 흡수, 투과 등)을 가상현실의 기하적 특성(scene geometry)에 기반하여 처리하는 단계이다. 사운드 생성 단계는 전파 단계에서 계산된 소리의 특성값(반사·투과·흡수 계수, 거리 감쇠 특성 등)을 이용하여 청취자 스피커의 구성을 바탕으로 입력 음향을 재생성하는 단계이다.

Sound tracing은 먼저 다수개의 sound source들의 위치에서 ray를 shooting하고 listener 위치에서 ray를 shooting한다. Shooting된 각각의 ray는 자신과 hit된 geometry 물체를 찾고 hit된 물체에 대해 반사, 투과, 회절에 해당하는 ray를 생성한다. 이러한 과정은 ray tracing과 유사하게 recursive하게 수행한다. 이렇게 sound source 들에서 shooting된 ray와 listener에서 shooting된 ray들은 서로 만나게 될 수 있으며 만나게 되는 path를 sound propagation path라고 한다. Sound propagation path는 결국 sound source 위치에서 출발한 sound가 반사, 투과, 흡수, 회절 등을 거쳐서 listener에 도착하는 유효한 path를 의미한다(그림 4 참조). 최종 sound는 이러한 sound propagation path들을 가지고 계산된다.

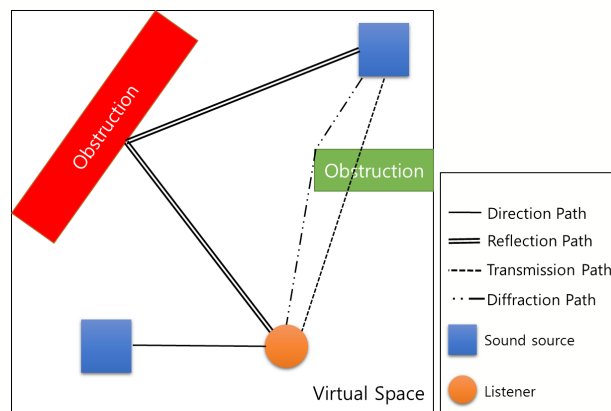


그림 4. 각각의 sound propagation path 대한 예

그림 4는 Sound propagation path의 종류를 보여준다. Direct Path는 listener와 sound source 사이에 어떤 장애물도 없이 직접적으로 전달 되는 경로다. Reflection path와 diffraction path는 sound가 장애물과 충돌 후 반사되어 listener에 도달하는 경로이고, transmission path는 listener와 sound source 사이에 장애물이 있을 때 sound가 장애물을 투과하여 listener에게 전달되는 경로이다.

2. 3D 사운드 기술 동향

청각적 공간감 재현을 위해 일반적으로 사용되는 기술은 멀티채널 오디오 시스템과 머리기반 전달함수에 기반한 3D 사운드 기술 등이다. 멀티채널 오디오 시스템은 여러 개의 스피커를 가이드라인에 맞게 배치하여 전방향에서 제공되는 입체음향을 제공하는 기술로써 Dolby ATMOS, Auro-3D 등이 있다^{6, 7}. 머리기반 전달함수에 기반한 3D

사운드 기술은 특정 음원으로부터 양쪽 귀에 도달하는 소리의 세기와 지연시간의 차이를 계산하는 함수이다. 이를 사용하는 기술은 AM3D의 ZIRENE 3D, OpenGL ES 3D Audio, Oculus Audio SDK 등이 있다⁸⁻¹⁰.

세계 유수의 회사와 대학에서는 geometric method를 기반으로 한 3D 사운드 기술들을 발표하고 있다. 미국의 UNC(The University of North Carolina at Chapel Hill)에서는 서로 이웃하며 visible한 음원끼리 묶는 source clustering 방식과, 더 많은 specular reflection propagation path를 찾기 위해 image position에서 frustum으로 찾을 수 있는 방식을 제안하였다¹¹. 중국의 Zhejiang 대학교는 bidirectional path tracing에 기반으로 한 bidirectional sound transport를 제안하여 기존 bidirectional path tracing에 비해 더 많은 propagation path를 찾을 수 있었다¹².

미국의 NVIDIA는 자사의 path-tracing 기술인 OptiX를 기반한 VR-Works Audio를 발표했다¹³. 미국의 AMD는 OpenCL과 path-tracing을 기반한 TrueAudio Next를 발표하고 해당 software development kit(SDK)를 배포하고 있다¹⁴. 앞서 언급한 3D 사운드 기술 업체인 Impulsonic을 인수한 Valve는 개발자들을 위한 Steam Audio 베타 버전을 출시했다¹⁵.

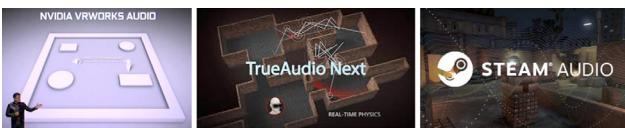


그림 5. 글로벌 리더 업체에서 발표한 sound tracing 솔루션들. 왼쪽부터 NVIDIA의 VRWORKS AUDIO, AMD의 TrueAudio Next, VALVE의 STEAM AUDIO.

현재까지 발표된 sound tracing 솔루션은 CPU와 GPGPU를 이용해 가속하는 소프트웨어를 기반으로 한 솔루션이다. 이러한 솔루션들은 최고 사양의 CPU 또는 GPU가 장착되어야 interactive rate로 처리하는 것이 가능하고 audio에 할당된 computing budget은 전체의 5~10% 미만이기 때문에 real-time으로 sound tracing을 수행하는 것은 불가능하다. 게다가, 모바일 플랫폼은 한정된 자원만을 사용하기 때문에 소프트웨어 기반의 솔루션을 적용하는 것은 거의 불가능하다.

3. 실시간 sound tracing 하드웨어 전체 구조

그림 6은 본 연구실에서 개발한 sound tracing 시스템의 구조도를 보여준다. 이는 크게 sound propagation path를 찾는 Sound Propagating Unit(SPU), 찾아진 sound propagation path와 관련 정보들을 저장하는 Sound Path Buffer(SPB), 저장된 path 정보를 이용해 소리를 생성하는 Audio Mixing Unit(AMU)로 구성된다. 이 중 전체 계산량의 절대적인 부분을 차지하는 SPU는 하드웨어로 가속화하여 처리하고, AMU는 PC기반 소프트웨어 또는 모바일 기반 소프트웨어로 처리한다.

SPU는 3차원 기하모델 기반의 가상공간에서 음원들과 청취자 사이의 소리의 물리적인 특성들(소리의 감쇠, 반사, 투과, 흡수 등)을 계산하여

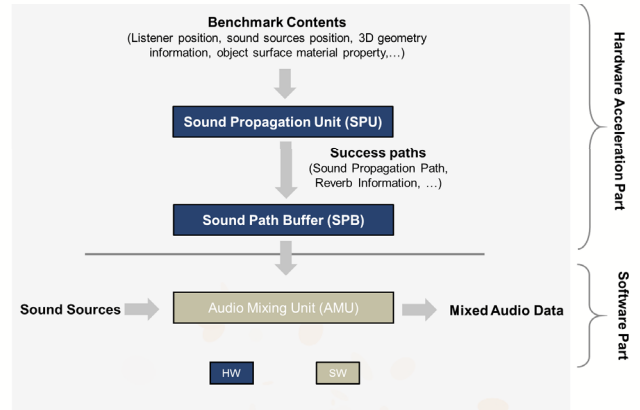


그림 6. 본 연구실에서 개발한 sound tracing 시스템의 구조도

sound propagation path들을 찾는다. 찾아진 sound propagation path들은 SPB 단계를 거쳐서 external memory에 저장한다. 이러한 과정은 다수개의 3D geometry data에 대해서 반복수행한다.

AMU는 run-time으로 sound propagation path 데이터와 가공되지 않은 음원 데이터를 이용하여 오디오 down-mixing 알고리즘을 수행하고 스피커나 헤드폰으로 출력될 사운드 데이터를 target device에 설치된 OS의 audio service kernel에 전달하여 소리를 출력한다.

그림 7은 본 연구실에서 개발한 실시간 sound tracing 하드웨어 구조도 (Sound Propagation Unit, SPU)를 보여준다¹⁶. 본 SPU는 datapath 부분과 memory 부분으로 구성되고, datapath 부분은 ray tracing 부분과 sound processing 부분으로 구성된다. Ray tracing 부분은 Setup Processor, Ray Generator, T&I Unit, Hit Point Calculator로 구성된다. Sound processing 부분은 Propagation Path Validator & Reverb Geometry Collector(PPVnRGC), IR Calculator로 구성된다.

Setup Processor는 ray를 생성하기 위해 필요한 정보를 setup하는 unit이다. Ray Generator는 Setup Processor로부터 전달된 ray setup information을 이용해 ray를 생성하는 unit이다. T&I는 Ray Generator에서 생성된 ray가 geometry에 hit 되는지 acceleration structure를 이용하여 검사하는 unit이다. Hit Point Calculator는 T&I unit으로부터 전달된 결과를 이용하여 intersection 지점을 계산하고 triangle info. data를 external memory로부터 읽어오는 unit이다. 만약 ray miss가 발생한 경우 해당 ray는 처리하지 않는다.

PPVnRGC는 Propagation Path Validator(PPV)와 Reverb Geometry Collector(RGC)로 구성된다. PPV는 direct/투과 sound path와 image source method를 이용하여 반사 sound path를 찾는 unit이다. RGC는 path mode의 hit triangle 정보와 reverb mode의 hit triangle 정보를 collection하여 reverberation을 수행하는 unit이다. IRCalculator는 PPVnRGC로부터 전달된 IRCalculator로 sound delay time, reverb time 등의 정보들을 이용하여 소리의 감쇠율, gain 등의 정보를 계산하고 Auralization software로 전달하기 위해 계산된 data들을 Sound Path Buffer(SPB)로 전달한다.

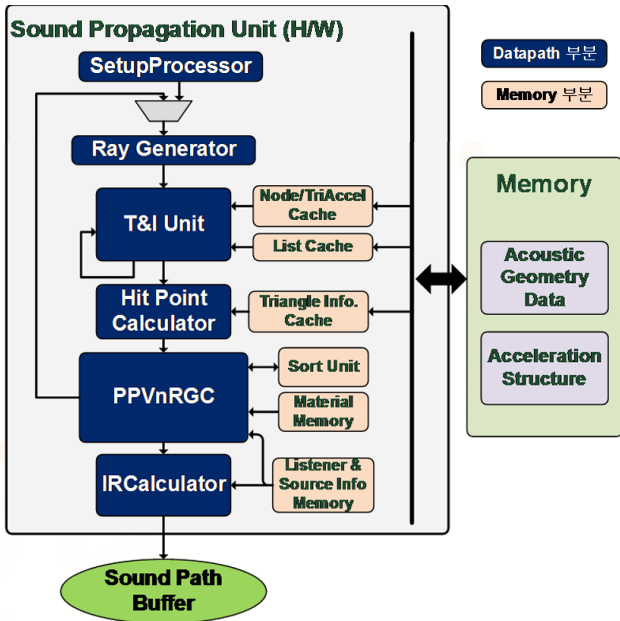


그림 7. 제안하는 sound tracing 하드웨어 구조도

DYNALITH社의 iMPRESS board를 사용하여 100MHz로 수행되었다 (그림 8 참조). ASIC evaluation은 55nm 공정에서 400MHz로 수행되었다. ASIC evaluation 결과, 본 SPU는 다수 개의 dynamic 음원 상에서 60FPS를 달성했음을 확인하였다.

또한, 본 SPU는 가상현실의 environment modeling, model의 표면에 대한 material property, 최대 200,000개의 triangle, positional audio와 sensor 기반 audio 기능들을 지원하고 Unreal이나 Unity 3D와 같은 상용 게임엔진과도 연동이 가능하다. 그림 10은 Unity 3D 게임엔진과 본 SPU를 결합되어 sound tracing을 수행하는 예를 보여준다.

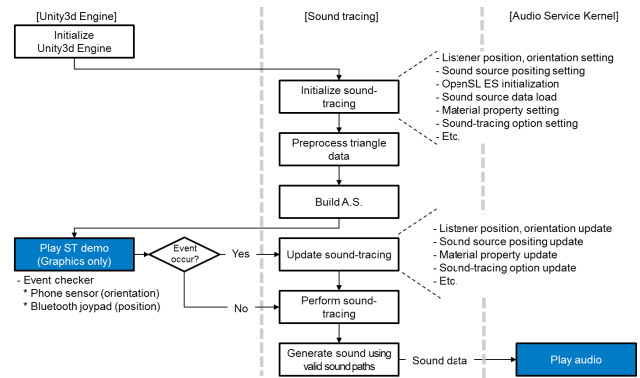


그림 10. Unity 3D 게임엔진과 본 SPU가 결합된 sound tracing 처리의 예

4. 본 SPU에 대한 하드웨어 설계와 ASIC evaluation

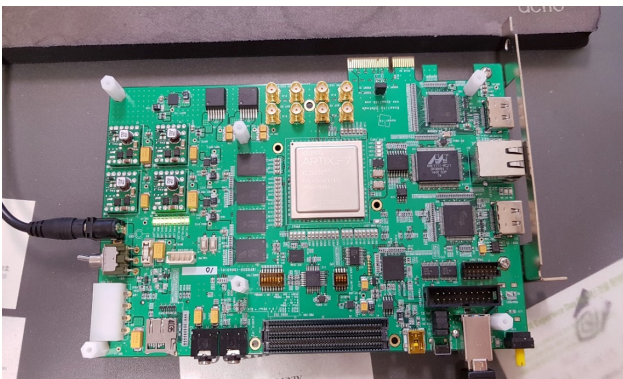


그림 8. Dynalith社의 iMPRESS FPGA Board



그림 9. 기능/동작 검증에 사용된 test benchmark들. 왼쪽부터 Sibenik, Concert Hall, Bootcamp.

본 SPU는 FPGA 상에서 설계, ASIC evaluation 순서로 검증하였다. 그림 9는 기능/동작 검증에서 사용한 test benchmark들을 보여준다. FPGA 상에서 설계는 XILINX社의 Artix7-200T chip이 장착된

III. 결론

현재 발표된 sound tracing 기술은 가상현실에 사실감을 높여주는 기술이지만 실시간 처리를 위해서는 최고사양의 하이엔드급 PC 또는 서버가 요구된다. 모바일 플랫폼에 적용시킬 경우, 스마트폰에 탑재 되는 AP는 PC보다 수배 이상 성능이 낮고 전력문제도 존재하기 때문에 한계가 있다.

본 연구실에서는 sound tracing 전용 하드웨어를 FPGA 상에서 설계 하였고 Unity 3D와 같은 상용 게임엔진과 연동하여 검증하였다. ASIC evaluation을 수행한 결과, 본 하드웨어는 다수개의 음원을 60FPS로 처리하는 것을 확인했다. 현재 본 SPU에 대하여 더 많은 dynamic 음원을 지원하며 다양한 기능들을 지원할 수 있도록 알고리즘을 개선하고 있으며 이에 대한 결과는 추후에 발표될 예정이다.

참고문헌

- 1 M. Vorlander, *Auralization: Fundamentals of Acoustics, Modelling, Simulation, Algorithms and Acoustic Virtual Reality*, Springer, 2008.
- 2 A. Febretta, A. Nishimotoa, T. Thigpena, J. Talandisa, L. Longa, J. Pirtlea, T. Peterkaa, A. Verloa, M. Browna, D. Plepysa, D. Sandina, L. Renambota, A. Johnsona, and J. Leigha, "Cave2: a hybrid reality environment for immersive simulation and information analysis," in *Proceedings SPIE Electronic Imaging*, pp. 864903-864903-12, 2013.
- 3 L. Antani, N. Galoppo, A. Lake, and A. Peleg. (2011). *Next-Gen Sound Rendering with OpenCL* [Online]. Available: <https://software.intel.com/en-us/articles/case-study-next-generation-sound-rendering-with-opencl>
- 4 B. Hook and T. Smurdon, "An Intro to Virtual Reality Audio," in *Game Developers Conference*, 2015.
- 5 N. Ward-Foxton, "Environmental Audio and Processing for VR," in *Game Developers Conference*, 2015.
- 6 Dolby. (2012). *Dolby Atmos* [Online]. Available: <http://www.dolby.com/us/en/brands/dolby-atmos.html>
- 7 B. V. Daele and W. V. Baelen, "Professional Workflow White Paper," *Auro Technologies NV*, 2011.
- 8 AM3D. (2014). *ZIRENE 3D: Positional Audio* [Online]. Available: http://www.am3d.com/media/7268/zirene_3d.pdf
- 9 Khronos. (2011). *OpenGL ES 1.1 Specification* [Online]. Available: <https://www.khronos.org/registry/sles/>
- 10 Oculus. (2016). *Oculus Audio SDK Guide* [Online]. Available: <https://developer3.oculus.com/documentation/audiosdk/latest/>
- 11 C. Schissler and D. Manocha, "Interactive sound propagation and rendering for large multi-source scenes," *ACM Transactions on Graphics*, vol. 36, no. 2, pp. 2:1-2:12, Sep., 2016.
- 12 C. Cao et al., "Interactive Sound Propagation with Bidirectional Path Tracing," *ACM Transactions on Graphics*, vol. 35, no. 6, pp. 180:1-180:11, Nov., 2016.
- 13 NVIDIA. (2016). *NVIDIA VRWorksAudio* [Online]. Available: <https://developer.nvidia.com/vrworks>
- 14 C. Wakeland, "AMD TrueAudio Next - The right next step for audio on VR," *AMD*, 2016.
- 15 VALVE. (2017). *Steam Audio* [Online]. Available: <https://valvesoftware.github.io/steam-audio/>
- 16 D. Hong et al., "Real-time sound propagation hardware accelerator for immersive virtual reality 3D audio," in *Proceedings of the 21st ACM SIGGRAPH Symposium on Interactive 3D Graphics and Games (I3D '17)*, pp. 20:1-20:2, 2017.

저자정보



박우찬 교수 | 세종대학교 컴퓨터공학과

주 연구분야
GPU 하드웨어 구조, 실시간 그래픽스, 컴퓨터 구조

E-mail pwchan@sejong.ac.kr

Homepage <http://rayman.sejong.ac.kr>



홍덕기 석박사 통합과정 | 세종대학교 컴퓨터공학과

주 연구분야
실시간 사운드 트레이싱, Spatial 사운드, GPU 하드웨어 구조, 컴퓨터 구조

E-mail dkhong@rayman.sejong.ac.kr

Homepage <http://rayman.sejong.ac.kr>

Cadence사 Assura

cādence®

Cadence Korea

주소 : 경기도 성남시 분당구 판교로 334
Mtek IT Tower 9층
전화 : 031-728-3114
Web : www.cadence.com/kr

• **목적**

DRC, LVS Physical Verification

• **구분**

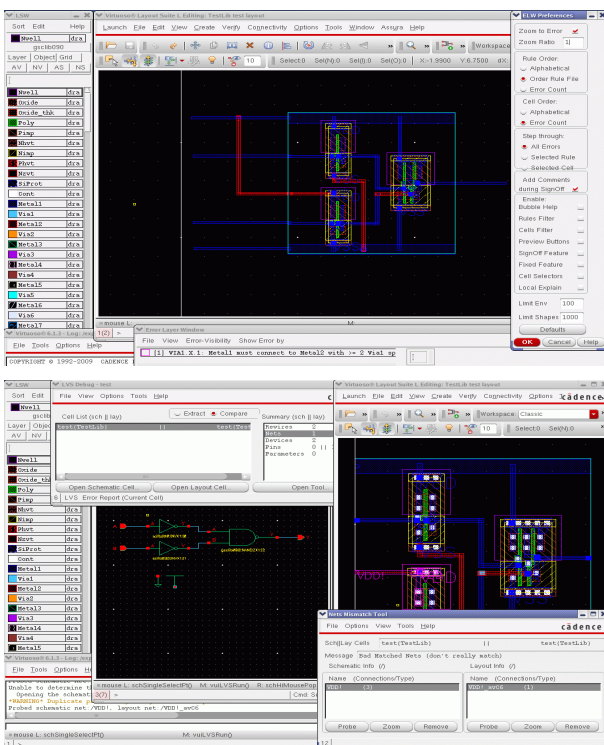
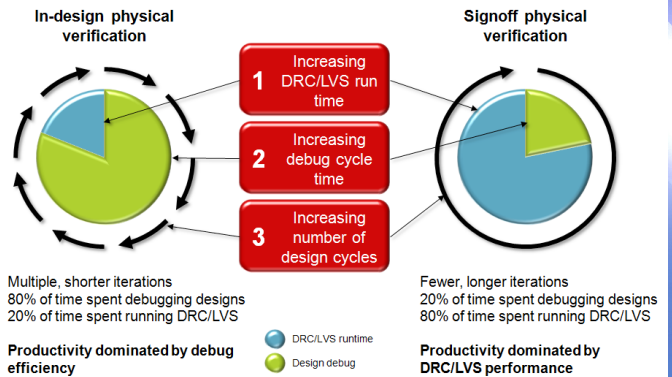
IC Design Flow 중 Physical Layout을 검증하는 Solution을 제공

• **특성 및 기능**

DRC (Design Rule Check) / LVS (Layout Versus Schematic) 검증 작업은 block level physical layout을 진행과 동시에 검증하는 In-design physical verification과, block design이 완성된 후 top level에서 최종 검증하는 Signoff physical verification으로 구분할 수 있다. In-design physical verification에서는 physical layout을 진행하면서 수시로 violation이 있는지를 확인하는 과정을 거치게 되며, 실제 DRC/LVS running time보다는 violation debugging 시간이 많이 차지하고, Signoff physical verification은 debugging time보다 DRC/LVS running time이 더 많은 부분을 차지하게 된다.

• **Supported Platform and O/S System**

- IBMRS AIX (64bit) 6.1, 7.1
- SuSE Linux Enterprise Server (32/64bit) 10, 11, 12
- Red Hat Enterprise Linux (32/64bit) 5, 6, 7



ASSURA DRC는 Cadence Virtuoso Layout Suite에 integration이 되어 있어 layout 중간에 수시로 physical verification을 진행할 수 있는 User friendly 환경을 갖추고 있으며, error debugging 창을 이용해서 즉시 수정 및 재검증 가능한 환경을 제공하고 있다.

ASSURA LVS는 Cadence VSE (Virtuoso Schematic Editor) 로 구성된 회로와 Cadence VLS (Virtuoso Layout Suite) 로 구성된 physical layout을 유기적인 환경을 이용하여 LVS를 진행할 수 있으며, LVS error 발생시 소요되는 debugging time을 줄일 수 있도록 error를 쉽게 찾아 수정할 수 있는 design 상호간 cross probing 기능을 포함한 LVS error 전용 debugging 창을 제공하여 설계자의 실수를 쉽고 빠르게 찾아 수정할 수 있는 환경을 제공한다.

이렇게 DRC/LVS 검증이 완료된 design은 Cadence QRCX Extraction 제품과도 유기적으로 연계되어 parasitic extraction시 사용 가능하도록 Cadence design environment 내에서 모든 IC design을 완성할 수 있는 장점을 제공한다.

자동차 기능 안전 소프트웨어 표준:

ISO 26262, AUTOSAR, MISRA C

박용완 교수 | 영남대학교 정보통신공학과

김건정 연구원 | 영남대학교 자동차 기능 안전 소프트웨어 연구센터



영남대학교 자동차 기능 안전 소프트웨어 연구센터

최근 몇 년 동안 자동차의 제작에 사용되는 전자 부품의 구성 비율이 급속히 증가했다. 전자 장치는 자동차의 주행성을 개선하고 안전 기능을 향상시키며 환경 부담을 줄이기 위해 최적화된 기술을 개발하는데 매우 중요하다. 오늘날의 자동차에는 센서, 액추에이터, 마이크로프로세서, 계기 패널, 컨트롤러 및 디스플레이를 비롯하여 점점 더 복잡한 전자 장치가 통합되어 있다. 전자 장치의 발전은 ACC(Adaptive Cruise Control), AEB(Automatic Emergency Braking), ESC(Electronic Stability Control), FCW(Forward Crash Warning), LDW(Lane Departure Warning) 및 TPMS(Tire Pressure Monitoring System)와 같은 고급 안전 기능의 개발에 크게 기여하였다. 또한, 전자 장치는 엔진과 구동 장치, 냉난방 시스템의 보다 효율적인 작동을 비롯하여 다양한 자동차 시스템에 최적화된 제어 기능을 제공하여 연료 소비와 유해한 가스 배출을 줄인다. 또한, 기계 부품보다 동일한 기능을 수행하는 전자 부품이 가벼운 경향이 있어 연비는 더욱 향상되었다¹.

최신 자동차는 소프트웨어 알고리즘을 통해 정밀한 성능 제어를 수행하는 전기 기계 부품을 사용한다. 특히 자동차의 새로운 모델에 대해서는 경쟁력을 높이기 위해 더 많은 전자 제품 및 관련 소프트웨어를 통합하는 방향으로 설계하고 있으며, 오늘날 다른 많은 제품들과 마찬가지로 자동차의 새로운 모델 설계 시간이 단축되고 있다. 이를 위해서는 시간에 따라 고객의 기대가 어떻게 변해가는지, 일반 사용자가 새로운 디자인 특징 및 기능과 어떻게 상호 작용하는지를 지속적으로 평가해야 한다. 최종 사용자의 운전 경험에 영향을 미칠 수 있는 새로운 기능이 도입되면 설계자는 그러한 변화의 모든 잠재적 파급 효과를 고려한다. 자동차에 도입된 ECU와 소프트웨어는 훨씬 적은 제약 조건 덕분에 이전의 기계적 시스템에서 물리적으로 불가능한 설계를 만들 수 있게 되었다. 하지만 소프트웨어가 복잡해지면서 전장 부품의 정상 동작을 비롯하여 설계 변경으로 기인한 영향을 모든 상황에서 파악하는 것은 더욱 어려워졌다²⁻⁴.

최근 몇 년간 자동차 회사들은 자율 주행 자동차를 위한 새로운 기술을 추가하고 있다⁵. 더 높은 수준의 자율 주행을 달성하기 위해 기존의 다양한 기능들을 결합하거나, 완전히 새로운 기능들을 추가하고 있다. 자율 주행 자동차를 위한 전자 제어 기술(drive-by-wire)의 광범위한 적용은 개개의 기능별로 전자 제어를 하는 방식에서 자동차 전체 수준의 통합 전자식 자동 제어를 제공하는 방식으로 전환되고 있다. 이러한 변화는 자동차의 안전성과 주행성을 향상시킬 수 있는 잠재력을 가지고 있으며, 자동차 근본 기술이 기계에서 전장으로 이동을 더욱 가속화한다. 전장화 비율에 상관없이 모든 자동화에서 공통적으로 가장 중요한 요소는 안전한 전자 제어 시스템이다. 자동차 설계자에게 이러한 전자 제어 시스템의 도입과 발전은 자동차 설계에 있어서 상당히 큰 모험이자 과제이다². 자동차 전장의 전자 제어 시스템에서 소프트웨어 프로그램 오류, 간헐적인 전자 하드웨어 고장 및 전자파에 의한 오동작 등은 물리적인 증거를 남기지 않거나 재현이 거의 불가능한 경우가 많아서 전장 부품 개발 단계에서 완벽하게 검증하거나 시험하기 힘들다.

기존의 완성차 업체나 부품 업체들은 장치가 사람에게 위험이 되는 요소를 최대한 제거하여 위험 지역에서 장비의 안전한 작동을 보호하는 본질 안전(intrinsically safety)이 목표였다. 이에 반하여 기능 안전(functional safety)은 시스템이나 장치의 총체적 안전의 일환으로서 본질 안전과 달리 위험이 되는 원인을 제거하는 것이 아니라 허용할 수 있는 한도까지 위험 요소를 줄여서 시스템의 총체적 안전을 확보하는 것을 의미한다. 사용자의 오류, 하드웨어나 소프트웨어의 고장, 운용 환경의 변화 등에 대한 안전 관리를 포함하여 상호 운용 기술과 그것이 초래하는

수많은 위험들로 점점 더 복잡해지는 현대 사회에서 안전을 보장하는 대표적인 방법이다. 이로 인해 자동차, 철도, 의료기기, 발전소, 자동화 설비 등 전 산업 영역에서 그 중요성이 대두되고 있으며 일부 영역에선 점차 의무화되고 있다. 이러한 자동차 전장 부품의 안전성을 확보하기 위하여 글로벌 자동차 회사와 부품 회사들이 다양한 접근 방법과 필요에 따라 기능 안전을 위한 국제 표준이나 지침을 제정하였고, 이 중에서 가장 주목을 받는 세가지 국제 표준을 알아본다⁵⁻⁷.

ISO 26262는 자발적인 업계 표준으로서 도로에서 주행하는 자동차의 전장 부품과 소프트웨어에 대한 기능 안전을 다루는 가장 포괄적이고 종합적인 자동차 안전 표준이다⁸.

AUTOSAR(AUTomotive Open System Architecture)은 자발적인 자동차 산업 표준으로서 ECU를 구동하는 소프트웨어 측면에서 소프트웨어 아키텍처, 응용 프로그램 인터페이스 및 방법론을 설명하는 일련의 사양으로 구성된다^{9,10}. 이 표준의 핵심 목표는 다양한 자동차 및 다양한 플랫폼에 대한 확장성, 네트워크 전반의 전송, 여러 부품 공급 업체의 통합 및 호환성, 전체 제품 라이프 사이클의 유지 관리 가능성 및 자동차 수명 기간 동안의 소프트웨어 업데이트 및 업그레이드를 촉진하는 것이다.

MISRA C는 크리티컬 시스템에서 C 프로그래밍 언어 사용에 대한 자동차 산업 신뢰 협회(Motor Industry Software Reliability Association)의 지침으로서 자동차 전장 부품에서 안전하게 C 언어를 사용하기 위한 자발적인 자동차 산업 표준이다^{11,12}.

자동차 관련 안전 표준들

자동차 기능 안전 소프트웨어 표준과 관련되어 앞서 거론한 세 가지 표준들 중에서 ISO 26262가 가장 포괄적이고 종합적인 기능 안전 표준이다. ISO 26262 위원회와 업계 종사자들이 표준 제정을 위하여 다양하고 깊은 논의를 거쳤으며, 자동차 기능 안전을 위해 필요한 내용들을 폭넓고 자세하게 다루고 있다^{7,8}. AUTOSAR는 ISO 26262와 비슷한 시기에 제정되었으며, 안전과 관련하여 자체적으로 다루지 않는 사항들은 ISO 26262를 참조한다. MISRA C는 1990년대 후반에 제정된 안전 표준으로, 오랜 시간 동안 검증되었고 여러 차례 개정되었으며 ISO 26262와 AUTOSAR에서도 소프트웨어의 설계 및 구현의 정확성을 뒷받침하기 위해 MISRA C를 코딩 표준으로 채택하고 있다⁵⁻¹².

ISO 26262 자동차 기능 안전 표준

ISO 26262는 오늘날의 자동차에서 점차 증가하는 전장 부품 및 소프트웨어 집약적 기능의 기능 안전성을 다루는 최초의 포괄적인 자동차 기능 안전 표준으로서, 중량이 3.5톤 이하의 대량 생산 승용차에 탑재된 전장 부품의 안전 관련 시스템이다⁸. ISO 26262는 국제 전기 표준 회의(IEC, International Electrotechnical Commissions)에서 제정한 IEC 61508 표준을 자동차에 적용한 것이다¹³. IEC 61508은 시스템 설계자와 개발자가 해당 제품에 대해 안전하지 못한 상황을 초래할 수 있는 충격, 진동, 온도, 전자기장, 유도 전압 및 전류 등을 포함한 모든 환경 요인에 대한 고려를 필수로 한다. ISO 26262는 2011년 11월에 첫 번째 버전이 발표되었으며, 모두 10개의 파트로 구성되었다. 10개 파트 중에서 파트 2부터 파트 7은 기능 안전 표준의 핵심을 설명하고 있으며, 파트 1, 8, 9 및 10은 이들 핵심 내용에서 필요한 다양한 부분에 대한 추가 지원 정보를 설명한다. 전장 부품 단독 또는 연동에 의하여 발생할 수 있는 다양한 오작동으로 인한 위험을 해결할 수 있다. ISO 26262는 안전 엔지니어링을 위한 시스템 엔지니어링 프로세스를 규정하며, 안전은

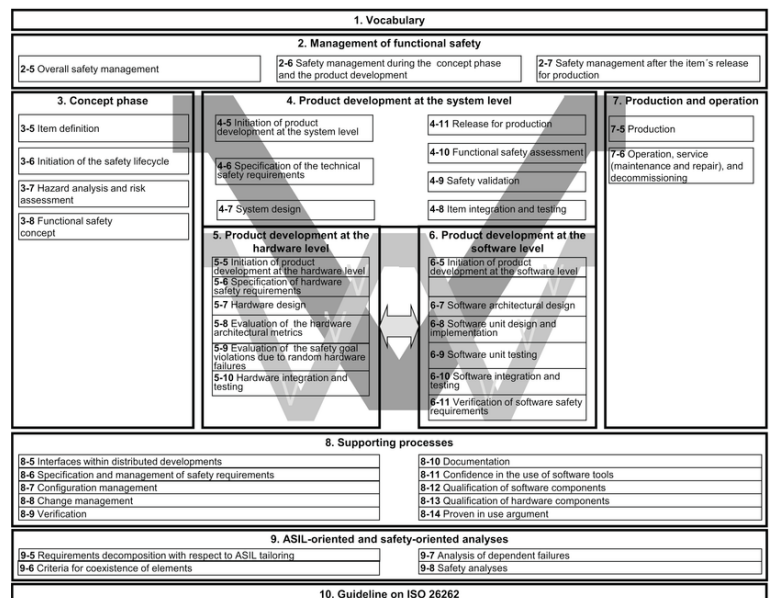


그림 1. ISO 26262 표준의 구조

시스템 속성이므로 시스템 엔지니어링 접근법을 사용하여 해결할 수 있다는 것을 나타낸다. 또한, 안전 문화 육성 및 안전 엔지니어링 관리의 실현을 강조한다. 특히 오늘날의 자동차에서 직면할 수 있는 다음과 같은 중요한 문제를 인식하고 이를 해결하는 것이 주된 목적이다.

- ① 자동차의 새로운 전장 부품 및 소프트웨어 기능의 안전성
- ② 복잡성, 소프트웨어 및 메카트로닉스 부품 증가 추세
- ③ 시스템 개발의 오류나 운영상의 오류에 의해 발생한 총체적인 장애와 단순하고 일시적인 임의의 하드웨어 장애로 인한 위험

AUTOSAR 개방형 자동차 표준 소프트웨어 구조

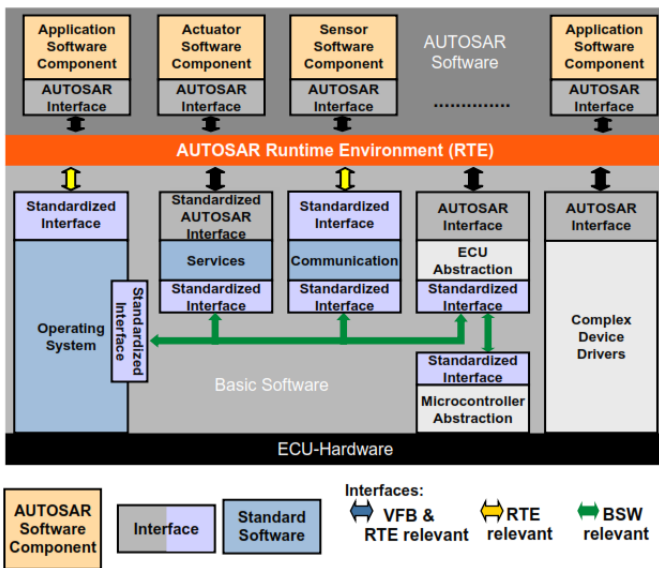


그림 2. AUTOSAR 표준의 구조

기능 안전이 아님에도 불구하고 메모리 파티셔닝, 시간 결정성, 프로그램 흐름 모니터링 및 통신 스택 관련 기능 등과 같은 기능 안전을 향상시킬 수 있는 아키텍처 개념을 제공하여 ISO 26262를 뒷받침하고 있다¹⁰. 더불어 AUTOSAR 표준의 섹션 4.11에는 데이터 일관성, 하드웨어 메모리 보호 기능, 데이터 손상 탐지 및 보호 등과 관련된 안전 요구 사항도 기술되어 있다. 이러한 설계 기능만으로는 시스템 안전을 보장할 수 없지만, 개발 초기에 위험 요소를 예방하고 제거하기 좋은 기술이다. ISO 26262에 기술된 소프트웨어 아키텍처 개발 프로세스와 AUTOSAR의 아키텍처 개념은 상호 보완적인 방법으로서 자동차 전자 제어 시스템의 기능 안전을 향상시킬 수 있다.

MISRA C 크리티컬 시스템에서 C 언어 사용 지침

MISRA C는 안전 관련 자동차 임베디드 시스템에서 C 언어 사용과 관련된 지침이다^{11, 12}. 신뢰성이 가장 중요한 안전 중심 소프트웨어 개발에 C 언어가 많이 사용되어 ISO 26262는 소프트웨어 코딩을 위해 MISRA C를 따르도록 권장한다. 따라서 MISRA C는 ISO 26262의 소프트웨어 개발 부분을 보조하는 표준인 셈이다. AUTOSAR에서도 이기종 시스템 사이에 호환성을 높이기 위하여 공통 소프트웨어 아키텍처에 MISRA C 사용을 권장한다. MISRA C는 프로그래밍 언어로서 C 언어로 작성한 소프트웨어에서 발생할 수 있는 다양한 안전 문제를 제거하기 위해서 사용상의 제한을 표준 지침으로 제공하고 있다. 이러한 제한 사항에는 언어에 대한 착오, 다양한 컴파일러, 오류, 빈약한 런타임 검사 등으로 인한 프로그래머 오류가 주를 이룬다.

AUTOSAR는 자동차 전장 부품 간의 호환성을 개선하여 시스템 안전을 도모하는 수단이다^{9, 10}. 또한, 자동차 제조업체, 공급 업체, 툴 및 반도체 공급 업체 간의 파트너십으로서 2003년부터 자동차 ECU용 개방형 표준 소프트웨어 아키텍처 개발을 위한 노력의 결과물이다. AUTOSAR 표준은 소프트웨어 아키텍처, 애플리케이션 인터페이스 및 방법론을 기술하는 일련의 사양으로 구성된다. 계층화된 소프트웨어 아키텍처 덕분에 독립적인 소프트웨어 컴포넌트의 개발이 가능하여 서로 다른 제조사의 자동차에 사용될 수 있으며, 여러 세대에 걸쳐서 여러 부품 업체의 전장 부품에 사용될 수도 있다. 이러한 특성 덕분에 높은 신뢰성을 제공하면서도 비용과 생산력 측면에서 상당한 이점을 나타낸다.

AUTOSAR는 자동차 제조업체와 부품 업체 간 소프트웨어 모듈의 재사용 및 이전 가능성을 통해 통합 전장 아키텍처의 복잡성 관리를 향상시키는 것을 목표로 한다¹¹. AUTOSAR의 주된 목적이

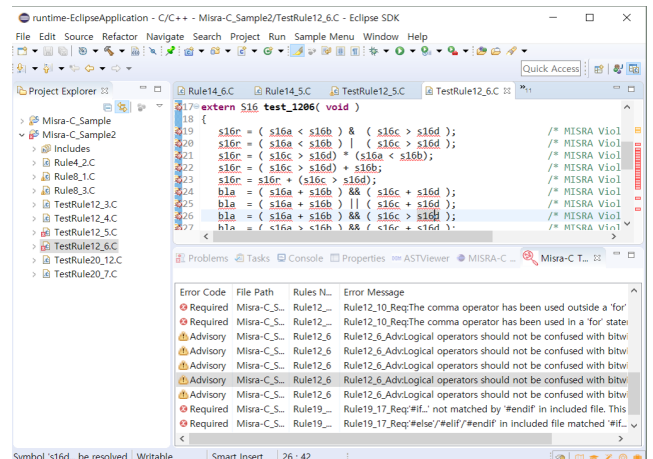


그림 3. MISRA C 체커의 동작 결과



자동차 기능 안전 소프트웨어 표준은 상호 보완적인 관계

자동차 기능 안전 소프트웨어에 대한 구체적인 기능 안전을 표준으로 규정하는 것은 실무자가 프로세스 결과의 안전을 보장하기 위해 적절한 접근법을 사용할 수 있도록 도움을 줄 수 있다는 것이다. ISO 26262는 기능 안전을 위한 하향식 시스템 엔지니어링 프로세스를 규정하여 안전 엔지니어링을 제품 개발 프로세스의 필수적인 부분으로 만들었다. 또한, ISO 26262는 고장 모드 및 영향 분석, 결함 트리 분석, 위험 및 작동 가능성 분석 등을 포함하여 널리 알려진 유해 분석 및 안전 분석 방법과 무작위 고장 지표를 비롯한 다양한 신뢰성 엔지니어링 개념을 규정하였다. ISO 26262는 위험 수준 분석 방법을 사용하여 시스템 수준 안전 요구 사항과 안전 분석 방법을 사용하여 저수준의 안전 요구 사항을 생성한다. 이에 반하여 AUTOSAR와 MISRA C는 제품 설계에 있어서 특정 측면에만 중점을 두고 있다. AUTOSAR는 ISO 26262의 안전 요구 사항을 지원하는 아키텍처 설계 요구 사항을 생성하는 것으로 표준 자체에서 기능 안전 요구 사항을 규정하지 않는다. MISRA C는 코딩 표준에 중점을 둔 것으로서 이는 전자 제어 시스템의 전반적인 안전성에 대한 매우 구체적인 측면에 집중한 것이다. 이러한 설계 표준들은 적절한 시스템 안전 프로세스 단계에 적용하면 위험 요소를 예방하고 제거하는 데 매우 강력한 능력을 발휘하지만, 자동차 전자 제어 시스템의 전반적인 안전을 위한 안전 표준으로는 충분하지 않다.

참고문헌

- 1 Center for Automotive Research, *Automotive technology: Greener vehicles, changing skills - Electronics, software & controls report*, U.S. Employment and Training Administration (2011)
- 2 Transportation Research Board, *TRB Special Report 308: The safety challenge and promise of automotive electronics: Insights from unintended acceleration*, National Research Council of the National Academies (2012)
- 3 R. Slater, N. Augustine, P. Goldman, M. Good, R. Martin, B. O'Neill, and S. Widnall, *A road forward: The report of the Toyota North American Quality Advisory Panel* (2011)
- 4 N. G. Leveson, *Engineering a safer world: Systems thinking applied to safety*, MIT Press (2012)
- 5 B. J. Czerny, J. G. D'Ambrosio, P. O. Jacob, B. T. Murray, *Identifying and understanding relevant system safety standards for use in the automotive industry*, SAE Technical Paper (2003)
- 6 Qi D. Van Eikema Hommes, *Assessment of safety standards for automotive electronic control systems*, National Highway Traffic Safety Administration (2016)
- 7 Qi D. Van Eikema Hommes, *Review and Assessment of the ISO 26262 Draft Road Vehicle - Functional Safety*, SAE International (2012)
- 8 International Organization for Standardization, *ISO 26262:2011 Road Vehicles - Functional Safety* (2011)
- 9 *AUTOSAR Foundation Release 1.1* (2017)
- 10 *AUTOSAR Classic Platform Release 4.3* (2016)
- 11 Motor Industry Software Reliability Association, *MISRA C:2012 (MISRA C3) Guidelines for the use of the C language in critical systems* (2013)
- 12 Motor Industry Software Reliability Association, *Development guidelines for vehicle based software* (1994)
- 13 International Electrotechnical Commission, *IEC 61508: Functional Safety of Electrical/Electronic/Programmable Electronic Safety-related Systems, Edition 2.0* (2010)

SK 하이닉스

반도체 혁신 아이디어 공모전

2017. 6. 28 ~ 7. 31

상상하라!
반도체가 만드는 행복한 미래!

| 참가자격

대한민국 국적을 보유한 개인 또는 기관(법인)

| 시상내역

구분	수상(건)	시상내역	
본상	최우수상	1	상패와 상금 5천만원
	우수상	2	각 상패와 상금 2천만원
	장려상	3	각 상패와 상금 1천만원
특별상	열정상	1	상패와 상금 5백만원
	패기상	1	상패와 상금 5백만원

| 공모주제

- Ⓐ DRAM 스케일링 한계극복을 위한 새로운 셀 구조
- Ⓑ 메모리 반도체 소자의 셀 어레이 배선 저항 및 기생 정전 용량 감소
- Ⓒ 3D NAND 층별 집적도(Area Density) 증가를 위한 새로운 구조
- Ⓓ 초고층 3D NAND 셀 채널 모빌리티 개선
- Ⓔ 새로운 메모리 소자 및 구조
- Ⓕ 뉴로모픽 컴퓨팅 칩 응용을 위한 신개념 시냅스/뉴런 소재 및 특성 확보
- Ⓖ 새로운 개념의 선택소자 (Access Device / Selector)
- Ⓗ 메모리 반도체 소자의 스케일링 한계 극복을 위한 소재

| 접수방법/문의처

공모전 홈페이지에서 온라인 응모 <http://openidea.skhynix.com>
이메일 문의 openidea@sk.com





IDEC
Newsletter

2017년 7월 | 통권 제241호

발행일 2017년 6월 30일 **발행인** 박인철 **편집인** 김태욱, 남병규 **제작** 심원기획 **기획** 김하늘 **발행처** 반도체설계교육센터(IDEC)
T.042) 350-8535 F.042) 350-8540 H.<http://www.idec.or.kr> E.kimsky1230@idec.or.kr

반도체설계교육센터 사업은 산업통상자원부, 한국반도체산업협회,
반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 앰코테크놀로지코리아)의 지원으로 수행되고 있습니다.