

2017
June

IDEC Newsletter

Vol. 240



IDEC 뉴스 MPW 안내 및 교육 일정, CDC 개최소식
기술동향칼럼 광대역 초고주파 신호의 실시간 신호수집을
위한 압축센싱 수신기의 기술동향

기획칼럼 1 EDA Tool 소개 (Virtuoso Layout Suite-L)
기획칼럼 2 DesignCon 2017 Review



반도체설계교육센터
IC DESIGN EDUCATION CENTER

2017년 MPW 진행 현황

◎ 지원 변경 사항

- 매그나칩/SK하이닉스 공정 Package Type 변경 (변경전 : LQFP 208pin → 변경후 : MQFP 208pin)

◎ 진행 현황

● 6월 모집

- MS180-1705회 매그나칩/SK하이닉스 180nm (정규) : ~06.12 (월)
- S65-1703회 삼성 65nm (정규) : ~06.19 (월)

● 진행 일정

공정	회차구분 (공정_년도순서)	모집팀수 ((mmxmm)x칩수)	정규모집 신청마감	참여팀수 ((mmxmm)x칩수)	DB마감 (Tape-out)	Die-out	비고
MS 180nm	MS180-1701	(3.8x3.8)x25	2017.01.26	(3.8x3.8)x23 (3.8x1.9)x4	2017.03.20	2017.08.21	제작중
	MS180-1702		2017.02.20	(3.8x3.8)x18 (3.8x1.9)x14	2017.05.22	2017.10.23	DB검토중
	MS180-1703		2017.03.13	(3.8x3.8)x23 (3.8x1.9)x4	2017.07.24	2017.12.26	설계중
	MS180-1704		2017.04.10	(3.8x3.8)x23 (3.8x1.9)x2	2017.09.18	2018.02.19	설계중
	MS180-1705		2017.06.12	모집중	2017.12.04	2018.05.07	
MS 350nm	MS350-1701	(5x4)x20	2017.02.20	(5x4)x15	2017.06.12	2017.10.02	DB검토중
	MS350-1702		2017.07.10		2018.01.15	2018.05.07	
삼성 65nm	S65-1701	(4x4)x40	2017.01.26	(4x4)x33	2017.05.22	2017.11.27	설계중
	S65-1702		2017.03.13	(4x4)x40	2017.09.04	2018.03.11	설계중
	S65-1703		2017.06.19	모집중	2018.01.08	2018.07.16	

- 일정은 사정에 따라 다소 변경될 수 있음.
- S65-1701회 (삼성 65nm) 는 기존 설계 진행으로 서버를 보유한 팀만 참여 가능함.
- 회차 표기 : 공정코드-년도 모집순서 (예시) 삼성 65nm 2017 1회차 : S65-1701)
- 모집기간 : 모집 마감일로부터 2주 전부터 접수함.
- Package 제작은 Die out 이후 1개월 소요됨.

2016년 MPW 진행 내역

◎ 2016년 MPW 회차별 모집 현황

- 3개 공정 10회 진행, 288팀 참여
- 총 283개 제작 (현재 245개 제작완료, 38개 제작중)

◎ [참고] 공정별 칩제작 참여 내역

공정	매그나칩/SK하이닉스		
	삼성 65nm	180nm	350nm
총제작팀수	108	134	41



MPW 관련 문의

이의숙 책임 (yslee@idec.or.kr, 042-350-4428)

CDC 개최 소식

2017 IDEC SoC Congress

- **일정 및 개최지** ○
 - 일 정 : 2017년 6월 29일 (목) 09:00~15:00
 - 개최지 : 대전 KAIST KI 빌딩
 - ※ 상세 진행 일정은 추후 홈페이지 등을 통해 업데이트될 예정입니다.
- **논문 채택 확인** ○
 - 확인 방법 : IDEC 홈페이지에서 진행
 - 확인 내용 : 채택 여부, 평가 의견
- **최종 논문 제출** ○
 - 제출 기간 : 5월 31일 (수) ~ 6월 7일 (수)
 - 제출 방법 : IDEC 홈페이지에서 진행

기타사항 참고 : IDEC 홈페이지 (www.idec.or.kr)
문의(담당자) : 김하늘 주임 (042-350-8535, kimsky1230@idec.or.kr)

수강을 원하는 분은

IDEC 홈페이지 (www.idec.or.kr) 를 방문하여 신청하시기 바랍니다.

강좌 일정

센터명	강의일자	강의 제목	분류
본센터	6월 20~22일	AMBA AXI 기반 IP 설계와 검증	설계강좌
광운대	6월 26~29일	Verilog HDL 이론 및 응용	설계강좌
전남대	6월 26~27일	자동차 전장통신 Flexray 통신 설계 및 응용	설계강좌
충북대	6월 11~12일	CMOS 공정기술의 이해	설계강좌



본센터

6/20-22

강좌제목 AMBA AXI 기반 IP 설계와 검증

강사 기안도 연구소장(다이나믹시스템)

강좌개요

최근의 반도체 칩에 주로 사용하고 있는 AMBA AXI와 버스 기반 설계를 검증하는 기법으로 C-program 구동 BFM(Bus Functional Model)을 살펴보고, BFM을 사용하여 AXI 버스용 IP를 설계하고 검증하는 방법을 메모리, UART, Video controller, Camera controller에 적용해본다.

수강대상 시스템 반도체 설계/검증 업무 담당자

강의수준 중급 **강의형태** 이론+실습

사전지식 · 선수과목

Verilog design and simulation and synthesis; C programming; Text editor (e.g., vi or vim);

문의 | KAIST IDEC 김영지 (042-350-8536, yjkim@idec.or.kr)



전남대

6/26-27

강좌제목 자동차 전장통신 Flexray 통신 설계 및 응용

강사 박수창 대표(유엔아이)

강좌개요

자동차 전장화가 급속도로 진행되면서 자동차 내부 전장통신에 대한 관심이 증가하고 있다. 여러 자동차 통신 중 속도가 우수한 Flexray 통신에 대해 알아보고 응용 및 실습한다. 우선 Flexray 통신에 대해 알아보고 Flexray 마이크로컨트롤러의 기본적인 기능 및 주변장치에 대해 학습하고, 여러개의 노드를 구성하여 Flexray 통신으로 각종 센서 및 구동기를 원격제어를 하기위한 방법을 익힌다.

수강대상 자동차 전장통신 Flexray에 관심있는 학부생, 대학원생 및 기타

강의수준 초/중급 **강의형태** 이론+실습

사전지식 · 선수과목 C프로그래밍, 전자회로

문의 | 전남대 IDEC 강병호 (062-530-0367, 888pp@naver.com)



광운대

6/26-29

강좌제목 Verilog HDL 이론 및 응용

강사 조경순 교수(한국외국어대학교), 김기철 교수(서울시립대학교), 정기석 교수(한양대학교)

강좌개요

Verilog HDL의 기초적인 문장과 이를 응용하여 디지털 회로를 설계하는 기법, Verilog HDL을 사용하여 FFT(Fast Fourier Transform)를 수행하는 하드웨어를 설계하는 방법, 32비트 급 MIPS 프로세서 Verilog HDL 코드를 이해하고 일부 빠진 모듈을 채워 넣어 프로세서 설계를 완성하고 이의 동작을 검증하는 과정을 이론과 실습으로 학습한다.

수강대상 관련 전공 대학교(학부) 3~4학년, 대학원생 및 일반인

강의수준 중급 **강의형태** 이론+실습

사전지식 · 선수과목 디지털 논리 회로, 마이크로프로세서, 컴퓨터 구조

문의 | 광운대학교 IDEC 박남선 (02-940-5448, samrtipc@kw.ac.kr)



충북대

6/11-12

강좌제목 CMOS 공정기술의 이해

강사 이창훈 전문강사(반도체기술인협동조합)

강좌개요

반도체 공정기술에 대한 지식 정보를 전달하기 위한 반도체의 기초 지식, 단위공정 지식, 주요 제품의 기본적인 동작원리와 제조 공정 및 신기술 등의 지식을 학습한다.

수강대상 관련 학부 3, 4학년 이상, 대학원생 및 관련 산업체 직원

강의수준 초/중급 **강의형태** 이론

사전지식 · 선수과목 전기, 전자회로 기초과목

문의 | 충북대 IDEC 라해미 (043-261-3572, idec@cbnu.ac.kr)

광대역 초고주파 신호의 실시간 신호수집을 위한 압축센싱 수신기의 기술동향

박정동 교수, 남호현 박사과정 | 동국대학교

1. 서론

실리콘 기반 반도체 기술의 비약적인 발전과 함께 광대역 신호의 전송 및 수신 신호에 대한 실시간 신호처리에 관한 요구는 날로 증가하고 있다. 차세대 무선통신 시스템, 레이더 신호의 실시간 감시와 같이 초고주파 혹은 밀리미터파 대역의 광대역 신호를 Nyquist 표본화 이론에 기반하여 실시간 디지털 신호처리를 하기 위해서는 매우 높은 표본화 주파수를 가지는 아날로그-디지털 변환기(ADC), 초고속 FPGA, 메모리 컨트롤러, 그리고 초고속 전송기술 등이 필요하다. 일반적으로 디지털 신호처리 부의 소모전력은 클럭 주파수와 비례하기 때문에 초고주파 대역의 실시간 신호처리를 위한 시스템은 매우 큰 전력을 소모할 수밖에 없다. <그림 1>은 Nyquist 표본화 이론에 기반한 광대역 RF 신호수집 장치의 일반적인 구성을 보여준다¹. 광대역 신호 수집장치는 ADC를 기준으로 광대역 초고주파 신호를 안테나를 통해서 수신하여 증폭, 여파 등 ADC의 입력에 적합한 아날로그 신호를 만들어주는 Front-end 블록과 수십 Gb/s 급의 초고속 ADC를 포함하여 디지털화된 샘플 신호를 취급하기 위해서 필요한 고속 FPGA, 고속 메모리, 고속 데이터 전송장치, 그리고 이를 디지털 신호처리(DSP)하여 수신되는 RF 신호 스펙트럼을 실시간 계산하는 DSP 등으로 구현되는 광대역 Back-end 블록으로 구성된다.

실리콘 공정기술의 고도화와 함께 최근 샘플링 회로기술 및 ADC 아키텍처의 발전으로 최근 20Gb/s 이상의 Interleaved ADC가 집적회로 형태로 보고되고 있으나^{2,3}, 레이더 신호 감시와 같이 초고주파/밀리미터파 대역에서 수십 GHz 대의 광대역 신호를 실시간 디지털 신호처리 하기 위해서는 초고속 광대역 Back-end가 필요하다. 이를 구현하기 위해서는 고속 ADC를 사용하여 다중 Interleaved 구조를 적용하여 모듈형태로 만들어야 하기 때문에 수십와트 급의 전력을 소모할 뿐만 아니라 크기 또한 상당하다⁴. 따라서 기존 방식으로 광대역 RF 신호를 실시간 수집하는 수신기를 집적화 구현하여 저전력/소형화 하는 것은 매우 어려운 일이다. 이와 같이 전통적인 Nyquist 표본화 이론에 기반한 고속 샘플링 시스템의 물리적인 제약을 극복하고자 광대역 레이더 신호의 수집과 같이 초고주파 대역 이상에서 수 GHz 이상 대역폭이 되는 신호를 Nyquist 샘플링 주파수 이하에서 수집, 압축하여 디지털 영역에서 이를

실시간 복원하는 압축센싱 수신기가 좋은 대안으로 제시되어 다양한 연구가 진행되고 있다.

압축센싱이란 원신호가 일정 조건을 만족하는 산재(Sparsity) 신호인 경우에 PRBS(Pseudo Random Bit Sequence) 신호와 같이 Restricted Isometry Property(RIP) 조건에 충실한 불규칙한 센싱 행렬을 신호의 측정에 이용함으로써 Nyquist 표본화 주파수 이하에서도 원신호의 완벽한 재생이 가능하다는 신호처리 이론이다⁵. 이러한 압축센싱 이론은 무선통신 분야의 무선 채널추정, 광대역 신호를 이용한 고해상도 레이더 신호처리, 의료영상 신호처리 등 다양한 분야에서 신호처리 시스템의 고속화, 최적화, 간략화를 위해서 활발한 연구가 진행 중이다.

압축센싱이 가능하려면 입력신호가 산재성(Sparsity)을 띄어야 하고, 산재신호를 압축적으로 표본화하여 손실없이 복원하기 위해서는 신호를 취할 때 사용하는 센싱행렬이 원신호와 비정합(incoherence)적인 특성을 가져야 한다. MIMO, UWB 등의 광대역 무선통신 시스템의 채널 임펄스 응답, 레이더 신호 등과 같은 인위적인 신호는 산재성을 가지기 때문에 압축센싱을 적용할 수 있는 것으로 알려져 있다. RIP 조건에 충실하여 압축센싱 수신기에 보편적으로 사용되는 센싱 신호는 $L=2^n-1$ 의 패턴 길이를 가지는 PRBS(Pseudo Random Bit Sequence) 신호 즉, m-sequence 이다⁶.

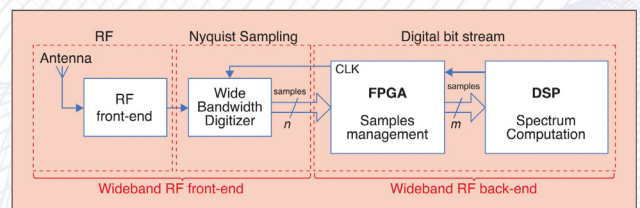


그림 1. 고속 RF 신호측정에 사용되는 이상적인 광대역 측정시스템의 개략도¹

신호처리 분야에서 압축센싱과 관련된 일련의 이론적인 연구성과를 바탕으로 최근에는 3GHz 내외의 RF 영역에서 레이더 실시간 신호감시 등에 사용되는 집적화된 압축센싱 수신기들이 보고되고 있다^{7,8}. 이러한 압축센싱 기법은 고속 광대역 신호의 실시간 디지털 신호처리를 가능하게 할뿐만 아니라, 바이오 신호를 수집하는 센싱 노드와 같이 수집되는 신호의 주파수 대역이 상대적으로 낮은 영역에서 초저전력으로 동작 가능한 센싱 시스템을 구현하는 데도 유용하게 적용될 수 있다^{9,10}. 본 고에서는 초고주파 대역의 광대역 신호를 실시간 신호처리 할 수 있는 고속 압축센싱 수신기의 집적화 개발에 대한 기술동향을 간략히 살펴보고자 한다.

II. 본 론

1. 압축센싱을 적용한 RF 광대역 수신기 구조

압축센싱 수신기는 주파수 혼합기를 사용하여 수신 신호와 LO 신호로 사용되는 PRBS(Pseudo-Random Bit Sequence) 신호를 시간 축에서 곱하는 역할을 한다. 압축 센싱용 수신기의 기본적인 구조는 미국 라이스 대학교의 연구진에 의해서 제안된 RD(Random Demodulator) AIC (Analog to Information Converter)이다¹¹.

RD 방식 AIC는 Gilbert 혼합기를 통해서 LO 신호로 사용된 PRBS 신호가 입력신호와 혼합되고, 혼합기의 IF 출력신호는 능동 RC 적분기 혹은 아날로그 필터를 통과한 후 Nyquist 주파수 이하에서 샘플링 과정을 거친다. RD AIC 구조를 바탕으로 광대역 신호를 효과적으로 처리하기 위해서 각 채널마다 LO 신호로 사용되는 PN-시퀀스가 다른 다수의 병렬 Branch를 가진 수신기 구조를 도입하게 되는데, 주파수 혼합기를 거친 후 ADC에 들어가는 입력신호의 처리방식에 따라서 <그림 2> (a)와 같이 구간 $T=1/f_s$ 의 시간 동안 적분기를 이용하여 integrate-and-dump sampling으로 구현한 RMPI(Random Modulation Pre-Integrator)⁷, 그리고 <그림2>(b)와 같이 적분기를 대신하여 표본화 주파수 f_s 를 가지는 통과대역 주파수가 $f_s/2$ 인 아날로그 저역통과 여파기(LPF)를 ADC 입력단에 사용하여 구성된 Modulated Wideband Converter (MWC)⁸ 방식이 보고되었다.

미국 Caltech의 연구진은 450nm InP 공정을 이용해서 13배의 sub-Nyquist 비를 가지는 100MHz~2.5GHz 광대역 RMPI 수신기를 집적화 구현하였으며, 개발된 압축센싱 수신기는 외장 ADC를 포함해서 소모 전력은 6.1W이다⁷. 실리콘 기반 공정은 화합물 반도체에 비해 전원 전압이 낮기 때문에 유사 성능에서 훨씬 우수한 전력효율을 가질 수 있다.

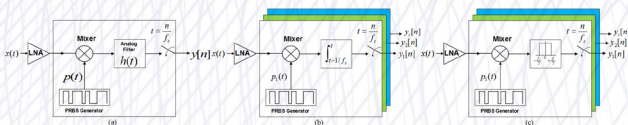


그림 2. (a) RD AIC 개략도¹⁰ (b) RMPI 수신기 개략도⁷ (c) MWC 수신기 개략도⁸

동일 연구실에서 IBM의 90nm CMOS 공정을 이용해 개발한 100MHz~2.0GHz 광대역 RMPI 수신기는 12.5배의 sub-Nyquist 비를 시연하였고, 소모 전력은 0.5W이다¹².

MWC는 Technion-이스라엘 공대 연구진이 제안한 수신기 구조인데, RMPI 수신기와 비교해 입력되는 신호를 압축센싱 하는데 상대적으로 작은 측정행렬이 필요하다⁸. MWC를 적용한 고속 광대역 신호의 압축 센싱 수신기는 동일 연구진이 7배의 sub-Nyquist 비를 가지는 120MHz 대역폭의 하드웨어 프로토타입을 상용 RF 모듈과 DSP 보드를 이용하여 구현하였다¹³.

RMPI 방식이나 MWC 방식 수신기는 공히 입력신호의 최대 주파수보다 2배 이상 빠른 PRBS의 bit-rate가 필요하기 때문에 입력신호의 중심주파수 증가에 따라 PRBS의 동작주파수가 증가해야 한다. QAIC (Quadrature Analog to Information Converter) 수신기는 입력신호의 중심주파수 증가에 따른 PRBS의 동작주파수가 증가하는 문제를 개선하고 입력 대역폭 내의 신호만을 샘플링 하도록 하여 압축센싱의 변환 효율을 높이는 방식이다¹⁴. 본 방식은 $f_{LO1}=BW_{RF}/2$ 가 되도록 LO1을 통해서 1차 주파수를 하향 변환하여 PRBS를 구동하는 클록 주파수 ($f_{CLK(PRBS)}$)가 대역폭 $BW_{RF}=f_{RF}=f_{RF(max)}-f_{RF(min)}$ 보다 같거나 크면 압축 센싱이 가능하도록 PRBS 클록 속도를 낮출 수 있고, IQ 하향 변환을 통해서 샘플링에 필요한 주파수 대역을 반으로 줄임으로서 수신기에서 필요한 독립된 Branch 개수를 줄일 수 있도록 한다. 그러나 QAIC 수신기는 <그림 3>과 같이 주파수 변환을 2회 거쳐야 하므로 구조가 복잡하고 이에 따른 불요파 혼합 문제를 고려해야 한다. 또한 입력 신호가 광대역($f_{RF(max)} \gg f_{RF(min)}$)인 경우나 신호에 대한 정보가 전무할 경우 기존의 RMPI 수신기나 MWC 수신기와 같이 고속 PRBS를 사용해야 한다.

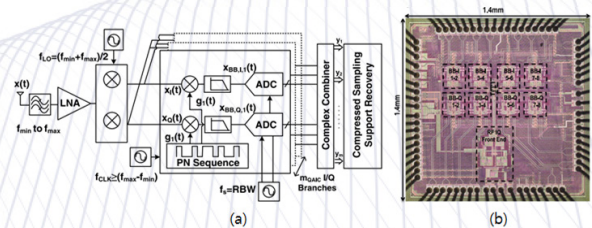


그림 3. (a) QAIC 수신기의 개략도 (b) 집적화구현된 수신기¹⁴

2. 초고속 PRBS를 이용한 압축센싱용 수신기

전형적인 RF 수신기는 RF 입력신호의 중심주파수 등 신호에 관한 정보를 미리 알고있기 때문에 f_{LO} 를 가진 정현파를 사용하여 하향 주파수 변환하여 신호를 처리하는 반면, 압축센싱 수신기는 사전에 정보를 가지고 있지 않은 수신신호를 수집할 목적으로 수신신호를 아날로그 영역에서 수집과 동시에 압축하게 된다. 초고속 압축센싱 수신기에서 처리하는 입력신호는 산재성을 띠는 광대역 RF 신호이다. 압축센싱 수신기는 입력 RF 신호 $x(t)$ 를 주파수 혼합기의 RF 단에 입력하고 주기 T_p 를 가지는 의사불규칙 이진수열 $p(t)$ 를 LO 구동신호로 사용함으로써 두 신호를 시간영역에서 곱을 취해준다. 이때, PRBS 발생기의 출력 신호의 스펙트럼은 $L=2^n-1$ 의 길이를 가지고 반복적인 패턴을 형성하는 m-sequence

이므로, 주파수 T_p 의 하모닉 성분으로 구성된 풍부한 선 스펙트럼으로 구성되며 아래와 같이 표현할 수 있다¹⁵.

$$S_p(f) = \left[\sum_{m=-\infty}^{\infty} \delta(f - mf_p) \right] \frac{L+1}{L^2} \left(\frac{\sin \pi f / f_c}{\pi f / f_c} \right)^2 + \frac{1}{L^2} \delta(f) \quad (1)$$

여기서, $f_p = \frac{f_c}{2^n - 1}$, $L = 2^n - 1$ 이다.

식 (1)과 같은 PRBS LO 신호와 RF 입력신호가 혼합기를 통해서 시간 축에서 곱해지면 주파수 혼합기의 출력에서 단일톤을 LO 신호로 사용할 때 보다 $\sin(\pi f / f_c)(L+1)/L_p \pi f / f_c$ 의 크기만큼 감소한다. 한편 PRBS 발생기의 출력신호인 m-sequence 스펙트럼은 $f_{clk} = (2^n - 1)/T_p$ 에서 null을 형성하기 때문에, 이에 따른 기저신호의 손실을 고려하여 f_{clk} 가 초고주파 대역의 광대역 산발신호 $X(f)$ 의 최대 주파수 $f_{RF(max)}$ 보다 2배 이상 높도록 설계해야 한다.

3. 초고속 PRBS 발생기의 구현 방안

m-sequence를 생성하는 PRBS 발생기는 압축센싱 수신기에서 측정 행렬을 구성하는 핵심블록이다. PRBS 발생기는 LFSR(Linear Feedback Shift Register)의 연속적인 배열과 함께 일정한 규칙에 따라서 임의의 위치의 LFSR 신호들을 XOR을 통해 합하고 그 값을 초단 LFSR에 되먹임하여 $L=2^n-1$ 개의 불규칙한 이진 수열을 T_p 의 주기마다 반복한다. LFSR을 이용한 PRBS 발생기는 <그림 4>와 같이 LFSR과 XOR의 결합 형태에 따라 (a)Fibonacci LFSRs와 (b)Galois LFSRs로 구별할 수 있다. Fibonacci 구조의 PRBS는 XOR을 LFSR과 평행하게 배치하여 필요한 신호를 추출하기 때문에 더 빠른 동작속도의 PRBS 발생기를 구현할 수 있다.

<그림 5> (a)는 Full-rate PRBS의 개략도이다. 초고속 PRBS 발생기를 구성하는 Flip-Flop은 낮은 입출력전압으로 동작이 가능한 차동 형태의 CML(Current-Mode Logic) 래치로 구현되는데, CML은 고속 동작이 가능한 반면 바이어스 전류가 상시 필요하고, 각 래치의 물리적인 크기 때문에 클록 간의 시간 지연을 무시할 수 없다. 실질적으로 구현할 수 있는 PRBS sequence의 길이 L은 되먹임 회로를 구성하는 선로 및 LFSR 클록간의 지연시간에 의해서 제약된다. 대략 30Gb/s 이상에서 동작하는 Full-rate PRBS 발생기의 경우 n이 7~8 이하가 되도록 설계된다. 초고속 PRBS 발생기는 m-sequence 신호의 "Cycle-and-Add" 특성에 의해 Multiplexer(MUX)를 사용할 수 있고, 이를 통해 입력 클록 주파수 두 배의 동작속도를 가진 Half-rate PRBS를 구현할 수 있다¹⁶. 이러한 특성으로

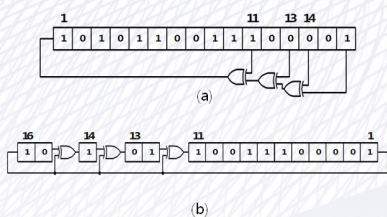


그림 4. (a) Fibonacci LFSR 개략도 (b) Galois LFSR 개략도

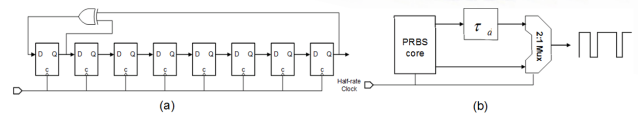


그림 5. (a) Flip-Flop을 이용한 Full-rate PRBS 발생기 개략도 (b) Half-rate PRBS 발생기 개략도

부터 N:1 Mux를 이용한 N-Interleaved 구조를 이용하면 이론적으로 1/N 낮은 클록 주파수로 래치를 구동할 수 있지만, 그 개수가 클수록 Interleaving하는 데 필요한 Mux 입력신호간 위상차를 제대로 생성하기 어렵다. 또한, MUX의 동작속도는 출력 동작속도와 같은 속도로 움직이기 때문에 결국 MUX의 성능이 동작속도를 좌우하게 된다. 실질적으로 N이 클수록 높은 전력소모, 클록 분배로 인한 위상차 구현 문제, 그리고 칩의 크기가 증가하기 때문에 고속 PRBS는 <그림 5> (b)와 같이 half-rate 구조를 널리 사용한다. 다양한 공정에서 상술한 방식의 고속 PRBS가 보고되고 있다. 독일의 Infineon Technologies社 연구진¹⁷은 $f_T=200\text{GHz}$ SiGe BJT를 이용한 100Gb/s 2^7-1 의 PRBS 발생기를 보고하였고, 독일의 Infineon AG社 연구진¹⁸은 0.13 μm CMOS 공정을 이용하여 24Gb/s 2^7-1 PRBS 발생기를 구현하였다.

4. 실리콘 공정을 이용한 초고속 압축센싱 수신기의 구현

당 연구실에서는 65nm CMOS 공정을 이용한 13Gb/s급 4채널 압축센싱 수신기와 0.13 μm SiGe BiCMOS 공정을 이용한 36Gb/s급 4채널 압축센싱 수신기를 각각 Full-rate 및 Half-rate PRBS 발생기를 LO 신호로 사용해 설계하였다. 구현된 2종의 4채널 압축센싱 수신기는 크게 LO 구동 clock 신호전송을 위한 clock 분배회로, 고속 2^7-1 PRBS 발생기, RF 광대역 저잡음 증폭기, IF 증폭기, 하향주파수 변환기, 그리고 비트 신호를 전달하는 SPI Scan-Chain 및 바이어스 회로로 구성된다. <그림 6> (a)는 65nm CMOS로 구현한 4채널 압축센싱 수신기의 칩 사진(사이즈: 16mm²)이고, <그림 6> (b)는 0.13 μm SiGe BiCMOS 공정으로 구현한 4채널 압축센싱 수신기의 레이아웃 도면이다(사이즈: 12.56mm²). 구현된 초고속 압축센싱 수신기는 측정용 보드를 제작하여 수신기 자체 성능을 확인하고, 향후 완성될 초고속 Back-end 모듈과 결합하여 수 GHz 이상의 초고주파 대역신호에 대한 실시간 신호수집을 수행할 예정이다.

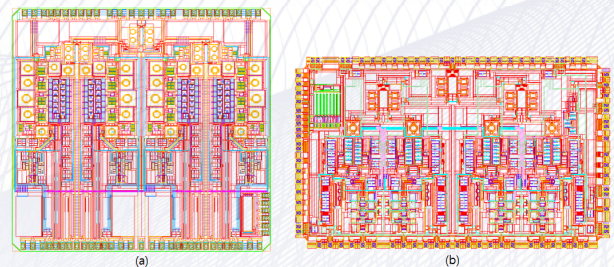


그림 6. (a) Full-rate PRBS를 이용한 13Gb/s급 CMOS 압축센싱 수신기의 레이아웃 (b) Half-rate PRBS를 이용한 36Gb/s급 SiGe 압축센싱 수신기의 레이아웃

III. 결론

광대역 RF 신호를 실시간 처리할 수 있는 고속 압축센싱 수신기의 기술 개발 동향을 수신기 전단부 중심으로 간략히 살펴보았다. 초고주파 대역에서 저전력 소형화된 압축센싱 수신기를 실리콘 공정에 기반하여 집적화 개발하게 되면 차세대 무선통신, 실시간 레이더 신호감시 분야 등 다양한 응용분야에서 유용하게 적용될 수 있다.

- 5 D. Donoho, "Compressed sensing," IEEE Trans. Inf. Theory, vol. 52, no. 4, Apr. 2006, pp.1289-1306.
- 6 D.V.Sarwate et al., "Crosscorrelation Properties of Pseudorandom and related sequences," in Proc. of the IEEE, Vol. 68, No. 5, May 1982.
- 7 J. Yoo, "A Compressed Sensing Parameter Extraction Platform for Radar Pulse Signal Acquisition," IEEE Journal on Emerging and Selected Topics in Circuits and Systems, Vol. 2, No. 3, Sept. 2012.
- 8 M. Mishali, "From theory to practice: sub-Nyquist sampling of sparse wideband analog signals," IEEE Journal of Selected Topics in Signal Processing, Vol. 4, No. 2, April 2010, pp.375-391.
- 9 Fred Chen et al., "Design and Analysis of a Hardware-Efficient Compressed Sensing Architecture for Data Compression in Wireless Sensors," IEEE Journal of Solid-State Circuits, Vol. 47, No. 3, Mar. 2012.
- 10 D. Gangopadhyay et al., "Compressed Sensing Analog Front-End for Bio-Sensor Applications," IEEE Journal of Solid-State Circuits, Vol. 49, No. 2, Feb. 2014.
- 11 Sami Kirolos, "Analog-to-Information Conversion via Random Modulation," DCAS 2006.
- 12 J. Yoo et al., "A 100MHz-2GHz 12.5 x sub-Nyquist rate receiver in 90 nm CMOS," RFIC, 2012 IEEE, pp.31-34.
- 13 M. Mishali et al., "Xampling: analog to digital at sub-Nyquist rates," IET Circuits Devices Syst., Vol. 5, Iss. 1, pp. 8-20, 2011.
- 14 R.T. Yazicigil, "Wideband rapid interferer detector exploiting compressed sampling with a quadrature analog-to-information converter," IEEE Journal of Solid-State Circuits, Vol. 50, No. 12, Dec. 2015, pp.3047-3064.
- 15 M. Mishali, "Xampling: Analog to digital at sub-Nyquist Rates," IET Circuits Devices Syst., 2011, Vol. 5, Iss. 1, pp. 8-20.
- 16 F. Sinnesbichler, "Generation of high-speed pseudorandom sequences using multiplex techniques," 1996 IEEE MTT-S Digest, pp.1351-1354.
- 17 H. Knapp, "100 Gb/s and 54-Gb/s PRBS generators in SiGe bipolar technology," IEEE Journal of Solid State Circuits, Vol. 40, No. 10, Oct. 2005., pp. 2118-2125.
- 18 F. Weiss et al., "A 24-Gb/s pseudo random bit sequence generator IC in 0.13 μm Bulk CMOS," in 2006 Proc. of the 32nd European Solid-State Circuits Conference, 468-471.

참고문헌

- 1 Pasquale Daponte et al., "Analog-to-Information Converters in the Wideband RF Measurement for Aerospace Applications: Current Situation and Perspectives," IEEE Instrumentation & Measurement Magazine, Feb. 2017.
- 2 S. Verma et al., "A 10.3 GS/s 6 b flash ADC for 10 G ethernet applications," in IEEE ISSCC Dig. Tech. Papers, 2013, pp. 462-463.
- 3 V. H.-C. Chen et al., "A 69.5 mW 20 GS/s 6 b time-interleaved ADC with embedded time-to-digital calibration in 32 nm CMOS SOI," in IEEE ISSCC Dig., 2014, pp. 380-381.
- 4 "High-performance digitizers for advanced scientific research," Agilent. [Online]. Available: <http://cp.literature.agilent.com/litweb/pdf/5991-1419EN.pdf>.

저자정보



박정동 교수 | 동국대학교 전자전기공학부
 주 연구분야
 Analog, RF, mm-wave, THz circuits,
 device physics and TRx architectures in Silicon
 E-mail jdpark@dongguk.edu
 Homepage <http://meic.dongguk.edu>



남효현 박사과정 | 동국대학교 전자전기공학부
 주 연구분야
 Advanced CMOS device designs and RF integrated circuits
 E-mail kahn0217@dongguk.edu
 Homepage <http://meic.dongguk.edu>

Cadence사 Virtuoso Layout Suite-L

cādence®

Cadence Korea

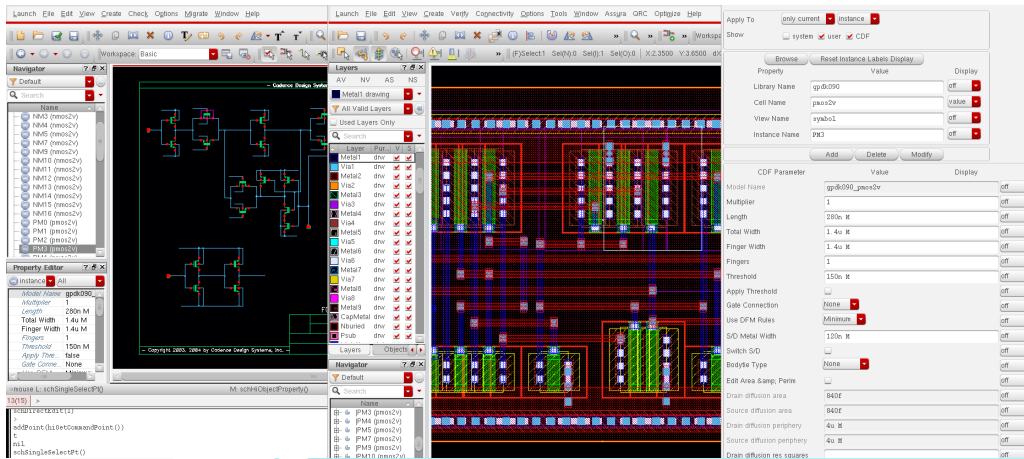
주소 : 경기도 성남시 분당구 판교로 334
Mtek IT Tower 9층
전화 : 031-728-3114
Web : www.cadence.com/kr

1. Spectre

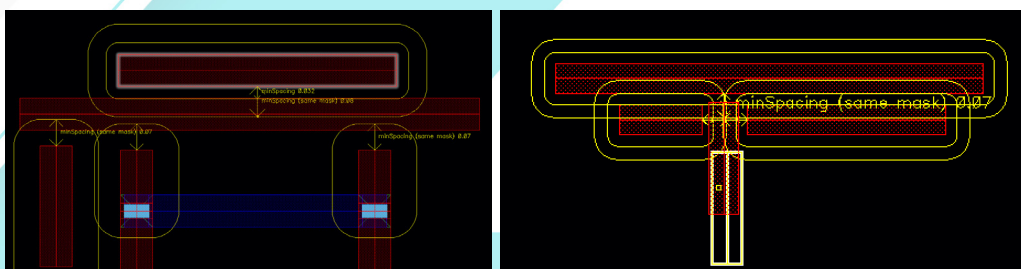
- **목적**
Physical Layout Design
- **구분**
Custom IC Design Layout 분야의 Total Solution을 제공
- **Supported Platform and O/S System**
 - Red Hat Enterprise Linux (32/64bit) 5, 6, 7
 - SuSE Linux Enterprise Server (32/64bit) 10, 11, 12
 - IBMRS AIX (64bit) 6.1, 7.1

• 특성 및 기능

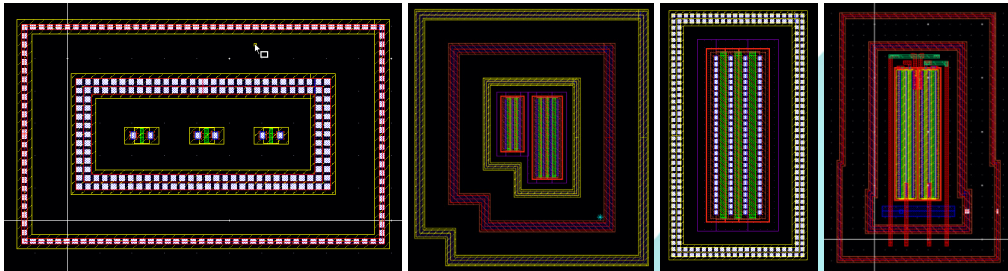
Virtuoso Layout Suite-L은 Foundries에서 PDK로 사용하고 있는 Pcell(Parameterized Cell)을 user가 스스로 제작, Schematic과 Layout에서 사용할 수 있으며 abutment, pin permutation, folding, chaining, cloning 등 여러가지의 기능이 포함된 Automates pcell을 Cadence SKILL language에서 지원한다.



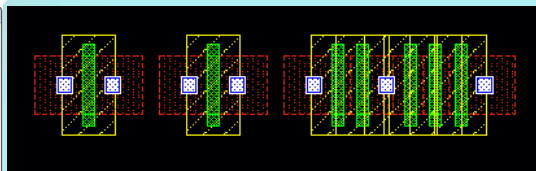
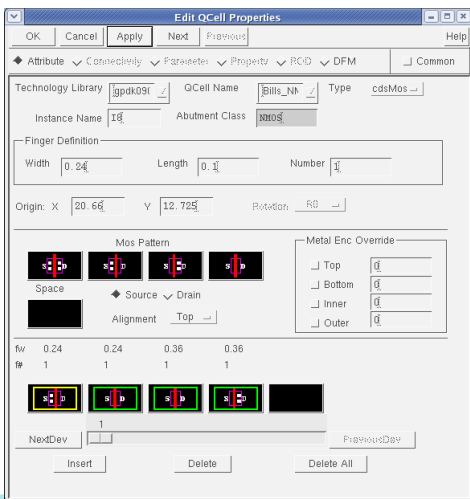
DRD(Design Rule Driven)와 iPVS(Integrated Physical Verification System)는 Layout 진행시 실시간으로 Check&Guide 하는 기능으로, High Tech로 갈수록 복잡해지는 Rule과 Layout에 꼭 필요한 기능이다. Design rule을 바로 적용시키므로 낭비 되는 Area의 감소는 물론, chip size에서의 Margin 역시 늘어나는 결과로 이어진다.



FGR(Fluid Guard Rings)는 Click 한번으로 ring, rectangle, path, polygon 등 여러가지 모양의 guard ring을 만들어주는 기능으로, Cell이나 Block의 shapes에 따라 guard ring을 creating하며 모든 shape editing과 merge, tunneling 등 많은 option functions으로 편리하게 Substrate와 Well의 bias를 잡아줄 수 있다.



Quick Cell은 user가 width, length, m-factor 등을 입력하여 transistor를 generating하는 기능이다. Pattern에 따른 shape와 implant enclose를 설정하여 보다 편리하게 Transistor, Resistor들을 generate할 수 있다.



Virtuoso Layout Suite

VLS-L: Manual layout editing tool

VLS-XL: Assisted Automated tool

VLS-GXL: Full automated tool

Cadence Virtuoso Layout Suite는 3tiers로 구성되어 있으며, Ease-Of-Use와 Intuitive layout을 위한 Common user interface를 제공하고 있다. 이렇듯 Layout의 Place부터 Route까지 Automatic Solution을 이용하여, The highest Technology인 14nm, 16nm 공정을 이끌어가는 Tool이다.



DESIGNCON 2017 Review

김소영 교수

신호섭 석사과정, 김지훈 석사과정

성균관대학교

1. 학회 소개

올해 2월 미국 실리콘밸리의 Santa Clara Convention Center에서 매해 열리는 DesignCon 학회에 참석하였다. DesignCon은 22년간 열려온 고속 통신 및 반도체에 관한 국제 학술대회로서 칩, 보드, 시스템 디자인에 관한 기술논문 세션이 진행되고, 튜토리얼, 기업 주관의 패널, 제품 데모 및 전시가 행해진다. 엔지니어들에게 Power integrity 및 signal integrity의 최신 이론과 해석 방법론을 소개한다. IDEC 뉴스레터에 특별히 DesignCon 학회를 소개하고자 생각했던 이유는 IEEE가 주관하는 학회와는 달리 발표되는 내용들이 실무와 밀접하게 연관되어 있으며, 측정 장비 업체나 CAD tool 업체에서 직접 운영하는 실습이나 튜토리얼 세션들이 많다는 것이다. 따라서, 이 분야에 오래 종사해 온 연구자뿐만 아니라 칩 디자인을 하던 엔지니어가 새로운 보드 및 시스템 디자인 업무를 시작하기 위해 현업에 바로 적용할 수 있는 지식을 배우고자 할 때 실무적인 지식을 단기간에 배우기에 좋은 학회이다. 그림 1에 매해 사용되는 학회의 로고와 올해 학회를 후원했던 회사들의 이름이 있다. 우리나라에서는 시스템 디자인 엔지니어라는 직군이 많이 알려져 있지 않지만 이 학회의 등록자 수는 매해 4000-5000명 가량이며, 학회 참석자들은 후원 회사 직원들 외에도 Intel, Cisco, Apple, Qualcomm, Broadcom, Xilinx, Nvidia 등 미국의 거의 모든 반도체 회사의 엔지니어들로 이루어져 있다. 학회 참석을 통해 연관된 분야에 종사하는 엔지니어들 간의 네트워킹이 이루어진다.



MEDAL SPONSORS

HOST SPONSOR	KEYSIGHT TECHNOLOGIES		
CORPORATE	Amphenol	molex	Rambus
DIAMOND	ROHDE&SCHWARZ	Anritsu emvision - ensure	samtec
PLATINUM	cadence	CST	TE
GOLD	CARLISLE	SANMINA	SiSoft
SILVER	Altium	ANSYS	DOOSAN
	isola	ITEQ	Mentor
	Pulse Electronics	Rosenberger	SPECTRA

그림 1. DesignCon 학회 로고 및 후원 업체

2. 학회 발표 내용 소개

올해 기초 연설자로는 Ansoft 회사를 세운 Zoltan Cendes 박사, CAEMAL(NSF Center for Advanced Electronics through Machine Learning)의 Director를 맡고있는 Illinois 대학의 Elyse

Rosenbaum 교수, Microsoft에서 Azure IoT program의 manager를 맡고있는 Doug Seven이 초청되었다. 개인적으로 오랫동안 사용해온 3차원 전자기 시뮬레이터인 HFSS(high frequency structural simulator)의 핵심 기술을 개발하고, 회사를 성공시켜 최근에 Ansys에 매각한 Zoltan Cendes 박사의 기초 연설이 가장 인상적이었다. "Turning Signal Integrity Simulation Inside Out"라는 제목의 연설을 통해 반도체 설계 툴과 3차원 전자기 시뮬레이션 툴 개발의 역사를 흥미롭게 이야기하며, 자신이 생각하고 있는 전망을 제시하였다. 1972년 IC 시뮬레이션 툴 개발의 시작으로 볼 수 있는 Berkeley 대학에서의 SPICE 시뮬레이터 개발, 1982년 Mentor graphics에서의 circuit/layout tool 개발 등 반도체 설계에 사용되는 EDA 툴의 역사를 소개하였다. 1990년 자신이 박사 후 연구원으로 재직 중에 본격적으로 전자파 해석기 개발에 관한 연구를 시작하였는데, 전자레인지에 칠면조를 구울 때 내부가 잘 익지 않는 문제를 시뮬레이션을 통해 예측하고자 하는 것이 시발점이 되었다. 이 과정에서 HFSS의 핵심기술인 finite element method를 사용하여 3차원 전자기학 해석의 속도를 높일 수 있는 adaptive meshing 기법을 개발하게 되었고, 이것이 반도체 시스템의 신호 신뢰성 해석에 사용되는 HFSS의 핵심기술이 되었다. Cendes 박사는 최근 3D EM 시뮬레이션 툴들이 컴퓨팅 파워와 클라우드 기술의 빠른 발전으로 구조 해석속도가 매해 최소 2배씩 증가하고 있음을 언급하였다. 따라서, Cendes 박사는 IC, 패키지, 전자 시스템이 3차원적으로 구조가 복잡해진 상황에서 고성능의 full-wave EM solver가 시스템 설계의 중심이 되어 칩, 패키지, 임베디드 모듈들이 plug-in 방식으로 연결될 가능성도 있을 것이라고 전망했다.

올해 technical session의 트랙은 아래와 같이 15개가 있었는데, 그 중에 Power Integrity in Power Distribution Network 세션에 소개된 논문과 System Co-Design modeling, Correlation and Simulation 세션에 소개된 논문을 하나씩 소개하고자 한다.

- | | | |
|---|---|---|
| <ul style="list-style-type: none"> 1 Overcoming Chip & Package Challenges in Signal/Power Integrity 2 Analog and Mixed-Signal Modeling and Simulation Solutions 3 Integrating Photonic and Electronic Signaling 4 System Co-Design Modeling, Correlation, and Simulation 5 Advances in Materials and Processing for PCBs, Modules and Packages 6 Applying PCB Design and Simulation Tools 7 Advanced IO Interface Design for Memory and 2.5D/3D/SIP Integrations | <ul style="list-style-type: none"> 8 Optimizing High-Speed Serial Design 9 Measuring and Simulating Jitter, Noise, and Timing in Serial Links to Minimize BER 10 High-Speed Signal Processing for Equalization and Coding 11 Power Integrity in Power Distribution Networks 12 Electromagnetic Compatibility/Mitigating Interference 13 Apply Test and Measurement Methodology 14 Modeling and Analysis of Interconnects | <ul style="list-style-type: none"> PCB Fabrication and Materials Boot Camp Pragmatic Signal Integrity Boot Camp Special Event General Event Sponsored Sessions Chiphead Theater Presentation Best Paper Awards Finalist Vendor Session General Informaiton |
|---|---|---|

그림 2. DesignCon 2017의 technical session 트랙

Power Integrity in Power Distribution Network 세션에서는 Georgia Tech.의 Swaminathan 교수 연구실에서 발표된 Integrated Voltage Regulator 설계에 관한 "Power Delivery for Computer Applications"라는 제목의 논문을 소개하고자 한다. 여기서는 SiP (System-in-Package)에 구현 가능한 독창적인 구조의 embedded inductor를 제시하고, thermal effect까지 고려하여 efficiency를 최적화한 Integrated Voltage Regulator(IVR) system 설계 결과를 보고했다. 이를 위해 Ansys사의 전기자기 시뮬레이션 툴인 Slwave와 HFSS, 그리고 열 분석 툴 Icepak을 연동하여 활용하였다. 본 연구에서 제시한 구조적/전자기적 설계 및 시뮬레이션을 제공하는 설계환경과 thermal 분석을 제공하는 환경에 대한 구조는 아래 그림 3과 같다.

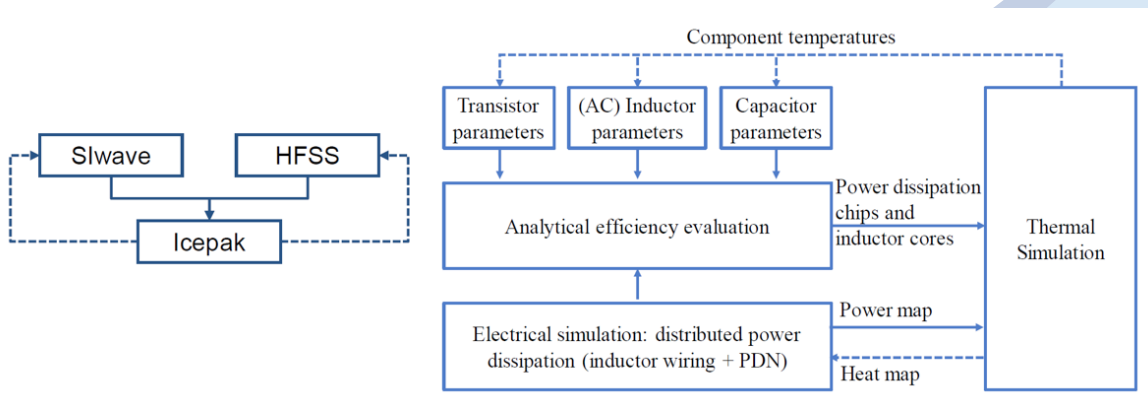


그림 3. Ansys Slwave/HFSS/Icepak을 활용한 current distribution 및 thermal시뮬레이션 연동 분석

SiP용 IVR에 적용하기 위해 패키지에 내장할 수 있는 solenoid 구조에 magnetic core를 활용한 embedded inductor 구조를 제안하였다. 이 inductor를 사용한 4-phases buck converter의 IVR-SiP 통합 모델을 구성한 뒤 thermal simulation을 진행하였다. 처음 제안한 layout에서 inductor의 배치상 발열문제가 발생할 수 있음을 인지하고, 이를 고려하여 그림 4와 같이 최적화하여 IVR의 효율을 기존의 66%에서 71%까지 향상시킬 수 있었다. 본 논문은 구조적/전자기적 설계 및 simulation을 제공하는 설계 환경과 thermal 분석을 제공하는 환경을 연동하여 미처 고려하지 못할 수 있으나 실제 제품에서 매우 주요한 요인으로 작용하는 thermal/efficiency 문제를 설계 단계에서 고려할 수 있도록 한다는 점에서 의의가 있다. 스마트폰과 같이 고성능, 고효율을 필요로 하는 설계시 논문에서 제안하는 시뮬레이션 방법론을 적용해 볼 수 있을 것이다.

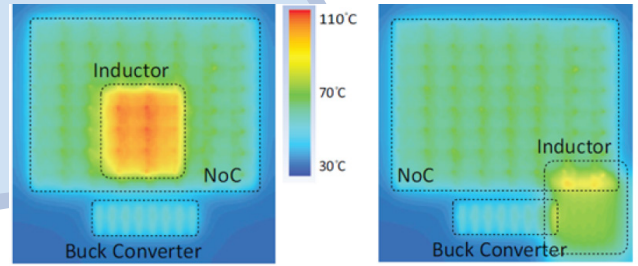


그림 4. Embedded inductor layout에 따라 다른 thermal 특성 시뮬레이션 결과

두 번째로 소개할 논문은 System Co-design Modeling, Correlation, and Simulation 세션에 발표된 “Signal Integrity and Electromagnetic Interference Modeling of a Smartwatch Wearable Device using Structural and Electromagnetic Co-design Methodologies”이다. 3D 전자기장 해석기를 개발하는

	WiFi + Bluetooth	GSM	GPS (integrated)	GPS (strap module)
Topology	Broadband planar Inverted-F	Offset-fed dipole	Planar Inverted-F	Truncated pin-fed patch
Location	Conformal to side of watch case	Formed using watch case and strap ground reference plane	Conformal to side of watch case	Embedded in optional strap module
Image of integrated antenna structure				
Antenna detail	25.61 mm 6.9 mm	Antenna defined by the casing, strap structure and module connector design.	33.5 mm 5 mm	15x15x9 mm Annular slot around feed-pin Truncated corners
S11 performance in 50 Ohm system (worn)				
S11 performance in 50 Ohm system (removed)				
Radiation pattern - Realized gain at center of band (worn)	 Peak: -5.7 dBi Average: -9.0 dBi	 Peak: -13.6 dBi Average: -23.0 dBi	 RHC polarization Peak: -8.2 dBi Average: -16.7 dBi	 RHC polarization Peak: 0.7dBi Average: -3.5dBi
Comments	Antenna operates acceptably in both worn and removed scenarios.	SAR needs careful consideration. Impedance match goal not achieved in removed scenario (Adaptive matching required). Radiation efficiency very low in worn scenario.	GPS reception will be limited due to polarization losses. Poor match in removed scenarios could be improved with adaptive matching.	Antenna shows good immunity to environment and has correct polarization. Some passive matching required in feed to achieve full bandwidth.

그림 5. 스마트워치에 사용된 안테나 구조 및 착용 여부에 따른 성능 요약

CST(Computer Simulation Technology)사에서 발표한 스마트 위치의 신호 신뢰성, 전자기파가 인체에 미치는 영향, LVDS(Low Voltage Differential Signaling) 신호와 안테나의 간섭(radio frequency interference) 등을 해석하고 EMI(Electromagnetic Interference)를 줄이기 위한 방법을 제시하는 논문이다. 전자기장 시뮬레이션과 구조적(mechanical) 시뮬레이션 co-design에 대해 설명한다.

스마트위치에 사용된 안테나는 WiFi/Bluetooth 안테나, GPS 안테나, GSM 안테나로 총 3가지이다. 각 종류의 안테나 설계에 대해서 자세히 설명되어 있으며 스마트위치와 같은 웨어러블 기기의 경우 사람이 기기를 차고 있을 때와 그렇지 않을 때의 두 가지 시뮬레이션을 진행했다. 이 논문에서는 CST microwave studio를 통해 사람 신체 팔에 대한 모델을 만들어 안테나의 EMC(electromagnetic compatibility) 분석과 사람 몸과 관련된 SAR(quantified by the Specific Absorption Rate) 시뮬레이션을 진행하였다(그림 5).

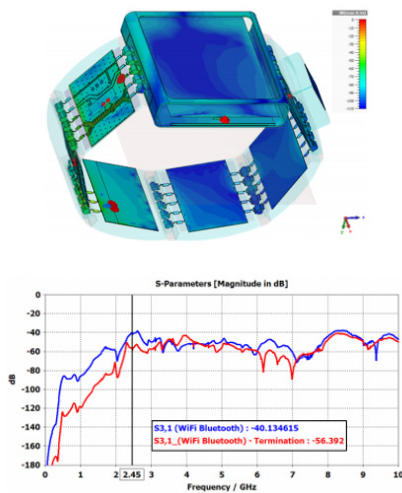


그림 6. LVDS channel에서 신호 전송 시 2.4GHz 전류 분포와 wifi 안테나로의 간섭

3. 마무리

이 학회에서는 형식을 갖춘 저녁 만찬이 따로 없고, Keysight Technologies사에서 후원하여 캐주얼한 리셉션이 San Francisco 49ers의 홈 경기장인 Levi's Stadium에 딸린 501 club에서 열렸다. Levi's Stadium은 2017년 2월 7일에 50주년 Super Bowl 경기가 열린 장소로 유명한데, 리셉션 동안 내부 관중석에 들어가서 구경할 수 있었다.

이 학회에서는 앞서 설명한 technical session과 병행해서 Keysight Technologies, Anritsu, Teledyne Lecroy, Rhode&Schwartz, Rambus등 회사들이 다양한 시연 세션을 운영하였다. 이론적으로 알고 있는 내용들을 장비들이 가지고 있는 기능을 사용해서 demo하는 발표도 있었고, 장비가 업데이트 되면서 새로 추가된 기능들에 대한 소개 등이 매우 유용하였다. 실제 개발을 이끈 매니저나 technical marketing engineer들이 소개하여 발표가 매우 명쾌하며 누구나 이해하기 쉽게 잘 설명해 주는 것이 큰 장점이었다. 따라서, DesignCon 학회는 power integrity 및 signal integrity 분야에 오래 종사해 온 연구자뿐만 아니라 현업에 바로 적용할 수 있는 실무적인 지식을 배우고자 하는 사람에게 권하고 싶다. 📌

저자정보



김소영 교수
 성균관대학교 정보통신대학 반도체시스템학과
 주 연구분야 Modeling, EMC, IC Design
 E-mail ksyong@skku.edu
 Homepage http://icds.skku.edu



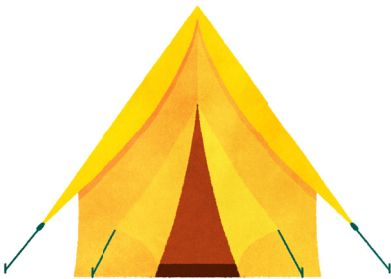
신효섭 석사과정
 성균관대학교 정보통신대학 반도체디스플레이학과
 주 연구분야 DC-DC converter design, EMC
 E-mail hyosshin@skku.edu
 Homepage http://icds.skku.edu



김지훈 석사과정
 성균관대학교 정보통신대학 반도체디스플레이학과
 주 연구분야 IC design, EMC
 E-mail ki4609@skku.edu
 Homepage http://icds.skku.edu

그림 7. Levi's Stadium





IDEC
Newsletter

2017년 6월 | 통권 제240호

발행일 2017년 5월 30일 **발행인** 박인철 **편집인** 김태욱, 남병규 **제작** 심원기획 **기획** 김하늘 **발행처** 반도체설계교육센터(IDEC)
T.042) 350-8535 F.042) 350-8540 H.<http://www.idec.or.kr> E.kimsky1230@idec.or.kr

반도체설계교육센터 사업은 산업통상자원부, 한국반도체산업협회,
반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 앰코테크놀로지코리아)의 지원으로 수행되고 있습니다.