

2017
April

IDEC Newsletter

Vol. 238



IDEC 뉴스 MPW 안내 및 교육 일정
기획칼럼 EDA Tool 소개 (IES)

기술동향칼럼 인간의 눈을 모방하는 조도계의 이해
신진연구자 소개 융합을 통한 발전을 꿈꾸다



반도체설계교육센터
IC DESIGN EDUCATION CENTER

2017년 MPW 진행 현황

● 지원 변경 사항

- 매그나칩/SK하이닉스 공정 Package Type 변경 (변경전: LQFP 208pin → 변경후: MQFP 208pin)
- MPW 참가비 인하 시행

● 진행 현황

● 4월 모집

- S65-1703회 삼성 65nm (우선)
- MS180-1704회 매그나칩/SK하이닉스 180nm (정규)
- MS180-1705회 매그나칩/SK하이닉스 180nm (우선)
- (추가 모집) MS350-1701회 매그나칩/SK하이닉스 350nm (정규, 선착순 마감)

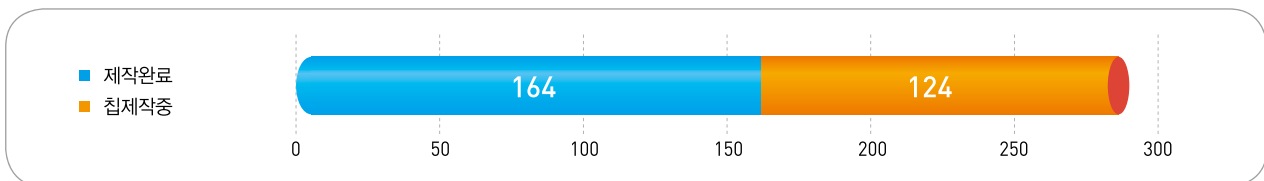
● 진행 일정

공정	회차구분 (공정_년도순서)	모집팀수 ((mmxmm)x칩수)	정규모집 신청마감	참여팀수 ((mmxmm)x칩수)	DB마감 (Tape-out)	Die-out	비고
MS 180nm	MS180-1701	(3.8x3.8)x25	2017.01.26	(3.8x3.8)x23 (3.8x1.9)x4	2017.03.20	2017.08.21	설계중
	MS180-1702		2017.02.20	(3.8x3.8)x30 (3.8x1.9)x4	2017.05.22	2017.10.23	설계중
	MS180-1703		2017.03.13	(3.8x3.8)x23 (3.8x1.9)x4	2017.07.24	2017.12.26	설계중
	MS180-1704		2017.04.10		2017.09.18	2018.02.19	모집중(정규)
	MS180-1705		2017.06.12		2017.12.04	2018.05.07	모집중(우선)
MS 350nm	MS350-1701	(5x4)x20	2017.02.20	(5x4)x14	2017.06.12	2017.10.02	추가모집중
	MS350-1702		2017.07.10		2018.01.15	2018.05.07	
삼성 65nm	S65-1701	(4x4)x40	2017.01.26	(4x4)x35	2017.05.22	2017.11.27	설계중
	S65-1702		2017.03.13		2017.09.04	2018.03.11	설계대기중
	S65-1703		2017.06.19		2018.01.08	2018.07.16	모집중(우선)

- 일정은 사정에 따라 다소 변경될 수 있음.
- S65-1701회 (삼성 65nm) 는 기존 설계 진행으로 서버를 보유한 팀만 참여 가능함.
- 회차표기 : 공정코드-년도 모집순서 (예시) 삼성 65nm 2017 1회차: S65-1701)
- 모집기간 : 모집 마감일로부터 2주 전부터 접수함.
- Package 제작은 Die out 이후 1개월 소요됨.

2016년 MPW 진행 내역

● 2016년 MPW 회차별 모집 현황 : 3개 공정 10회 진행, 288팀 참여



● [참고] 공정별 칩제작 참여 내역

공정	삼성	매그나칩/SK하이닉스	
	65nm	180nm	350nm
제작팀수	109	136	43



수강을 원하는 분은

IDEC 홈페이지 (www.idec.or.kr) 를 방문하여 신청하시기 바랍니다.

강좌 일정

센터명	강의일자	강의 제목	분류
본센터	4월 5~7일	Vivado를 활용한 Xilinx FPGA 설계 실습	설계강좌
	4월 13일	생체신호 수집을 위한 저잡음 바이오포텐셜 증폭기 설계	설계강좌
	4월 26~28일	Calibre DRC/LVS and LVS debug	Tool강좌
전남대	4월 6~7일	OrCAD를 활용한 PCB 설계 교육	설계강좌
한양대	4월 5일	딥러닝의 이해	설계강좌



본센터

4/5-7

강좌제목 Vivado를 활용한 Xilinx FPGA 설계 실습

강사 김민석 팀장(리버트론)

강좌개요

Xilinx Vivado SW 이해를 기반으로 프로젝트 진행 및 7-Series FPGA의 Architecture 이해를 통해 실습을 하며, HDL 설계 실습을 통한 로직 설계 기반으로 디자인을 FPGA에 다운로드하여 로직 검증 및 디버깅을 한다.

수강대상 7-Series 디바이스를 사용해야 하는 연구원 또는 학생

강의수준 초중급 **강의형태** 이론+실습

사전지식·선수과목 HDL(VHDL, Verilog) 기본 지식



전남대

4/6-7

강좌제목 OrCAD를 활용한 PCB 설계교육

강사 장대웅 차장(나인플러스아이티(주))

강좌개요

전기, 전자 기술은 최근 비약적으로 발전했으며 그 범위 또한 넓어졌다. 반도체에서 PCB까지 이어지는 개발에 대한 흐름은 수많은 국제규격과 설계사양으로 제도화되어 엔지니어의 진입을 어렵게 하고있다. 본 교육은 더욱 복잡해진 PCB 설계 트렌드를 학습하고 PCB 설계 필요한 여러가지 기능을 실습을 통해 이해할 수 있다.

수강대상 OrCAD에 관심있는 학부생

강의수준 초중급 **강의형태** 이론+실습

사전지식·선수과목 기초회로이론, 전자회로

문의 | 전남대 IDEC 강병호 (062-530-0367, 888pp@naver.com)

4/13

강좌3제목 생체신호 수집을 위한 저잡음 바이오포텐셜 증폭기 설계

강사 김정석 교수(가천대학교)

강좌개요

우리 몸에서 발생하는 바이오 생체신호(EEG, ECG, EMG, ECoG)를 정확하게 증폭하기 위해서는 바이오포텐셜 증폭기의 설계가 중요하다. 이를 위해 바이오 신호들의 종류(신호의 세기 및 대역폭 등)를 살펴보고, 바이오포텐셜 증폭기를 구성하고 있는 저잡음 차동증폭기의 동작원리를 이해하는 것이 필요하므로 바이오포텐셜 증폭기 설계를 위한 저잡음 차동증폭기를 학습하고자 한다.

수강대상 학부 4학년, 석사 1년차

강의수준 초급 **강의형태** 이론

사전지식·선수과목 회로이론, 전자회로, 물리전자

4/26-28

강좌제목 Calibre DRC/LVS and LVS debug

강사 변선수 과장(Mentor Graphics)

강좌개요

Calibre 사용법 및 효율적인 LVS Debug 방법

수강대상 Calibre user

강의수준 초급 **강의형태** 이론+실습

사전지식·선수과목 Calibre 경험이 필요하나 Basics 내용이 포함 되어있기 때문에 처음 Tool을 사용하시는 분도 가능

문의 | KAIST IDEC 김영지 (042-350-8536, yjkim@idec.or.kr)



한양대

4/5

강좌제목 딥러닝의 이해

강사 조성배 교수(연세대학교)

강좌개요

1부 : 심층 신경망과 딥러닝 알고리즘의 이해

- 신경망의 기본 아이디어와 학습 알고리즘

- 지도학습과 다층 신경망의 오류역전파 알고리즘

- 심층 신경망의 구조와 대표적 모형(CNN, RNN)과 학습 알고리즘

- 딥러닝의 발전전망 및 과제

2부 : 딥러닝의 적용사례 및 TensorFlow 활용법

- 딥러닝의 응용 : 영상이해, 언어처리

- 딥러닝 응용 사례 : 센서 기반 행동인식, P2P 소셜랜딩 기반 상황예측, MRI 기반 정서인식

- 알고리즘 구성 및 설계 등에 대한 노하우

- Tensorflow의 활용법

수강대상 학생 및 일반인

강의수준 초급 **강의형태** 이론

사전지식·선수과목 없음

문의 | 한양대 IDEC 오경주 (031-400-4079, ipc@hanyang.ac.kr)

인간의 눈을 모방하는 조도계의 이해

광센서용 아날로그 프론트-엔드를 중심으로 한 고찰

김대정 교수 | 국민대학교 전자공학부



1. 서론

대부분의 생명체는 낮·밤이나 계절의 변화에 생체 주기의 리듬을 맞추어 왔으므로 빛에 대한 감응이 뚜렷하여 이 특성을 생명공학에 이용할 수 있다. 이러한 광·생명공학에서 빛 에너지를 측정하는 것은 가장 기본적인 작업이다. 광다이오드나 광트랜지스터를 이용하면 손쉽게 광량을 측정할 수 있으며, 1962년 화합물 반도체를 이용한 적색 LED의 제작을 시작으로 이제는 가시광선의 빛을 합성할 수 있는 수준에 이르게 되었다. 이러한 빛의 측정과 합성기술은 농업뿐만 아니라 최근에는 인체와 관련된 헬스케어 제품에도 연동되어 개발되고 있다.

본 칼럼에서는 빛의 밝기를 나타내는 조도의 의미와 이를 측정하는 조도계의 원리를 살펴본다. 특히, 슬라이브 디바이스인 아날로그 프론트-엔드를 설계하는 것을 염두에 두고 전기적 신호의 흐름과 전송에 대해 고찰해 보고자 한다.

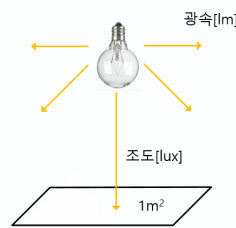


그림 1. 광속과 조도

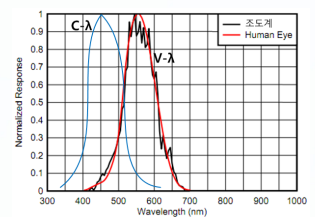


그림 2. 인체가 빛에 감응하는 전달함수

lm/m^2)로서 단위 면적에 도달하는 루멘이라고 할 수 있다. 즉, 조도 역시 인간의 눈이 파장별로 감응하는 특성을 반영하고 있다. 1룩스는 촛불 하나 밝기를 인간이 느끼는 정도를 나타낸다. 일반적으로 관심 대상 면적에 비추이는 밝기를 측정하는 경우가 많으므로 흔히 조도를 측정한다.

2. 빛의 파장과 응답

2.1 빛의 밝기

빛의 밝기는 광선속(luminous flux, 광속)과 복사속(radiant flux)으로 나타낼 수 있다. 광원으로부터 방출되어 눈에 감지되는 광선의 총 출력량을 광속이라 칭하며, 단위는 루멘(Lumen, lm)으로 국제단위계에 속한다. 광속은 인간의 눈이 파장에 따라 다르게 감응하기 때문에 인간의 눈으로 관찰되는 빛의 세기를 의미한다. 이에 반해 복사속은 인간의 눈이 어떻게 느끼는지와 상관없이 광원으로부터 전파되는 전자기학적인 에너지의 양을 의미하며, 그 단위로 와트(watt, W)를 사용한다.

조도(Illuminance)는 [그림 1]과 같이 일정한 평면이 받게 비추이는 정도를 말한다. 여기서 밝기는 단위면적에 단위시간 내에 도달하는 에너지량을 측정함으로써 얻어지며, 거리의 제곱에 반비례하기 때문에 광원으로부터 거리가 멀어질수록 조도는 급격히 낮아진다. 조도의 단위는 룩스(lux,

2.2 스펙트럼 응답

그러면 전자기학적인 밝기가 아닌 인간의 눈이 느끼는 정도를 반영한 조도를 어떻게 잴 수 있을까? 인간의 눈이 느끼는 파장별 감응은 [그림 2]의 붉은색의 전달함수를 보인다. 노란색 계통의 550[nm] 근처에서 최대의 감도를 보이며, 370[nm, 보라색]~700[nm, 붉은색]을 감지할 수 있다. 이러한 전달함수를 $V-\lambda$ (Visual lambda)라고 하며, 측정되는 조도는 이러한 특성을 반영해야 한다. 즉, 인간에게 적합한 광 환경을 제공하려면 광센서는 인간이 보는 빛의 스펙트럼과 같은 것을 측정하도록 스펙트럼 응답을 인간의 눈에 밀접하게 정합시켜야 한다. 따라서 조도계는 [그림 2]에서의 검은색 전달함수와 같이 $V-\lambda$ 특성곡선을 가능한 가깝게 모사해야 하며, 그 오차가 작을수록 좋은 조도계라고 할 수 있다.

최근에는 인간의 생체 리듬을 관장하는 멜라토닌(melatonin)이나 코티졸(cortisol)과 같은 호르몬이 빛과 관련되어 있음을 이용하여 일주기 리듬을 측정하고 강화하는 데에 조도계의 원리를 활용하고 있다. [그림 2]의 푸른색 전달함수는 사람의 몸이 파장별로 감응하는 정도를 나타낸 것

으로서 450[nm, 푸른색]에서 최대 감도를 보인다. 이러한 전달함수를 C-λ(Circadian, lambda)라고 한다. 이렇게 인체가 감응하는 빛에 대한 조도는 바이오 룩스(bio-lux)의 단위를 사용한다.

2.3 분광계와 조도계

조도를 측정하는 장치는 크게 분광계(spectrometer)와 조도계(photometer)로 나눌 수 있다. 분광계는 빛을 분산시켜 각 파장에 대한 스펙트럼 강도를 정량적으로 측정할 수 있도록 한 장치이다. 빛의 분광은 프리즘 혹은 푸리에 변환 간섭계(Fourier Transform Interferometer) 나 회절 간섭계(Grating Interferometer) 혹은 배열필터(Filter Array)를 사용한다. [그림 3]은 배열필터를 사용하는 분광계의 구성도로서 배열필터, CCD(Charge Coupled Device) 배열, 및 프로그래밍이 가능한 신호처리부로 구성된다.

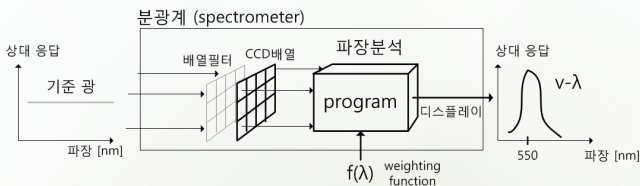


그림 3. 배열필터를 사용한 분광계의 구성도

배열필터는 빛의 파장에 대해 서로 다른 투과함수를 가지는 고정된 광 필터들의 집합으로서 하나의 필터는 좁은 대역폭의 파장 성분만을 투과한다. 따라서 측정 해상도의 한계는 필터의 개수에 의해 결정된다. 나노공정을 이용한 배열필터는 초소형화로 가격절감이 가능하며 고집적화로 높은 해상도를 구현할 수 있다. 필터를 통과한 광신호는 CCD에서 전하로 변환되어 전기적 신호로 신호처리부에 입력된다. 여기서는 소프트웨어적인 처리를 통해 인간의 눈의 파장별 감도를 함수 $f(\lambda)$ 로써 가중치 처리를 함으로써 $V-\lambda$ 특성곡선을 얻을 수 있다. 이러한 분광계는 파장대별로 광량을 검출할 수 있으며 일반적으로 고가의 장비이다.

실생활에서는 파장별 광량을 알기보다는 단지 광량만을 검출하는 경우가 많다. 이러한 장치를 조도계(photometer)라고 하며, 분광계에 비하면 훨씬 저가의 장비이다. [그림 4]는 이러한 조도계의 일반적인 구성을 나타낸 것이다. 조도계는 광센서 장치로서 분광계의 CCD 배열 대신 간단한 광 검출기(photo detector, PD)를 사용한다. 광 검출기는 광 다이오드나 광 트랜지스터를 역방향 바이어스하여 사용하는데, 파장별 감응 정보를 갖지 못하고 입력광의 모든 파장 성분에 반응하여 그 적분된 값을 한 개의 전류 포인트 값으로 출력한다.

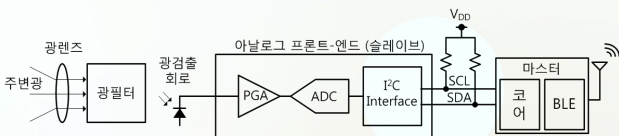


그림 4. 광필터를 사용한 조도계의 구성도

조도계가 인간의 눈을 잘 흉내내려면, 광검출기 전단에 $V-\lambda$ 특성곡선을 갖는 광필터를 위치시켜 파장별 감응도를 미리 적용함으로써 마치 분광계에서 가중치 함수를 곱한 것과 같은 동작을 수행한다. 또한, 눈의

각막과 같이 빛의 각도에 따라 굴절되는 현상을 모사하기 위한 광렌즈를 광필터 앞에 놓기도 한다.

광검출기는 측정하고자 하는 조도의 다이내믹 범위 및 빛이 없을 때도 흐르는 암전류(dark current)의 크기 등을 고려하여 응용에 맞게 선택한다. 또한, 실제 광원은 인간이 감지하지 못하는 큰 적외선 성분을 갖고 있기 때문에 광검출기는 뛰어난 적외선(IR) 감쇠 특성을 가져야 한다. 만약, 광센서가 사용자가 볼 수 없도록 암막창에 가려져 있다면 문제는 더 심각하다. 암막창은 가시광선을 감쇠시키지만 적외선을 통과시키므로 센서를 비추는 적외선 대 가시광선 비를 더 나쁘게 한다.

광검출기를 거친 전기적인 신호는 아날로그 프론트-엔드(Analog Front-End, AFE) 내의 ADC에서 디지털로 변환되어 마스터 디바이스의 마이크로프로세서 코어에서 조도(룩스)로 환산된다. 이렇게 환산된 조도 값은 마스터 내의 저전력 블루투스(Bluetooth Low Energy, BLE)를 통해 무선으로 게이트웨이에 송신된다. 아날로그 프론트-엔드는 ADC와 마스터와의 유선 통신을 위한 인터페이스 단을 포함하며, 입력 다이내믹 범위가 ADC의 검출 범위를 넘어서는 범위초과(over-range) 문제를 해결하기 위해 신호의 이득을 가변적으로 조절하기 위한 가변이득단(programmable gain amplifier, PGA)이 ADC의 전단에 위치한다.

3. 아날로그 프론트-엔드 설계 고려사항

AFE는 스마트 기능이 있는 마스터 단과 달리 입력 아날로그 신호를 디지털 신호로 변환하여 전송하는 수동적인 슬레이브(slave) 단의 역할을 수행한다. 가변이득단, 아날로그-디지털 변환기, I²C 인터페이스뿐만 아니라 검출기의 저항 배열, ADC의 기준전압을 제공하기 위한 기준전압 발생기(VREF) 및 국부적인 발진기(OSC)도 포함한다. 공통모드 이득 제거와 신호대잡음 비의 증가를 위해 아날로그 부분은 차동형을 채택한다.

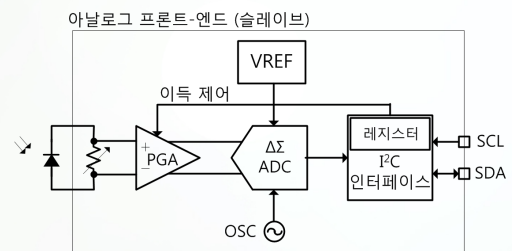


그림 5. 아날로그 프론트-엔드의 내부 구성도

3.1 기본적인 동작

■ 오토스케일링(Auto-scale)

AFE의 가장 기본적인 동작은 광검출부로부터 입력되는 아날로그 전압을 디지털 데이터로 변환하여 출력하는 것이다. 예를 들어 0.01룩스에서 83k룩스까지 0.01룩스의 해상도로 감지한다면, 총 step의 수를 고려하여 약 23비트의 ADC 해상도가 요구된다. 이는 CMOS 아날로그 공정에서

일반적인 아키텍처로 구현할 수 있는 ADC의 성능을 넘어서므로 잡음 변형을 수행하여 신호처리하는 델타-시그마 구조를 사용하거나, 혹은 10~12비트 정도의 해상도를 가지는 ADC 앞에 가변이득을 적용하여 오토스케일링(auto-scale)을 통한 유효 다이내믹 범위를 확장시키는 방안이 있다. 후자의 경우는 초기 측정에서 ADC의 오버플로우(overflow)가 나는 경우 이득을 낮추어서 재측정하는 방안으로 마스터와 여러 번의 통신을 수행해야 하며, 이득을 낮추고 다이내믹 범위를 높였을 때 발생하는 해상도의 감소를 감수해야 한다.

■ 보정 및 오류 수정 (Calibration)

[그림 4]의 조도계 구조에서는 각 아날로그 단에서 이상적인 특성을 벗어나는 여러 가지 오차 성분이 존재한다. 예를 들어 광다이오드의 암 전류와 같은 무작위 잡음(random noise)은 회로적인 기법을 통해 실시간으로 수정한다. 광필터의 전달함수가 $V-\lambda$ 특성곡선에서 벗어나거나 ADC의 오프셋 및 이득오차(gain error) 등의 체계적 오차(systematic error)는 마스터에서 소프트웨어적인 처리를 통해 보정할 수 있다.

3.2 I²C 인터페이스

I²C(Inter Integrated Circuit, 집적회로 간) 인터페이스는 마스터와 여러 개의 슬레이브 간의 직렬 통신을 위한 프로토콜로서 광신호의 전송에 가장 많이 사용된다.

[그림 6]에서 보듯이 두 개의 핀(선)을 통해 양방향 통신을 하는데, 마스터는 클록 SCL을 발생하고, 슬레이브들에 대한 버스의 액세스를 제어하며, 통신의 시작과 종료 조건을 발생한다. SCL과 양방향 데이터 핀인

SDA 핀은 오픈 드레인(open-drain)으로서 보드 상에 풀업 저항이 존재한다. 즉, 슬레이브 및 마스터 칩의 드라이버에는 풀다운 회로만 존재하여 버스를 L로 구동하므로, 구동하지 않으면 SCL과 SDA는 H로 유지된다.

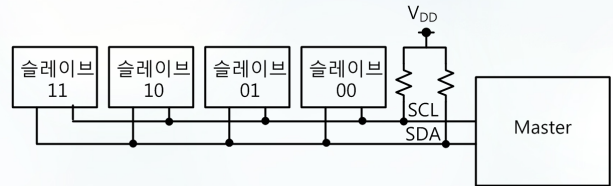
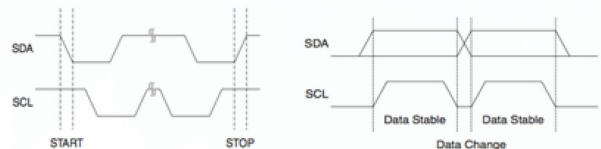


그림 6. 마스터와 다수의 슬레이브가 존재하는 I²C 버스

■ 통신의 시작과 종료

[그림 7(a)]에서와 같이 통신을 시작하려면 마스터는 SCL이 H로 유지되는 동안에 데이터 신호선 SDA를 L로 떨어뜨려 하강에지를 발생시키고 통신의 시작을 알린다. 또한, SCL이 H인 동안에 SDA를 H로 끌어올려 상승에지를 발생시키면 통신의 종료를 알린다. 통신을 시작한 후는 SCL이 H인 상태에서의 SDA 에지의 변화는 통신의 종료를 의미하므로 [그림 7(b)]와 같이 SCL이 L인 상태에서만 데이터를 바꿀 수 있다.



(a) 시작 및 종료 조건 (b) 데이터 변화 조건

그림 7. 기본적인 통신 규칙

■ 패킷(packet) 프로토콜

[그림 8]은 일반적인 I²C 패킷 프로토콜의 한 예이다. 시작과 종료 비트 사이에 3개의 프레임(frame)으로 구성되는데, 각각 슬레이브 어드레스 프레임, 레지스터 어드레스 프레임, 데이터 프레임으로 구성된다. 각 프레임은 시작과 종료 비트를 제외하면 1바이트+ACK(acknowledge) 비트의 총 9개의 비트로 구성된다.



그림 8. 기본적인 I²C 패킷 프로토콜

슬레이브에 따라서는 데이터가 2 바이트 혹은 그 이상인 경우가 있으므로 데이터 프레임은 2개 혹은 그 이상의 프레임으로 구성될 수도 있다. 이러한 패킷 프로토콜은 슬레이브마다 다르므로 마스터는 슬레이브의 규격에 맞는 프로토콜을 발생시켜야 한다.

■ 패킷 타이밍도

I²C 패킷은 크게 WRITE 패킷과 READ 패킷으로 나누어진다. WRITE/READ는 마스터의 입장에서 말하는 것으로 마스터에서 슬레이브로 데이터를 쓰는 것을 WRITE 동작으로, 슬레이브에서 데이터를 읽어오는 것을 READ 동작으로 정의한다. [그림 9] 및 [그림 10]은 어떤 특정 슬레이브에 대한 WRITE 및 READ 패킷의 타이밍도이다. 이 예에서는 WRITE의 경우는 시작과 종료 사이에 4개의 프레임으로 구성되고, READ는 3개의 프레임으로 구성되어 있다.

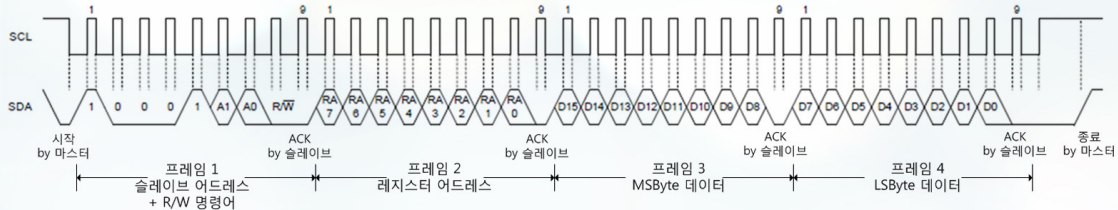


그림 9. WRITE 패킷 타이밍도의 예

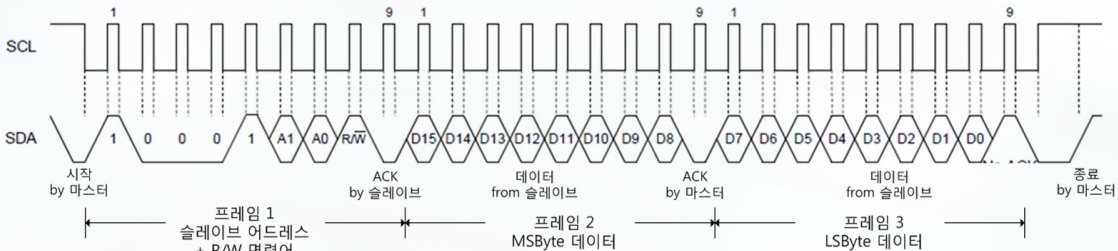


그림 10. READ 패킷 타이밍도의 예

■ 슬레이브 선택

슬레이브 어드레스는 슬레이브에 따라 다양하게 정해진다. [그림 6]에서와 같이 버스를 공유하고 있는 4개의 슬레이브 중에서 한 개를 선택하는 예를 살펴보자. [그림 9] 및 [그림 10]에서의 프레임 1의 10001은 reserved 값이며 A1A0의 값에 따라 어드레스가 일치하는 슬레이브가 SDA 버스를 L로 떨어뜨리며 9번째 클럭에서 ACK을 발생한다. 슬레이브가 하나뿐인 경우는 슬레이브 어드레스가 제조과정에서 이미 결정되어 있으므로 모든 어드레스 비트가 reserved 값이 된다.

■ 레지스터 선택

슬레이브에 존재하는 레지스터의 종류는 슬레이브에 따라 다양하지만, 기본적으로 ADC 변환의 값을 저장하고 있는 “결과(result)” 레지스터와 칩 동작의 모드를 결정하는 “설정(configuration)” 레지스터가 존재한다. 레지스터의 비트 수도 슬레이브에 따라 달라질 수 있다. [표 1]은 “결과” 레지스터의 데이터가 16 비트인 경우의 레지스터 맵의 예를 보여준다.

표 1. 슬레이브에 존재하는 레지스터 맵의 예

REGISTER	ADDRESS(Hex) ¹⁾	BIT 15	BIT 14	BIT 13	BIT 12	BIT 11	BIT 10	BIT 9	
Result	00h	E3	E2	E1	E0	R11	R10	R9	
Configuration	01h	RN3	RN2	RN1	RN0	CT	M1	M0	
REGISTER	BIT 8	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
Result	R8	R7	R6	R5	R4	R3	R2	R1	R0
Configuration	OVF	CRF	FH	FL	L	POL	ME	FC1	FC0

마스터가 레지스터 어드레스(1바이트)를 WRITE 함으로써 해당 레지스터를 액세스 한다. BIT15~BIT0까지는 해당 레지스터에 보존되어 있는 데이터를 나타낸다. 이 예에서 “결과” 레지스터에는 PGA 이득과 관련되는 E[3:0] 필드 및 12 비트 ADC의 변환 결과인 R[11:0]가 저장되어 있다. “설정” 레지스터는 RN[3:0], CT, ..., FC[1:0] 등 11개의 필드로 구성되며 이들은 각각 슬레이브의 자세한 동작모드를 설정한다. 레지스터 데이터의 길이 및 필드의 종류는 일반적으로 슬레이브의 종류에 따라 다르다.

■ WRITE/READ 동작

WRITE/READ의 여부는 프레임 1의 8번째 비트가 L이면 WRITE, H이면 READ 명령으로 인식된다. [그림 9]의 WRITE 패킷에서 마스터가 슬레이브의 “설정” 레지스터에 2바이트의 데이터를 씌으로써 각종 동작 모드를 결정했다. [그림 10]의 READ 패킷에서는 레지스터 어드레스 프레임을 생각하고, 앞서의 WRITE 패킷에서 액세스 한 레지스터에 저장되어 있는 값을 읽어들이고 있다. READ 시에는 앞에서 선택된 레지스터에서 데이터를 읽어오므로 굳이 레지스터를 액세스하지 않아도 되기 때문이다. 만약 ADC의 변환 값이 저장된 “결과” 레지스터를 읽으려면 부분적인 WRITE 동작을 통해 “결과” 레지스터를 지정하면 된다.

이브의 “설정” 레지스터에 2바이트의 데이터를 씌으로써 각종 동작 모드를 결정했다. [그림 10]의 READ 패킷에서는 레지스터 어드레스 프레임을 생각하고, 앞서의 WRITE 패킷에서 액세스 한 레지스터에 저장되어 있는 값을 읽어들이고 있다. READ 시에는 앞에서 선택된 레지스터에서 데이터를 읽어오므로 굳이 레지스터를 액세스하지 않아도 되기 때문이다. 만약 ADC의 변환 값이 저장된 “결과” 레지스터를 읽으려면 부분적인 WRITE 동작을 통해 “결과” 레지스터를 지정하면 된다.

4. 결론

본 칼럼에서는 인간의 눈과 인체가 빛의 파장에 반응하는 특성과 이를 모사하는 조도계의 원리를 알아보았다. 특히, 광검출기의 출력 결과를 증폭하고 디지털 데이터로 변환하여 마스터까지 전송하는 회로 동작과 유선 직렬 통신 프로토콜에 대하여 고찰하였다. 마스터 디바이스의 종류가 결정되면 마스터가 지원할 수 있는 프로토콜 및 사양의 범위 내에서 아날로그 프론트-엔드인 슬레이브를 효율적으로 설계해야 한다.

참고문헌

- 1 OPT3001 Ambient Light Sensor (ALS), TEXAS INSTRUMENTS
- 2 18-Bit, Multi-Channel $\Delta\Sigma$ Analog-to-Digital Converter with I²C™ Interface and On-Board Reference, MICROCHIP

저자정보



김대정 교수 | 국민대학교 전자공학부
 주 연구분야
 아날로그 집적회로 설계
 E-mail kimdj@kookmin.ac.kr
 Homepage icdl.kookmin.ac.kr

Cadence사 Incisive Enterprise Simulator(IES)

cādence®

Cadence Korea

주소 : 경기도 성남시 분당구 판교로 334
Mtek IT Tower 9층
전화 : 031-728-3114
Web : www.cadence.com/kr

목적 Functional Verification

구분 Cadence 사의 Incisive Enterprise Simulator(이하 IES)는 반도체 설계의 Functional Verification에 다양하고 효과적인 solution을 제공

Supported Platform and O/S System

- RHEL 5, 6, 7
- SLES 10, 11, 12

특성 및 기능

• IES는 아래의 <그림 1>과 같이 내부에 regression test management를 위한 vManager, multi language를 지원하는 NC-simulator, debug와 analysis를 위한 SimVision 및 System Verifier를 이용한 SW-Driven Verification 및 CPF (Common Power Format)/IEEE1801를 이용한 power aware simulation 등을 지원합니다.

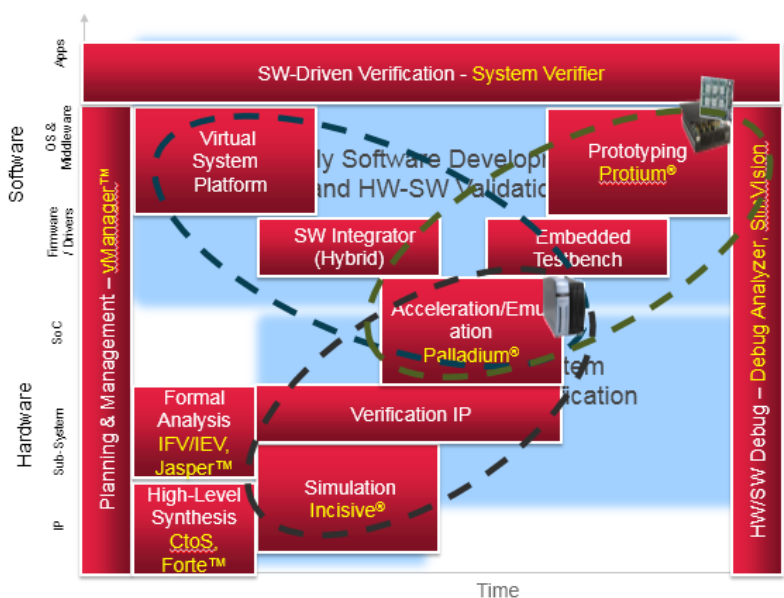


그림 1. Incisive Functional Verification

• IES는 functional verification 분야에서 유일하게 모든 IEEE-standard language 들과 gate level부터 system level에 이르는 모든 design abstraction들을 지원합니다. 또한, tool에 적용 가능한 verification plan도 지원합니다.

• Incisive platform에서 제공하는 Verification IP(VIP), HW acceleration/emulation 및 analog/mixed signal/RF verification 등의 구성 요소들을 가지고 IES는 다양한 종류의 testbench, HDL, CPF file, Software 및 assertion IP들도 지원합니다.

- vManager는 functional verification을 실행 가능한 verification plan을 가지고 수행할 수 있게 해줍니다. Verification team에서는 verification goal을 verification plan을 통해 자동으로 인식하고, 이에 따라 verification을 수행하고 plan 대비 verification의 진행 상황 등을 report할 수도 있습니다.

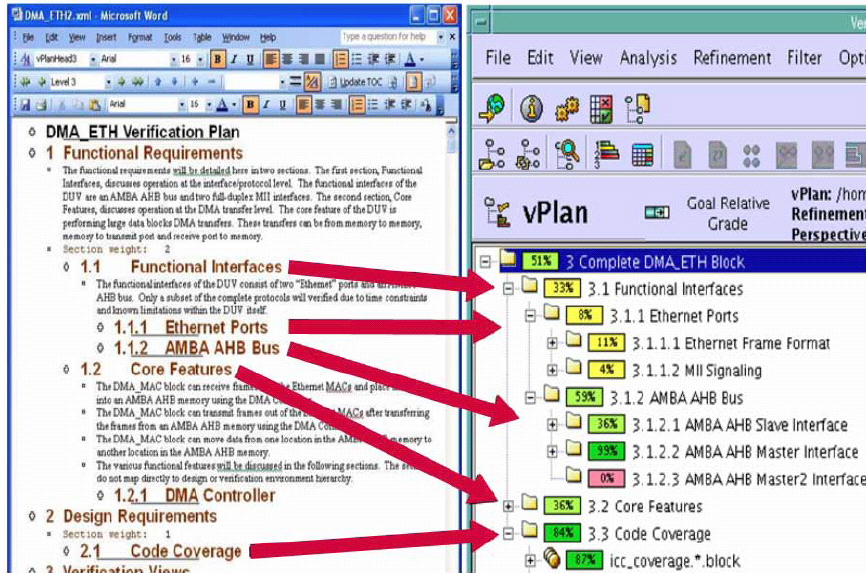


그림 2. Verification Plan

- IES는 모든 상용의 coverage metric(assertion coverage, code coverage, functional coverage 등)들을 포함하는 total coverage analysis를 지원합니다. 따라서, 사용자는 모든 종류의 coverage 결과를 하나의 GUI를 통해 분석함으로써 모든 function들이 빠짐없이 테스트 되었는지 확인해 볼 수 있고, 이를 통해 오류가 없는 silicon을 한 번에 얻을 수 있습니다.
- IES에서 제공되는 SimVision tool은 모든 IEEE-standard design, testbench 및 assertion language에 대하여 signal level부터 transaction level까지 통합된 debugging 환경을 제공합니다.

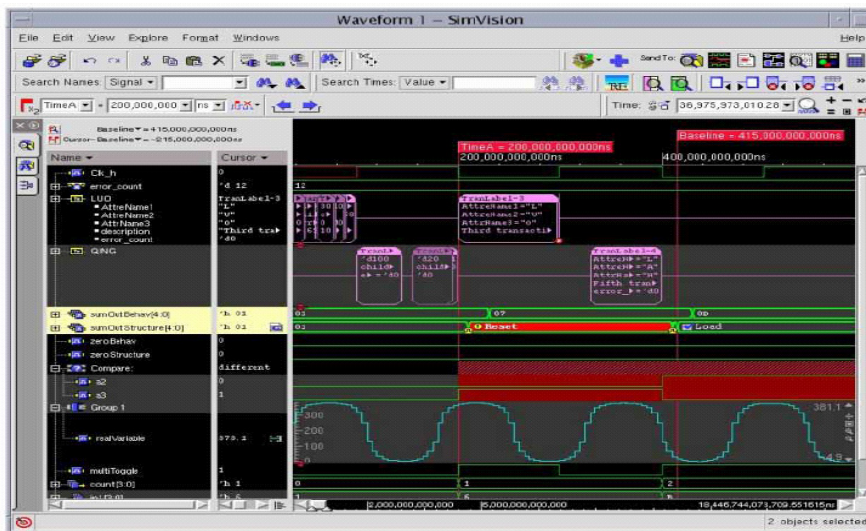


그림 3. SimVision Tool



융합을 통한 발전을 꿈꾸다

혼다 아시모 로봇의 비전 시스템, 벤츠 전후방 감지 시스템의 공통점은 무엇일까? 바로, 레이더 센서를 이용한다는 점이다. 레이더는 무선탐지와 거리측정(Radio Detecting And Ranging)의 약어로, 반사되는 전자기파를 이용하여 물체의 거리와 방향, 고도 등을 알아내는 무선 감시장치이다. 이러한 초고주파 회로 설계를 이용한 레이더 센서 기술의 가치를 알아보고, 이를 연구하고 있는 영남대학교 전자공학과 양종렬 교수를 만나보았다.

현재 마이크로파 집적 시스템 연구실에서 전자기파 특성을 이용한 다양한 응용 시스템과 이를 위한 고유 특화 회로기술을 연구하고 있는 양종렬 교수는 석사시절 다른 세부분야의 연구를 진행했다고 한다. “석사과정에서는 반도체 소자에 대한 연구로 양자효과(Quantum Structure) 소자를 이용한 원적외선 센서를 연구했습니다. 소자 제작과정을 통해 반도체 공정 프로세스를 자세히 학습할 수 있었고, 고정밀 측정환경 구축과 특성평가 실험 과정에서 정밀 제어계측 기술 등 학부 과정에서 경험하지 못했던 다양한 연구를 수행했습니다.”

석사시절 반도체 소자를 연구하던 그가 박사과정에 진학하면서 시스템 연구를 해야 겠다고 마음먹은 계기는 주변 선배들의 조언과 전문가 세미나 청강 등 여러가지 경험을 겪은 덕분이었다고 한다. “학부과정에서는 반도체 관련 연구를 해보고 싶다는 막연한 생각만을 했었는데, 대학원에 입학하여 많은 것을 보고 배우고 나서 시스템 레벨의 연구를 해야 실제적인 가치를 만들어 낼 수 있겠다는 생각을 하게 되었습니다. 박사과정 연구주제 선정 시기에 EETimes 기사를 통해 물리학과 전파공학, 전자공학의 융합 학문으로 초고주파 회로 설계를 이용한 레이더



양종렬 교수
영남대학교 전자공학과

센서 기술을 접했고, 차세대 핵심 기술로 지속적인 기술 수요와 장기적인 발전 가능성을 가지고 있다는 것을 확인했습니다. 이후 여러 레이더 센서 기술을 자세하게 학습하면서, 근거리 정밀 레이더 센서 연구로 전공 분야를 정하게 되었습니다.” 이로 인해 박사과정 진학 후 많은 부분을 처음부터 학습해야 해서 힘든 점도 많았지만, 한 편으로는 이러한 어려움을 극복한 후 투고한 첫 논문이 수락되었을 때는 큰 만족감과 성취감을 느낄 수 있었다고 한다.

양종렬 교수가 진행하고 있는 연구인 전파 특성 기반 집적 응용 시스템 연구는 자율주행 자동차, 휴머노이드 로봇 등 미래 산업을 주도할 다양한 응용 시스템의 기반 기술임과 동시에 원격 생체신호 검출, 식품 이물감지 영상 시스템 등 삶의 질을 크게 높일 수 있는 다양한 응용 분야를 가능하게 하는 핵심 기술이다. 이러한 여러가지 이유로 그는 차세대 국가 성장 산업에 전파특성 기반 집적 응용 시스템과 고유 특화 회로설계 연구가 중요한 역할을 지속적으로 담당할 것이라고 말한다.

그러나 집적 시스템 연구는 보통 하나의 연구실에서 관련된 모든 기술을 진행하기가 어려운 것이 사실이다. 이러한 문제에 대한 해결책으로 그는 공동 연구 네트워크를 적극 활용하고 있다. “집적 시스템 연구를 위해 다양한 관련 연구자들과 함께 협업하려 하지만, 대부분의 국내 연구 환경이 단기적인 프로젝트 기반으로 구축되기 때문에 장기적인 연구 목표를 수행하는 것이 쉽지는 않습니다. 이러한 문제를 해결하기 위해 비전을 공유할 수 있는 공동 연구 네트워크를 구축하기 위해 노력하고 있으며, 몇몇 국내외 교수님 및 연구자분과 함께 정기적인 협력 관계를 구축해오고 있습니다.” 이러한 공동 연구 네트워크를 통해 그는 다양한 산업 분야를 파생시키고 삶의 문화를 바꿀 것이라고 전망되고 있는 3D 프린팅 기술을 이용하여 유연 전자회로 및 전파 응용 시스템을 개발하기 위한 공동 연구도 진행하고 있다.

한편 그는 이렇게 연구를 진행하는 데에 있어서 좋은 성과를 얻기 위해 ‘생각하는 대로 살지 않으면, 사는 대로 생각한다’는 구절을 언제나 잊지 않는다고 한다. “어떤 경우에서라도 의지가 있다면 반드시 성과를 얻을 수 있다고 생각합니다. 결과를 얻기까지 노력하는 과정에서 끈기를 잃지 않고 반복하는 것이 중요합니다. 제가 그러했던 것처럼 그러한 노력 끝에 얻는 성과의 기쁨 속에서 한껏 성장한 자신을 발견할 수 있을 것입니다.”

많은 분야와의 융합을 통해 여러 응용 분야에 활용될 기술을 연구하여 발전하고 있는 양종렬 교수에게서 연구자로서의 진지한 모습과 발전 가능성을 엿볼 수 있었다. 목표를 향해 나아가기 위해 끊임없이 의지를 가지고 노력하는 자세를 배우며, 앞으로도 더 빛날 그의 모습을 기대해 본다. ✨



발행일 2017년 3월 31일 **발행인** 박인철 **편집인** 김태욱, 남병규 **제작** 심원기획 **기획** 김하늘 **발행처** 반도체설계교육센터(IDEC)
T.042) 350-8535 F.042) 350-8540 H.<http://www.idec.or.kr> E.kimsky1230@idec.or.kr

반도체설계교육센터 사업은 산업통상자원부, 한국반도체산업협회,
반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 앰코테크놀로지코리아)의 지원으로 수행되고 있습니다.