

2017
February



IDEC Newsletter

Vol. 236



IDEC 논단 지능형반도체의 미래와 우리의 대응
기술동향 2 저전력 스마트 센서 시스템 기술동향

기술동향 1 Negative Capacitance FET 기술소개 및 기술개발 동향
기획칼럼 AMIQ 사 DVT (Design Verification Tool)



반도체설계교육센터
IC DESIGN EDUCATION CENTER

2017년 MPW 진행 현황

- **지원 변경 사항** : 매그나칩/SK하이닉스 공정 Package Type 변경 지원 예정 (기존: LQFP 208pin type)
- **진행 현황** : [1월 모집] S65-1701회 삼성 65nm, MS180-1701회 매그나칩/SK하이닉스 180nm

공정	회차구분 (공정_년도순서)	우선모집 (마감일)	정규모집 (마감일)	제작칩수	DB마감 (Tape-out)	Die-out	비고
삼성 65nm	S65-1701		2017.01.23	40	2017.05.22	2017.12.11	정규모집 (~1/23)
	S65-1702		2017.03.13	40	2017.09.11	2018.04.02	
	S65-1703	2017.04.10	2017.06.19	40	2018.01.08	2018.07.30	
매그나칩 /SK하이닉스 180nm	MS180-1701		2017.01.23	25	2017.03.20	2017.08.21	정규모집 (~1/23)
	MS180-1702		2017.02.20	25	2017.05.22	2017.10.23	
	MS180-1703		2017.03.13	25	2017.07.24	2017.12.26	
	MS180-1704	2017.02.20	2017.04.10	25	2017.09.18	2018.02.19	
	MS180-1705	2017.04.10	2017.06.12	25	2017.12.04	2018.05.07	
매그나칩 /SK하이닉스 350nm	MS350-1701		2017.02.20	20	2017.06.12	2017.10.02	
	MS350-1702	2017.05.08	2017.07.10	20	2018.01.15	2018.05.07	

- 일정은 사정에 따라 다소 변경될 수 있음.
- S65-1701회(삼성 65nm)는 기존 설계 진행으로 서버를 보유한 팀만 참여 가능함.
- 회차표기 : 공정코드-년도 모집순서(예시) 삼성 65nm 2017 1회차: S65-1701)
- 모집기간 : 모집 마감일로부터 2주 전부터 접수함.
- Package 제작은 Die out 이후 1개월 소요됨.

2016년 MPW 진행 내역

- **진행 현황**
 - S65-1603회 삼성 65nm 공정: DB 검토 중 (02.13, 월요일 Fab in 예정)
 - MS350-1602회 매그나칩/SK하이닉스 350nm 공정: DB 접수 검토 중 (01.26, 목요일 Fab in 예정)
- **[참고] 공정별 칩제작 참여 내역**

공정	삼성	매그나칩/SK하이닉스	
	65nm	180nm	350nm
제작칩수	110	136	43



MPW 관련 문의 | 이의숙 책임 (yslee@idec.or.kr, 042-350-4428)

제24회 한국반도체학술대회 Chip Design Contest (CDC) 안내

- 이번 24회부터 CDC가 KCS의 정식 분과로 편입되었습니다.
- 일시 및 장소 : 2월 14일 (화), 흥천 비발디파크
- 논문 접수 현황 : 총 99팀 (데모 4팀, 패널 95팀)
- 온라인 사전등록 마감 : 1월 20일 (금)
- 행사 진행 일정 (사정에 따라 변경될 수 있습니다.)

시간	내용
08:30~10:00 (90')	Oral Session (구두팀 발표 진행)
08:30~17:30	Demo & Poster Session (데모 및 포스터팀 전시 진행)
15:00~16:00 (60')	CDC Core Session (전시 담당자는 자리를 반드시 지켜주세요 합니다.)

문의처

김하늘 | kimsky1230@idec.or.kr, 042-350-8535

2017년 IDEC MPW 지원 내역 및 일정

2017년 MPW 지원 내역

회사	공정[μ m]	공정내역	설계면적 (팀별)	칩수/1회	모집 횟수	Package 사용 가능 pin 수(Design)
삼성	65nm RFCMOS	CMOSRF 1-poly 8-metal	4mmx4mm	40	1	208pin
매그나칩/ SK하이닉스	180nm CMOS	CMOS 1-poly 6-metal (6metal을 Thick metal (TKM)로만 사용가능) (Optional layer(DNW,HRI,BJT,MIM) 추가)	3.8mmx3.8mm	25	5	200pin
	350nm CMOS	CMOS 2-poly 4-metal (Optional layer(DNW,HRI,BJT,CPOLY)추가)	5mmx4mm	20	2	144pin

- 지원 내역은 공정사의 사정에 따라 변경될 수 있음.

참여 대상

- IDEC참여대학의 학부 및 대학원생

진행 일정

회차구분 (공정_년도순서)	우선모집 (모집마감)	정규모집 (모집마감)	제작 칩수	DB 마감 (Tape-out)	Die-out	공정	
S65-1701		2017.01.23	40	2017.05.22	2017.12.11	삼성 65nm	
S65-1702		2017.03.13	40	2017.09.04	2018.03.26		
S65-1703		2017.04.10	2017.06.19	40	2018.01.08		2018.07.30
MS180-1701		2017.01.23	25	2017.03.20	2017.08.21	매그나칩/SK하이닉스 180nm	
MS180-1702		2017.02.20	25	2017.05.22	2017.10.23		
MS180-1703		2017.03.13	25	2017.07.24	2017.12.26		
MS180-1704		2017.02.20	2017.04.10	25	2017.09.18		2018.02.19
MS180-1705		2017.04.10	2017.06.12	25	2017.12.04		2018.05.07
MS350-1701		2017.02.20	20	2017.06.12	2017.10.02	매그나칩/SK하이닉스 350nm	
MS350-1702		2017.07.10	20	2018.01.15	2018.05.07		

- 위의 일정은 공정사의 사정에 따라 변경될 수 있음.
- 회차 표기 방법 변경 : “공정코드-년도모집순서”(예시)삼성65nm 2017년 1회차 : S65-1701)
- 삼성 65nm 1회차(S65-1701)의 경우는 기존 설계 진행으로 서버를 보유한 팀만 접수 가능합니다.
- 모집 : 우선과 정규모집으로 구분, 정규모집까지 마감되지 않는 공정에 대해서는 추가 모집 진행 (* 신청접수 기간 : 모집 마감일 2주전부터 접수)
- 선정결과 : 모집마감후 15일내 개별 통보
- 설계설명회 : 회차별 정규모집 마감 후 1~2주내 개최
- Package 제작 : Die out 이후 1개월 소요됨.



문의처 : 042-350-4428, yslee@idec.or.kr(이의숙 책임) <http://www.idec.or.kr>



반도체설계교육센터
IC DESIGN EDUCATION CENTER

수강을 원하는 분은

IDEC 홈페이지 (www.idec.or.kr) 를 방문하여 신청하시기 바랍니다.

강좌 일정

센터명	강의일자	강의 제목	분류
본센터	2월 1일-2일	오픈소스 HW 플랫폼 라즈베리파이	설계강좌
	2월 3일	CMOS 공정 및 마스크 레이아웃	설계강좌
	2월 7-9일	기가비트 이더넷제어기 설계와 응용설계	설계강좌
	2월 10일	CMOS 아날로그 회로설계 기초	설계강좌
	2월 14-15일	MS180 공정을 위한 Layout 설계 방법	설계강좌
	2월 17일	Mixed Signal Simulation Using AMS Designer v14.2	Tool강좌
	2월 20-21일	디지털 신호처리를 위한 고성능 저전력 SoC 설계	설계강좌
	2월 22-24일	Linux Management & EDA tools Installation	Tool강좌
광운대	2월 27-28일	Pspice를 이용한 회로 시뮬레이션	설계강좌
	2월 6-7일	반도체 개발 실무 기본 과정	설계강좌



본센터

2/1-2

강좌제목 오픈소스 HW 플랫폼 라즈베리파이

강사 이용진 강사 (엡티아이랩)

강좌개요

대표, 대세 오픈소스 HW 플랫폼 '라즈베리파이'의 기본 사용방법과 이를 활용하는 실습을 통해 IoT 시스템 구현을 체험하고, 자신의 아이디어를 반영한 시스템 구현의 기초를 다진다.

수강대상 대학(원)생, 회사원 **강의수준** 초급 **강의형태** 이론+실습

사전지식·선수과목 기본 컴퓨터 활용능력

2/3

강좌제목 CMOS 공정 및 마스크 레이아웃

강사 조성재 교수 (가천대)

강좌개요

기본적인 반도체 소자인 pn 접합 다이오드와 MOSFET의 동작 원리, CMOS process의 단위 공정, CMOS inverter의 동작 원리, CMOS inverter 제작을 위한 마스크 레이아웃과 process integration, 현대 VLSI 기술 방향에 관한 내용을 bottom-up 방식으로 진행한다.

수강대상 학부 4학년 및 대학원생, 관련 산업 엔지니어

강의수준 초급 **강의형태** 이론

사전지식·선수과목 반도체 소자(권장)

2/7-9

강좌제목 기가비트 이더넷제어기 설계와 응용설계

강사 기안도 소장 (다이아릿시스템)

강좌개요

기가비트 이더넷 제어기(Gigabit Ethernet Controller, MAC)를 설계하고 활용하는 방법을 RTL 설계부터 FPGA 보드에 적용하는 과정까지 배우고 실습한다. 더 나아가 내장형 프로세서를 통합하여 통신응용을 개발해 보는 과정을 이해하고 실습함으로써 이더넷과 관련한 하드웨어/소프트웨어 통합 설계/검증 방법을 배우고 익힌다.

수강대상 시스템반도체 설계자와 내장형시스템 설계자

강의수준 중급 **강의형태** 이론+실습

사전지식·선수과목

Digital Logic, Computer Architecture, Computer Communication, C programming/compilation/debugging, Verilog design/simulation/synthesis, FPGA design flow, On-Chip bus (AMBA), text editor (VI), Shell pr

2/10

강좌제목 CMOS 아날로그 회로설계 기초

강사 이강윤 교수 (성균관대)

강좌개요 아날로그 증폭기 및 Op-Amp의 이론을 배운다.

수강대상 석사과정 신입생

강의수준 초급 **강의형태** 이론

사전지식·선수과목 회로이론, 전자회로 1, 2

2/14-15

강좌제목 MS180 Digital Layout 설계 방법

강사 김연태 연구원 (IDEC)

강좌개요

IC Compiler 툴의 기본적인 사용 방법을 설명한다. MS180 공정에서 Cell Based Layout을 진행할 때 주의사항과 유용한 정보를 소개한다. 현재 사용되는 PDK를 활용하여 Fab-In을 하기 전 설계자가 점검해야 하는 부분을 설명한다.

수강대상 MS180 Cell-Based 설계자

강의수준 중급 **강의형태** 이론+실습

사전지식·선수과목 Verilog-HDL, Digital Synthesis(Design Compiler)

2/17

강좌제목 Mixed Signal Simulation Using AMS Designer v14.2

강사 서승원 부장 (Cadence)

강좌개요

Virtuoso AMS Designer(Virtuoso Use Model) 사용방법 교육

수강대상 Analog/Digital Mixed Signal Simulation Engineer

강의수준 중급 **강의형태** 이론+실습

사전지식·선수과목

사전지식 : Analog Circuit Simulation

선수과목 : Verilog language, NC-Verilog Simulator, Spectre Simulator,

사전지식·선수과목 컴퓨터 구조, C언어, 운영체제 관련 지식

문의 | KAIST IDEC 김영지 (042-350-8536, yjkim@idec.or.kr)



광운대

2/6-7

강좌제목 반도체 개발 실무 기본 과정

강사 이창훈 강사 (반도체기술인 협동조합)

강좌개요

반도체 업계에서 실제 요구하는 실무에 필요한 기본적인 지식과 기술을 코칭하여 업계에서 재교육에 필요한 시간적, 금전적인 loss를 최소화 하고 최근 반도체 신기술과 업계 동향에 대한 교육을 통해 반도체 산업에 대한 관심을 고취한다.

수강대상 반도체 개론과 개발 기술에 대한 기본지식과 회로 설계를 공부하고자 하는 학부/대학원생 또는 비전공자 및 재직자

강의수준 초중급 **강의형태** 이론

사전지식·선수과목 회로 이론 또는 전자회로, 반도체 소자 등

문의 | 광운대 IDEC 박수권 (02-940-5448, smartipc@kw.ac.kr)

지능형반도체의 미래와 우리의 대응

안기현 상무 | 한국반도체산업협회



1. 지능형반도체의 개념

지능형반도체는 IT 융합 제품에서 연산, 제어, 전송, 변환 기능 등 지능형 서비스를 수행하는 SW(Software)와 시스템반도체가 융합된 지능형 전자부품을 통칭하는 것이다. 지능형반도체는 시스템반도체에 스마트 기능을 수행하는 SW가 융합되어 스마트 디바이스 및 융합 제품에 필수적으로 탑재되는 핵심 부품으로서, 지능형반도체를 이루는 기술 요소는 IP(Intellectual Property) 설계 기술, SoC(System On a Chips) 설계 기술, SW 기술, 플랫폼 기술, 공정 기술 및 소자 기술 등이다. 주로 영상·음성 등 신호처리, 중앙제어 등 정보를 제어·처리하는 디지털 칩, 아날로그칩, 전력제어용칩, 센서 칩 등을 포함한다.



그림 1. 개념도

2. 지능형반도체의 시장동향

지능형반도체는 향후 제4차 산업혁명으로 인해 수요가 폭발적으로 확대될 전망이다. 지난 알파고의 사례에서 보았듯이 4차 산업혁명 시대가 되면 대부분의 기계가 알파고와 유사한 성능과 기능을 보유하게 될 것이다. 기계는 Deep Learning이라는 인공지능을 수행할 수 있는 알고리즘이 장착되어 기계가 스스로 판단하는 시대가 될 것이다. 기계는 다량의 정보를 습득하기 위해 다양한 센서들을 보유하게 될 것이고, 습득된 다량의 정보를 위한 데이터 저장소가 있어야 한다. 데이터 저장소는 고용량이어야 할 뿐 아니라 저전력, 고성능이어야 한다. 또 기계는 많은 양의 데이터를 읽어들이 해야 할 일을 빠르게 분석하고, 처리하고, 판단해야 한다. 이를 위해서 고성능이며 저전력으로 데이터를 처리하는 반도체로 만들어진 프로세서가 필요하다. 아울러 데이터를 기계들끼리 연결할 수 있도록 해야하고, 판단한 의사 결정을 실행하는 매커니즘도 필요하다. 지금까지 우리가 사용했던 기계들과는 많이 달라질 것이다. 특히, 많은 양의 반도체가 필요할 것이고, 고성능의 반도체가 인공지능 기계에서 필수적인 구성품이 될 것이다.



그림 2. 인공지능 기기의 반도체 기능과 성능

IDEC newsletter

이러한 4차 산업시대에 시스템반도체와 메모리반도체는 연산과 기억을 담당하면서 응용 분야 및 칩 수요가 폭발적으로 성장할 전망이다. 특히, IoT 시장이 본격화되면서 반도체가 탑재되는 IT 수요는 급증하여 센서, MCU, AP, 통신칩 등의 시스템반도체와 메모리반도체 수요가 증가한다. 4차 산업혁명 시대에는 500억대의 기기들이 서로 연결되어 지금보다 10배 많은 44조 GB의 데이터가 생성될 전망이다. 데이터 처리량이 대폭 증가하면서 서버용 반도체 수요가 큰 폭으로 증가할 전망이다. 인터넷 연결기기 수는 '15년 49억대에서 '20년 250억대로, '30년에는 500억대로 대폭 증가될 전망이다. 세계 빅데이터 시장 규모는 '15년 33억달러에서 '25년 818억달러로 연 평균 증가율 17%로 전망하고 있다. 알파고는 CPU를 1,202개, GPU를 176개를 사용했다. 이러한 알파고가 우리 실생활에 많이 적용될 것으로 전망하고 있다.

그러나 4차 산업혁명 시대에 시장이 요구하는 반도체의 성능과 조건은 우리가 해결해야 할 숙제이다. 첫 번째는 전력 소비를 최소화하는 동시에 성능을 최대화하면서 발열문제가 없어야 한다. 또한 가격이 지금보다 훨씬 저렴해야 한다. 그러면서 Device의 Security가 보장되어야 하고, Application 별로 차별화 기능이 구현되어야 한다. 현재 이러한 기술적 요구 사항을 해결하기 위해 뉴로모픽과 같은 인공지능형 프로세서를 개발하고 있으며, 센서 및 각종 칩을 하나의 칩에 집적시키는 One-chip화를 추진하고 있으며, 패키지 분야에서는 웨이퍼 레벨로 패키징하는 연구를 진행하고 있으며, 특화된 기능은 Embedded SW를 통하여 해결하려 하고 있다.

메모리반도체는 '대역폭', '용량', '지속성'이 필수적이며, AI, 빅데이터, 클라우드 시대에 더 빠르고 전력 소비량이 낮은 메모리가 필요하다. 메모리 반도체의 속도를 높이기 위해서는 S램 만큼의 성능, D램의 경제성, 낸드플래시의 비휘발성 조건을 적절히 갖추어야 한다. DRAM과 저장장치의 장점을 조합한 차세대 메모리인 SCM(Storage-Class Memory) 시장이 확대될 것으로 보이며, 스프린주입자화반전메모리(STT-M램), 저항변화메모리(Re램), 상변화메모리(P램) 등 차세대 메모리가 필요하다. 10나노급 이하의 극미세 공정에서는 소자간 간격이 좁아지면서 소자간 연결을 위한 메탈의 저항(RC delay)이 커지고 발열문제가 발생한다. 이를 해결하기 위해 발열을 줄이고 배터리 수명을 늘리기 위한 FoWLP(Fan-out Wafer Level Package) 등의 차세대 패키징 기술이 대두되고 있다. 반도체 미세화가 진행될수록 발열은 필연적으로 늘어나기 때문에, 스프린 기반 차세대 메모리 소자나 실리콘을 대체하는 3-5족 화합물반도체 등의 연구도 진행하고 있다. 저전력은 필수적이다. 초저전력 구동을 위한 tunnel FET, NC FET, NEM FET 등의 다양한 차세대 소자 개발이 필요하다. 고성능이 필요하다. IoT와 빅데이터 처리를 위해서는 지연시간 없이 거의 실시간으로 데이터 처리가 가능하고, 보안성과 신뢰성을 모두 갖춘 고성능 프로세서가 요구된다.

3. 글로벌 기업들의 대응동향

최근 IoT·인공지능·빅데이터·자율주행 자동차·로봇 등 제 4차 산업혁명을 주도하는 산업이 빠르게 발전하면서 이를 구현하기 위한 센서·통신·프로세서 등이 제 4차 산업혁명 시대의 역량을 좌우할 핵심 기술로 부각되고 있고, 향후 4차 산업혁명 시대에 반도체가 셋트의 성능에 결정적 영향을 미친다는 것을 이미 글로벌 기업들은 인식하고 있다. 이를 위해 애플·구글·아마존 등은 자체 R&D와 함께 적극적인 유망 기업 인수를 통해 반도체 역량 확보에 매진하고 있는 상황이다.

대표적으로 소프트뱅크는 모바일 반도체기업인 'ARM'을 약 310억달러에 인수하기로 확정(2016.07.18.)했다. 사이버마켓 전문회사인 아마존은 이스라엘 반도체 회사인 안나푸르나랩스를 '15년 1월 인수하기로 했다. 또한 알파인칩을 출시하여 커넥티드홈 시장의 공격을 본격화하고 있다. 소프트웨어 개발 회사인 마이크로소프트사도 이스라엘 반도체 기업 엔-트리그를 '15년 2월 인수하기로 결정했다. 통신 네트워크 장비 회사인 CISCO도 '16년 3월 네트워크 장비용 반도체를 설계하는 이스라엘의 리아베의 인수를 발표했다. 반도체 회사들도 사업의 외연을 넓히는 일들을 계속하고 있다. 세계 최대의 반도체 회사인 미국의 인텔은 프로그래머블반도체의 강자인 알테라를 인수했고, 모바일반도체의 최대 강자인 퀄컴은 자동차용 반도체 회사인 NXP를 인수하였다. 이처럼 4차 산업혁명에 따른 IoT 시대에 대비하는 기업들의 전략은 과감하고 빠르게 진행되고 있다.

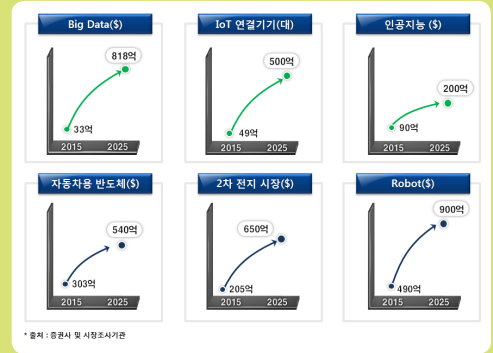


그림 3. 2025년 미래 유망분야 시장전망

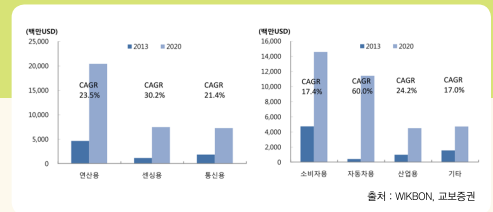


그림 4. 기능별 IoT용 반도체 시장 전망 / 전자장치별 IoT용 반도체 시장전망

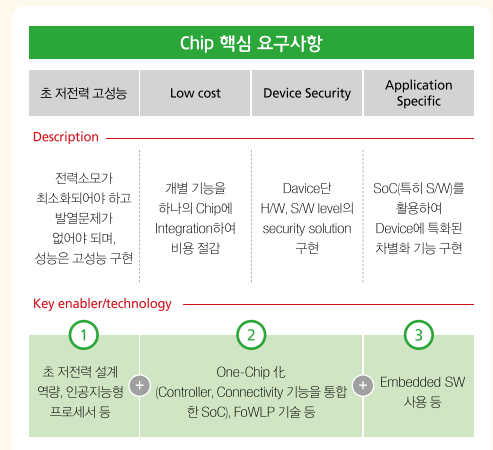


그림 5. IoT 구현을 위한 반도체 요구 조건

4. 지능형반도체의 미래

이러한 시대적 흐름에 따라 향후 지능형반도체의 발전은 다음과 같이 진행될 것으로 전망된다. 첫째, 사물인터넷, 착용형 전자기기, 바이오, 헬스케어 등의 경량, 저전력 및 무인 항공기 등의 고효율, 저가격 요구를 충족할 수 있는 지능형반도체인 경량 초저전력 SW-SoC 지능형반도체가 필요할 것이다. 둘째, 스마트 운송기기, 스마트 재난방재 시스템, 스마트 공장, 스마트 로봇의 지능화 및 자율제어를 위한 다기능 고성능 센서, 컨트롤러, 프로세서 등을 구현할 수 있는 첨단센서 융합 스마트 제어 SW-SoC 지능형반도체가 필요할 것이다. 셋째, 고효율로 에너지를 생성/관리/변환 등을 하는 고효율 전력 에너지 SW-SoC 지능형반도체가 필요할 것이다. 넷째, 건강하고 윤택한 삶을 위한 예방, 건강 상태 감지, 위험 알림 등을 지원하는 웰니스 케어 SW-SoC 지능형반도체가 출현될 것이다. 다섯째, 통신망 간 Always Connectivity를 지원하고 고속 통신, 프로세서 기능 등을 통해 빅데이터 네트워크 등을 동작하게 하는 스마트 통신 SW-SoC 지능형반도체가 출현될 것이다.

이를 구현하기 위해 많은 기술들이 개발될 것이다.

첫째, 지능형반도체의 핵심역할을 할 CPU Core들이 다양해 질 것이다. 현재 대부분의 지능형반도체가 CPU Core로 ARM Core를 쓰고 있지만, 제품의 종류가 다양해짐에 따라 Core의 종류도 다양해 질 것으로 전망된다. 이미 CPU Core는 ARM 외에도 몇 가지 더 개발되어 출시되어 있다. 이것들의 적용시도가 많아질 것으로 전망된다. 한국에서도 ETRI가 개발한 알데바란, KAIST가 개발한 Core-A, ADChips가 개발한 EISC 등이 있다. 이외 Logic function, 내장형 메모리, Analog/mixed 등 지능형반도체 개발에 필요한 요소 반도체 설계 IP 등 각종 IP가 다양하게 시장에 출시될 것이다.

둘째, 스마트카, 스마트 공장, 스마트 로봇 및 제품 구현에 예방/감지/진단 기능으로 사용되는 스마트 인지/제어 SW-SoC 기술이 개발될 것이다. 이를 위해 광학계, 비광학계, 생화학·바이오, MEMS 등 다양한 정보를 획득, 출력할 수 있는 반도체 첨단 센서기술이 개발될 것이고, 인지, AV, 감성, 행동·인지정보를 저전력/경량/고속으로 연산 및 제어하는 인지신호 처리/제어 기술, 센서 입력신호를 분석하여 그 결과를 대응기술로 변환하는 고정밀 센서 신호처리 반도체 기술이 개발될 것이다. 또한, 바이오 센서, 바이오 신호처리, 바이오 신호통신 인간의 신체기능 및 병균 감염을 감지, 진단하고 빅데이터 분석 등을 알려주는 기술 웰니스케어 지능형반도체 기술이 개발될 것이다.

셋째, Always Connectivity, 스마트카, 스마트 재난안전 서비스의 통신기능과 고속 데이터 통신 구현에 사용되는 Connectivity SoC 및 SW 설계 기술이 개발된다. 이를 위해 지능형반도체 탑재 디바이스의 다양한 통신, 연동, 제어 등을 지원하는 초저전력 Connectivity SW-SoC 기술, 정보 보호, 하드웨어, 빅데이터 보안, 고신뢰성 정보 보안, 인증 기술 및 고신뢰성 보장을 위한 SW-SoC 융합 기술, 이동통신, 5G, AV 코덱 고속의 이동통신에 사용하는 지능형반도체 고속 이동통신 SW-SoC 기술, 이동통신, WLAN/WPAN 차량·선박·항공용 통신 광대역 고속 네트워크, WLAN/WPAN 데이터 통신, 차량·선박·항공용 통신 시스템 기저대역 모뎀 HW 설계 기술 광대역 네트워크 SW-SoC 기술이 개발될 것이다.

넷째, 사물인터넷, 빅데이터, 스마트 로봇, 스마트 재난안전 서비스 및 제품 구현에 사용될 수 있는 초고속의 연산처리가 가능한 초고속 컴퓨팅 SW-SoC 기술이 개발된다. 이를 위해 뉴로모픽, 뉴로시냅틱, 칩, 신경망, 뉴럴 프로세싱 자율적인 학습판단이 가능한 신경모사 지능형 고속 컴퓨팅 SW-SoC 기술, SSD, UFS, PIM SSD 등 메모리와 PU/Controller가 융합된 독립적인 기능을 하는 메모리반도체 지능형 메모리 SW-SoC 기술, 초저전력, 초경량, 착용형 컴퓨팅, 사물인터넷 초저전력, 초경량 디바이스를 위한 경량/고신뢰 SW 기술, Multi-Thread, Parallel Processing, 빅데이터 다량의 정보를 실시간 분석 및 처리하는데 필요한 고속 연산처리 SW-SoC 기술, Processor, Low Power, Compiler/Debugger 사물 단말을 위한 소형, 저전력 프로세서와 다양한 응용을 위한 주변장치 IP 기술 IoT향 저전력 프로세서 기술이 개발된다.

다섯째, 전력창출, 전송, 변환, 관리에 사용되는 고효율 전력에너지 반도체기술이 개발된다. 이를 위해 태양, 압전/풍력/진동, 충전 신재생 에너지 창출 및 에너지를 회생에 사용되는 에너지 하베스팅 반도체기술, PMIC, BMIC, Motor Driver IC, 직류전력 모바일기기/가전 등에서 전력관리를 위해 사용되는 반도체 에너지 고효율 전력관리 SW-SoC 기술, IGBT, MOSFET, SiC, GaN 전력의 전압 등을 변환하는 고효율 전력변환 SW-SoC 융합 기술이 가까운 미래에 개발될 것이다.

미래 지능형반도체

1. 경량 초저전력 SW-SoC 지능형반도체

사물인터넷, 착용형, 바이오, 헬스케어 등의 경량, 저전력 및 무인 항공기 등의 고효율, 저가격 요구를 충족할 수 있는 지능형반도체

2. 첨단센서 융합 스마트 제어 SW-SoC 지능형반도체

스마트 운송기기, 스마트 재난방재 시스템, 스마트공 장, 스마트 로봇의 지능화 및 자율제어를 위한 다기능 고성능 센서, 컨트롤러, 프로세서 등의 지능형반도체

3. 고효율 전력 에너지 SW-SoC 지능형반도체

미래 성장동력 IT 융합제품에서 필요한 에너지 생성/관리/변환 등을 위한 고효율화 전력에너지 지능형반도체

4. 웰니스케어 SW-SoC 지능형반도체

건강하고 윤택한 삶을 위한 예방, 건강 상태 감지, 위험 알림 등의 지원 및 데이터의 객체화를 통한 효율적 활용 등을 지원하는 지능형반도체

5. 스마트 통신 SW-SoC 지능형반도체

통신망 간 Seamless Connectivity를 지원하고 고속 통신, 프로세서 기능 등을 통해 빅데이터 네트워크 등을 동작하게 하는 지능형반도체

5. 우리 산업의 현실과 대응

우리나라는 미국에 이은 세계 2위의 반도체 생산국가로, 2015년 기준 세계 반도체 시장의 17.4%를 점유하고 있다. 한국은 본격적인 반도체 개발에 나선지 약 30년만인 2013년에 처음으로 일본을 넘어 세계 2위 반도체 생산국가로 등극했으며, 매년 일본과의 격차를 점점 넓혀가고 있는 상황이다. 세계 1위 반도체 기업인 Intel과 세계 2위 기업인 삼성전자와의 격차도 매년 조금씩 줄어들고 있으며, 2015년 기준으로 90억달러 정도의 격차를 보이고 있어 향후 5년 이내에 세계 1위 생산기업을 보유한 국가가 될 것으로 예측되고 있다. 2001년 이후 한국 반도체 산업의 연평균 성장률은 14.7%로, 미국 5.9%, 일본 -1.2%에 비해 월등히 높은 산업 성장세를 기록하고 있다. 메모리반도체는 선제적인 투자와 앞선 공정기술로 2015년 기준 세계시장의 57.7%를 점유하며 압도적인 경쟁력을 보유하고 있다. 2002년부터 메모리반도체 세계 1위에 오른 이후 최강국의 자리를 굳건히 유지하고 있으며, DRAM(73.1%), Nand Flash(42.7%) 모두 세계 최강국으로 세계 메모리시장을 주도하고 있다. 2015년을 기준으로 메모리 전체 시장에서 삼성전자 37.5%, SK하이닉스 20.1%, DRAM 분야에서는 삼성전자 40.4%, SK하이닉스 27.4%를 점유하고 있다. 그러나, 지능형반도체 시장은 약 2,000억달러로 전체 반도체 시장의 60%에 달하는 거대 시장이지만, 국내 시스템반도체 생산액은 88억달러로 세계시장 점유율은 4.3%에 불과하다. 지능형반도체 시장 점유율 중 약 80%는 삼성전자가 차지하고 있으며, 국내 중소 Fabless 기업들의 비중은 매우 저조한 실정이다.

Display Driver IC, CMOS Image Sensor 등 일부 품목에서는 세계적 경쟁력을 확보했으나, 시스템반도체의 핵심 칩인 프로세서, 모뎀 등은 대부분 수입에 의존하고 있는 상황이다. 응용 분야로는 휴대폰과 디스플레이 등 일부 분야에 국한되어 있으나, 최근 자동차, 사물인터넷, 웨어러블 디바이스 등 신시장이 열리면서 관련 분야로 사업을 다각화하려는 추세이다.

국내 지능형반도체 산업의 문제점은 전세계 수요시장이 IoT, 빅데이터, 차세대 이동통신, 스마트 자동차 등 분야에서 고성능·소형·저전력화, SW 융합기술로 발전중이나 국내는 지능형반도체의 외산 대체를 위한 국산화를 중심으로 개발이 추진되어 차세대 시스템용 반도체 R&D가 부족한 상황이다. R&D의 수요처가 삼성전자, LG전자, 현대자동차 등 국내 대기업 편중되어 있고, 글로벌 시장 target형 선도적 제품개발도 미미하다.

또한, 설계 IP 등 핵심 요소기술을 해외로부터 도입하는 등으로 해외 경쟁기업과의 차별적 경쟁력이 부족하다. CPU 코어 등 핵심 IP 및 임베디드 SW 등 지능형반도체 핵심 요소기술의 국산개발을 통한 가격 경쟁력 확보 및 차별화가 필요하다.

인력 측면에서도 기업의 수요는 많으나 학교에서 배출되는 공급의 절대수가 부족하며, 그나마 대기업에 편중되어 있어 팹리스는 인력충원에 애로가 많다. 석박사급 인력 수요는 향후 5년간 20% 이상 증가할 예정이나, 공급은 연 200명 내외로 정체되어 있다.

이를 위해 핵심 원천기술의 확보 및 차세대 수요시장의 R&D 추진이 필요하다. 지능형반도체 원천기술은 초저전력 고성능 지능형반도체 원천기술개발, CPU코어 및 핵심 IP기술의 개발과 신뢰성 검증 R&D 추진, 지능형반도체를 위한 SW 원천기술 및 플랫폼 기술개발이 필요하고, 미래 성장동력 산업 연계 R&D 추진이 필요하다. IoT/착용형 디바이스용, 5G 통신기기용, 차세대 운송기기용, 바이오/헬스케어용, 전력에너지용 지능형반도체 기술개발이 필요하다.

인재는 미래 산업수요 지향형 우수 인재 양성 및 공급이 필요하다. 핵심 원천 기술개발 인력양성, SW-SoC 융합 지능형반도체 트랙 과목 개설 및 기반 인재 양성 운영지원, 산학연계형 산업기술 R&D 연계형 고급 융복합 인력양성이 필요하다.

인프라는 지능형반도체 중소기업 개발환경 구축 및 지원이 필요하다. 지능형반도체 설계 SW 공동사용 환경 제공, 지능형반도체 개발의 효율성과 제품 경쟁력 제고를 위한 IP공유 및 유통 체계 구축지원, 지능형반도체 중소기업의 시제품 제작 지원, 산학연 연구역량 결집을 위한 포럼 구축 및 운영, 신규 아이디어의 지속적 발굴과 사업화를 위한 창업/보육 시스템 구축 및 운영이 필요하다.

마지막으로 연구환경이 개선되어야 한다. 팹리스 기업이 연구개발에서 반드시 필요한 설계 SW, IP, 시제품 제작지원 환경의 구비 및 사용이 용이하지 않다. 기술개발 효율성을 위하여 IP기업, SW기업, SoC기업, 파운드리 기업, 수요기업 간 협력이 매우 필요하고, 산학연간 연계도 매우 중요하다. 이를 해결하여 지능형반도체를 개발하기 위한 산업간 R&D 협력 플랫폼 구성 및 운영이 필요하다. 🏠

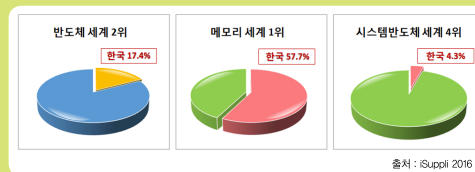


그림 6. 한국의 반도체 세계시장 점유율

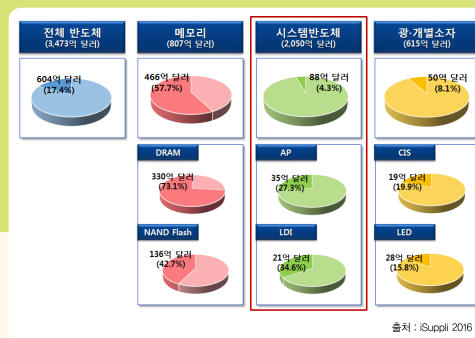


그림 7. 국내 생산 반도체의 생산액 및 세계시장 점유율

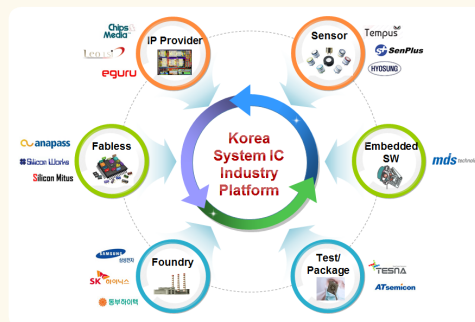
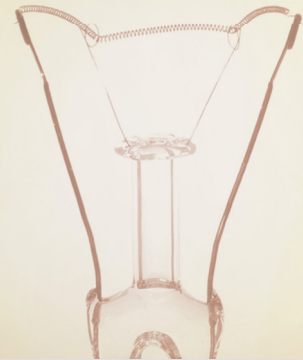


그림 8. 지능형반도체 R&D 협력 플랫폼

Negative Capacitance FET

기술소개 및 기술개발 동향

신창환 교수, 이현재 연구원 | 서울시립대학교 전자전기컴퓨터공학부



서론

무어의 법칙을 쫓아 지난 50여년간 반도체 산업계는 18~24개월마다 미세선폭을 선행기술 대비 70% 수준으로 줄임으로써, 일정 크기를 가지는 반도체 칩 면적에 대해 선행기술 대비 약 두 배 가량의 반도체 부품소자를 성공적으로 집적시켜오고 있다. 지난 2003년, 90nm 반도체 제조공정 기술을 성공적으로 상용화시킨 이후, 지속적으로 트랜지스터의 성능을 향상시키기 위한 혁신적인 반도체 핵심 요소 기술들이 고안되었다. 그림 1에서 보듯, 90nm 반도체 기술은 stress engineering 이라는 핵심 요소 기술을 활용하여 전류를 흘리는 캐리어(전자 및 양공)의 이동도(mobility)를 증가시켜 on-state drive current의 향상을 이루어내었다. 이후 두 세대 뒤인 45nm 반도체 기술(2007년 상용화가 이루어짐)에서는 High-k/Metal-Gate(HK/MG) 핵심 요소 기술을 새롭게 선보임으로써, 또 한번의 혁신적인 반도체 제조공정 기술 발전을 달성하였다. 22nm/20nm 반도체 기술(2011~2012년 상용화가 이루어짐)에서는 3차원 구조를 가진 새로운 형태의 트랜지스터인 FinFET 기술을 선보였다. 2017년 현재, 반도체 산업계는 1xnm 및 10nm이하 급 반도체 기술개발을 완성시키기 위해 다양한 핵심 요소 기술들을 개발 중이다.

그 결과 듀얼코어 급 마이크로프로세서 내부는 단위 칩 당 수십억 개 이상의 트랜지스터들로 가득 채워지게 되었고, 이로 인해 칩 내부의 전력 소모밀도(power density)는 기하급수적으로 증가하여 핵 원자로를 넘어 로켓의 노즐과 같은 정도에 이르렀다(그림 2). 이는 전 세계에 분포하고 있는 주요 데이터 센터에서 대용량의 데이터를 보관 및 처리하는데 있어서도 큰 장애물이 되고 있다. 더 나아가, 초연결사회 구축을 위한 사물인터넷(Internet of Things, IoT)을 위한 반도체 기술은 극단적 에너지 절감형 초절전 반도체 기술을 절실히 요구한다. 본 기사에서는 기하급수적으로 증가하는 전력소모밀도 문제를 야기하는 기술적 원인과 이를 어떻게 해결할 수 있는지에 대해 알아보고, 전력소모밀도 문제를 해결할 수 있는 극단적 에너지 절감형 초저전력 반도체 소자인 Negative Capacitance Field-Effect Transistor(NCFET)에 대해 살펴보고자 한다.

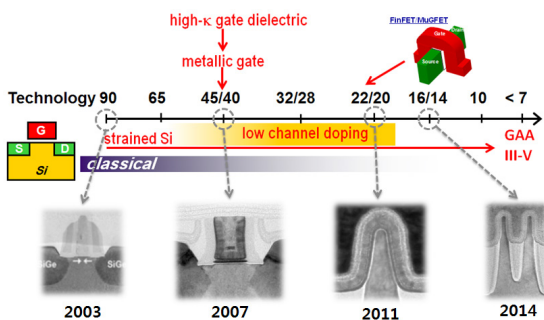


그림 1. 100nm이하 급 반도체 기술개발 역사¹⁻⁴. 90nm 반도체 기술에서는 stress engineering, 45nm 반도체 기술에서는 HK/MG, 22nm 반도체 기술에서는 FinFET 기술을 선보였다. 두 세대마다 혁신적인 반도체 핵심 요소 기술이 도입되었다.

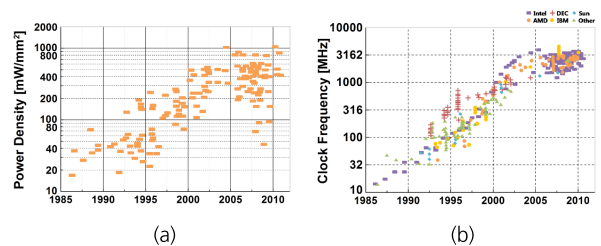


그림 2. 시간에 따른 전력소모밀도(power density) (좌) 클럭 주파수(clock frequency) (우)⁵

Power supply voltage(V_{DD}) scaling의 한계 및 해결 방법

Complementary Metal Oxide Semiconductor(CMOS) 소자의 지속적인 소형화(scaling)를 통해 CMOS 반도체 소자의 성능 향상은 성공적으로 이루어졌지만, 전력소모밀도의 급격한 증가로 인해 CMOS

반도체 소자 내 열 발생량이 급증하였다. 그 결과, CPU의 클럭 주파수 (clock frequency)가 일정 주파수(약 3GHz) 이상으로 높아지지 못하고 정체되었다(그림 2). 전력소모밀도의 급격한 증가는 CPU의 지속적인 성능 향상을 저해하였고, 이에 따라 International Technology Roadmap for Semiconductors(ITRS)에서는 낮은 전력소모밀도를 가질 수 있는 Tunnel FET(TFET), Negative Capacitance FET(NCFET), Nano-Electro-Mechanical Relay(NEM Relay), Impact Ionization MOSFET(I-MOSFET) 등과 같은 차세대 저전력 소자들의 상용화 가능성을 제시하였고⁶, 많은 반도체 기업 및 대학에서 새로운 실리콘 반도체 소자 연구가 이루어져오고 있다.

우선 왜 전력소모밀도가 기하급수적으로 증가해왔는지에 대한 근본적인 원인을 살펴보자. 그림 3(a)에서 알 수 있듯 전력소모밀도(power density)는 active 및 passive power density로 나뉘는데, 각 전력소모 밀도 요소는 구동전압(V_{DD})의 스케일링을 통해서 감소시킬 수 있다. 따라서 CMOS 소자의 발전 역사를 다시 상기해보면, 소자의 물리적 크기 감소를 통한 소자의 성능향상에 발맞추어서 구동전압(V_{DD})의 스케일링도 함께 이루어져왔음을 확인할 수 있다. 하지만 충분한 overdrive voltage를 확보하기 위해 V_{DD} 스케일링과 동시에 문턱전압(V_{TH}) 역시 스케일링이 되어야 한다(그림 3(b)). 하지만, Metal Oxide Semiconductor Field Effect Transistor(MOSFET)으로 대변되는 CMOS 실리콘 소자는 thermionic emission 기반의 프로세스로 동작하기 때문에 CMOS 소자의 subthreshold slope(SS, 드레인 전류를 10배 높이는 데에 필요한 최소 게이트 전압)를 상온기준으로 60mV/decade보다 작게 하는 것은 물리적으로 불가능하다(Boltzmann Tyranny로도 불림). 그 결과, 문턱전압(V_{TH})을 선형적으로 낮추게 되면 누설전류(off-state leakage current)가 기하급수적으로 증가하게 된다(그림 4(a)). 따라서 단순히 V_{DD} 를 낮추는 것만으로는 저전력 소자를 구현할 수 없음을 알 수 있다. 이에 대한 해결 방안은 그림 4(b)에서 보듯, SS를 60mV/decade 보다 작게 만드는 데서 찾을 수 있다. Sub-60-mV/decade 특성을 가진 스텝 스위칭 반도체 소자는 V_{DD} 를 줄이는 동시에 V_{TH} 의 스케일링이 가능하여 전력소모밀도 문제를 손쉽게 해결할 수 있다. 스텝 스위칭 반도체 소자 중 하나인 Negative Capacitance Field-Effect Transistor(NCFET)에 대해서 보다 자세히 알아보겠다.

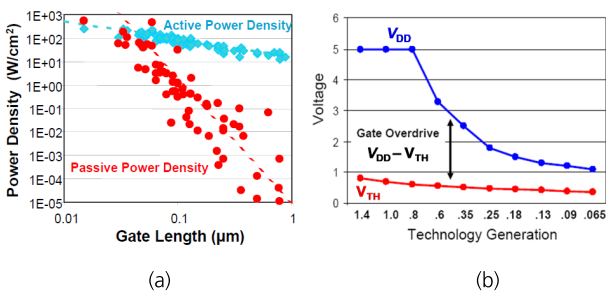
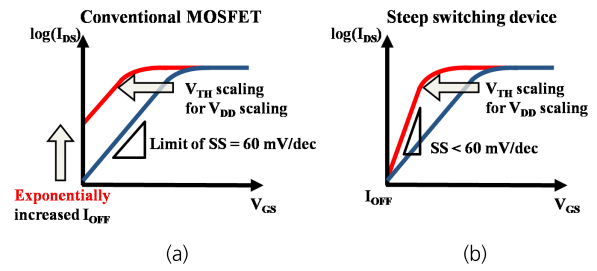


그림 3. (a) 채널 길이에 따른 전력소모밀도, (b) 반도체 기술 세대에 따른 V_{DD} 와 V_{TH} 의 변화⁷



$$SS = \frac{\partial V_G}{\partial \log_{10}(I_D)} = \left(\frac{\partial V_G}{\partial \phi_S} \right) \times \left(\frac{\partial \phi_S}{\partial \log_{10}(I_D)} \right)$$

$$m = \frac{\partial V_G}{\partial \phi_S} = 1 + \frac{C_{dep}}{C_{ox}} > 1$$

$$n = \frac{\partial \phi_S}{\partial \log_{10}(I_D)} = \frac{kT}{q} \ln(10) = 0.060 \text{ (} T = 300 \text{ K)}$$

그림 4. (a) Conventional MOSFET의 I_{bs} -vs.- V_{GS} : 충분한 overdrive voltage 확보를 위해 MOSFET의 V_{DD} 스케일링과 함께 V_{TH} 도 낮추어야 하나, 제한된 SS값 때문에 누설전류는 기하급수적으로 증가 (b) Steep switching 소자의 I_{bs} -vs.- V_{GS} (c) Subthreshold slope(SS)를 나타내는 방정식

Negative Capacitance Field-Effect Transistor(NCFET) 기술 소개

Negative Capacitance Field-Effect Transistor(NCFET)는 2008년 University of California Berkeley의 Sayeef Salahuddin 교수에 의해 최초로 제안되었다⁸. NCFET을 쉽게 이해하기 위해 강유전체 물질에서의 negative capacitance(NC) 현상에 대해서 알아보자.

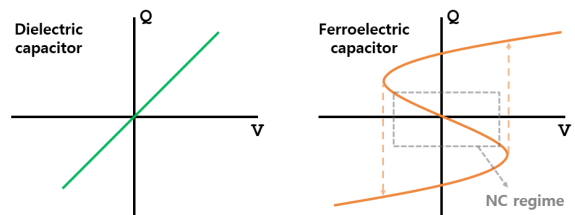


그림 5. Positive capacitance (좌) vs. negative capacitance (우)

일반적으로 전기용량/정전용량을 의미하는 capacitance(C)는 전압 (V)의 변화에 따른 전하량(Q)의 변화로 정의할 수 있다(즉, $C = dQ/dV$). 실리콘 CMOS 반도체 소자의 gate oxide capacitance(SiO_2 , HfO_2 등의 dielectric 재료로 gate oxide 층을 구성함)는 양의 값을 가진다(그림 5. 좌측). 하지만 강유전체(ferroelectric) 물질(예컨대 PZT, BTO, $HfZrO_x$ 등)은 위상이 변화하는 과정에서 dQ/dV 가 비록 불안정하지만 음의 값을 가질 수 있다. 1956년 물리학자 R. Landauer에 의해 ferroelectric capacitor에서의 NC 현상에 대해 이론적으로 예측되었고⁹, 그 이후 여러 연구를 통해 electric field(E)의 변화에 따른 polarization(P)의 변화가 negative할 수 있다는 것을 보였다. 특히 2014년 UC Berkeley 그룹에서 연구한 ferroelectric capacitor의 RC circuit 실험을 통해

ferroelectric capacitor 내 negative capacitance을 실험적으로 직접 측정하였다(그림 6).

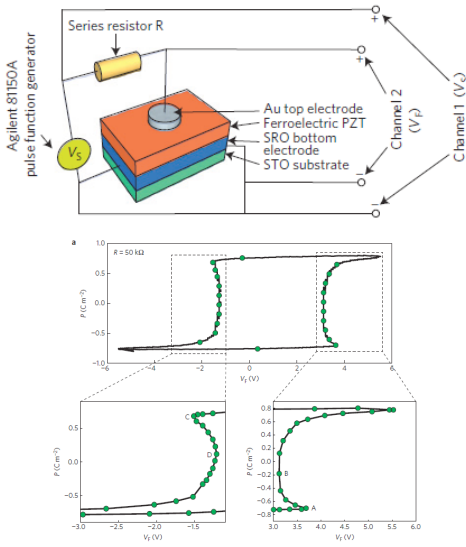


그림 6. PZT ferroelectric capacitor의 negative capacitance 특성¹⁰

Ferroelectric 물질의 energy landscape를 통해서 NC에 대해서 알아보자(엄밀히 말하면, negative differential capacitance이지만 negative capacitance로 줄여서 명명함). 그림 7(a)를 보면 특정 Q_f 에서 capacitance C는 potential energy U와 $C = [d^2U/dQ_f^2]$ 의 관계를 가지고 있다. U vs. Q_f 곡선은 두 개의 minima를 갖고 있으며, $Q_f = 0$ 부근에서 음의 capacitance가 존재할 수 있는 것을 확인할 수 있다(그림 7(a)). 외부 전압 V가 증가되면 (예컨대, $V < V_c$ (coercive voltage)), 양 쪽 minima 사이에 barrier가 낮아지게 되고 원래의 polarization은 더 낮은 에너지 상태를 찾아 움직이게 된다(그림 7(b)). 하지만 여전히 barrier가 존재하기 때문에 왼쪽의 minima에 머무를 뿐 오른쪽

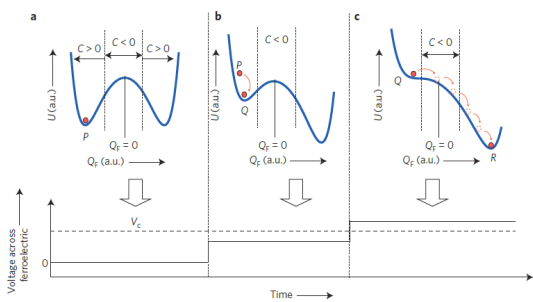


그림 7. (a) 외부 전압 $V = 0$ V, (b) 외부 전압 $V < V_c$, (c) 외부 전압 $V > V_c$ 일 때 energy landscape. 여기서 V_c 는 coercive voltage를 의미¹⁰

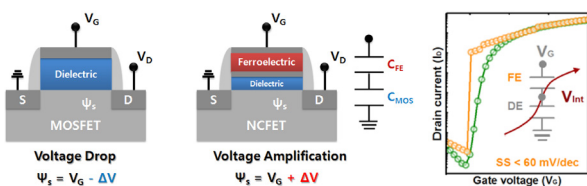


그림 8. MOSFET과 NCFET의 (a) mechanism 비교 (b) $I_{DS} - V_{GS}$ 비교 (주황색: NCFET, 초록색: MOSFET)¹¹

minima로 상태 전이는 이루어지지 못한다. 만약 V_c 이상의 외부 전압을 인가해주게 되면, 그림 7(c)와 같이 하나의 minima는 사라지게 되고 남아있는 하나의 minima로 polarization이 바뀌게 된다. 바로 이 과정에서 NC를 구현할 수 있게 된다.

NC를 CMOS 실리콘 반도체 소자에 적용하면 어떻게 될까? 일반적으로 drain current를 10배 올리는데 필요한 최소의 게이트 전압값을 sub-threshold slope(SS)로 정의하고, 이는 얼마나 적은 전압으로 소자가 스위칭 될 수 있는지를 나타내는 지표이다. 기존 MOSFET의 경우는 Boltzmann limit 때문에 상온에서 60mV/decade보다 작은 SS값을 가질 수 없다(그림 4(c)). 하지만, ferroelectric 물질을 가지고 있는 NCFET의 경우, NC 성분이 인가한 게이트 전압 대비 surface potential(ψ_s)을 충분히 증폭시킬 수 있다(그림 8(a)). 그 이유는 일반적으로 두 개의 양의 capacitor를 직렬 연결하면 전체 capacitance값은 작은 capacitance 값보다 작아진다. 하지만 그 중 하나의 capacitance값이 음수를 갖게 되면 전체 capacitance값은 양의 capacitance값보다 더 커질 수 있게 된다. 즉, C_{FE} (ferroelectric capacitor의 전기용량)가 음수일 때, V_g 보다 ψ_s 값이 더 커질 수 있음을 의미한다. 이는 그림 4(c)에서 언급한 $m = (dV_g/d\psi_s)$ 이 1보다 작아지게 될 수 있기 때문에 $SS < 60mV/decade$ 를 얻을 수 있다는 의미이기도 하다. 이러한 NC의 동작 메커니즘에 기반하여 여러 연구 그룹에서 NCFET 실험을 진행하고 있으며, NC 효과에 의한 steep switching 현상들이 실험적으로 관찰되고 있다(그림 9). 다른 저전력 소자 대비 CMOS 소자와의 호환 가능성 및 구조적인 장점 등으로 인해 최근 가장 각광받는 저전력 반도체 소자 중 하나이다. 하지만 현재 NCFET 연구는 연구단계 초기에 있기 때문에, 다방면의 지속적인 연구가 필요하다.

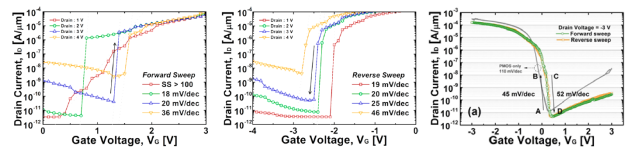


그림 9. NC 효과에 의한 steep switching 특성을 보이는 다양한 NCFET 실험 결과들^{11,12}

Negative Capacitance Field-Effect Transistor 기술 동향

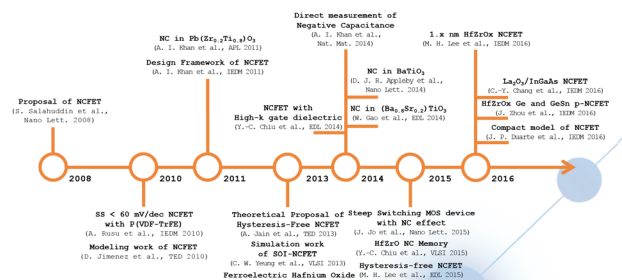


그림 10. NCFET 연구 동향

그림 10에서 볼 수 있듯 2008년 UC Berkeley의 Sayeef Salahuddin 교수에 의해 저전력 반도체 소자로서의 Negative Capacitance FET (NCFET)이 처음으로 제안된 뒤, 2010년 로잔 연방 공과대학교(Swiss Federal Institute of Technology in Lausanne, EPFL)에서 처음으로 Negative Capacitance FET을 제작하여 $SS < 60 \text{ mV/dec}$ 의 특성을 구현하였다. 이후, $\text{Pb}(\text{Zr}_{0.2}\text{Ti}_{0.8})\text{O}_3$, $(\text{Ba}_{0.8}\text{Sr}_{0.2})\text{TiO}_3$, BaTiO_3 , $\text{P}(\text{VDF}_{0.75}\text{TrFE}_{0.25})$ 등의 ferroelectric 물질에서 negative capacitance 현상이 실험적으로 확인되며 전세계 많은 기업 및 대학에서 관심을 가지고 연구를 진행하고 있다. 2013년 Intel은 $\text{Al}_{0.83}\text{In}_{0.17}\text{N}/\text{AlN}/\text{GaN}$ 구조를 이용한 NCFET을 International Electron Devices Meeting(IEDM)에 발표했으며, 특히 2014년 말에 UC Berkeley 그룹에 의해 ferroelectric capacitor의 negative capacitance 성분에 대한 direct measurement 결과가 발표됨으로써 NCFET이 더 많이 주목받게 되었다. 다음 해 한국에서는 처음으로 서울시립대학교에서 negative capacitance를 이용한 steep switching CMOS 반도체 소자를 실험적으로 데모하였다. 최근 학계 및 산업계에서 HfO_2 기반 ferroelectricity(특히, HfZrO_x)의 negative capacitance 성분에 관한 연구가 진행되면서 기존 CMOS device와의 호환 가능성에 더 많은 관심을 받고있다(그림 11).

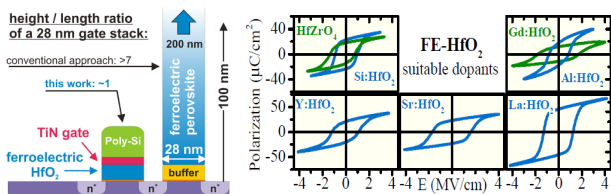


그림 11. Ferroelectric HfO_2 를 gate stack에 활용 시 장점 (좌)
 HfO_2 기반 ferroelectric 물질의 P-E curves (우)^{13,14}

결론

지금까지 저전력 반도체 소자의 필요성 및 NCFET의 기술을 간단히 소개하고 최근 연구 동향에 대해서 살펴보았다. NCFET의 기본적인 mechanism은 기존 gate dielectric layer를 ferroelectric + dielectric layer로 대체하여 ferroelectric layer의 negative capacitance 현상을 이용, gate voltage 대비 surface potential을 증폭함으로써 작은 gate voltage로도 높은 voltage를 인가하는 것처럼 구현함에 있다. 현재 NCFET은 저전력 반도체 소자 중 가장 주목을 받고있기 때문에 각종 주요 국제저명학술지와 국제학술대회에 빠지지 않고 나오는 주제이다. 또한, 최근 HfO_2 기반 ferroelectric 물질을 NCFET에 적용시킬 수 있게 되면서 기존 CMOS 소자와의 높은 호환성을 가질 수 있는 큰 장점이 생겼다. 따라서 NCFET은 sub-10-nm 반도체 제조 공정 기술개발에 큰 역할을 할 것으로 생각되며, 저전력 반도체 소자가 필요한 다양한 응용 기술에 적용될 수 있는 핵심 기술로써 자리매김할 것으로 기대된다.

참고문헌

- 1 K. Misty et al., "Delaying Forever: Uniaxial Strained Silicon Transistors in a 90nm CMOS Technology," Symposium on VLSI, 2004.
- 2 C. Auth et al., "45nm High-k + Metal Gate Strain-Enhanced Transistors," Symposium on VLSI, 2008.
- 3 C. Auth et al., "A 22nm High Performance and Low-Power CMOS Technology Featuring Fully-Depleted Tri-Gate Transistors, Self-Aligned Contacts and High Density MIM Capacitors," Symposium on VLSI, 2012.
- 4 S. Natarajan et al., "A 14nm Logic Technology Featuring 2nd-Generation FinFET Transistors, Air-Gapped Interconnects, Self-Aligned Double Patterning and a 0.0588 μm^2 SRAM cell size," IEEE IEDM, 2014.
- 5 A. Danowitz et al., "CPU DB: recording microprocessor history," Comm. of the ACM, 2012.
- 6 ITRS 2012: <http://www.itrs.net/>
- 7 B. Meyerson (IBM), Semico Conf., January 2004.
- 8 S. Salahuddin et al., "Use of Negative Capacitance to Provide Voltage Amplification for Low Power Nanoscale Devices," Nano Lett., 2008.
- 9 R. Landauer et al., "Polarization Reversal in the Barium Titanate Hysteresis Loop," J. of Appl. Phys., 1956.
- 10 A. I. Khan et al., "Negative capacitance in a ferroelectric capacitor," Nat. Mat., 2015.
- 11 J. Jo et al., "Negative Capacitance in Organic/Ferroelectric Capacitor to Implement Steep Switching MOS Devices," Nano Lett., 2015.
- 12 J. Jo et al., "Negative Capacitance Field Effect Transistor With Hysteresis-Free Sub-60 mV/Decade Switching," IEEE Electron Device Lett., 2016.
- 13 J. Müller et al., "Ferroelectricity in HfO_2 enables nonvolatile data storage in 28 nm HKMG," Symposium on VLSI, 2012.
- 14 J. Müller et al., "Ferroelectric Hafnium Oxide: A CMOS-compatible and highly scalable approach to future ferroelectric memories," IEEE IEDM, 2013.

저자정보



신창환 교수 | 서울시립대학교 전자전기컴퓨터공학부
주 연구분야
실리콘 CMOS 반도체 소자
E-mail cshin@uos.ac.kr
Homepage <https://sites.google.com/site/edlatuos/>



이현재 연구원 | 서울시립대학교 전자전기컴퓨터공학부
주 연구분야
실리콘 CMOS 반도체 소자
E-mail hleekr@gmail.com
Homepage <https://sites.google.com/site/edlatuos/>

저전력 스마트 센서 시스템 기술 동향

이정협 교수, Arup K. George 박사후연구원, 백승엽 박사과정 | 대구경북과학기술원 정보통신융합공학전공

지난 몇 년 사이에 저전력 센서 시스템은 인간의 삶 여러 측면에 혁명적인 변화를 가져왔다. 대표적으로 자율 차량, 드론 기반 물품 배달 및 실시간 환경 모니터링 등은 스마트 저전력 센서의 발전 및 확산으로 인해 가능하게 된 몇 가지 예이다. 최근 매우 큰 관심을 받고 있는 사물 인터넷 (Internet of Things) 기술 또한 저전력 스마트 센서 시스템의 발전에서 비롯되었다고 얘기할 수 있는데, 현재 많은 전자 기기들이 센서의 기능을 가지고 있고 필요에 따라 운영 시나리오의 변화가 가능하게 되었기 때문이다. 더불어 앞으로는 인간의 건강 상태를 연속적으로 실시간 모니터링 함으로써 더욱 쉽고 저렴하게 정확한 진단이 가능할 것으로 기대하고 있다. 이러한 연속적인 모니터링은 더 나아가 건강에 영향을 미치는 환경 요소 및 생활 패턴 등도 보다 잘 이해할 수 있게 도와준다. 이러한 저전력 센서 시스템이 가져다 줄 대표적인 예를 그림 1에서 보여준다. 아기의 옷에 부착된 작은 센서 기기는 아기의 수면 패턴, 호흡 소리, 몸의 위치, 움직임 및 체온 등을 실시간으로 모니터링한다. 그러다 혹시 모를 호흡곤란과 같은 비상 상태가 발생할 경우 경보 신호를 발생시켜 갑작스런 유아 사망 증후군 (SIDS) 과 같은 비극적인 상황을 피하게 해준다. 또한, 이 기기가 주는 체온 정보를 통해 난방 기기와 연동하여 실내 온도를 실시간으로 조절함으로써 아기에게 가장 적합한 최적의 환경을 제공해준다.



그림 1. 스마트 베이비 모니터링 시스템

나아가 저전력 스마트 센서를 이용하여 산업의 자동화, 모바일 건강 관리, 도시 교통의 지능형 관리 및 정전을 피하기 위한 스마트 파워 그리드 시스템과 같은 애플리케이션들도 실현이 가능하다¹. 또한 효율적인 교통 관리를 위해서 많은 종류의 센서가 필요한데, 정보를 수집하고 공유함으로써 운전자가 인지하기 힘든 사각지대에서의 위험요소를 줄일 수 있다. 이러한 센서 및 감지 시스템의 광범위한 사용을 위해 현재의 추세는 센서 시스템 소형화 및 시스템의 전력 소비를 가능한 한 최소화하는 것이다. 이로 인해 가격은 낮아지고 배터리 수명은 늘어남으로써 더 많은 애플리케이션에 통합 및 적용할 수 있기 때문이다. 따라서 스마트 센서 시스템의 현재 연구 동향은 한마디로 소형화, 저전력 소비 및 비용 최소화라고 얘기할 수 있다.

저전력 스마트 센서 시스템

스마트 센서 시스템은 외부 환경 신호를 감지하는 센서 디바이스와 그것의 변화량을 전기 신호로 바꾸어주는 회로, 그리고 이 전기 신호를 디지털 신호로 바꾸어 주는 회로 등을 모두 포함하는 단일 칩 또는 단일 패키지 시스템을 말한다. 일반적으로 회로들은 CMOS 공정을 사용하여 구현된다. 따라서 단일 실리콘 칩으로의 집적화는 우선 센서 디바이스 제조가 CMOS 기술과 호환될 경우에만 가능하다. 대표적인 예로 온도 센서는 칩 안의 BJT 또는 저항 소자를 온도 감지 센서 디바이스로 사용한다. 또한, 이미지 센서도 CMOS 기술과 호환되는 방식이다. 이와 다른 경우로 Capacitive 센서와 같이 CMOS 공정으로 제작된 칩을 공정 후 과정을 거침으로써 완성되는 스마트 센서도 있다. 즉, Capacitive 센서 디바이스는 CMOS 공정으로 제작이 어렵기 때문에 MEMS 공정과 같은 다른 과정을 통해 제작된 후 CMOS 칩과 함께 단일 패키지 시스템으로 구현된다.

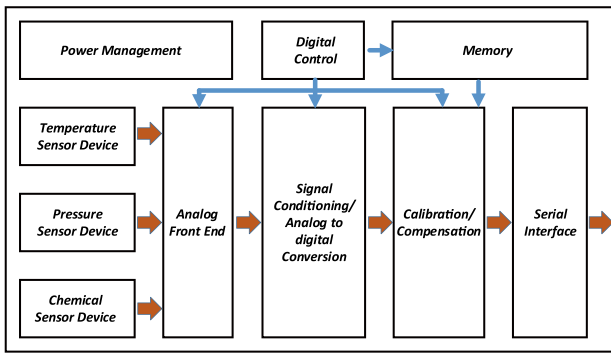


그림 2. 저전력 스마트 센서 시스템의 구조

그림 2는 저전력 스마트 센서 시스템의 일반적인 구조를 보여준다. 이 시스템은 온도, 압력 또는 케미칼 센서 등 하나 또는 그 이상의 센서 타입으로 동작이 가능하다. 이는 사용자의 필요에 따라 하나 이상의 센서 데이터가 연속적 또는 한번씩 출력되도록 센서 시스템의 동작 모드를 변경할 수 있으며 시스템의 대역폭, 선형성 및 분해능도 그에 맞게 가변된다. 각각의 구성 블록들의 동작을 살펴보면, 먼저 Analog front end는 센서 디바이스의 물리적인 변화를 전압과 전류와 같은 전기적인 양으로 변환한다. 최근에는 이러한 기존의 방법대신 물리적인 변화들을 시간 정보로 변환시키는 Front end 기술들도 개발되었다. 이 후 ADC (Analog to Digital Converter) 또는 TDC (Time to Digital Converter) 에서 물리적인 변화에 의해 발생된 전압, 전류 또는 시간 값이 디지털 코드로 변환된다. 이러한 과정에서 발생하는 노이즈, 에러 및 오프셋 문제 등을 해결하기 위해 이득 및 오프셋 보상, 저역 통과 필터링, 다항식 선형화와 같은 신호 처리 및 보상 작업을 디지털 영역에서 수행한다. 최종적으로 이러한 스마트 센서 시스템은 추가적인 신호처리 및 궁극적으로는 센싱 정보 사용을 위해 그림 2에서 보여주는 Serial Interface와 같은 통신 인터페이스를 통해 외부에 정보를 전달하게 된다. 이러한 일련의 시스템들은 낮은 전력을 소모하기 위해 대부분의 구성 회로들이 Sub-threshold 영역에서 동작하게 된다. 또한, 각 요소 블록 별로 저전력 및 성능을 위한 최적의 공급 전압이 Power management system에서 제공된다^{2,3}.

신호 감지 및 센서 Readout 기술

물리적인 변화를 전기적인 양으로 궁극적으로 디지털 출력을 얻기 위해 현재 여러가지 전기적인 특성을 기반한 기술들이 개발되었다. 1) Capacitive 2) Resistive 3) Piezoelectric 4) Electrochemical 그리고 5) Optical 센서 기술들이 그 대표적인 예이다. 이러한 다양한 타입의 센서 시스템의 주요 성능 지표로는 1) 민감도 2) 정확성 3) 안정도 4) 분해능 5) 크기 그리고 6) 가격 등이 있으며 이를 효율적으로 획득하기 위한 여러가지 회로 기법이 발표되었다. 이 세션에서는 스마트 센서로 가장 널리 사용되고 있는 Capacitive 타입 센서를 예로 최근 발표된 몇 가지 회로를 소개하고자 한다⁴.

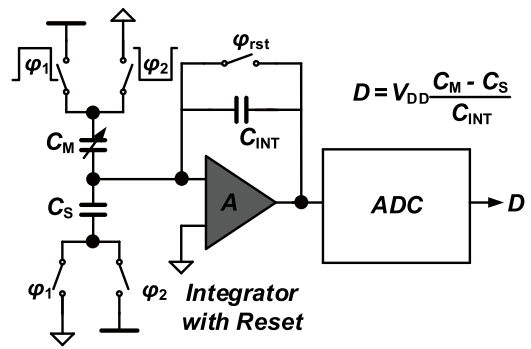


그림 3. Capacitance to Voltage로 변환 후 ADC를 이용한 방법

먼저, 그림 3에서 보여주는 Capacitance를 Voltage로 변환 후 ADC를 이용하여 디지털 출력을 얻는 방법은 저전력 센서 애플리케이션에 많이 사용되고 있다⁷. Switched-capacitor와 리셋 기능을 가진 적분기로 구성된 Analog front end는 센서 디바이스의 Capacitance (C_M) 변화 값에 비례한 전압을 생성한다. 이 전압을 입력으로 이용한 ADC는 적절한 디지털 코드로 변환하는데 결론적으로 그림 3에서 나타나 있는 수식의 관계를 가지고 센서 Capacitance에서 디지털 값으로 변환하게 된다. 대부분의 애플리케이션의 경우 센싱 신호의 대역폭이 매우 낮기 때문에 (수십 Hz 이내) 증폭기 (A) 는 넓은 대역폭을 가질 필요가 없으므로 저전력 소모로 동작이 가능하다. ADC 또한 빠른 변환 속도를 요구하지 않으므로 SAR-ADC와 같은 저전력 ADC 적용이 가능하다. 하지만, 이 방법은 수식에서 보듯이 공급 전압 (V_{DD}) 이 D의 가울기를 결정하는 중요한 요소이므로 저전력을 위해 낮은 공급 전압이 사용됨에 따라 센서의 민감도 성능이 나빠지는 한계점이 있다. 또한, 공급 전압 노이즈와 같은 외부 환경 노이즈가 심할 경우 직접적으로 센서 시스템의 성능 열화를 가져온다는 단점도 있다.

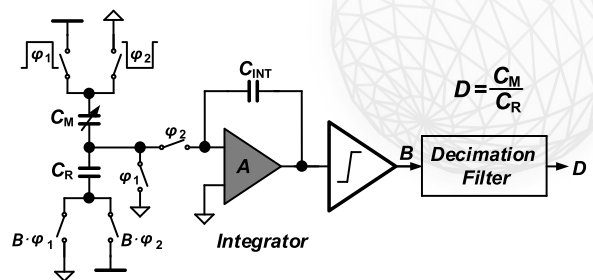


그림 4. Sigma-Delta 변환을 이용한 방법

그림 4에서 보여주는 Capacitive 센싱을 위한 Sigma-delta 변환기는 Switched-capacitor 단의 출력단, 다시 말해 적분기 입력단에서 전하 균형 (Charge balancing) 의 원리를 바탕으로 동작한다^{5,9}. 비교기의 출력 B 가 0 또는 1인 경우에 따라 각각 $V_{DD} \cdot C_M$ 또는 $V_{DD} \cdot (C_M - C_R)$ 에 비례한 전하가 적분기의 입력에 전달된다. 이 동작은 긴 디지털 스트림에 걸쳐 동작할 때 적분기를 통해 C_M 과 C_R 사이에 전하의 균형이 일어난다. 결국 최종의 디지털 값은 C_M 과 C_R 의 비, 즉 C_M/C_R 로 결정된다.

Sigma-delta 변환을 이용한 방법의 가장 큰 장점은 높은 Resolution을 가진다는 것이다. 또한 앞선 방법과 달리 V_{DD} 의 변화 및 노이즈에 둔감하다는 것이다. 하지만, 밀리와트 (mW) 수준의 높은 전력을 소비하여 저전력 애플리케이션에 적용하는 데에는 한계가 있다.

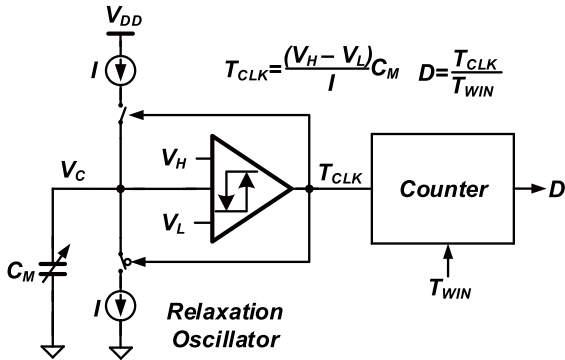


그림 5. Capacitance to Period/Time 변환을 이용한 방법

그림 5에서 보여주는 Capacitance-to-period/time 변환기는 기본적으로 Relaxation oscillator와 클럭 카운터로 구성된다^{4,6}. 먼저 이 Relaxation oscillator의 발진 주기 (T_{CLK})는 $(C_M \Delta V)/I$ 에서 알 수 있듯 센서 Capacitance (C_M) 값의 함수이다. 따라서 센싱 정보는 Oscillator가 생성하는 클럭 신호의 주기에 포함되므로 카운터를 사용하여 기준 시간 윈도우 (T_{WIN}) 동안 이 주기의 개수를 카운트하면 매우 쉽게 디지털 값을 얻을 수 있다. 이 구조의 가장 큰 장점은 매우 간단한 구조로 디지털 출력까지 얻을 수 있다는 데 있다. 이는 저전력 소모와도 직결되어 현재 다양한 애플리케이션에 널리 사용되고 있다.

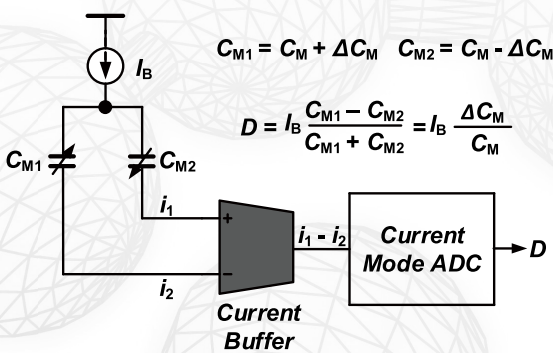


그림 6. Capacitance to Current 변환을 이용한 방법

마지막으로 그림 6에서 보여주는 Capacitance-to-current 변환을 이용한 방법은 원래 차동 센서 디바이스의 Capacitance 변화를 읽기 위해 개발되었다⁸. 이 센서 디바이스의 공통 노드에 전류원 (I_B) 으로부터 생성된 전류가 인가되면 만약 두 Capacitance (C_{M1} , C_{M2}) 가 다를 경우 임피던스 차로 인해 다른 양의 두 전류 (i_1 , i_2) 가 흐른다. 이 전류를 입력으로 받은 Current buffer는 두 전류의 차동 값을 생성하고 결국 Current-mode ADC에서 이에 상응하는 디지털 출력을 만들어낸다. 결과

적으로, 차동 센서 디바이스를 사용하였으므로 C_{M1} 과 C_{M2} 는 또한 동일한 양으로 증가 및 감소 (또는 감소 및 증가) 하게 되므로 디지털 출력은 그림의 수식처럼 나타낼 수 있다. 이 구조의 장점은 차동 구조라는 점에 있다. 즉, 공급 전압 잡음을 포함한 Common-mode noise에 강한 특성을 가진다. 하지만 흔히 않는 차동 센서 디바이스에 적합한 구조라는 한계가 있어서 널리 사용될 수 있는 구조는 아니다.

최근 저전력 스마트 센서 시스템의 주요 성능

스마트 센서 시스템이 갖추어야 할 중요한 성능 파라미터들을 그림 7에서 요약하여 보여준다. 앞서 언급한 것처럼 분해능, 변환 시간, 소비 전력, 정확성 등 다양한 성능 파라미터들 사이에 trade-off가 존재한다. 따라서 적절한 성능 지수 (FoMs) 를 이용하여 센서 시스템의 성능을 비교하는데, 보통은 저전력 및 높은 분해능 그리고 짧은 측정 시간을 가진 센서 시스템이 더욱 좋은 성능지수를 갖게 된다.

최근 개발된 스마트 센서 시스템의 성능을 살펴보면, 우선 온도 센서의 경우 군사용 온도 범위인 $-55^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 에서 동작이 가능하며 0.1°C 의 정확도를 갖는 BJT 기반의 스마트 온도 센서가 개발되었다. 이것과 비교하여 저항을 기반으로 한 온도 센서는 보다 높은 민감도를 얻을 수 있어서 최근 개발된 것의 경우 0.1mK 의 분해능을 제공한다. 이러한 온도 센서 시스템들은 pJK^2 수준의 성능 지수를 가지게 된다. Capacitive 센서 시스템의 경우 Sigma-delta 기술을 근간으로 한 센서들은 100atto-farads 이하의 분해능을 획득하였다. 이때 측정 시간은 $20\mu\text{s}$ 가 채 되지 않는다. 에너지 효율이라는 측면에서 살펴보면, Capacitance to period 변환 방법과 같은 Time-domain 기술들은 pico-Joules/conversion 수준에 도달하였고 기존 ADC를 이용한 방법과 같은 Voltage-domain 기술의 경우 femto-Joules/conversion까지 이르렀을 뿐만 아니라 더 좋은 성능을 향해 나아가고 있다. 이러한 전력 효율, 분해능 및 정확성 뿐만 아니라, 공급 전압과 온도 변화 등과 같은 외부 잡음에 대한 강한 정도도 최근 중요한 성능 파라미터로 고려되고 있다.

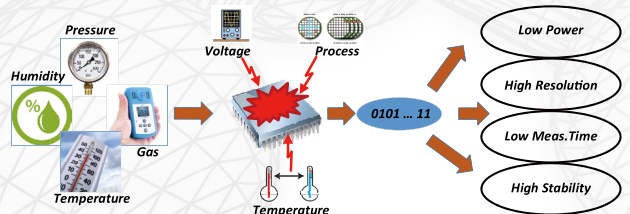


그림 7. 스마트 센서 시스템의 주요 성능 파라미터

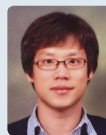
결론

저전력 스마트 센서 시스템은 사물 인터넷과 같은 전자 공학에 있어서 혁명적인 변화를 실현하기 위해 반드시 필요한 핵심요소이다. 앞으로 초저전력, 매우 높은 분해능 및 고신뢰성을 갖춘 센서 시스템을 개발하는 것은 전자공학 엔지니어에게 도전적인 과제이다. 이러한 저전력 스마트 센서 시스템의 발전은 가까운 미래에 스마트 홈, 스마트 시티 및 더 깨끗한 환경의 도래를 가능하게 할 것이다.

참고문헌

- 1 T. Islam, S. C. Mukhopadhyay and N. K. Suryadevara, "Smart Sensors and Internet of Things: A Postgraduate Paper," IEEE Sensors Journal, vol. 17, no. 3, pp. 577-584, Feb. 2017.
- 2 K. A. A. Makinwa, M. A. P. Pertijs, J. C. v. d. Meer and J. H. Huijssing, "Smart sensor design: The art of compensation and cancellation," European Solid-State Circuits Conference, 2007.
- 3 C. C. Enz and G. C. Temes, "Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization," Proceedings of the IEEE, vol. 84, no. 11, pp. 1584-1614, Nov 1996.
- 4 A. K. George, J. Lee, Z. H. Kong and M. Je, "A 0.8-V Supply- and Temperature- Insensitive Capacitance-to-Digital Converter in 0.18- μ m CMOS," IEEE Sensors Journal, vol. 16, no. 13, pp. 5354-5364, July 2016.
- 5 C. Hagleitner, D. Lange, A. Hierlemann, O. Brand and H. Baltes, "CMOS single-chip gas detection system comprising capacitive, calorimetric and mass-sensitive microsensors," IEEE Journal of Solid-State Circuits, vol. 37, no. 12, pp. 1867-1878, Dec 2002.
- 6 J. Lee, A. George and M. Je, "5.10 A 1.4V 10.5MHz swing-boosted differential relaxation oscillator with 162.1dBc/Hz FOM and 9.86psrms period jitter in 0.18 μ m CMOS," IEEE International Solid-State Circuits Conference (ISSCC), 2016.
- 7 H. Ha, D. Sylvester, D. Blaauw and J. Y. Sim, "12.6 A 160nW 63.9fJ/conversion-step capacitance-to-digital converter for ultra-low-power wireless sensor nodes," IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2014.
- 8 G. Scotti, S. Pennisi, P. Monsurr? and A. Trifiletti, "88- μ W 1-MHz Stray-Insensitive CMOS Current-Mode Interface IC for Differential Capacitive Sensors," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 61, no. 7, pp. 1905-1916, July 2014.
- 9 S. Xia, K. Makinwa and S. Nihtianov, "A capacitance-to-digital converter for displacement sensing with 17b resolution and 20 μ s conversion time," IEEE International Solid-State Circuits Conference (ISSCC), 2012.

저자정보



이정협 교수

소속 대구경북과학기술원 정보통신융합공학전공
주 연구분야 Analog and Mixed Signal IC Design
Bio-medical Devices and Smart Sensor Systems
E-mail jhlee1@dgist.ac.kr
Homepage <http://ins.dgist.ac.kr>



Arup K. George 박사후연구원

소속 대구경북과학기술원 정보통신융합공학전공
주 연구분야 Analog and Mixed Signal IC Design
Smart Sensor Systems
E-mail arup.george@dgist.ac.kr



백승엽 박사과정

소속 대구경북과학기술원 정보통신융합공학전공
주 연구분야 Analog and Mixed Signal IC Design
E-mail baik@dgist.ac.kr

AMIQ사 DVT (Design Verification Tool)



인큐솔루션(주)

주소 : 06372 서울특별시 강남구 자곡로7길 8-6

대표전화 : 070-4047-4060

Web : www.incusolution.com

제품 구성

- DVT : SystemVerilog / Verilog Coding 및 Verification에 대한 통합된 Solution을 제공
- DVT Debugger : Major Simulator와 연동해서 작성한 Code 및 Testbench에 대한 검증 가능
- Specador : Design에 대한 자세한 Documentation을 자동으로 생성
- Verissimo : 부적절한 SystemVerilog Code에 대한 Linter

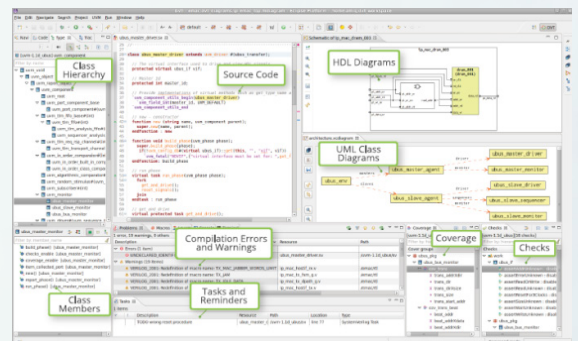
System Requirements

- OS (32 or 64) : Linux, Windows, MacOS
- Java : 1.8 or newer
- Eclipse : 4.4 or newer

제품군에 대한 특징

DVT (SystemVerilog에 최적화된 통합 개발 환경)

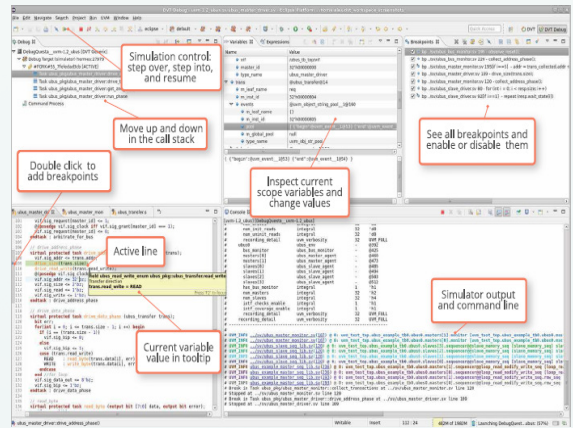
- Auto Compile을 통해 오류를 즉시 확인
- Coding의 간소화 & 재사용성 & Project templates 관리 향상
- 지속적인 Refactoring을 통한 Code 향상
- Class 혹은 Design Hierarchies를 확인할 수 있는 Feature를 통해 Design Analysis 향상
- Signal에 대한 전반적인 Trace 제공
- UVM Diagram과 HDL Diagram을 통한 Design Architecture 검사
- Place reminders and track tasks 기능 제공
- 자동으로 UVM 규약을 따르는지 검사
- 각각의 Language가 사용된 Project 통합 솔루션 제공
- 자동으로 Documentation 생성



SystemVerilog 혹은 Verilog로 Design 및 Testbench를 설계하는 엔지니어들의 효율적인 Code 작성 및 유지보수를 간단하게 진행할 수 있게 도와주는 Eclipse Base의 통합 개발 환경 (IDE) 을 제공함으로써 전세계 엔지니어들이 필요로 하는 자동 Code Error 검사 및 자동 Code 완성 기능 및 변수와 각 개체의 자동 할당 기능을 포함하고 있으며, "task" 추적기능, Code의 Formatting 및 Code Templates, Refactoring등의 수많은 Best Features를 내장하고 있습니다.

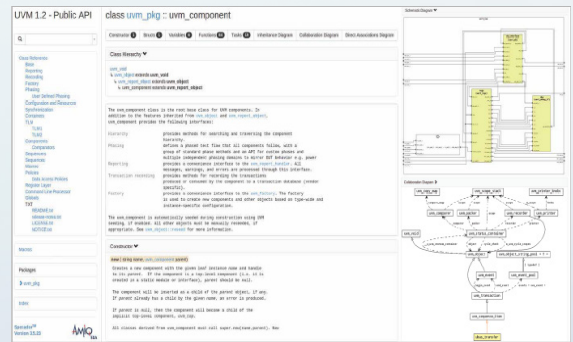
DVT Debugger (Simulator 연동 Debugging 기능)

- Breakpoints를 설정하여 Call stack 구조내에 상하위 이동, 변경된 값들을 DVT와 연동하여 직접 작성한 Code를 바로 Debug 가능
- Simulation 실행 중 context를 자동으로 추출하기 때문에 추가적인 system task 혹은 기타 명령에 대한 명령 최소화
- 사용자가 Code를 이해하고 분석하는데 도움이 되는 모든 DVT 기능 활용 가능



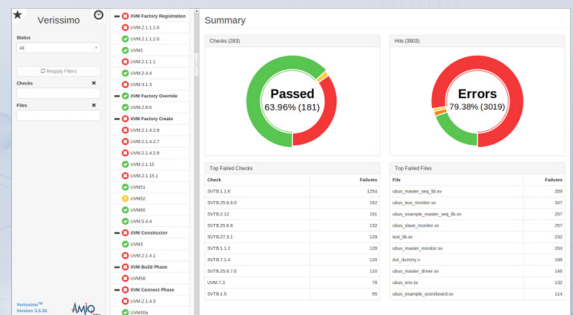
Specador (Documentation Generator)

- Language 인식
 - 개별적으로 packages, class, struct 등을 구분하여 인식하기 때문에 쉽게 Design code를 탐색 가능
- Cross-linked DVT와 연동되어 Document와 Code를 바로 확인 가능
- Hyperlinked Diagram
 - Module Hierarchy 혹은 상속에 관련된 내용을 UML 형식의 다이어그램으로 확인이 가능하며 클릭만으로 바로 해당 문서로 이동 가능
- Documentation Control
 - 자동으로 생성되는 Documentation의 범위를 전체 Project 혹은 특정 부분으로 나누어 생성 가능
- 외부 문서의 내장 및 Link
 - 쉬운 외장 문서의 추가 혹은 MS word, PDF 문서의 Link 가능



Verissimo (SystemVerilog Testbench Linter)

- Testbench의 Code 정확도와 신뢰성의 향상
- 잘못된 기능과 성능에 대한 문제 방지
- UVM을 준수하여 자동으로 Coding Guideline 확인
- Code의 유지보수를 단순화
- 잘못된 Code & Copy and paste code 식별
- Language 혹은 방법론에 대한 이해 가속화
- Best coding 관례에 대한 보장





IDEC
Newsletter

2017년 2월 | 통권 제236호

발행일 2017년 1월 31일 **발행인** 박인철 **편집인** 김태욱, 남병규 **제작** 심원기획 **기획** 김하늘 **발행처** 반도체설계교육센터(IDEC)
T.042) 350-8535 F.042) 350-8540 H.<http://www.idec.or.kr> E.kimsky1230@idec.or.kr

반도체설계교육센터 사업은 산업통상자원부, 한국반도체산업협회,
반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 앰코테크놀로지코리아)의 지원으로 수행되고 있습니다.