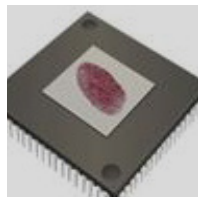


# IDEC newsletter

Vol. 234 December 2016



## 기술동향1

하드웨어 보안 취약점의 근본적 해결

**Security IC 용 Physical Unclonable Function (PUF) 의  
최신 기술동향**

## 기술동향2

집적도 향상을 위한 차세대 메모리 구조

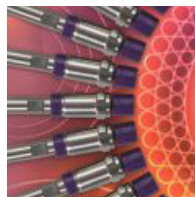
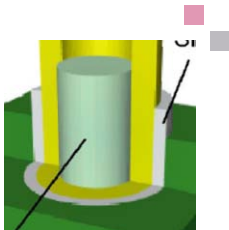
**3-D Vertical NAND 플래시 메모리 이슈와 기술개발 동향**

## 기획칼럼

**Silvaco사 AccuCell**

## 신진연구자

**열정에 대한 노력, 최고를 향한 여정** 유호영 교수, 충남대학교



**반도체설계교육센터**  
IC DESIGN EDUCATION CENTER

## 2016년 MPW 진행현황

### 2017년 MPW 지원 공정 및 진행 일정

- 2016년 12월 말 안내 예정

### 2016년 MPW 진행 현황

- 2016년 MPW 참여 설계팀 : 총 290팀 참여

- 공정별 진행 현황

공정	회차구분 (공정_년도순서)	참여팀수/ 제작칩수	우선모집 (마감일)	정규모집 (마감일)	DB마감 (Tape-out)	Die-out	비고
삼성 65nm	S65-1601	36 / 40		2016.02.01	2016.08.01	2017.02.14	제작중
	S65-1602	34 / 40		2016.04.18	2016.10.17	2017.05.02	제작중
	S65-1603	40 / 40	2016.04.18	2016.06.20	2017.01.16	2017.07.31	설계중
MS 180nm	MS180-1601	29 / 25		2016.01.18	2016.03.21	2016.08.22	제작완료
	MS180-1602	29 / 25		2016.02.01	2016.05.16	2016.10.17	제작완료
	MS180-1603	25 / 25		2016.03.07	2016.07.18	2016.12.19	제작완료
	MS180-1604	25 / 25	2016.02.01	2016.04.04	2016.09.19	2017.02.20	칩제작중
	MS180-1605	32 / 25	2016.04.04	2016.06.07	2016.12.05	2017.05.08	칩제작중
MS 350nm	MS350-1601	20 / 20		2016.02.01	2016.06.13	2016.10.04	제작완료
	MS350-1602	24 / 20	2016.05.02	2016.07.04	2017.01.16	2017.05.08	설계중

- 일정은 사정에 따라 다소 변경될 수 있음.

- 용어설명 : MS - 매그나칩/SK하이닉스

- 회차표기 : 공정코드-년도 모집순서 (예시) 삼성 65nm 2016 회차 : S65-1601)

- 모집 기간 : 모집 마감일로부터 2주 전부터 접수

- Package 제작은 Die out 이후 1개월 소요됨.

- 내용 기준 : 2016.11.22. (화)



이의숙 | ystee@idec.or.kr, 042-350-4428

## 제24회 한국반도체학술대회 Chip Design Contest (CDC) 안내

● 시간 및 장소 : 2월 14일 (화), 홍천 비발디파크

● 논문 접수 현황 : 총 99팀 (데모 3팀, 패널 96팀)

● 이번 24회부터 CDC가 KCS의 정식 분과로 편입되었습니다.

● 향후 진행 일정 (사정에 따라 변경될 수 있습니다.)

구분	날짜
논문 평가	~11.25 (금)
논문 채택 통보	12.09 (화)
온라인 사전등록 마감	01.20 (금)



김하늘 | kimsky1230@idec.or.kr  
042-350-8535

수강을 원하는 분은

IDEC 홈페이지 (www.idec.or.kr) 를 방문하여 신청하시기 바랍니다.

강좌 일정

센터명	강의일자	강의 제목	분류
본센터	12월 17-18일	아두이노 및 라즈베리파이 교육	설계강좌
	12월 20-23일	ZYNQ 교육 및 ZYNQ ultra scale+ 세미나	설계강좌 및 세미나
충북대	11월 30일-12월 1일	반도체 실무 (직무기술) 교육	설계강좌



본센터

12/17-18

**강좌제목** 아두이노 및 라즈베리파이 교육

**강사** 윤필립 팀장 ((주)축)

**강좌개요**

아두이노를 활용하여 센서 및 모터를 연결하여 사용하는 방법을 학습하여, 피지컬 컴퓨팅의 기초를 이해한다.

**수강대상** 대학생

**강의수준** 초급

**강의형태** 이론+실습

**사전지식·선수과목** 회로, C언어



충북대

11/30-12/1

**강좌제목** 반도체 실무 (직무기술) 교육

**강사** 이창훈 기술 전문강사 (前 삼성전자)

**강좌개요**

반도체 공정과 제품 (DRAM/Flash/AP) 에 대한 기본적인 이해와 최신 메모리 및 로직 공정의 신기술에 대한 이해를 중심으로, Package 및 Test 개발 및 양산에 대한 기술을 소개한다.

**수강대상** 반도체 관련 학과 4학년, 석/박사 과정

**강의수준** 고급

**강의형태** 이론

**사전지식·선수과목** Device Physics, 전자회로, 전기회로

문의 | 충북대 IDEC 라해미 (043-261-3572, idec\_haemi@naver.com)

12/20-23

**강좌제목** ZYNQ 교육 및 ZYNQ ultra scale+ 세미나

**강사** 미정 (리버트론)

**기타 상세사항** 추후 공지 예정

문의 | KAIST IDEC 김영지 (042-350-8536, yjkim@idec.or.kr)



# Security IC 용 Physical Unclonable Function (PUF)의 최신기술

전두현 석박사 통합과정, 최병덕 교수 | 한양대학교



## I. PHYSICAL UNCLONABLE FUNCTION (PUF)

하드웨어 보안 분야에 있어 보안 칩의 암호 키나 칩 고유 정보는 EEPROM 또는 플래시 메모리와 같은 비휘발성 메모리에 저장해 사용해 왔다. 비휘발성 메모리는 보안 기기에 전원이 공급되지 않더라도 동일한 데이터를 지속적으로 유지할 수 있기 때문이다. 이렇게 저장된 정보는 스마트 기기 및 사물인터넷 (IoT) 기기의 인증 보안, 스마트 카드 등 다방면에서 사용되고 있으며, 특히 최근에는 사물인터넷의 등장과 함께 하드웨어 보안에 대한 관심이 더욱 높아지고 있다.

그러나, 보안 정보를 비휘발성 메모리에 저장하는 방법은 몇 가지 보안 취약점을 가지고 있다. 첫째, 보안 정보는 칩 외부에서 생성 후 메모리에 저장해야 하는데, 이 과정에서 사람 또는 기기 등을 통한 정보 유출 가능성이 존재한다. 둘째, 저장 과정에서 정보 유출이 없었다고 해도, reverse engineering이나 bus probing 공격과 같은 물리적 공격에는 취약하다. 반도체 칩 내부를 직접 분석할 수 있는 이 공격은 mask ROM뿐만 아니라 EEPROM이나 플래시 메모리에 저장되어 있는 값 또한 어렵지 않게 탈취할 수 있다<sup>1-3</sup>.

이러한 문제점을 해결하기 위해 별도의 메모리를 사용하지 않고 보안 정보를 칩 내부에서 생성하는 기술이 연구되고 있다. Physical unclonable function (PUF)이라고 불리는 이 기술은 반도체 제조 공정에서 발생하는 미세한 공정편차를 이용하여 0 또는 1에 해당하는 디지털 식별 값을 결정한다. 이를 생성하기 위한 PUF 회로는 서로 다른 칩이라고 하더라도 동일한 회로도나 동일한 마스크 레이아웃으로 설계된다. 그러나, 반도체 제조 공정시에 발생하는 공정편차로 인해 트랜지스터의 문턱전압 및 이동도, 커패시턴스 및 저항 등과 같은 소자 특성이나, 게이트 지연시간과 같은 회로특성의 차이가 각각의 칩을 구별할 수 있는 정보가 된다. 미세한 공정 편차 차이는 디지털 값으로 변환되며, 그림 1과 같이

각각의 칩마다 랜덤한 결과를 얻을 수 있다. 따라서, 개별 칩에서 발생 되는 PUF 값은 설계에 참여하거나 제조과정에 있는 사람이라고 하더라도 그 값을 미리 알 수 있는 방법이 없다. 또한, 회로도 및 레이아웃 정보를 탈취하여 복제를 시도하더라도 복제된 칩은 또 다른 공정편차로 인해 새로운 랜덤 값을 생성하기 때문에 원하는 기기의 PUF 값은 복제 되지 않는다. 물리적인 보안 공격을 시도하더라도 비휘발성 메모리와 달리 그 값을 알아내기 어려우며, 물리적인 공격이 공정편차에 영향을 주어 PUF 값을 변화시킬 수도 있다.

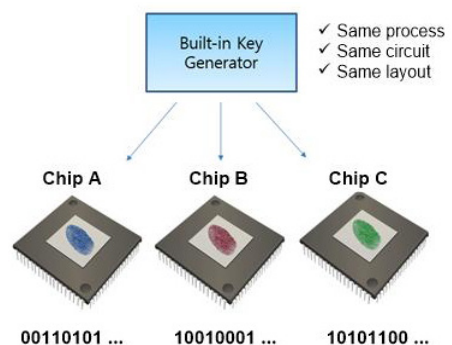


그림 1. PUF concept

이러한 장점을 기반으로 PUF는 기기 인증 및 보안 키 생성과 같은 하드웨어 보안 분야에서 사용할 수 있다. 대표적인 방법 중 하나는 인증 회로 구현이다. PUF를 이용한 인증 방법은 주로 CRP (challenge and response pair) 방식을 사용한다<sup>4-6</sup>. 그림 2에서와 같이 server에서 랜덤하게 선택한 challenge라는 입력이 PUF 회로에 입력되면, 공정 편차에 기반한 PUF 회로 동작에 따라 response를 생성하여 server로

전달한다. 각각의 반도체 칩에서 PUF 회로의 공정편차가 다르기 때문에, challenge에 대응하는 response 조합 (CRP) 또한 달라진다. 이렇게 만들어지는 PUF 회로는 별도의 알고리즘 연산이 필요하지 않고 저전력 회로 동작이 가능하여 저렴한 비용으로 인증회로를 구현할 수 있다. 또 다른 PUF 활용 방법으로는 보안 키 생성이 있다<sup>4,7-9</sup>. 보안성을 요구하는 과정 중에서 암호화/복호화, 디지털 서명, 메시지 인증 등에서는 기기 고유의 개인키가 요구될 수 있는데, 이를 PUF로 생성할 수 있다. 이는 기기 내부에서 생성되기 때문에 그 정보가 칩 외부로 유출되는 것을 차단할 수 있고, 이는 키 분배 문제에 대한 보안성을 더욱 높일 수 있다. 이와 같은 인증 및 키 생성을 위해서 지난 10여년간 다양한 구조의 회로가 제안되어 왔으며, 주로 공정편차의 mismatch 특성을 이용하였다. 그 중에서 대표적인 arbiter PUF 및 SRAM PUF를 다음 2절에서 소개하고자 한다.

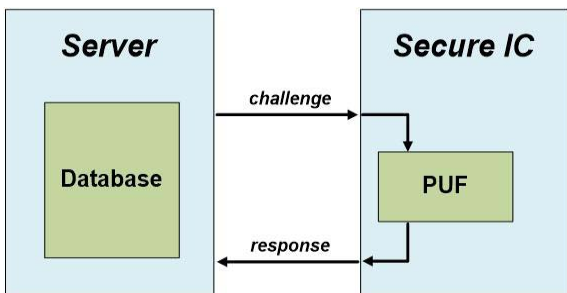


그림 2. Authentication with Challenge-response pair

## II. MISMATCH 기반의 PUF 회로

### Arbiter PUF

로직 게이트에서 발생하는 지연시간은 동일하게 설계 하더라도 공정 편차로 인해 각각의 게이트마다 다르게 발생한다. Arbiter PUF는 이러한 지연시간의 차이가 다르다는 점을 이용한다<sup>10</sup>. PUF 회로는 그림 3(a)와 같이 스위치 회로와 arbiter로 구성된다. 스위치 회로에서 bi 신호는 두

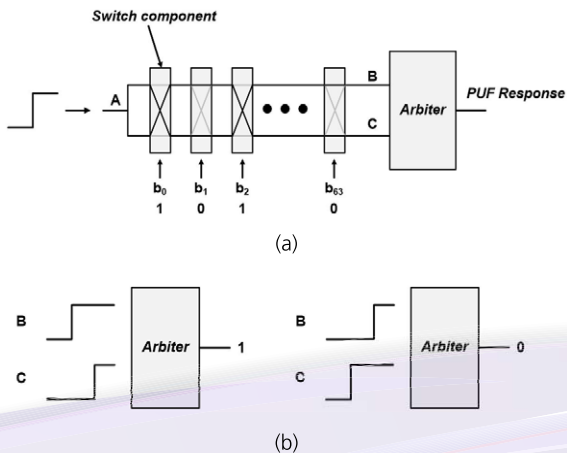


그림 3. Arbiter PUF (a) schematic (b) response

종류의 신호 경로 중 하나를 선택할 수 있다. 각각 스위치 회로 지연시간이 다르기 때문에, 다수의 스위치 회로가 연속적으로 연결되면 두 신호 경로의 총 지연시간 차이를 예측하는건 매우 어렵다. 지연시간의 차이를 확인하기 위한 방법으로는 우선 노드 A로 입력 신호를 전달한다. 이 후, bi 신호에 따라서 노드 B와 C에 도착하는 지연 시간이 달라지는데, arbiter 회로는 그림 3(b)와 같이 지연시간의 차이를 0 또는 1의 값으로 결정한다. 이와 같은 동작을 기반으로 arbiter PUF는 CRP 기반의 인증회로에 많이 사용되며 bi 값을 challenge로, arbiter 출력은 response로 CRP를 생성한다<sup>4,10</sup>.

### SRAM PUF

SRAM은 대표적인 휘발성 메모리 중 하나로, 그림 4(a)와 같은 cross-coupled 인버터 구조로 구성되어 있다. 이러한 래치 구조는 전원을 공급했을 때 그림 4(b) 또는 (c)와 같이 공정편차로 인해 PMOS 및 NMOS의 전류 구동 능력의 차이를 가져오며, 이를 통해 SRAM 셀 초기 값이 결정된다. SRAM PUF는 이러한 특성으로 칩 고유의 값을 생성하며 CRP 기반의 인증회로 보다는 보안 키 생성에 주로 사용된다<sup>7,8</sup>.

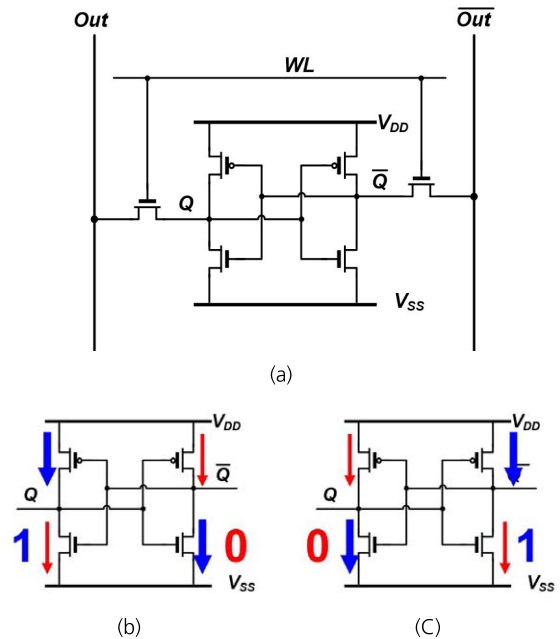


그림 4. SRAM PUF (a) 6T SRAM cell (b) Q=1 (c) Q=0

## III. PUF 회로의 신뢰성 문제

PUF 회로가 인증 및 보안 키로 사용되기 위해서는 항상 동일한 출력을 생성할 수 있어야 한다. 그러나, 이는 작은 공정편차에 의존하기 때문에 노이즈나 주변 환경 조건에 따라 그 출력이 쉽게 달라질 수 있다. 이러한 신뢰성 문제는 PUF로 보안 키를 생성하는 경우에 더욱 중요하다. 단 한 비트만 변하더라도 보안 알고리즘의 결과가 완전히 달라질 수 있기 때문이다.

PUF 값에서 시변성이 발생하는 원인은 공정편차의 영향보다 노이즈 영향이 더 크기 때문이다. 온도가 MOSFET의 문턱전압에 미치는 영향을 예를 들어 설명하면 다음과 같다. 만일 동일한 크기로 두 MOSFET 소자를 만들었다면, 문턱 전압 값 뿐만이 아니라 온도 계수에서도 mismatch가 발생할 수 있다. 그림 5(a)의 경우에서 트랜지스터 A의 문턱 전압은 항상 트랜지스터 B의 문턱전압보다 높게 유지되므로 온도에 대한 신뢰성 문제는 발생하지 않는다. 그러나, 그림 5(b) 경우에는 온도 조건에 따라 트랜지스터 A의 문턱전압이 트랜지스터 B의 문턱전압보다 높거나 낮을 수도 있다. 이 경우에는 PUF 회로가 온도조건에 따라서 값이 달라지는 오류를 발생할 수 있다. 마찬가지로 전원 계수 등에 동일한 과정을 적용할 수 있으며 이는 신뢰성 문제를 발생시킨다. 이러한 신뢰성 문제에 대응하기 위한 방법으로 기존에는 크게 두 가지 접근 방법이 많이 사용되는데, preselection 및 오류 정정 기법이 이에 해당한다.

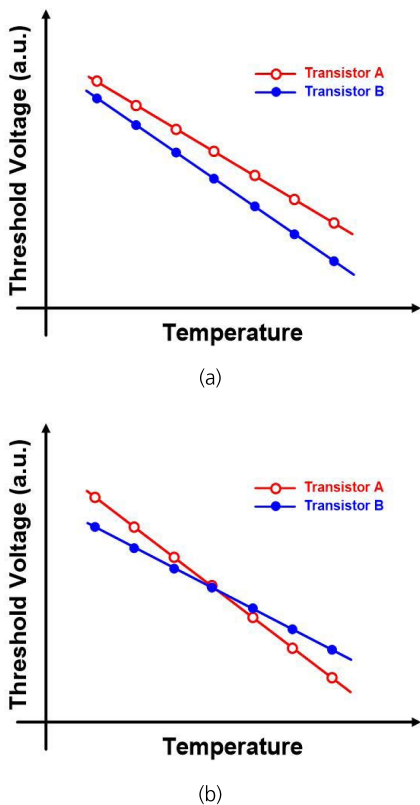


그림 5. Temperature dependency of MOSFET threshold voltage  
(a) stable bit (b) unstable bit

Preselection 기법은 시변특성이 일어나거나 일어날 확률이 있는 셀을 실제 PUF 출력으로 사용하지 않고 신뢰성이 높은 셀만 이용하는 방법이다. PUF 회로 구조에 따라 다양한 기준이 선택되어 적용될 수 있다. 신뢰성을 높이기 위해서는 선택을 위한 기준이 까다로워질 수밖에 없게 되는데, 이러한 경우 그만큼 사용하지 못하는 cell들이 증가하게 된다. 또한, 시변성이 없는 안정적인 셀인데도 불구하고 시변특성을 갖는 셀로 잘못 선택될 가능성도 배제할 수 없기 때문에, preselection에 대한 효율성이 그만큼 감소할 수밖에 없다. 또한, 시변 특성은 온도나 전압 같은 다양한 조건에 따라서도 그 특성이 달라질 수 있는데, 모든 조건 별로 preselection 기법을 적용한다는 것은 현실적으로는 어려운 일이다.

오류정정 기법은 일정 개수 내의 오류가 발생하더라도 이를 원래의 값으로 정정해주는 방법이다. PUF를 이용한 보안 키 생성 시에는 단 한 비트의 오류도 허용해서는 안되기 때문에, 대부분의 기존 논문에서는 오류정정 기법을 반드시 포함시킨다<sup>7-9</sup>. 오류정정 기법을 위해서는 helper data 또는 syndrome이라고 불리는 보조 데이터가 필요하며 이를 저장하기 위한 비휘발성 메모리도 함께 필요하다. 이 기법으로 정정할 수 있는 최대 오류의 개수는 보조 데이터의 길이에 따라 달라지는데, PUF 회로에서 많이 사용하는 BCH 기법을 예로 들면 다음과 같다. 만일 BCH (255, 63, 30) 코드를 사용한다면 이 코드는 총 255비트로 구성되며, 63비트의 보안 정보 데이터와 나머지 192비트의 보조 데이터로 구성된다. 그리고 이는 총 30비트까지의 오류 정정이 가능하다. 만일 보조 데이터를 더 많이 사용한다면, 가능한 오류 정정 비트 또한 증가시킬 수 있다. 그러나 이러한 보조데이터의 증가는 메모리 사용면적의 증가뿐만 아니라, 연산 시간 및 회로 면적 또한 증가시키기 때문에 PUF 회로에 많은 부담을 줄 수 있다.

이에 높은 신뢰성을 요구하는 암호키 생성과 같은 적용분야에서는 preselection 기법 및 오류 정정 기법을 동시에 이용한다. Intel사에서 2014년 ISSCC 학회에 발표한 PUF를 이용한 보안키 생성에서는 총 4가지의 신뢰성 개선 기법을 이용하였다. 먼저 temporal majority voting, burn-in hardening, soft dark bit 기법으로 오류 비트 비율을 낮춘 후, BCH 오류정정 기법을 최종적으로 반영하여 안정적으로 제공할 수 있는 보안 키 생성 방법을 제안하였다<sup>8</sup>. 삼성전자에서도 2016년 ISSCC 학회에 PUF를 이용한 보안키 생성 논문을 발표했으며, valid map 및 majority voting 기법과 함께 BCH 오류정정 기법을 사용하였다<sup>9</sup>. 위 두 논문에서 soft dark bit 및 valid map 이 preselection 기법에 해당하며, PUF 셀의 시변성 여부를 비휘발성 메모리에 기록하여 보안 키 생성 시에는 시불변 셀만 선택하여 사용한다. 이후 보안키 생성과정에서 발생할 수 있는 오류는 BCH 오류 정정 기법을 적용하여 보상하고, 최종 보안 키를 생성한다.

#### IV. 물리적 특성 기반의 PUF 회로

반도체 소자에서의 mismatch 특성을 이용하는 대신 폴리실리콘, 메탈 레이어, 비아 (via)와 같은 전도성 레이어의 물리적인 단락에 따라 PUF 출력 값을 결정하는 PUF를 physical-based PUF라고 한다<sup>11</sup>. 물리적인 연결 상태 특성은 시간이 지나거나 다양한 노이즈 환경에 놓이더라도 쉽게 변하지 않기 때문에 기존의 PUF 회로에 비해 높은 신뢰성을 얻을 수 있다.

Physical-based PUF 중에는 대표적으로 VIA-PUF가 있다. Via는 반도체 제조공정 과정에 있어 수직으로 인접한 두 메탈 층을 연결하는 레이어를 말한다. 일반적인 공정 과정에서는 두 메탈 층을 반드시 연결하기 위해 via hole 의 형성을 보장할 수 있도록 크게 설계하고 제조된다. 그러나, 그림 6와 같이 이러한 via hole의 크기가 점점 작아진다면, 두 메탈 층의

연결 가능성도 점점 낮아진다. 즉, 두 메탈 층을 연결하는 via hole이 형성될 수 있는 확률이 점점 감소하며, 일정 면적 이하에서는 더 이상 via hole이 형성되지 않게 된다. 만약, via hole의 형성 확률이 50%에 가까운 크기로 설계되면 via hole의 형성여부는 랜덤해지며, VIA-PUF는 이러한 특성을 이용한다<sup>12</sup>. Via hole의 형성여부는 주변 노이즈 환경이 달라 지더라도 쉽게 변할 수 있는 특성이 아니기 때문에, 별도의 오류정정 기법 없이도 높은 신뢰성을 기대할 수 있다.

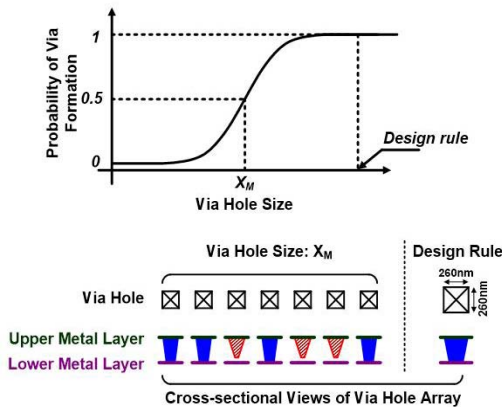


그림 6. Probability of via formation as a function of via hole size

## V. 결론

종래의 비휘발성 메모리에 보안 정보를 저장하는 방식에서의 하드웨어 보안은 물리적인 보안 공격에 취약한 점을 가지고 있었다. 이를 개선하기 위해 반도체 제조 공정 중에서 발생하는 공정편차를 이용하여 칩 고유의 정보를 생성하는 PUF 기술이 제안되어 많은 연구가 진행 중이다. 이 기술이 적용된 보안 칩은 복제가 불가능하기 때문에 각종 인증 회로, 자동차 통신 보안, 사물인터넷, 하드웨어/소프트웨어의 위변조 및 복제 방지 등 다양한 보안 솔루션을 제공할 수 있다. 이에 PUF 기술은 차세대 보안 기술로서 다방면의 분야에서 활용될 것으로 보여진다.

### 참고문헌

- 1 R. Anderson and M. Kuhn, "Tamper Resistance: A Cautionary Note," in *Proceedings of the 2nd USENIX Workshop on Electronic Commerce*, Berkeley, CA, USA, 1996.
- 2 Ross Anderson and Markus Kuhm, Eds., "Low Cost Attacks on Tamper Resistant Devices," in *Security Protocols, 5th International Workshop*, 1997.
- 3 S. P. Skorobogatov, *Semi-invasive attacks – A new approach to hardware security analysis*. In Technical Report UCAM-CL-TR-630: University of Cambridge Computer Laboratory, 2005.
- 4 G. E. Suh and S. Devadas, "Physical unclonable functions for device authentication and secret key generation," in *2007 44th ACM/IEEE Design Automation Conference*, 2007, pp. 9–14.
- 5 S. Stanzione, D. Puntin, and G. Iannaccone, "CMOS Silicon Physical Unclonable Functions Based on Intrinsic Process Variability," *IEEE J. Solid-State Circuits*, vol. 46, no. 6, pp. 1456–1463, Jun. 2011.
- 6 K. Yang, Q. Dong, D. Blaauw, and D. Sylvester, "A physically unclonable function with BER <math><10^{-8}</math> for robust chip authentication using oscillator collapse in 40nm CMOS," in *2015 IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers*, 2015, pp. 1–3.
- 7 J. Guajardo, S. S. Kumar, G.-J. Schrijen, and P. Tuyls, "FPGA intrinsic PUFs and their use for IP protection," in *Cryptographic Hardware and Embedded Systems-CHES 2007*, 2007.
- 8 S. K. Mathew et al., "A 0.19pJ/b PVT-variation-tolerant hybrid physically unclonable function circuit for 100% stable secure key generation in 22nm CMOS," in *2014 IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers*, 2014, pp. 278–279.
- 9 B. Karpinsky, Y. Lee, Y. Choi, Y. Kim, M. Noh, and S. Lee, "Physically unclonable function for secure key generation with a key error rate of  $2E-38$  in 45nm smart-card chips," in *2016 IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers*, 2016, pp. 158–160.
- 10 J. W. Lee, D. Lim, B. Gassend, G. E. Suh, M. Van Dijk, and S. Devadas, "A technique to build a secret key in integrated circuits for identification and authentication applications," in *2004 Symposium on VLSI Circuits - Digest of Technical Papers.*, 2004, pp. 176–179.
- 11 D. Jeon, J. H. Baek, D. K. Kim, and B.-D. Choi, "Towards Zero Bit-Error-Rate Physical Unclonable Function: Mismatch-Based vs. Physical-Based Approaches in Standard CMOS Technology," in *Digital System Design (DSD), 2015 Euromicro Conference on*, 2015, pp. 407–414.
- 12 T. W. Kim, B. D. Choi, and D. K. Kim, "Zero bit error rate ID generation circuit using via formation probability in 0.18  $\mu\text{m}$  CMOS process," *Electron. Lett.*, vol. 50, no. 12, pp. 876–877, 2014.

### 저자정보



**전두현** 석박사 통합과정 | 한양대학교 전자컴퓨터통신공학과  
 주 연구분야 Physical unclonable function (PUF), side channel attack and countermeasure, hardware security  
 E-mail dhjeon@hanyang.ac.kr  
 Homepage http://siclab.hanyang.ac.kr



**최병덕** 교수 | 한양대학교 전자컴퓨터통신공학과  
 주 연구분야 Driving methods and circuits for FPD, sensor circuit, power IC design hardware implementation for cryptographic devices  
 E-mail bdchoi@hanyang.ac.kr  
 Homepage http://siclab.hanyang.ac.kr

# 3-D Vertical NAND 플래시 메모리 이슈와 기술개발 동향

오현관 박사과정, 이정수 교수 | 포항공과대학교

## 서론

최근 디지털 카메라, 스마트폰, 태블릿 PC와 같은 모바일 기기와 USB, SSD 등의 저장매체의 발전에 따라 플래시 메모리 (Flash memory) 는 다양한 분야에 사용되고 있다. 플래시 메모리는 디램 (DRAM) 과 같은 휘발성 메모리와 달리 전원이 공급되지 않는 상태에서도 데이터를 유지할 수 있는 비휘발성 메모리 소자이다. 플래시 메모리는 전하를 부동 게이트 (floating gate) 에 삽입하거나 질화막 (SiN) 등의 절연막 내에 전하를 포획 (trap) 시켜 데이터를 저장하는 방식을 사용한다.

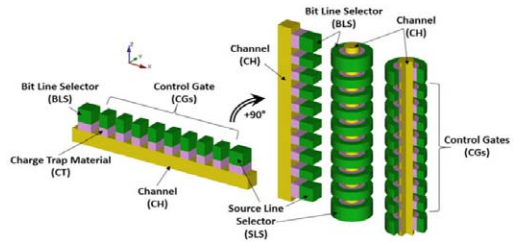


그림 1. Planar 구조와 3-D vertical 구조의 플래시 메모리 array 비교<sup>2</sup>

1984년 국제전자소자학회 (IEDM; International Electron Device Meeting) 에서 Masuoka Fujio 박사가 발표한 EEPROM을 시점으로, 1988년 인텔에서 NOR 구조를 발표하였고, 1989년 도시바에서 NAND 구조를 발표하였다. 그 후 플래시 메모리는 메모리 집적도가 1.5년에 2배씩 증가한다는 Moore의 법칙과 1년에 2배씩 증가한다는 황의 법칙에 따라 단위 bit당 생산 비용을 줄이고 지속적인 미세화 (scale down)를 통해서 집적도 향상을 이루어 왔다<sup>1</sup>. 하지만, 기존 플래시 메모리 소자는 리소그래피 (lithography)와 식각 (etch) 기술의 한계, 인접 cell에 의한 interference 영향, cell에 저장 가능한 전하의 개수 감소 등의 기술적 난제로 인해 더 이상의 집적도 향상을 피하기 어렵다.

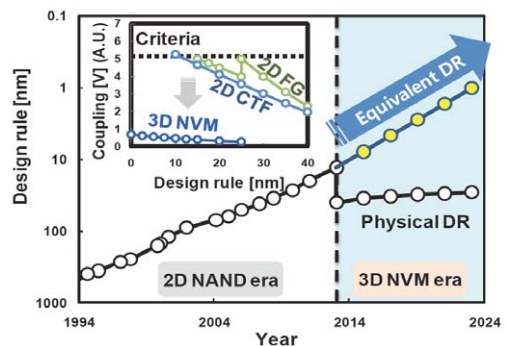


그림 2. 3-D vertical NAND 플래시 메모리로의 NAND 기술 세대 변화<sup>3</sup>

이러한 문제점을 해결하고 집적도 향상을 지속하기 위해 3-D vertical NAND 플래시 메모리가 차세대 메모리 구조로서 제안되었다. 3-D vertical NAND 플래시 메모리는 기본적으로 그림 1에서와 같이 기존의 2-D planar 구조와 동등한 바닥 면적을 가지면서, 수직으로 적층하는 방식으로 메모리의 집적도를 획기적으로 향상시킬 수 있는 방법이다. 그림 2는 3-D vertical NAND 플래시 메모리 구조를 채택함으로써, 기존 2-D planar 구조에서의 연간 design rule 감소에 대응하는 메모리 기술 향상을 꾀할 수 있음을 나타내고 있다.

그러나, 수직으로 적층하는 방식은 필연적으로 훨씬 복잡한 설계 및 공정이 수반됨을 예상할 수 있다. 즉, 3-D vertical NAND 플래시 메모리 구조에서도 집적도 증가를 위한 추가적인 미세화와 좀 더 높게 적층하려는 고단화에 따른 새로운 기술적 문제들이 대두되고 있다. 본 칼럼에서는 이러한 3-D vertical NAND 플래시 메모리에서의 기술적 과제들과 최신 해결방향 동향에 대해 살펴보고자 한다.



### 이슈 1. Grain boundary trap

3-D vertical NAND 플래시 메모리의 경우, 기존 단결정 실리콘 대신 다결정 실리콘 (Poly-Si, polycrystalline-Si)을 채널 물질로 사용한다. 다결정 실리콘은 물질 구조상 결정립계 (GB, grain boundary)를 가지며 채널을 형성하게 된다. 그림 3은 수직으로 증착된 다결정 실리콘의 전자 현미경 사진을 나타낸 것으로, GB의 무작위적으로 형성된 모양을 보여 주고 있다. GB는 전기적으로 전자포획준위가 상당한 정도로 존재하기 때문에 채널 내에서 carrier들의 이동을 방해함으로써 결과적으로 소자의 전기적 특성을 열화시키며, 온도에 의한 소자의 전류 변화를 크게 만드는 단점을 가지고 있다<sup>4-5</sup>. 이러한 GB의 영향을 완화시키기 위해서 일반적인 방법으로는 Annealing 공정을 후속해 추가로 도입하여 채널 내 GB의 개수, GB내 포획준위밀도 (trap density)를 감소시킬 수 있다고 보고하고 있다<sup>6-8</sup>.

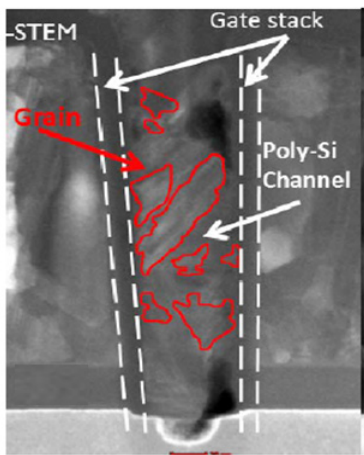


그림 3. Vertical poly-Si channel 소자에서의 grain boundary<sup>8</sup>

또한, 최근에는 채널 자체의 구조적 변형에 의한 특성 개선을 꾀하는 방법으로 Macaroni 구조가 제안되었다<sup>9</sup>. 그림 4는 제안된 Macaroni 구조와 개선된 전기적 특성을 나타낸 것이다. Macaroni 구조는 채널 중앙을 절연막 (dielectric filler)으로 채워 넣는 방식으로 채널의 thin body 효과를 가져오고, 채널 전체 부피 중에서 다결정실리콘이 차지하는 부피가 줄어들어서 게이트의 채널 제어력이 향상되고, 유효한 GB 영향으로 감소를 가져옴으로써 전기적 특성 및 신뢰성이 크게 개선 된다<sup>9</sup>. 이에 따라 현재 연구·제품화 되고 있는 많은 3-D vertical NAND 플래시 메모리 구조들은 Macaroni 구조를 채택하는 것으로 알려져 있다. 하지만, 계속되고 있는 미세화 과정에서 내부의 dielectric

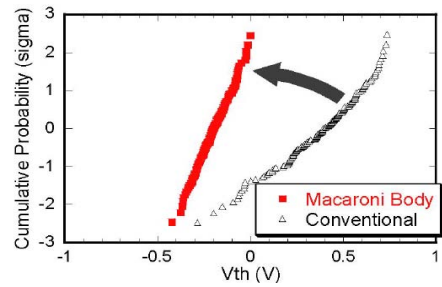
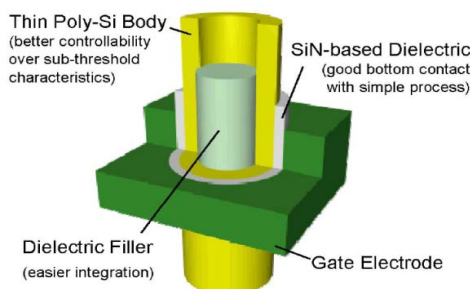


그림 4. (위) Macaroni 구조의 컨셉과 (아래)  $V_{th}$  distribution의 변화<sup>9</sup>

filler와 다결정 실리콘 채널 사이의 계면준위밀도 (interface trap density)와 Macaroni 구조의 두께 최적화 등은 풀어야 할 과제이다<sup>10</sup>.

### 이슈 2. 인접 cell에서의 interference

기존 2-D planar NAND 플래시 메모리에서 지속적인 미세화에 따라 FG-type은 cell간의 capacitive coupling이 증가하여 Word-Line (WL) interference 문제가 발생되었다. 이를 극복하기 위해 그림 5와 같이 capacitive coupling이 거의 없는 CT-type NAND 플래시 메모리가 제안되었고<sup>11</sup>, 대표적으로 Silicon-Oxide-Nitride-Oxide-Silicon (SONOS) 구조의 플래시 메모리가 크게 주목받았다.

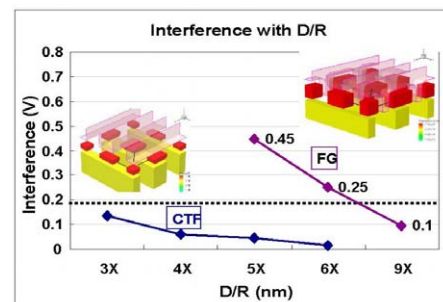


그림 5. FG type과 CT type NAND 플래시 메모리에서의 WL interference<sup>11</sup>

또한, 3-D vertical NAND 플래시 메모리도 미세화에 따른 WL interference에 유리하고 비교적 단순한 구조로 만들 수 있어 주로 CT-type의 NAND 플래시 메모리 구조를 사용한다. 하지만, 지속적인

#### (a) WL Interference

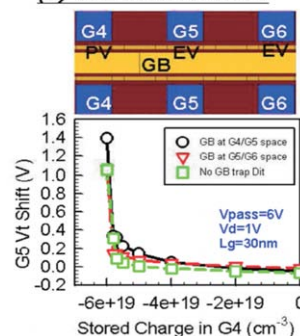


그림 6. Grain boundary로 인한 WL interference 영향 증대<sup>13</sup>

scale down에 따라 CT-type NAND 플래시 메모리도 WL interference 문제를 고려해야 한다. CT-type의 WL interference는 인접 채널간의 potential 상호작용에 의한 영향으로 발생한다<sup>12</sup>. 또한, 그림 6과 같이 cell 사이 spacer에서의 GB로 인해 추가적인 potential 영향이 발생하고 이에 따라 WL interference 영향이 증가하게 된다<sup>13</sup>.

기존 FG-type NAND 플래시 메모리에서는 최종 목적보다 낮은 pre-program 이후 WL interference를 고려한 뒤 최종 program을 하는 방식, 그리고 page architecture를 최적화 하는 방법 등으로 WL interference의 영향을 감소시켰다. 다행히도 기존 FG-type NAND 플래시 메모리에서 사용하는 구동방식을 도입하면 3-D vertical NAND 플래시 메모리에서의 WL interference도 줄일 수 있다<sup>12, 13</sup>. 하지만, 지속적인 메모리 집적도 향상을 위한 미세화는 계속될 것이고, 이에 따른 WL interference를 극복하기 위한 추가적인 연구가 요구된다.

### 이슈 3. 고단화에 따른 cell 구조 문제

3-D vertical NAND 플래시 메모리에서 집적도를 높이기 위해서는 고단화가 필수적이다. 하지만, 계속적인 고단화는 소자의 종횡비 (AVR, Aspect Ratio)를 증가시키고, 이에 따라 deep vertical etching, uniform deposition 등의 공정 과정에서 난이도가 상승하며 비용이 증가한다<sup>5</sup>. 특히, 수직방향 식각 과정의 어려움과 한계로 인해 소자의 불규칙한 형태가 발생하게 된다<sup>12</sup>. 이와 같은 불규칙한 모양의 cell은 높은 전압의 메모리 동작에서 위치에 따른 electric field (E-field)의 변화를 가져와 메모리 동작 효율이나 동작범위 (window)의 열화를 초래한다<sup>14</sup>.

그림 7은 수직방향 식각 공정 후의 아래 부분과 위 부분의 구조적 비대칭을 예시한 것으로 상하 원통 지름의 차이가 발생함을 보여주고 있다. 이는 동일한 메모리 동작 전압에서 가해지는 E-field의 변화를 가져와서 결과적으로 각 cell간의 program과 erase의 속도가 변하게 된다. 따라서, 이러한 비대칭적인 구조에 따른 메모리 동작 차이를 해결하기 위해 그림 7과 같이 구조적 변화 보상 알고리즘을 통해 cell간 동작 전압에 차이를 주는 방식이 연구되었다<sup>5</sup>.

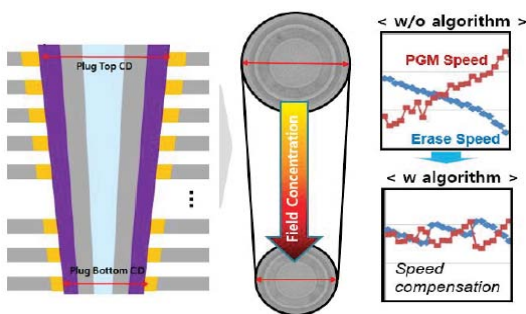


그림 7. 단에 따른 구조적 변화 보상 알고리즘<sup>18</sup>

또한, 알고리즘을 통한 보상이 아닌 구조적인 변화를 통해 수직방향 cell간 특성 차이를 해결하기 위한 연구도 진행되고 있다. 그림 8과 같이, 기존의 원통형 gate-all-around (GAA) 구조와는 다르게 2-D planar 구조를 수직 방향으로 새운 것과 비슷한 Single-Gate Vertical Channel (SGVC) 구조가 제안되었다. 이와 같은 구조를 사용함으로써, 비대칭적인 식각에서도 cell간의 구조 차이가 감소하여 메모리 동작 변화를 줄일 수 있다<sup>12</sup>. 하지만, 고단화를 따른 cell 구조 문제를 해결하기 위해서는 무엇보다 높은 AVR을 가질 수 있는 수직방향 식각 공정과 적층되는 단위 단의 두께를 줄이는 연구가 필요하다.

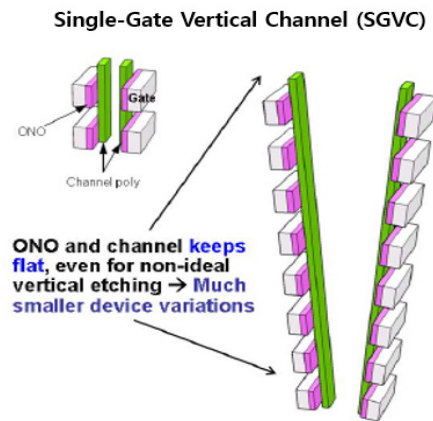


그림 8. Single-Gate Vertical Channel (SGVC)의 컨셉<sup>12</sup>

## 결론

지금까지 3-D vertical NAND 플래시 메모리의 이슈들과 해결하기 위한 기술 동향들에 대해서 간단히 살펴보았다. 3-D vertical NAND 플래시 메모리는 미세화의 한계에 부딪힌 기존 2-D planar 구조를 탈피하여 획기적으로 메모리 집적도를 향상시킬 수 있는 방식이다.

3-D vertical NAND 플래시 메모리 구조에서는 grain boundary, WL interference, 비대칭 cell 구조의 문제가 대두되었고, 이를 극복하기 위한 공정과 소자 구조적인 부분의 많은 연구가 진행되고 있다. 소개한 이슈들 외에도 retention 특성, charge redistribution, electron back tunneling 등 많은 해결해야 할 추가적인 문제들이 있다. 하지만, 현재 학계와 산업계에서 큰 관심을 가지고 활발하게 연구·제품화 되고 있는 만큼, 이러한 이슈들을 해결하고 지속적인 NAND 플래시 메모리의 발전을 가져올 수 있을 것이라 생각한다.

## 참고문헌

- 1 C.-G. Hwang, et al., "Nanotechnology enables a new memory growth model," Proceedings of the IEEE, vol.91, no.11, pp.1765 - 1771, Nov. 2004
- 2 L. Crippa, et al., "3D Charge Trap NAND Flash Memories," in 3D Flash Memories, R. Micheloni, Ed. Berlin: Springer, 2016, pp.63-83.
- 3 J. Choi, et al., "3D approaches for non-volatile memory," IEEE VLSI, pp.178-179, Jun. 2011.
- 4 J. Kim, et al., "Threshold Voltage Variations Due to Oblique Single Grain Boundary in Sub-50-nm Polysilicon Channel." IEEE TED, vol.61, no.8, pp.2705-2710, Aug. 2014.
- 5 S.-K. Park, "Technology scaling challenge and future prospects of DRAM and NAND flash memory," IEEE IMW, May. 2015.
- 6 D. Lysáček, et al., "Thermal stability of undoped polycrystalline silicon layers on antimony and boron-doped substrates," Thin Solid Films, vol.518, no.14, pp.4052-4057, May. 2010.
- 7 M. Kimura, et al., "Complete Extraction of Trap Densities in Poly-Si Thin-Film Transistors," IEEE TED, vol.57, no.12, pp.3426-3433, Dec. 2010.
- 8 G. Congedo, et al., "Analysis of performance/variability trade-off in Macaroni-type 3-D NAND Memory," IEEE IMW, May. 2014.
- 9 Y. Fukuzumi, et al., "Optimal Integration and Characteristics of Vertical Array Devices for Ultra-High Density, Bit-Cost Scalable Flash Memory," IEEE IEDM, pp.449-452, Dec. 2007.
- 10 H. Oh, et al., "Effects of single grain boundary and random interface traps on electrical variations of sub-30 nm polysilicon nanowire structures," Microelectronic Engineering, vol.149, pp.113-116, Jan. 2016.
- 11 K. Kim, et al., "Memory Technologies for sub-40nm Node," IEEE IEDM, pp.27-30, Dec. 2007.
- 12 C.-J. Wu, et al., "Device Characteristics of Single-Gate Vertical Channel (SGVC) 3D NAND Flash Architecture," IEEE IMW, May. 2016.
- 13 C.-C. Hsieh, et al., "Study of the interference and disturb mechanisms of split-page 3D vertical gate (VG) NAND flash and optimized programming algorithms for multi-level cell (MLC) storage," IEEE VLSI, pp.156-157, Jun. 2013.
- 14 M.-S. Lee, et al., "Characteristics of Elliptical Gate-All-Around SONOS Nanowire with Effective Circular Radius," IEEE EDL, vol.33, no.11, pp.1613-1615, Nov. 2012.

## 저자정보



**오 현 관** 박사과정 | 포항공과대학교 전자전기공학과

주 연구분야

NAND Flash Memory, Device Simulation

E-mail araohk@postech.ac.kr

Homepage <http://ndp.postech.ac.kr/>



**이 정 수** 교수 | 포항공과대학교 전자전기공학과

주 연구분야

반도체 소자 및 공정, 반도체 센서

E-mail ljs6951@postech.ac.kr

Homepage <http://ndp.postech.ac.kr/>

# Silvaco사 AccuCore

**목적** Block Characterization, Modeling and STA

**개요** AccuCore는 SmartSpice의 정확성으로 수백만개의 소자로 구성된 회로를 추출하여, 수백만 게이트 디자인에 대해 블록과 full-chip의 정적 타이밍 해석 (Static Timing Analysis, 이하 STA) 을 수행합니다.

**Supported platform** Red Hat Enterprise (32/64bit) Linux 5, 6

**특징**

- STA를 위해 Liberty™ (.lib) 및 .sdf 타이밍 모델과 게이트-레벨 verilog 넷리스트를 생성하고, DSPF 및 .sdf 파일을 생성하거나 읽음
- 선택한 주요 경로 및 클록 트리를 위해 민감도가 완벽한 SPICE 데크를 측정값과 함께 도출함
- 블록을 셀로 자동 분할함
- 셀 함수를 자동으로 추출하여 정확한 SPICE 추출을 위한 벡터를 생성함
- 고속 API-방식의 SmartSpice 추출 엔진을 포함함
- 병목 현상의 고속 분석 및 타이밍 검증을 위해 블록과 full-chip 게이트-레벨의 완벽한 STA 환경 제공
- 강력한 명령어 조합으로 커스텀과 ASIC/SoC 함수를 하나의 분석 환경으로 혼합 가능함

## 설정 및 스크립트 기능

- 간단한 설정 및 스크립트를 위해 다양한 .cfg 검증 옵션을 가지고 .lib를 .cfg로 자동 임포트
- 전체 케이스 민감도 플로우를 지원
- 플랫폼 (flat), 계층형 디자인 플로우를 모두 지원
- 대규모 디자인을 효율적으로 다루기 위한 앞선 RC 모드
- 향상된 기율기 전파 및 임계 (threshold) 관리 옵션
- 다양한 사용자 정의 부하 메소드를 지원
- 고급 사용자 오버라이드 (override) 옵션으로 블록의 플랫폼/계층형 넷리스트를 셀로 자동 분할
- 센스 앰프와 읽기/쓰기 사이클 옵션으로 전용 RAM/CAM 분할
- 향상된 힘과 상태에 기초한 함수 추출 기능
- 고급 사용자 오버라이드에 의해 자동으로 클록을 전파
- 향상된 기율기 전파 및 임계 (threshold) 관리 옵션
- 사용자가 정의한 입력 벡터 제한을 지원
- 근본 원인을 빨리 분석하기 위해 향상된 디버깅, 디자인 레포트 옵션

## 추출 및 모델링 기능

- 고속 API-방식의 SmartSpice 추출 엔진 (HSPICE, SPECTRE와 100% 호환) 을 포함
- 셀 매칭은 재사용 및 증가형 업데이트 성능을 향상
- 프로토타입을 빠르게 분석하기 위해 FAST\_MODE 옵션
- 용이한 표준 셀-방식 플로우를 위해 ASIC 플로우 옵션
- 자동적인 입력 캐패시턴스 추출 메소드
- 자동적인 설정/정지, 회복/제거, 최소 펄스 폭 추출과 사용자 정의 오버라이드 옵션
- 사용자 오버라이드로 자동적인 벡터 배치 및 크기 조정
- 고속 STA를 위해 멀티-코너, 멀티-모드 전체 경로 모델을 한번에 추출
- 디폴트로 직접적인 시뮬레이터 옵션 제어를 지원
- 출력 포맷 옵션으로 게이트-레벨 verilog 넷리스트와 타이밍 모델을 생성

## 블록-레벨 STA 기능

- 커스텀 트랜지스터 레벨 디자인의 게이트-레벨 타이밍 체크가 가능
- 최단/최장 경로의 고급 경로 추적 알고리즘을 이용
- 멀티-레이어 타이밍 문제를 피하기 위해 주요 메소드 및 2차 주요 메소드를 실행
- 잘못된 경로는 자동으로 제거
- 경로 제한과 핀, 넷과 호 (arc) 방식으로 다양한 블로킹 옵션
- 함수에 기초한 클럭과 제한 전파를 수행하여 ECO 재분석에 의한 리플-효과를 감축
- 동적/정적 로직, 래치, 플립-플롭, 멀티플렉서, 3상 회로의 디자인 스타일을 다양하게 지원
- 내장된 타이밍 체크 기능은 제한 사항을 단순화
- 멀티-사이클 경로를 통과하는 게이트 클럭 및 멀티-주파수 클럭을 분석
- 맞춤형 게이트 클럭, 데이터-데이터, 클럭-데이터 경로 타이밍 체크를 허용
- DSPF, SDF 백-애노테이션을 지원
- 도착 병목 현상을 분석하며, 필요한 경로 넷/핀에 기초한 타이밍 요구를 수행
- 풋리스 (footless) 로직에 공통적인 개별 상승/하강 에지 타이밍 사양을 폭넓게 허용

## full-chip STA 기능

- 블록-레벨 및 full-chip STA를 동시에 수행
- 압축된 링/인터페이스 및 블랙박스 타이밍 모델을 생성
- 계층형 verilog 및 모드-방식 멀티-코너 분석을 지원
- DSPF, SDF 백-애노테이션을 지원
- 계층형 디자인 메소드를 위한 제한 관리, 블록-레벨 제한 생성 및 슬랙 배치 가능
- 공통적인 경로의 최적화로 사용자가 지정한 불확실성 및 스쿠 (skew)의 관계에 의한 타이밍 분석 수행
- 클럭 파형과 클럭 전파를 위한 고급 디버깅 특성
- 넷리스트, 라이브러리, 분석 검증을 위한 고급 디버깅 특성
- 커스텀 레포트 및 분석 기능을 위한 Tcl API 인터페이스



# 열정에 대한 노력, 최고를 향한 여정



**유호영** 교수  
충남대학교  
전자공학과

열정과 노력. 언뜻 들으면 비슷한 이야기 같지만 자세히 보면 분명히 다른 점이 있어 보인다. 사전적 의미로 열정은 어떤 일에 열렬한 애정을 가지고 열중하는 마음이며, 노력은 목적을 이루기 위하여 몸과 마음을 다하여 애를 쓰는 것이다. 열정이 뜨거운 마음이라면 노력은 그 뜨거운 마음에 기름을 붓는 행위일 것이다. 뜨거운 마음으로 그치지 않고 정진하는 자세로 최고를 위해 달려가는 충남대학교 유호영 교수를 만나 보았다.

## 가장 전통적이고 실용적인 학문, 회로설계

유호영 교수는 3개월 전인 2016년 9월 충남대학교에 처음으로 부임하였다. 학부 시절 수강했던 컴퓨터 구조 과목과 임베디드 시스템 과목을 계기로 디지털 회로 설계 분야의 전문가가 되기 위한 길에 뛰어 들었다.

“당시 수업을 통해 단순한 논리 회로를 기반으로 조합회로, 순차회로를 구성하고 이를 확장시켜 복잡한 시스템을 구현하는 과정이 흥미로웠

습니다. 특히 디지털 회로 설계 분야는 실생활에 사용하는 수많은 전자 제품에 내장되어 있어 수요가 급증할 것이라 예상했습니다. 전통적인 전자공학 분야이자 가장 실용적인 학문이라는 사실이 전공을 선택하는 데 큰 이유가 되었습니다.”

## 한가지 목표를 위한 몰입의 순간

그렇게 접어든 석박사 시절 그는 Solid-State Drive (SSD)의 핵심 원천 기술 중 하나인 오류 정정 회로 설계에 대한 연구를 중점적으로 진행했다고 한다. NAND Flash 메모리의 채널 환경이 단위 셀 당 저장 비트 수의 증가, 미세 공정 등의 이유로 악화되어 강력한 오류 정정 능력이 SSD 구현에 필요했고, 이는 필연적으로 더욱 복잡한 하드웨어를 요구하기 때문이다.

학위과정 중에서도 가장 기억에 남는 것은 박사과정 때 Internet-of-Things (IoT) 플랫폼 개발의 일환으로 ARM 호환 프로세서를 포함한 통합 플랫폼을 개발한 경험이라고 말했다.

“ARM 명령어 집합에 맞게 프로세서를 설계하고 버스 시스템과 peripheral을 구현하는 하드웨어 작업과 RTOS (realtime operating system)를 포팅하는 소프트웨어 작업을 통합적으로 진행했습니다. 실수없이 회로를 구현하기 위해 동료들과 연구실에서 여러 밤을 새워 가며 열정적으로 토론했던 순간과 구현한 칩의 동작을 처음으로 확인한 희열의 순간이 가장 기억에 남습니다. 한 가지 목표를 이루기 위해 가장 몰입했던 시간으로 기억됩니다.”



## 다양한 분야에 응용될 Polar 부호

그는 현재 채널 양극화 현상을 활용하여 수학적으로 채널 용량에 접근할 수 있는 Polar 부호의 한계를 극복하려는 연구를 진행하고 있다.

“Arkan에 의해 고안된 Polar 부호는 우수한 오류 정정 능력과 함께 부호화, 복호화 알고리즘이 간단하다는 장점 덕분에 5G 이동통신, 차세대 저장매체, 광 통신 등 다양한 응용분야에 적용 가능한 오류 정정 부호로 고려되고 있습니다. 하지만 부호의 길이가 길어질수록 채널 양극화 현상이 두드러지게 나타나고, 복호화 과정을 순차적으로 진행해야 한다는 제약 조건이 Polar 부호의 적극적인 도입을 가로막고 있습니다. 현재 알고리즘 측면에서부터 하드웨어 구현 측면까지 통합적인 접근 방법으로 해결책을 도모하고 있습니다.”

앞으로의 연구 진행 방향에 대해서는 최근 IoT 시스템 및 자율 운행 자동차 등의 발달을 언급하며, 수년간 진행해온 오류 정정 회로 설계 기술을 확장시켜 통신용, 저장매체용 암호화 보안 하드웨어 설계를 진행할 예정이라고 한다. 이와 더불어 저전력 하드웨어 구현을 위한 near-threshold-voltage (NTV) 설계 기법과 approximate/stochastic computing와 같은 설계 방법론 분야의 연구도 향후 도전하고 싶은 분야로 꼽았다.

## 열정에 대한 노력, 최고를 향한 여정

연구 생활 그에게 가장 큰 힘이 되어준 것은 지도교수의 한마디였다. ‘인생은 우연한 기회에 결정된다. 자신이 선택한 결정을 성공으로 이끌어 주는 건 그 사람의 노력이다.’ 이를 통해 선택의 갈림길에서 언제나 길게 고민하지 않고 최대한 신중한 자세로 자신의 선택이 올바른 결정이 되도록 노력하는 것이 최고가 되는 길임을 잊지 않을 수 있었다고 한다.

“선택의 갈림길에 섰을 때 우리는 막연한 생각으로 인해 그 과정에서 많은 시간을 허비합니다. 하지만 어떤 선택이든 자신이 서 있는 자리에서 최고가 되리라는 열정과 그 열정에 대한 진정한 노력이 뒷받침 된다면 어느 분야에서건 성공한 사람이 될 수 있습니다. 언제나 고민은 되도록 짧고 신중하게 하고 그 결정이 올바른 결정이 되도록 노력하는 자세를 가지려고 합니다.”

시스템마다 적용되는 제약 조건이 다르기 때문에 모든 시스템에 적용되는 정답이 없다는 점이 회로 설계의 어려운 점이자 동시에 매력적인 점이라고 말하는 유호영 교수. 자신의 선택을 믿고 그 믿음에 대한 노력을 게을리하지 않는 모습으로 좋은 연구자가 되어주기를 기대한다.





## **IDEC Newsletter | 통권 제234호**

발행일 2016년 11월 30일 발행인 박인철 편집인 김태욱, 남병규 제작 심원기획  
기획 김하늘 전화 042) 350-8535 팩스 042) 350-8540 홈페이지 <http://www.idec.or.kr>  
E-mail [kimsky1230@idec.or.kr](mailto:kimsky1230@idec.or.kr) 발행처 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 산업통상자원부, 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 앰코테크놀로지코리아, 에이티세미콘)의 지원으로 수행되고 있습니다.

