

IDEC newsletter

Vol. 230 August 2016

기술동향1

점점 더 요구되는 크고 빠른 메모리 수요에 대응한다
3D-stacked DRAM 기술동향

기술동향2

반도체 시장의 새로운 대안
파워 디바이스 트렌드와 전망

기획칼럼1

보드 구매, 어렵지 않아요!
국내외 SoC, 임베디드 보드 리뷰 - Xilinx 편

기획칼럼2

인공지능 특집 (2)
딥러닝 : 현재와 미래



반도체설계교육센터
IC DESIGN EDUCATION CENTER

2016년 MPW 모집안내 (8월)

- 2016년 MPW 설계팀 모집 완료 : 총 297팀 설계 참여
- 2017년 MPW 진행 일정 : 2016년 12월 말에 결정 예정

MPW 진행일정 및 공정 지원내역

공정	회차구분 (공정_년도순서)	우선모집 (마감일)	정규모집 (마감일)	참여팀수/ 제작칩수	DB마감 (Tape-out)	Die-out	비고
삼성 65nm	S65-1601		2016.02.01	38 / 40	2016.08.01	2017.02.14	설계중
	S65-1602		2016.04.18	35 / 40	2016.10.17	2017.05.02	설계중
	S65-1603	2016.04.18	2016.06.20	40 / 40	2017.01.16	2017.07.31	설계중
MS 0.18um	MS180-1601		2016.01.18	29 / 25	2016.03.21	2016.08.22	칩제작중
	MS180-1602		2016.02.01	29 / 25	2016.05.16	2016.10.17	칩제작중
	MS180-1603		2016.03.07	26 / 25	2016.07.18	2016.12.19	칩제작중
	MS180-1604	2016.02.01	2016.04.04	26 / 25	2016.09.19	2017.02.20	DB검토진행
	MS180-1605	2016.04.04	2016.06.07	32 / 25	2016.12.05	2017.05.08	설계중
MS 0.35um	MS350-1601		2016.02.01	20 / 20	2016.06.13	2016.10.04	칩제작중
	MS350-1602	2016.05.02	2016.07.04	22 / 20	2017.01.16	2017.05.08	설계중

- 일정은 사정에 따라 다소 변경될 수 있음.
- 회차 표기 방법 변경 : 공정코드-년도 모집순서 (예시) 삼성 65nm 2016년 1회차 : S65-1601)
- 모집 기간 : 모집 마감일로부터 2주 전부터 접수
- Package 제작은 Die out 이후 1개월 소요됨.
- 내용 기준 : 2016.07.25(금)



문의처
이의숙 | yslee@idec.or.kr, 042-350-4428
IDEC 홈페이지 | <http://idec.or.kr>

ISOCC 2016 CDC 개최 안내

- 일정 및 장소**
 - 일정 : 2016년 10월 24일(월)
 - 장소 : 제주 라마다호텔
- 논문 마감**
 - 8월 12일 (금)까지 온라인 제출 (<http://idec.or.kr>)
- 문의**
 - 전 화 : 042-350-8535
 - 이메일 : kimsky1230@idec.or.kr



수강을 원하는 분은

IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

강좌 일정

센터명	강의일자	강의 제목	분류
본센터	8월 1-3일	IC Compiler 사용법 및 활용 예	Tool강좌
	8월 4-5일	Star RC	Tool강좌
	8월 5-9일	QuestaSim(구 modelsim)	Tool강좌
	8월 8-10일	RF IC 설계 교육(1)	설계강좌
	8월 10-12일	Spyglass	Tool강좌
	8월 16-19일	RF IC 설계 교육(2)	설계강좌
	8월 22-24일	Laker	Tool강좌
	8월 25-26일	Finesim	Tool강좌
	8월 31일	Incisive Verilog Simulation	Tool강좌
경북대	8월 17일	Low power SoC 설계 방법론	설계강좌
광운대	8월 5-9일	Full-custom 설계 입문	설계강좌
	8월 23-26일	IoT 시스템 보안 프로그래밍	설계강좌

센터명	강의일자	강의 제목	분류
부산대	8월 9-11일	Full Custom IC 설계	설계강좌
	8월 17-19일	Matlab을 이용한 Digital Signal Processing	설계강좌
	8월 22-24일	임베디드 리눅스 시스템 구조 및 응용	설계강좌
	8월 25-26일	고속 PCB 설계 이론	설계강좌
	8월 3-5일	VHDL을 이용한 16비트 마이크로프로세서 설계	설계강좌
전남대	8월 22-24일	집적회로 설계의 기초	설계강좌
	8월 25-26일	OrCAD를 사용한 전자회로 설계 및 PCB 제작	설계강좌
	8월 8-9일	Verilog HDL 언어 초급 및 설계 가이드라인	Tool강좌
한양대	8월 10-11일	Verilog 설계 언어 중급	설계강좌
	8월 23-24일	VLSI 테스트	설계강좌



본센터

8/1

강좌제목 IC Compiler 사용법 및 활용 예

강사 임동규 대리(Synopsys Korea)

강좌개요

Synopsys의 차세대 auto place&routing tool인 IC compiler overview를 이해한 후 필요한 input file 및 각 단계별 key command에 대한 설명을 습득한 후 작은 sample design에 대해 IC compiler를 직접 실행함으로써 real physical design에 적용할 수 있는 능력을 배양한다.

수강대상

ASIC, back-end, or layout designers who will be using IC Compiler to perform placement, CTS, and routing on block-level designs

강의수준 초급 **강의형태** 이론+실습

사전지식 · 선수과목

Synthesis concept using Design compiler, Prime Time, UNIX 기본 사용법 및 VI Editor

강의수준 초급 **강의형태** 이론+실습

사전지식 · 선수과목

To get the most out of this class, the following are suggested but not required: Familiarity with place and route tools and flows, transistor level tools and flows, physical design verification tools

8/5-9

강좌제목 QuestaSim(구 modelsim)

강사 조향균 대리(Mentor Graphics)

강좌개요

Digital Design Flow를 이해하고, Logic simulation을 QuestaSim을 통해 practical하게 습득하여, Design 및 그의 Verification 능력 향상

수강대상 HDL Design Engineer 또는 Verification Engineer

강의수준 중급 **강의형태** 이론+실습

사전지식 · 선수과목

Verilog와 Systemverilog의 이해, SoC Design 이해

8/4-5

강좌제목 Star RC

강사 조갑환 부장(Synopsys Korea)

강좌개요

After a design has been completed and laid out, the circuit timing must be tested. Accurate timing analysis requires that all of the parasitic resistances and capacitances resulting from the manufacturing process are taken into account. Extracted parasitics are also important for other simulation tools such as circuit simulators and electromigration analysis tools. The StarRC tool uses the chip layout along with the process description (usually obtained from a foundry) to extract millions of parasitic devices. You can get the skills how to perform StarRC out of this class.

수강대상

Designers or process technologists who need to perform signoff extraction

강좌제목 RF IC 설계 교육(1)

강사 유형준 교수(KAIST) 외 2명

강좌개요

1. RF 시스템 개요

본 강좌에서는 최근의 디지털 무선통신 시스템에 사용되는 RF 송수신기의 기본적인 구조와 원리에 대해서 살펴본다. RF 송수신기의 기본적인 역할과 함께, 이를 효과적으로 수행하기 위한 여러가지 형태의 송신기 및 수신기의 구조를 살펴본다.

2. CMOS 능동/수동 소자

CMOS 소자의 기본 동작원리, 제작 process, modeling 기법을 소개하고, 이들 소자의 RF model에 대해 살펴본다.

3. RF Power Amplifiers

본 교육에서는 RF 전력증폭기와 송신기 구조의 기본과 분류로부터 여러가지 전력 증폭기와 성능 개선 방안을 소개한다. GaAs HBT 전력증폭기와 CMOS 전력증폭기의 다양한 예와 특징, 최신 동향을 소개한다.

8/8-10

교육프로그램 안내

2016년 8월

수강을 원하는 분은

IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

수강대상 대학원생, 학부생, 관련 회사원

강의수준 중급 **강의형태** 이론

사전지식 · 선수과목

1. RF 시스템 개요 : 전자회로, 무선공학, 신호 및 시스템 등에 대한 학부수준의 지식
2. CMOS 능동/수동 소자 : 반도체공학, 전자회로
3. RF Power Amplifiers : 전자회로, 초고주파공학

8/10-12

강좌제목 Spyglass

강사 이승완 과장(Synopsys Korea)

강좌개요

RTL 개발자 / FrontEnd 개발자 / SpyGlass 사용 경험자 (옵션)

수강대상 RTL 개발자 / FrontEnd 개발자 / SpyGlass 사용 경험자 (옵션)

강의수준 초급 **강의형태** 이론+실습

사전지식 · 선수과목

HDL language(verilog, vhdl, system-verilog), Overall of Design Implementation&Verification Flow

- Manipulate or create Mcells

- Getting familiar with basic and advanced editing features to create custom layout

- Create hierarchy design and navigate through hierarchy

- Highlight and trace net in a design. Also identify shorts in layout without LVS data

- Create design rule aware layout to get DRC free layout

- Create fast, efficient and interactive layout through Schematic driven layout features

- Identify and fix ECO discrepancies

- Successfully run and debug physical verifications, DRC, LVS using ICV and Star extraction

수강대상

Custom Circuit or Layout design engineers who create layout and perform physical verification

강의수준 중급 **강의형태** 이론+실습

사전지식 · 선수과목

UNIX and X-Windows, Unix based text editor, Write scripts using Tcl, Basic layout, Basic physical verification

8/25-26

강좌제목 RF IC 설계 교육(2)

강사 이상국 교수(KAIST) 외 1인

강좌개요

1. LNA 및 Mixer 설계

CMOS 기술을 기반으로 하는 1~10 GHz 대역 LNA 및 Mixer 설계에 대한 학습으로서, 먼저 RF 회로설계에 대한 기초이론과 무선송수신기 구조의 역사 및 원리를 소개하며, 송수신기 구조에서 LNA/mixer의 역할, 핵심 사양에 대한 이해, 소자의 기본 동작 원리, 핵심 성능 개선을 위한 설계 기법, 그리고 기술의 발전동향에 따른 RFIC 성능의 요구 변화 및 이에 따른 설계기법의 변화 등에 대하여 소개하고, Cadence Spectre를 이용한 간단한 LNA와 Mixer의 설계실습 경험을 제공한다.

2. RF PLL 주파수합성기

PLL 기반 RF 주파수합성기 동작원리 및 요소회로의 CMOS 설계 방법에 대한 이론 강의 후, 실제 CMOS 공정을 이용하여 개별 요소 회로를 설계하고, 설계된 요소회로를 조합하여 PLL 전체 회로를 완성하는 실습을 수행한다.

수강대상 대학원생, 기업체 연구원

강의수준 중급 **강의형태** 이론+실습

사전지식 · 선수과목

1. LNA 및 Mixer 설계 : 학부 전자회로, 초고주파 이론 기본개념
2. RF PLL 주파수합성기 : 전자회로, CMOS 아날로그회로

강좌제목 Finesim

강사 전준호 차장(Synopsys Korea)

강좌개요

General description of the major options and lab for the accuracy and performance using the FineSim SPICE/PRO

수강대상

Analog designers and engineers who perform circuit simulation and analysis at the transistor level

강의수준 중급 **강의형태** 이론+실습

사전지식 · 선수과목 Analog Circuit Simulation

8/31

강좌제목 Incisive Verilog simulation

강사 전우진 부장(Cadence Korea)

강좌개요

Cadence NC-Verilog tool을 사용한 Verilog simulation 전체 flow에 대한 설명 및 Lab을 진행

수강대상 대학원생, 기업체 연구원

강의수준 중급 **강의형태** 이론+실습

사전지식 · 선수과목 Verilog Language, UNIX/LINUX command

8/22-24

강좌제목 Laker

강사 김동희 차장(Synopsys Korea)

강좌개요

- Get familiar with Laker environment, Menus, Tool bar, Bindkeys, Preferences. Also customize preferences.

- Successfully create library, cell and different cell views

- Understand and configure technology file

- Import / Export data in different format, EDIF, CDL, DEF, LEF, Stream, Verilog

수강을 원하는 분은

IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.



경북대

8/17

강좌제목 Low power SoC 설계 방법론

강사 김경기 교수(대구대학교)

강좌개요

With technological advances that allow us to integrate complete multi-processor systems on a single die, Systems-on-Chip (SoCs) are at the core of most embedded computing and consumer devices, such as cell phones, media players and automotive, aerospace or medical electronics. This lecture will provide an understanding of the concepts, issues, and process of designing highly integrated SoCs following systematic hardware/software co-design & co-verification principles. Specifically, the lecture involves an SoC design methodology using FPGAs and Embedded Microprocessors. In addition, this lecture will focus on practical low power digital design analysis and optimization techniques in the SoC design.

수강대상 전기, 전자, 정보통신 관련 전공 대학생 및 산업체

강의수준 중급 **강의형태** 이론

사전지식 · 선수과목

Undergraduate Electronic Circuit, Digital Logic Design, CPU Architecture, Cad Tool Experiences

문의 | 경북대 IDEC 정미진 (053-950-6858, idec@ee.knu.ac.kr)



광운대

8/5-9

강좌제목 Full-custom 설계 입문

강사 민경식 교수(국민대학교)

강좌개요

CMOS 회로 설계 tool을 이용한 CMOS 스케매틱 및 레이아웃 설계 방법을 배운다. 이를 위해 Cadence Schematic Editor, Cadence Spectre, Cadence Layout Tool, Mentor DRC/LVS Tool의 사용법을 배우고 이를 사용한 스케매틱 설계 및 검증, 레이아웃 및 레이아웃 검증에 관한 실습을 수행한다.

수강대상 학부생, 대학원생, 일반인

강의수준 초급 **강의형태** 이론+실습

사전지식 · 선수과목 집적회로설계, 집적회로공정, 반도체소자

8/23-26

강좌제목 IoT 시스템 및 보안 프로그래밍

강사 서정욱 교수(남서울대학교) 외 1명

강좌개요

IoT 관련 안드로이드 프로그래밍, 보안 프로그래밍, WLAN 및 WPAN 기술, WLAN 및 WPAN 시뮬레이션, IoT 무선 센서 네트워크, 최적화 기술 및 실습

수강대상 학부생, 대학원생, 일반인

강의수준 초급 **강의형태** 이론+실습

사전지식 · 선수과목 데이터통신, 컴퓨터네트워크

문의 | 광운대 IDEC 김주현 (02-940-5448, smartip@kw.ac.kr)



부산대

8/9-11

강좌제목 Full Custom IC 설계

강사 최진호 교수(부산외국어대학교)

강좌개요

Full custom layout을 위한 아래 기본 사항을 다룬다 : CMOS 공정 및 Design Rule / MOS 트랜지스터의 동작 / Inverter, NAND, NOR 등 디지털 게이트의 동작 및 layout / HPICE, CADENCE 툴 사용법 및 실습

수강대상 대학교 2, 3학년

강의수준 초급 **강의형태** 이론+실습

사전지식 · 선수과목 논리회로

8/17-19

강좌제목 Matlab을 이용한 Digital Signal Processing

강사 김태훈 교수(동의과학대학교)

강좌개요

Matlab의 기본 개념 및 명령어를 익히고, 공학적인 해석에 필요한 기본 함수들(예: Fourier, Laplace 등)을 구현해본다. Matlab에 대한 기본적인 지식을 습득한 후 sampling, filtering, 다양한 신호처리 실습을 통하여 컴퓨터를 활용한 디지털 신호처리 능력을 갖춘다.

수강대상 IT 분야 2학년 이상

강의수준 초급 **강의형태** 이론+실습

사전지식 · 선수과목 회로이론, 신호처리 기초, C언어 기초

8/22-24

강좌제목 임베디드 리눅스 시스템 구조 및 응용

강사 최준영 교수(부산대학교)

강좌개요

임베디드 리눅스 시스템의 기본 구조와 하드웨어 및 소프트웨어 구성 요소를 살펴보고, 운영 체제 이식, 응용 프로그램 개발환경, 리눅스 커널 내부 구조, 디바이스 드라이버 구현, 임베디드 시스템 응용에 관하여 강의한다. i.Mx 6 Quadcore 프로세서를 장착한 임베디드 시스템 보드와 임베디드 리눅스 3.0을 사용하여 다양한 실습을 수행하고 강의 내용을 이해한다.

수강대상 전자전기 및 컴퓨터 공학 전공의 학부 4학년 또는 대학원 학생

강의수준 중급 **강의형태** 이론+실습

사전지식 · 선수과목 C 언어, 운영체제 개요, 마이크로프로세서 구조

8/25-26

강좌제목 고속 PCB 설계이론

강사 김태훈 교수(동의과학대학교) 외 1명

강좌개요

PCB(Printed Circuit Board) 설계를 이해하는데 꼭 필요한 기초적인 이론을 간단하게 복습한 후, PCB 설계에서 일어나는 실제적인 문제를 다룬다. 이론을 깊이 있게 들어가기 보다는 가장 기본적인 이론에 근거하여 실무적으로 PCB를 어떻게 설계하는 것이 좋은가를 강의한다.

수강대상 학부 3학년 이상

수강을 원하는 분은

IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

강의수준 **고급** 강의형태 **이론**
사전지식 · 선수과목 전자회로, 전자기학

문의 | 부산대 IDEC 윤성심 (051-517-0172, idec@pusan.ac.kr)



전남대

8/3-5

강좌제목 VHDL을 이용한 16비트 마이크로프로세서 설계

강사 한만수 교수(목포대학교)

강좌개요

조합회로, 순차회로 그리고 FSM에 대한 VHDL 문법과 합성을 위한 코딩 방법을 학습한다. Xilinx의 Vivado(또는 ISE)를 사용한 구현 및 테스트벤치 작성, 시뮬레이션 방법을 학습한다. 응용과정으로 16비트 마이크로프로세서를 설계한다.

수강대상 2학년 논리회로설계 과목을 이수한 대학(원)생

강의수준 중급 **강의형태** 이론+실습

사전지식 · 선수과목 논리회로설계

8/22-24

강좌제목 집적회로 설계의 기초

강사 이명진 조교수(전남대학교)

강좌개요

디지털 시스템의 회로 설계 및 반도체 엔지니어링에 관한 기초적인 지식을 습득하기 위해 기본적인 MOSFET 반도체 물리 및 공정을 알아본 후, 인버터 회로의 동작을 이해하고 구현한다.

수강대상 해당 전공 대학(원)생

강의수준 초급 **강의형태** 이론+실습

사전지식 · 선수과목 논리회로, 전자회로, 반도체공학 등

8/25-26

강좌제목 OrCAD를 사용한 전자회로 설계 및 PCB 제작

강사 최현식 교수(조선대학교)

강좌개요

1. OrCAD를 사용한 전자회로 설계

본 강좌에서는 OrCAD capture를 활용한 간단한 전자회로 설계에 대해 배우게 된다. Discrete 소자만을 활용하여 설계를 진행하게 되며, 이렇게 설계된 회로는 PCB 제작 과정을 거쳐 동작 가능한 PCB 보드 형태의 전자회로가 된다. 이를 통해 전자회로 관련된 기본 이론에 대해 배우고, 이를 활용할 수 있게 된다.

2. OrCAD를 사용한 PCB 제작

OrCAD capture에서 회로도면을 작성하고, 이를 PCB editor를 사용해 실제적인 PCB를 제작할 수 있다. 이를 위해 Netlist 생성하기와 PCB editor를 사용한 부품 배치 등에 대해서 배우게 된다. 이를 통해 최종적인 Gerber file을 생성하고, 출력하여 바로 제작 가능한 PCB 도면을 만들게 된다. 실제 실습은 크게 10진 카운터 설계와 부품 library 생성을 통해 실무에 적용할 수 있는 교육과정으로 진행하게 된다.

수강대상 관련 전공자

강의수준 초급 **강의형태** 이론+실습

사전지식 · 선수과목 회로이론, 전자회로 등

문의 | 전남대 IDEC 김정주 (062-530-9367, Tomo135@naver.com)



한양대

8/8-9

강좌제목 Verilog HDL 언어 초급 및 설계 가이드라인

강사 송재훈 대표이사(INNOTIO)

강좌개요

본 강좌를 통해 Verilog 언어에 대한 이해와 회로합성(synthesis) 측면에 기초한 올바른 RTL 코딩 기술 방법 및 설계 가이드라인에 대해 다룸으로써 효과적인 설계를 할 수 있도록 이론과 실습수업을 병행 하도록 한다.

수강대상 학생, 일반인

강의수준 초급 **강의형태** 이론+실습

사전지식 · 선수과목 회로이론, 전자회로 등

8/10-11

강좌제목 Verilog 설계언어 중급

강사 김두영 박사과정(한양대학교)

강좌개요

Verilog HDL 설계 언어를 사용한 하드웨어 설계 기술 중급 강좌로서, 기초적인 Verilog HDL 문법을 숙지한 상태에서 실제 ASIC design flow를 고려한 하드웨어 설계 기술을 다룬다.

수강대상 학생, 일반인

강의수준 중급 **강의형태** 이론+실습

사전지식 · 선수과목 Verilog 설계 언어 초급

8/23-24

강좌제목 VLSI 테스팅

강사 이현빈 교수(한밭대학교) 외 2명

강좌개요

1. 노화 테스트를 위한 설계기술

본 강좌에서는 하드웨어 신뢰성 향상을 위한 기술을 소개한다. 시스템의 신뢰성의 개념 및 신뢰성 기술의 필요성 소개를 시작으로, 지금까지 소개되었던 칩 신뢰성 향상 기술을 살펴본다. 특히, 칩의 일시적인 오류나 노화로 인한 사고를 방지하기 위한 모니터링 기술과, 그러한 기술을 구현하기 위해서 필요한 기존 테스트 표준인 IEEE Std 1500과 IEEE Std 1687을 소개한다.

2. 메모리 테스트 BIST/BISR

본 강의에서는 로직과 다른 메모리의 테스트방법에 대해 알아본다. 또한 메모리에 회로를 추가하여 자체적으로 테스트를 수행하는 MBIST(Memory Built In Self Test)의 다양한 방법과 장단점을 알아본다. 또한 메모리의 경우 제조시 불량셀이 생기는 경우 이를 수리하여 사용하게 되는데 메모리에 회로를 추가하여 불량셀을 여분의 셀로 대체하는 MBISR(Memory Built In Self Repair)에 대해 설명한다.

3. 스캔/JTAG 테스트

본 강의에서는 VLSI 테스트 설계기술을 학습하고 설계 툴을 이용하여 직접 실습을 진행한다. 스캔설계 및 JTAG, IEEE 1500, IEEE 1678 등 다양한 테스트 설계 표준화 기술을 살펴본다. 메모리 테스트 관련 BIST 및 BISR 기술을 학습하고 신뢰성 및 노화고장 진단기술을 살펴본다. 상용 설계 툴을 이용하여 스캔설계 실습을 진행한다.

수강대상 학생, 일반인

강의수준 초급 **강의형태** 이론+실습

사전지식 · 선수과목 없음

문의 | 한양대 IDEC 오경주 (031-400-4079, ipc@hanyang.ac.kr)

3D-stacked DRAM 기술동향

박찬현, 김선욱 | 고려대학교



1. DRAM 메모리의 발전

DRAM(Dynamic Random Access Memory)은 컴퓨터 시스템에서 주 기억장치의 역할을 담당하며 프로그램 코드와 데이터를 저장하고 운영체제(OS)에 의해 관리되는 휘발성 메모리이다. 중앙처리장치인 프로세서는 DRAM에 저장된 코드와 데이터를 사용해 일을 한다. 빅 데이터 시대를 맞이하여 메모리는 실행 시간, 전력 소모, 에너지 효율성 등 컴퓨터 시스템의 성능을 결정짓는 가장 중요한 요소가 되고 있다.

그림 1은 2006년부터 2012년까지 DELL 서버 시스템에서의 CPU와 메모리 성능을 나타낸 그래프이다. CPU의 경우 멀티코어와 SSE 레지스터와 같은 CPU 구조적인 발달로 인해 초당 부동소수점 연산 회수(GFLOP/s)가 8배 이상 증가했다. 하지만, 메모리의 경우 성능 향상이 크지 않음을 알 수 있다. M610 서버에서 메모리 시스템의 성능의 비약적인 향상이 있었으나, 이는 메모리 자체가 아닌 메모리 서버 시스템의 성능 향상 때문이었다. 이러한 경향성을 보면 CPU와 DRAM의 성능 차이는 점점 커질 것이고, 결국 시스템의 전체 성능은 메모리의 응답 속도에 의해 제한될 것이다. 우리는 이를 메모리 장벽(Memory Wall)이라 한다.

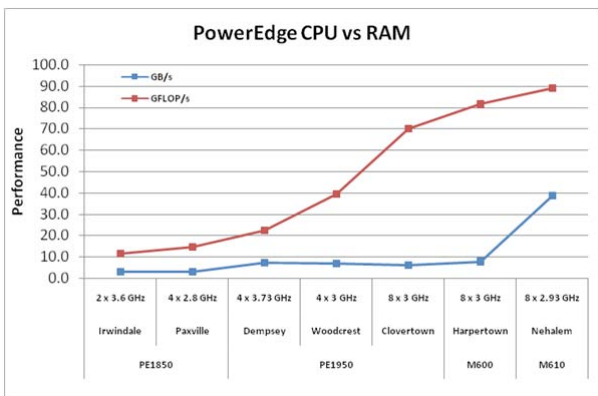


그림 1. 메모리 장벽¹

이러한 메모리 장벽 문제를 해결하기 위해 컴퓨터 시스템에서는 메모리 계층구조(Memory Hierarchy)를 이용하여 프로세서와 DRAM 사이에 DRAM보다 빠른 여러 단계의 중간 메모리, 즉 캐시 메모리를 사용하고

있다. 메모리 계층구조에 L1, L2 캐시가 사용된다고 가정할 때 AM-AT(Average Memory Access Time)은 L1 Hit Latency + L1 Miss Ratio x (L2 Hit Latency + L2 Miss Ratio x DRAM Latency)가 되는데, 이때 AMAT를 결정짓는 요소는 L1과 L2의 Miss Ratio이다. 과거의 연산처리 중심의 프로그램에서는 캐시 메모리가 잘 동작할 수 있는 지역적(Locality) 특성이 높아 Miss Ratio가 크지 않았으나, 현재 또는 미래에서 사용되는 웹, 클라우드, 빅데이터 기반의 광범위한 데이터 처리 중심의 프로그램들은 지역적 특성이 매우 낮아 Miss Ratio가 높고, 결국 DRAM 성능이 시스템 전체 성능을 결정짓게 될 것이다.

2. DRAM 메모리의 배경 지식

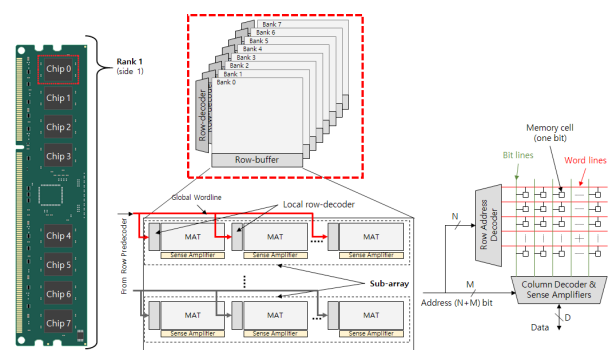


그림 2. DIMM(왼쪽)과 Bank의 구조(가운데), MAT의 구조(오른쪽)

일반적으로 DRAM은 DIMM(Dual In-Line Memory Module) 인터페이스에 탑재되어 사용되고 있으며, 구조적으로 DIMM과 DRAM은 여러 계층으로 구성되어 있다. 그림 2 왼쪽 예시에서는 DIMM 한쪽에 8개의 DRAM 칩이 구성되어 1개의 rank를 이루는 구조를 보여주고 있다. 같은 rank에 속한 모든 DRAM 칩은 하나의 신호를 받아 동시에 동작한다. DRAM 칩은 독립적으로 메모리 요청을 수행할 수 있는 여러 개의 bank(그림 2. 가운데)로 구성되어 있으며, 각 뱅크는 여러 개의 Sub-array들로 구성되어 있고 각 Sub-array 또한 여러 개의 MAT

(그림 2. 오른쪽)로 구성된다. DIMM에서 사용하는 데이터 라인은 64-bit이고 한번에 메모리 요청을 할 때 데이터를 8번 주고받아 총 처리하는 데이터는 64Byte가 된다. 메모리에서 rank별, bank별로 메모리 요청을 독립적으로 처리할 수 있는데, 이러한 병렬성의 사용은 메모리 전체 성능, 즉 처리량(Throughput)을 결정하는 가장 중요한 요소가 된다. 그러나 이러한 병렬성을 이용한 스케줄링은 메모리에서 하는 것이 아니라 호스트 프로세서 내의 메모리 컨트롤러에서 수행한다.

DRAM은 내부의 캐패시터에 전하를 충전 여부로 0과 1을 나타내는데, 캐패시터의 전하는 시간이 지나면서 방전되어 데이터 값을 잃게 된다. 이 문제를 해결하기 위해 메모리는 주기적으로 캐패시터의 값을 읽고 다시 값을 쓰는 작업을 하는데 이것을 리프레쉬(Refresh)라고 한다. 리프레쉬는 DRAM에서 꼭 필요한 작업인데, 리프레쉬 중에는 메모리 요청에 대한 작업을 수행할 수 없다. 따라서 메모리에서 리프레쉬가 일어나는 동안에는 메모리 요청들은 대기해야 한다. 이러한 문제를 해결하기 위해 뱅크 또는 뱅크 내의 리프레쉬 그룹 별로 나누어 리프레쉬를 수행하도록 함으로써 특정 뱅크가 리프레쉬를 수행하는 동안 다른 뱅크에 대한 메모리 요청에 응답하도록 한다. 리프레쉬 동작을 위한 전력 소모는 공정미 발달함에 따라 DRAM 전체 전력 소모에서 차지하는 비중이 점점 커지고 있다.

DRAM 개발 업체와 컴퓨터 시스템 연구자들은 오랫동안 저장할 수 있는 DRAM 용량의 크기와 초당 전달 가능한 데이터의 양, 즉 대역폭(Bandwidth)을 높이기 위해 많은 노력을 기울여왔다. DRAM 용량은 시스템 성능에 영향을 크게 미치는데, 사용할 수 있는 DRAM 내의 메모리가 부족할 경우 SSD/HDD와 같은 보조 메모리에 DRAM의 데이터를 저장하고 새로운 데이터를 읽어 들이는 동작(Swap)이 필요하기 때문이다. 또한 멀티코어 사용이 보편화 됨에 따라 DRAM에 단위 시간당 데이터 요청이 증가하게 되어 대역폭 또한 성능 결정의 중요한 요소가 된다. 우리가 일반적으로 사용하고 있는 2차원 메모리 구조에서는 획기적으로 DRAM의 용량과 대역폭의 증가가 어렵기 때문에 이러한 문제를 극복하기 위해 2차원의 메모리를 적층하는 3D-stacked 메모리의 기술 개발이 이루어지고 있다.

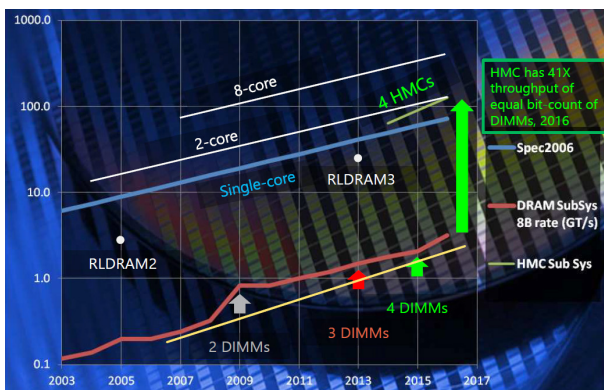


그림 3. 시간에 따른 시스템 메모리 처리량²

이러한 3D-stacked 메모리의 대표적인 예가 HBM(High Bandwidth Memory)과 HMC(Hybrid Memory Cube)이다. 나중에 설명하겠지만,

그림 3에서 보듯 HMC는 메모리의 처리량을 획기적으로 향상할 수 있는 대표적인 접근 방법 중 하나이다. 또한 3차원으로 이루어진 메모리 디바이스를 서로 연결하는 기술의 대표적인 예가 TSV(Through Silicon Via)이다. 본고에서는 이들에 관해 순서대로 소개하고자 한다.

3. HBM(High Bandwidth Memory)

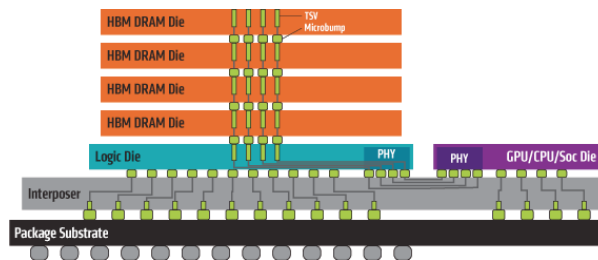


그림 4. HBM 구조³

HBM은 그림 4와 같이 여러 개의 DRAM 다이(Die)를 로직 다이 위에 적층한 메모리이다. DRAM 다이는 로직 다이와 TSV를 이용해 연결되어 있으며, 로직 다이는 GPU나 CPU 같은 호스트와 인터포저(Interposer)를 통해 연결되어 있다. 미세한 연결을 할 수 있는 인터포저 기술 덕분에 HBM은 1024-bit 데이터 라인을 가질 수 있다. 현재 HBM은 1세대를 거쳐 2세대 표준이 제정된 상태이다. 삼성전자는 2016년 1월 4GB용량을 갖는 HBM 양산에 성공했고, 2016년 내에 8GB HBM 양산을 목표로 한다고 했다. SK하이닉스에서 2016년 3분기에 4GB HBM 양산을 준비하고 있다^{4,5}.

HBM은 기존의 DDR4 메모리 채널의 데이터 라인의 너비가 64-bit임에 비해 HBM은 채널당 128-bit 너비의 데이터 버스를 가지고 있다(표 1). HBM에서 한 채널의 데이터 버스의 너비가 커졌기 때문에 조금 더 낮은 속도로 데이터를 전송해도 된다. 또한 HBM은 최대 8개 채널을 지원하므로 총 1024개의 데이터 라인을 지원할 수 있기 때문에 DDR4와 비교했을 때 매우 큰 대역폭을 제공할 수 있다.

표 1. DDR4, 1세대 및 2세대 HBM 비교

	DDR4	1세대 HBM	2세대 HBM
데이터 버스 너비(bits)	64	1024	1024
Gbps/pin	3.2	1	2
대역폭(GB/s)	19.2	128	256
HBM 최대 용량(GB)	-	1	8

2세대 HBM은 여러 애플리케이션의 메모리 요청 응답 속도를 빠르게 하기 위해 채널을 더 많이 쓰는 효과를 낼 수 있는 Pseudo Channel Mode를 지원한다. 그림 5에서 Legacy Mode는 한 채널의 모든 I/O 라인을 하나의 메모리 요청을 위해 사용하고, Pseudo Channel Mode는 한 채널의 I/O 라인을 두 개의 그룹으로 나누어 각각 다른 메모리 요청을 위해 사용한다. 따라서 멀티코어 환경에서 다수의 프로

세스가 동시에 메모리 요청을 할 때, Legacy Mode는 한 번에 한 프로세스에 대한 응답만 할 수 있으나 Pseudo Channel Mode는 한 번에 두 개의 프로세스에 대한 응답을 할 수 있다. 이로써 멀티코어 환경에서 메모리 요청에 대한 응답 속도를 빠르게 할 수 있다.

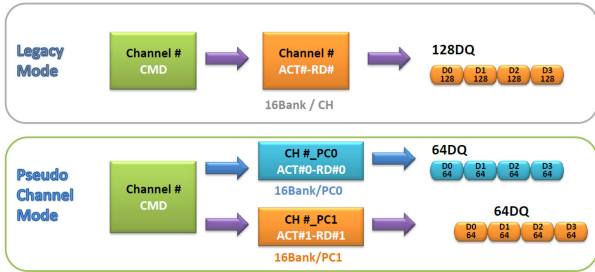


그림 5. Pseudo 채널⁶

4. HMC(Hybrid Memory Cube)

HMC는 2011년 Micron에 의해 발표되었으며, ALTERA, ARM, IBM, Micron, Open-Silicon, 삼성전자, SEMTECH, SK하이닉스, Xilinx 등의 기업들이 컨소시엄을 이루어 HMC를 위한 기술 발전에 힘쓰고 있다. HMC는 높은 속도의 로직 프로세스 기술에 HBM과 같이 TSV 연결을 이용해 DRAM 다이를 적층했다. HMC와 HBM의 구조는 매우 유사하지만 HMC에서 눈 여겨 보아야 할 것은 HMC를 다루는 방법이다. 기존의 메모리와 HBM은 수동적으로 동작하는 반면, HMC는 호스트에서 볼 때 하나의 블랙박스처럼 동작한다. 즉, 전통적으로 호스트는 메모리 컨트롤러를 통해 DDR3/4, HBM과 같은 메모리를 사용하기 위해 관련 메모리 명령어들을 직접 관리하나 HMC를 사용하기 위해 호스트 프로세서는 메모리 주소, 길이 및 메모리 요청 종류를 패킷에 담아 HMC에 보내기만 하면 된다. HMC가 패킷을 해석해 데이터를 얻어내고, 그에 대한 응답을 다시 패킷으로 만들어 호스트 프로세서에 알려준다.

HMC는 크게 외부와 패킷을 주고 받는 링크(Link), 패킷을 처리하는 Vault, 그리고 이 둘을 유기적으로 연결하는 스위치로 이루어져 있다. 그림 6의 왼쪽은 로직 레이어와 DRAM 레이어가 적층된 HMC의 구조를 도식화한 것인데, 이 구조는 HBM과 유사하다. 그림 6의 오른쪽은 HMC의 로직 레이어 구조를 보여준다. HMC는 호스트 프로세스와 링크를 통해 연결되어 패킷을 주고 받는다. HMC의 링크는 패킷을 받아 그림 6 오른쪽의 스위치를 통해 적절한 Vault로 전달하게 된다. Vault가 패킷을 해석해 DRAM에 접근하는 일련의 과정을 거친 후 요청 패킷에 대한 응답 패킷을 만들어 내면, 응답 패킷은 다시 스위치를 통해 링크를 거쳐 호스트 프로세서로 전해지게 된다.

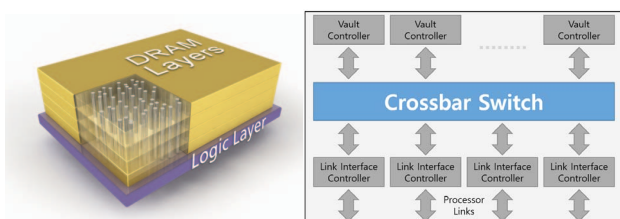


그림 6. HMC의 적층 구조(왼쪽)⁷와 HMC 로직 레이어의 구조(오른쪽)

HMC는 기존의 메모리와는 달리 패킷만 받으면 스스로 메모리 요청을 처리할 수 있다. 그렇기 때문에 HMC의 개수를 확장하는 것이 매우 편리해졌다. 전통적인 컴퓨터에서 메모리를 늘리기 위해서는 늘어난 메모리를 조작하기 위한 제어 신호 선들과 데이터를 주고받을 데이터 버스를 연결해 주어야 했다. 하지만 HMC의 경우는 단순히 HMC끼리 연결하면 된다(그림 7). 호스트는 어떤 HMC에 패킷을 전해 주어야 하는지 고민할 필요 없이 자신과 연결된 HMC에 패킷을 보낸다. HMC는 이 패킷을 해석하여 패킷을 자신이 처리할지 아니면 다른 HMC로 보내줄지 판단한다. 이러한 방법으로 HMC를 확장 할 수 있다. 또한 여러 개의 HMC 간의 연결 토폴로지를 사용하고자 하는 목적에 맞게 연결할 수 있고, HMC의 연결에 어디든 호스트 프로세서를 연결할 수도 있다.

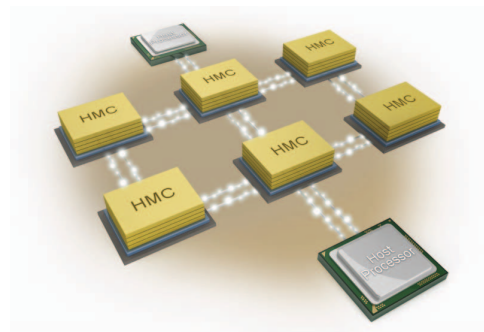


그림 7. HMC의 연결⁷

표 2. HMC에서 사용되는 패킷의 예 (posted: 응답을 받지 않은 요청, CAS: compare and swap)

Read/Write/Posted Write	Arithmetic	Comparison	Boolean
16 byte	8 byte add	8 byte CAS if GT	16 byte XOR
32 byte	16 byte add	16 byte CAS if GT	16 byte OR
48 byte	Posted 8 byte add	8 byte CAS if LT	16 byte NOR
64 byte	Posted 16 byte add	16 byte CAS if LT	16 byte AND
80 byte	Posted 8 byte add and return	8 byte CAS if equal	16 byte NAND
96 byte	Posted 16 byte add and return	16 byte CAS if zero	Bitwise Atomic
112 byte	8 byte increment	8 byte equal	8 byte bit write
128 byte	Posted 8 byte increment	16 byte equal	Posted 8 byte bit write
256 byte			8 byte bit write with return
			16 byte swap or exchange

HMC는 로직 다이에 DRAM을 컨트롤하기 위한 로직 이외에 연산을 위한 로직을 두고 있다. 이 연산 로직은 덧셈, 비교, 논리, 원자적 교체 등의 기능을 수행할 수 있다. 표 2는 HMC에서 지원하는 대표적인 연산 패킷의 예를 보여주고 있다. 사용자는 이러한 유닛을 사용하고자 하면 연산 유닛 사용을 위한 패킷을 생성하여 HMC에 보내면 된다. 이렇게 메모리 내에서 지원하는 연산 유닛을 이용하여 데이터를 호스트 프로세서까지 가지고 올라가지 않고 메모리 내에서 메모리 연산을 하게 되면, 프로세서와 메모리 사이에 발생하는 메모리 트래픽 및 이와 관련된 에너지 소모를 획기적으로 줄일 수 있다. HMC 내 스위치의 대표적인 예인 크로스바를 통한 데이터 이동은 매우 빠르기 때문에 간단한 연산들을 HMC 내에서 처리할 수 있다면 시스템의 성능을 매우 크게 올릴 수 있을 것이다.

5. TSV(Through Silicon Via)

반도체의 집적도를 높이기 위해 반도체 요소의 크기를 작게 하는 방법이 있으나 이 방법은 물리적인 한계가 있다. 추가적으로 생각해 볼 수 있는 방법은 여러 개의 반도체 다이를 수직으로 쌓는 것이다. 수직으로 쌓아 올린 여러 다이를 전기적으로 직접 연결하는 고전적인 방법이 Bonding Wire를 사용하는 것이다(그림 8). 이 방법에서 Wire는 연결된 다이에 따라 그 길이의 차이가 많이 발생하며 쉽게 연결이 끊어질 수 있다는 단점이 있었다.

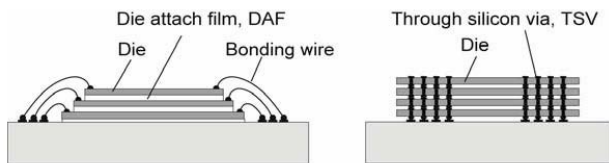


그림 8. 두 가지 종류의 다이 간 연결 방법.
Bonding Wire(왼쪽), Through Silicon Via(오른쪽)⁸

1962년 William Shockley에 의해 개념이 언급된 TSV(Through Silicon Via)는 실리콘 웨이퍼나 다이를 통과해 수직으로 전기적 연결을 하는 것을 말한다. Bonding Wire와는 달리 TSV는 다이를 연결하는 선이 외부에 노출되어 있지 않아 선 자체가 끊어질 염려도 적고, 수직으로 통과하기 때문에 Bonding Wire보다 연결 선의 길이가 짧아 전기적 특성이 좋으며, 선 연결을 위한 공간이 줄어들어 결과적으로 반도체의 크기도 줄일 수 있게 되는 등 많은 장점이 있다.

6. 앞으로 메모리의 역할

최근 수십년 동안 프로세서의 비약적인 속도 향상에 비해 메모리는 그렇지 못했으며, 멀티코어 사용이 보편화됨에 따라 더 큰 메모리의 용량 및 대역폭의 증가 요구사항은 더 커지게 되었다. 본고에서 소개한 3D-stacked 기술을 통해 이러한 문제를 해소할 수 있을 것이라 생각한다. 또한 HMC와 같이 간단한 연산을 메모리 내에서 수행함으로써 시스템에서의 에너지 효율을 많이 향상할 수 있을 것이다.

그러나 아직까지 이러한 3D-stacked 메모리를 효과적으로 사용하기에는 많은 걸림돌이 있다. 단순히 2D 메모리를 3D-stacked 메모리로 대체한다고 해서 성능 향상을 기대할 수 없다. 3D-stacked 메모리는 2D 메모리보다 하드웨어적으로 더 높은 병렬성을 지원할 수 있으나, 이러한 병렬성을 극대화하기 위해서는 응용 프로그램, 운영체제, 호스트 프로세서 등과 유기적으로 연결되어야만 한다. 메모리 산업이 이러한 시스템 전환을 고민해야 하는 근본적인 이유일 것이다. 또한 현실적으로 3D 적층 이전에 메모리 품질을 검사해야 하기 때문에 생산을 완전 자동화하기 매우 어렵다는 것도 3D 메모리 확산에 걸림돌이 되고 있다.

참고문헌

- 1 John D Hill. (2011). *Memory Wall -- HPBD 070809 - High Performance Computing - Wiki - High Performance Computing - Dell Community*. [online] En.community.dell.com. Available at: <http://en.community.dell.com/techcenter/high-performance-computing/w/wiki/2284> [Accessed 9 May 2016].
- 2 J. Thomas Pawlowski. "Vision of processor-memory systems," Keynote at the 48th International Symposium on Microarchitecture, Waikiki, Hawaii, 2015.
- 3 AMD. (2015). *What is High Bandwidth Memory (HBM Technology)?* [online] Available at: <http://www.amd.com/en-us/innovations/software-technologies/hbm> [Accessed 9 May 2016].
- 4 Hassan Mujtaba. (2016). *SK Hynix To Commence Mass Production of 4 GB HBM2 DRAM In Q3 2016 - Aiming at NVIDIA Pascal and AMD Polaris GPUs*. [online] WCCFtech. Available at: <http://wccftech.com/sk-hynix-hbm2-mass-production-q3-2016/> [Accessed 9 May 2016].
- 5 Samsung. (2016). *Samsung Begins Mass Producing World's Fastest DRAM - Based on Newest High Bandwidth Memory (HBM) Interface*. [online] Available at: <https://news.samsung.com/global/samsung-begins-mass-producing-worlds-fastest-dram-based-on-newest-high-bandwidth-memory-hbm-interface> [Accessed 9 May 2016].
- 6 Kevin Tran, June Ahn. (2014). *HBM: Memory Solution for High Performance Processors*. [PDF] SK hynix, p.24. Available at: <http://www.memcon.com/pdfs/proceedings2014/NET104.pdf> [Accessed 9 May 2016].
- 7 Joel Hruska. (2013). *Hybrid Memory Cube 160GB/sec RAM starts shipping: Is this the technology that finally kills DDR RAM?* [online] ExtremeTech. Available at: <http://www.extremetech.com/computing/167368-hybrid-memory-cube-160gbsec-ram-starts-shipping-is-this-the-technology-that-finally-kills-ddr-ram> [Accessed 9 May 2016].
- 8 Hideo Sunami (2010). *Dimension Increase in Metal-Oxide-Semiconductor Memories and Transistors, Advances in Solid State Circuit Technologies*, Paul K Chu (Ed.), InTech, DOI: 10.5772/18638. Available from: <http://www.intechopen.com/books/advances-in-solid-state-circuit-technologies/dimension-increase-in-metal-oxide-semiconductor-memories-and-transistors> [Accessed 9 May 2016].

저자정보



김선욱 교수 | 고려대학교 전기전자공학부
연구분야 Compiler, Microarchitecture, Digital SoC
E-mail seon@korea.ac.kr



박찬현 박사과정 | 고려대학교 전기전자공학과
연구분야 Android, Compiler, Memory System
E-mail chanhyun@korea.ac.kr

파워 디바이스 트렌드와 전망

경신수 부설연구소장 | 파워큐브세미㈜

성만영 교수 | 고려대학교 전기전자공학부

1. 서론

최근 몇 년동안 관련 업계의 주목을 받아온 파워 디바이스 산업 분야에 산업통상자원부가 국책사업을 통해 대규모 R&D 투자를 기획하고 있어 메모리 반도체 이후의 반도체 산업을 이끌어 갈 것으로 기대를 모으고 있다¹. 에너지 위기와 환경 규제 강화에 대비하고, 갈수록 증가하고 있는 전력 수요에 대응하기 위한 근간이 되는 파워 디바이스의 발전 현황 및 차세대 파워 디바이스의 연구 현황에 대해 알아보고자 한다.

2. 본론

2.1 파워 디바이스 산업 현황

파워 디바이스는 전력의 변화 및 제어에 사용되는 1[W] 이상의 전력을 담당하는 스위칭 소자 및 정류 소자들을 통칭하는 말로써 직류와 교류의 변환, 변압, 충전, 모터 구동, 전력 안정, 전력 분배 및 제어 등에 사용된다.

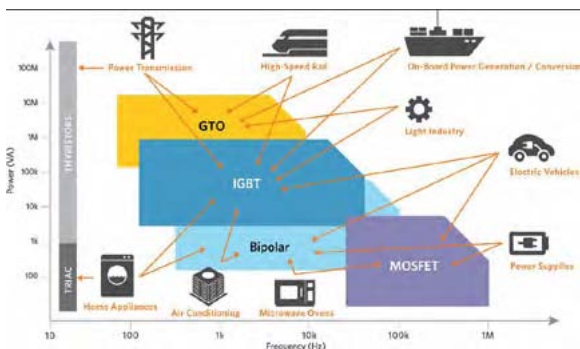


그림 1. 전력 반도체의 사용 분야와 종류²

가전기기, 자동차 전장, 산업용 모터, 철도, 송배전 등이 일반적으로 사용되는 분야이며, 최근 신재생 에너지 분야 및 전기 자동차, 고압 송배전 (HVDC) 등에 사용되며 그 활용 분야를 확장하고 있다.

파워 디바이스는 전력의 전달 및 제어 과정에서 에너지 효율을 향상하고 전압의 변화를 제어하여 시스템 안정성 및 신뢰성을 제공해야 하므로 일반적인 반도체 소자에 비해 고내압화, 대전류화, 고주파수화 되도록

발전해 왔으며, 이를 식 1과 같이 정량화 할 수 있다³.

$$\Delta T = R_{TH} \left[(V_{on} \times I_{on}) + \left(\int V(t) \times I(t) dt \right) f \right] \quad (1)$$

식 (1)에서 ΔT 는 전력 소모로 발생한 열로 인한 온도 변화를, R_{TH} 는 파워 반도체 소자의 열저항을, V_{on} 과 I_{on} 은 온 상태 동작 시의 전압과 전류를 나타내며, $V(t)$ 와 $I(t)$ 는 시간에 따른 전압과 전류를, f 는 주파수를 나타낸다. 즉, 파워 디바이스는 전력 소모를 줄이기 위해 저항을 줄이고 스위칭을 빠르게 하는 방향으로 발전해 왔고, 안정성을 위해 동작 시 열 발생을 최소화하고자 하는 방향으로 발전해 왔다. 이런 발전 방향성에 따라 그림 2에서 보듯 사용처가 요구하는 정격과 동작 주파수에 따라 GTO, IGBT, BJT, MOSFET, Diode 등의 여러 종류의 파워 디바이스가 개발되어 사용되고 있다.

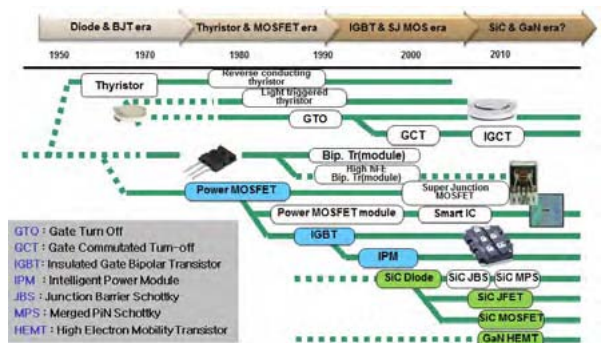


그림 2. 파워 디바이스 종류와 발전사¹⁵

최근의 전력전자에서는 낮은 정격전압과 용량을 담당하는 Power MOSFET과 높은 정격전압과 용량을 담당하는 IGBT가 메인 스트림으로 사용되고 있다. IGBT의 경우 기술 개발에 따라 스위칭을 개선하여 600V급의 전통적인 Power MOSFET 시장으로 사용처를 확장해가고 있으며, Power MOSFET은 Super Junction 기술의 개발로 온저항을 대폭 개선하여 900V급까지의 사용처 확장을 모색해 가고 있다. 이와 더불어 우수한 물성적 특성에 힘입은 SiC와 GaN 등의 Wide Band Gap(WBG) 소자가 하이엔드 시장을 중심으로 시장에 진입하고 있어

서로 간의 사용 영역과 시장성을 확장하려는 치열한 기술 경쟁을 이어나가고 있다. 다음 장에서는 Power MOSFET과 IGBT, WBG 소자의 기술 개발에 대해 논하고자 한다.

2.2 Power MOSFET의 기술 개발 트렌드

Power MOSFET은 1970년대 중반 상용화된 이후 전력전자 영역에서 가장 많이 사용되어 온 파워 디바이스로 현재에도 전체 파워 디바이스 산업 영역의 1/3을 차지하는 소자이다. Power MOSFET은 항복 전압이 커질수록 전력 손실이 증가하는 구조로 인해 전력 손실 및 스위칭 손실을 줄이기 위해 사용처의 용량에 따라 30~150V급의 Low Voltage Power MOSFET과 400~900V급의 High Voltage Power MOSFET으로 나누어 발전해 왔다.

가전용과 Notebook, 전원 장치 아답터 등에 사용되는 IT&Consumer 제품에 주로 사용되어 온 Low Voltage Power MOSFET은 동작 시의 온 저항을 감소시키기 위해 소자의 전류 밀도를 향상하면서 소자의 스위칭 속도를 향상하는 방향으로 발전해 왔다.

그림 3에서 보는 바와 같이 공정 기술의 발달을 통해 미세 패턴의 공정이 가능해지면서 소자 Cell의 크기를 감소시켜 나갔고, 이와 더불어 1990년대에 들어와서 게이트 하단의 병목 지점인 JFET 영역의 저항을 줄이기 위해 수직 구조의 Trench Gate를 개발하여 적용하면서 더욱 전류 밀도를 향상해 왔다.

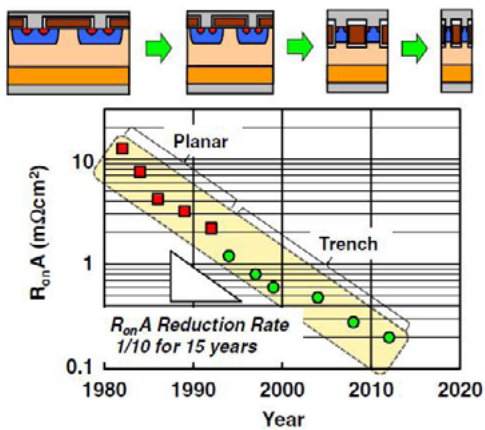


그림 3. Low Voltage Power MOSFET의 기술 개발 단계와 온 저항 감소 트렌드⁵

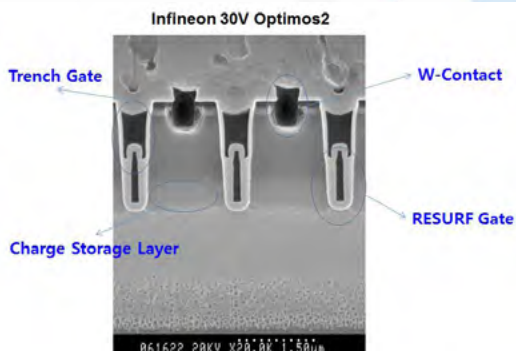


그림 4. RESURF Trench Gate를 적용한 Infineon사의 30V Optimos2의 수직 구조⁶

2000년대 들어서는 Trench Gate에 RESURF 기술을 접목시킨 Shielding Trench Gate 기술이 개발되어 더욱 셀 피치를 줄이면서 온 저항을 감소시켜 나갔다.

밥솔과 세탁기, 에어컨 등의 대용량 가전 장치 및 산업용 모터에서부터 서버 및 발전 설비에도 사용되는 High Voltage Power MOSFET도 Low Voltage Power MOSFET과 같이 동작 시의 온 저항을 감소하기 위해 패턴 미세화 및 Trench Gate를 적용시키며, 전류 밀도를 향상해 왔다. 여기에 더 나아가 1998년에 Xing-bi Chen에 의해 개념이 제시되었던 Super Junction 기술이 Infineon사에 의해 Cool MOS라는 제품으로 구현되면서 획기적인 온 저항의 개선을 이루게 된다.

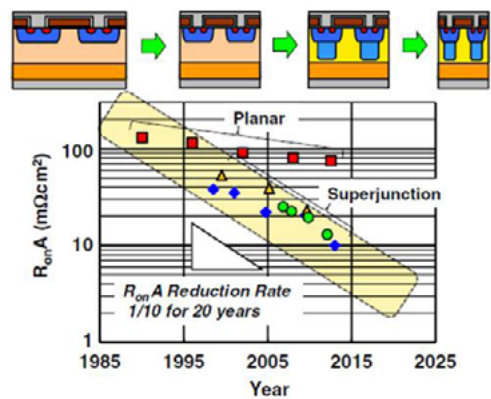


그림 5. High Voltage Power MOSFET의 기술 개발 단계와 온 저항 감소 트렌드⁵

Super Junction 기술이란 기존의 Power MOSFET의 P-body Junction을 수직으로 확장한 P-pillar 층을 삽입한 구조로 확장된 Junction에 의해 항복전압이 상승하고 이로 인해 저항을 감소시킬 수 있는 설계 마진을 확보하여 온 저항을 감소시키는 기술을 말한다. Super Junction 기술에 의해 항복전압(Breakdown Voltage)의 2.5배에 비해 저항 특성이 1배의 비율로 감소하면서 고전압에서 불리하던 Power MOSFET 소자도 점차적으로 고전압에서도 사용 가능하게 되었다.

Super Junction 기술을 구현하기 위한 방법에는 Multi-Epitaxial 공정과 Trench Filling공정의 2가지가 있다. 초기에는 에피택셜 층을 증착하는 동안 P-pillar 층을 형성하는 Multi-Epitaxial 공정 방법이 사용 되었으며, 이후 깊은 트렌치를 형성할 수 있는 공정이 개발되면서 트렌치를 형성한 이후 트렌치 내부를 P-pillar 층으로 채우는 Trench Pillar Filling 공정 방법이 적용 되면서, 더욱 셀 피치를 감소하며 온 저항을 Si의 한계치 이하로 낮출 수 있게 되었다.

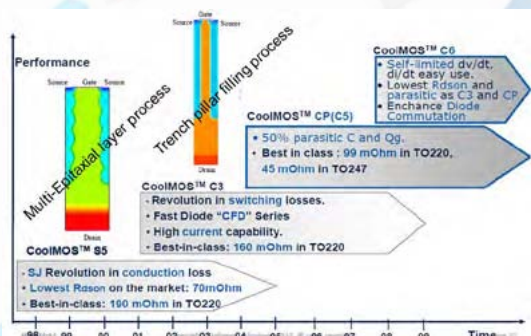


그림 6. Super Junction MOSFET의 기술 발달⁶

2.3 IGBT의 기술 개발 트렌드

Power MOSFET의 스위칭 특성에 BJT의 전류 구동 능력을 결합시킨 IGBT는 항복전압의 증가에 따라 급격히 증가하는 Power MOSFET의 온 저항 특성을 극복하여 600V 이상의 초고전압 소자 시장에서 각광받고 있으며, 주류 전력 변환 시스템 소자로 사용되고 있다. 90년대부터 개발된 IGBT는 점차 항복전압을 개선하면서 2000년대에 6500V급까지 개발되며 기존의 GTO가 차지하고 있던 운송 장치 및 초고전압 송배전 사용처까지 사용 영역을 확장하였다.

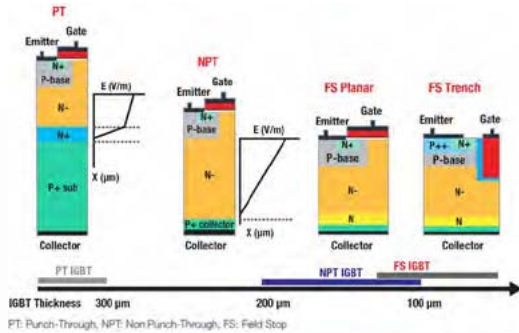


그림 7. IGBT의 Bulk 두께 감소 기술에 따른 소자 발달 과정⁴

IGBT는 Power MOSFET과는 달리 온 상태에서 P-collector로부터 홀 전류가 주입됨으로 인해 온 저항이 감소하는 특성을 가지고 있으며, Cell Pitch를 줄여 저항을 줄이는 방식보다는 Drift 길이(Bulk)를 줄여 나가는 방식으로 기술이 발전했다. 그림 7에서 보듯 Epitaxial 성장 방식의 PT(Punch-Through) 구조에서 Bulk 자체를 Drift 영역으로 사용하는 NPT(Non Punch-Through) 방식으로 다시 n+버퍼층을 삽입한 FS(Field Stop)와 SPT(Soft Punch-Through) 방식으로 발전했으며, 현재는 50μm까지 Bulk 두께를 감소시키는 CMP 기술이 적용되고 있다.

Bulk 두께를 감소시켜 온 저항을 감소시키는 기술을 개발하는 한편, 상부의 Active 소자에서는 Power MOSFET과 같이 JFET 영역의 저항을 감소시키기 위해 Trench 게이트가 차용되기도 하는 한편, 소자의 안전사용영역(SOA, Safe Operating Area)을 확장하기 위해 Dummy Cell을 삽입하거나, 홀 주입을 향상하기 위한 전하 축적층을 삽입하는 Enhancement 기술이 발전하기도 했다.

이와 더불어 Power MOSFET과 달리 내장된 Diode가 없는 IGBT의 구조에서 P-collector 층의 일부를 N형으로 형성하여 Diode를 강제로 내장시킨 RC(Reverse Conducting) IGBT가 개발되어 상용화되고 있기도 하다.

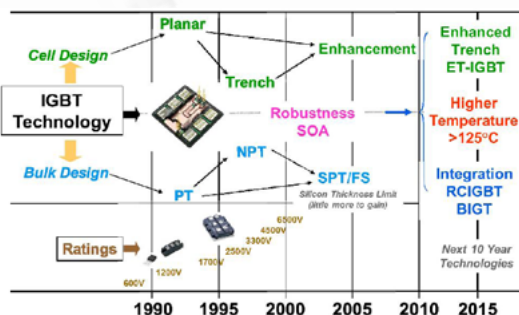


그림 8. IGBT의 시대에 따른 기술 발달⁷

2.4 WBG 소자의 등장과 기술 개발 트렌드

전력변환시스템이 발달함에 따라 스위칭 소자의 성능 요구 사항이 점차 높아지면서 전통적인 Si 기반의 전력 소자로는 요구 사항을 만족할 수 없게 되고 있다. 이에 Si 자체의 물성적 특성을 극복하는 SiC와 GaN, AlN 등의 Wide Bandgap 물질을 기반으로 하는 WBG 소자들이 대안으로 부상하며 연구되었고, 최근에 연이어 상용화되고 있는 상황이다. 이 중 SiC는 가장 먼저 파워 디바이스로 상용화된 소자로서 높은 임계전계로 인한 Si 대비 높은 항복전압 특성과 높은 열전도도로 인한 고온 동작 특성 및 대용량 전류 구동 능력, 높은 주파수 구동 능력 등으로 1200V~20kV급까지의 넓은 사용처의 요구사항을 감당하는 소자로서 각광받고 있다.

2001년 Infineon에 의해 가장 먼저 상용화된 이후 Infineon, Cree, Rohm사 등에 의해 가장 활발하게 제품화 되고 있는 소자는 SBD (Schottky Barrier Diode)이다. Wide Bandgap 특성으로 인해 SiC로 PN Diode를 형성할 시, 턴 온 전압이 3V 내외가 되므로 기존의 전력 변환 시스템 체계에서 사용할 수가 없으므로 SBD가 상용화 제품으로 채택되었다. 그러나 SBD는 빠른 턴 온 전압과 높은 전류 밀도를 가지지만, 열전자방출과 쇼트키 장벽 감소 현상으로 인한 오프 상태에서의 누설전류가 크다는 단점이 있다. 따라서 초기의 SiC SBD는 표면 결함 및 누설전류 감소를 위해 Schottky 금속을 어떤 것으로 사용하는 것이 적합한지에 대한 연구가 진행되었다. 초기에는 니켈(Ni)과 텅스텐(W) 등이 주로 연구 되었으나, 최근에는 티타늄(Ti) 또는 티타늄 합금 등이 많이 채택되고 있는 상황이다. 그러나 표면 결함 개선 및 적절한 Schottky 금속과 Barrier 안정성을 위한 후속 공정 개선에도 누설전류가 문제가 되자, 안정화되고 있던 SiC 이온 주입 공정을 적용한 JBS (Junction Barrier Schottky Diode) 구조가 도입되면서 누설전류를 개선하였다. 그러나 원자재 가격이 아직도 Si 대비 매우 고가인 SiC 소자의 경우 가격 경쟁력을 위해 전류 밀도 개선이 계속 요구되고 있는 상황이다. 따라서 최근의 SiC Diode의 기술 개발 방향은 전류 밀도 향상에 맞춰져 있다. 전류 밀도 개선을 위해 최근 Infineon에서 도입한 CMP를 통한 Wafer thinning 기술로 Bulk 두께를 감소시켜 저항을 감소하는 방식이 있다. 이를 통해 Infineon사는 저항 개선과 열저항 개선의 두 가지 특성을 모두 개선하는 효과를 획득했다.

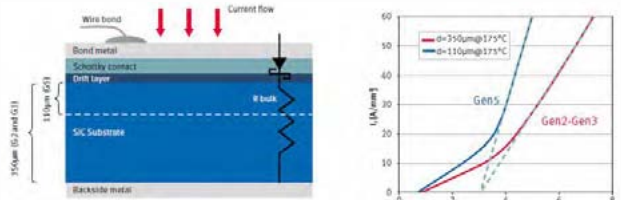


그림 9. Wafer thinning 기술을 도입한 Infineon의 5세대 SiC Diode의 전류 밀도 개선 효과⁹

SiC MOSFET은 초기에 Si와 달리 산화막의 신뢰성 문제, 낮은 채널 이동도로 인해 제품화에 어려움을 겪었다. 따라서 초기에는 MOS 구조가 아닌 게이트가 PN 접합으로 구성된 JFET(Junction Field Effect Transistor) 또는 BJT 구조가 많이 연구되었다. Infineon이나 South-Semi사 등은 JFET 구조를, Cree나 Rohm사 등의 경우는 MOSFET

구조를 개발하여 상용화하고 있다¹².

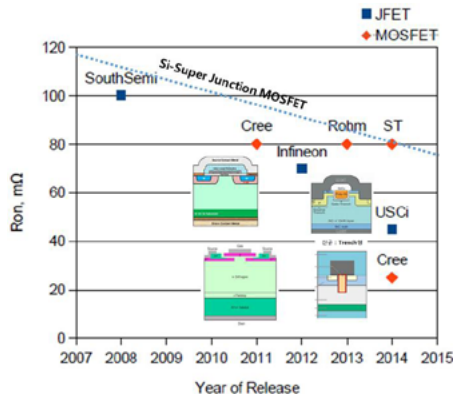


그림 10. SiC Transistor의 Ron 개선 흐름도¹⁰

STMicro사가 2014년 MOSFET의 양산화를 발표하고, Rohm사는 2015년 Dual Trench Gate MOSFET을 발표하는 등 MOSFET의 제품 상용화가 진행 중이다. 이는 모두 전류 밀도 또는 양산 능력을 향상하여 소자 가격을 절감하기 위한 기술 개발 방향을 보여주고 있다¹².

3. 결론

지금까지 파워 디바이스의 기술 발달사를 가장 주목받는 소자인 Power MOSFET, IGBT, 그리고 새로운 WBG 소자인 SiC Diode와 SiC MOSFET을 중심으로 살펴보았다.

파워 디바이스가 각광받는 이유는 전세계적으로 전력 수요가 높아지고 있을 뿐만 아니라 최근 5년 사이에 신재생 에너지와 전기 자동차, HVDC 등의 에너지 효율과 에너지 사용성을 높이기 위한 새로운 사용처가 등장하고 있기 때문이다¹¹. 이에 따라 그림 11과 같이 기존의 Si 소자는 사용처 시장을 확장하고자 기술 개발을 진행하고 있고, WBG 소자들은 기존의 소자가 사용되던 영역을 가격 절감과 뛰어난 성능을 강점으로 뚫고 들어가기 위해 치열한 기술 개발을 진행하고 있다².

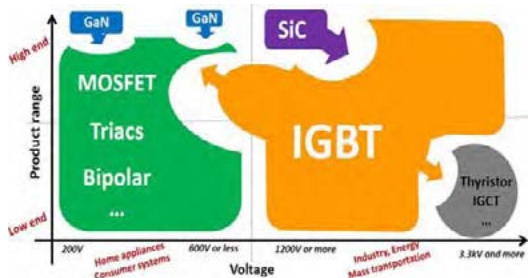


그림 11. 사용처의 정격과 가격에 따른 적용 소자 분포 및 소자들의 시장 확장 방향²

이런 기술 개발 상황은 국내 반도체 시장에 또다른 시사점을 제공해 주기도 한다. 즉, 기존의 메모리 시장에 집중되어 있는 국내의 반도체 시장에서 또 다른 먹거리를 찾고자 하는 상황에서 전체 반도체 시장의 20%의 시장력과 새로운 사용처의 등장으로 인해 10%대의 시장 성장성을 보이는 파워 디바이스 시장은 우리가 집중해야 할 새로운 반도체 시장이 될 수 있는 것이다. 또한, 다품종 소량 생산이면서 8인치 웨이퍼에서 주로 생산되는 파워 디바이스의 제품 특성은 국내의 유후 반도체

FAB의 새로운 대안이 될 수 있으면서 국내의 우수한 IC 설계 중소기업들의 새로운 먹거리가 될 수 있다^{13,14,15}.

파워 디바이스 산업을 육성하기 위해 관련 기업 육성 및 인력 양성 등이 필요하며, 장기적인 계획을 세워 산학연관 협력 체계를 구축할 필요가 요구되는 시점이다.

참고문헌

- 1 디지털데일리, "2333억원 규모 전력반도체 국책과제 시행 여부에 업계 관심", 2014. 10. 21
- 2 L. Hong, "Market and Technology Trends in WBG Power Module Packaging," PCIM ASIA 2015 presentation, 2015.
- 3 B Jayant. Baliga, "Fundamental of Power Device," 2009.
- 4 Guoyou Liu, Rongjun Ding, Haihui Luo, "Development of 8-inch Key Processes for Insulated-Gate Bipolar Transistor," Engineering 2015, 1(3): 361-366.
- 5 W. Saitom "Power device trends for high-power density operation of power electronics system," Japanese Journal of Applied Physics 53, 04EP02 (2014).
- 6 Infineon Technology Homepage.
- 7 Fairchild Homepage.
- 8 M. Andenna; Y. Otani; S. Matthias; C. Corvasce; S. Geissmann; A. Kopta; R. Schnell; M. Rahimo, "The next generation high voltage IGBT modules utilizing Enhanced-Trench ET-IGBTs and Field Charge Extraction FCE-Diodes," Power Electronics and Applications (EPE'14-ECCE Europe), 2014 16th European Conference on Year: 2014.
- 9 Infineon Technology, "Power Management Selection Guide 2014," pp 64, 2014.
- 10 Andrii Stefanskyi, Łukasz Starzak, Andrzej Napieralski, "Silicon Carbide Power Electronics for Electric Vehicles," 2015 10th conf on EVER.
- 11 문희성, "전력반도체 시장 동향 및 전망", 녹색기술동향보고서, 녹색기술정보포탈, 2014.
- 12 강인호, 방욱, 문정현, 나문경, "SiC 전력반도체 소자기술 동향", CERA-MIST 제 16권, 제 4호, 12월, 2013.
- 13 ATLAS 컨설팅, "파워 반도체 트렌드와 전망", 글로벌 시장 보고서 Newsletter. Vol.25, 2,28, 2014.
- 14 INI R&C, "SiC 전력반도체 개발동향 및 전망", INI R&C homepage, 2014.
- 15 성만영, "전력 IT를 위한 고효율 파워반도체 소자 기술동향", IDEC Newsletter, 10월, 2012.

저자정보



성만영 교수 | 고려대학교 전기전자공학부
연구분야
 전기공학, 반도체소자, Smart Power IC
E-mail semicad@korea.ac.kr
Homepage semicad2.korea.ac.kr



경신수 부설연구소장 | 파워큐브세미㈜
주 연구분야
 파워반도체 소자, 화합물 반도체, 반도체소자 설계, 전력전자
E-mail sskyoung@powercubesemi.com
Homepage www.powercubesemi.com

국내외 SoC, 임베디드 보드 리뷰 (2)

서론

최근 임베디드 및 SoC 분야의 종사자들은 세상이 관심있게 생각하는 연구주제가 매우 다양해지고 변화가 큰 폭으로 진행되고 있음을 실감하고 있다. 새로운 연구와 제품개발에 대한 Time to Market을 생각했을 때, 관련 분야 종사자들에게는 타겟 어플리케이션을 구현하기에 적합한 보드를 어디서 어떻게 구할 수 있는지 인터넷으로 찾는 것이 큰 숙제일 것이다. 예전에 임베디드, SoC 보드를 제작 판매하던 업체들의 활동이 현재도 활발한지부터 알아봐야 하고 연락처도 새로 찾아야 하기 때문에 보드구매 업무 자체가 부담으로 다가올 수 있다.

본 글은 관련 분야 종사자들에게 도움이 되고자 현재 성업중인 SoC, 임베디드 보드 개발업체들과 각 기업들의 시그니처 보드들을 소개한다. 우선, 최근 FPGA 동향에 대해 잘 모를 독자들을 위해 FPGA 제조회사 홈페이지와 제품에 대해 소개한다. 뒤이어 해당 제품을 탑재한 보드 개발업체를 국내, 해외 기업순으로 소개한다. 기업별로 시그니처 보드 몇 가지만을 소개하기 때문에 하이퍼링크를 통해 해당 업체 홈페이지로 들어가 상세히 알아보는 방법도 효과적일 것이다. 지난 호는 알테라 쪽으로 자료를 편성했고, 이번 호는 자일링스 쪽으로 편성하였다. 연재가 끝나면 통합본을 IDEC 홈페이지 자료실에 공개할 예정이다(www.idec.or.kr).

Xilinx

www.xilinx.com

Xilinx는 최근 홈페이지를 새롭게 재구성했다. 메인화면에 바로 보이는 것은 최근 Xilinx가 시도하고 있는 6가지 분야에 대한 설명이다. 각 아이템들이 팝업존과 아이콘으로 표시되어 있는데 5G wireless network, SDN/NFV, Video/Vision, ADAS, Industrial IoT, Cloud Computing 등이다. 상당히 큰 규모로 여러가지 분야에 대한 투자를 하고 있음을 알 수 있다.

Xilinx는 알테라와는 달리 개발 보드 Provider를 일일이 나열하지 않는다. 자체 제작한 레퍼런스 보드에 대한 정보만 제공하기 때문에 자일링스 홈페이지에서 직접구매를 한다는 것은 Evaluation 보드를 구매한다는 것이다. 홈페이지에서 Product Type과 특정 Product를 선택하면 Evaluation Kit 정보와 Board Files, Example Designs, User Guides 등을 다운로드 할 수 있기 때문에 유저가 원하는 정보를 직관적으로 찾을 수 있다. Xilinx의 경우도 알테라와 동일한 순서로 제품을 검색한다.

- FPGA와 CPLD 중 나에게 맞는 제품을 선정
- 해당 제품이 탑재된 보드를 선정

먼저, FPGA와 CPLD에 대한 정보를 알아보기 위해 홈페이지 메인 창의 PRODUCTS를 누른다. 아래 그림과 같이 Programmable Devices와 Developer Zone으로 구분되어 있는데 Programmable Devices에서 원하는 항목을 클릭해 들어간다. 참고로 FPGAs & 3D ICs로 들어가면 Spartan, Artix, Kintex, Virtex에 대한 정보를, SoCs & MPSoCs로 들어가면 Zynq-7000 시리즈에 대한 정보를 볼 수 있다.

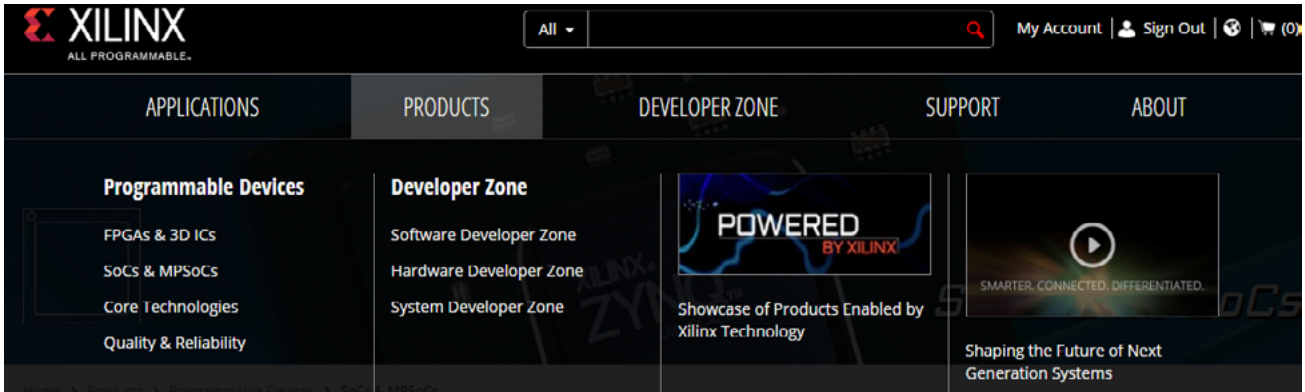


그림 출처 : Xilinx 홈페이지

FPGAs & 3D ICs로 들어가면 아래와 같은 테이블이 제공되는데, 클릭한 제품에 대한 상세 스펙이 빨간색으로 표시되는 것을 볼 수 있다. 다른 제품들과 단순 비교가 가능하여 한눈에 정보를 파악할 수 있다.

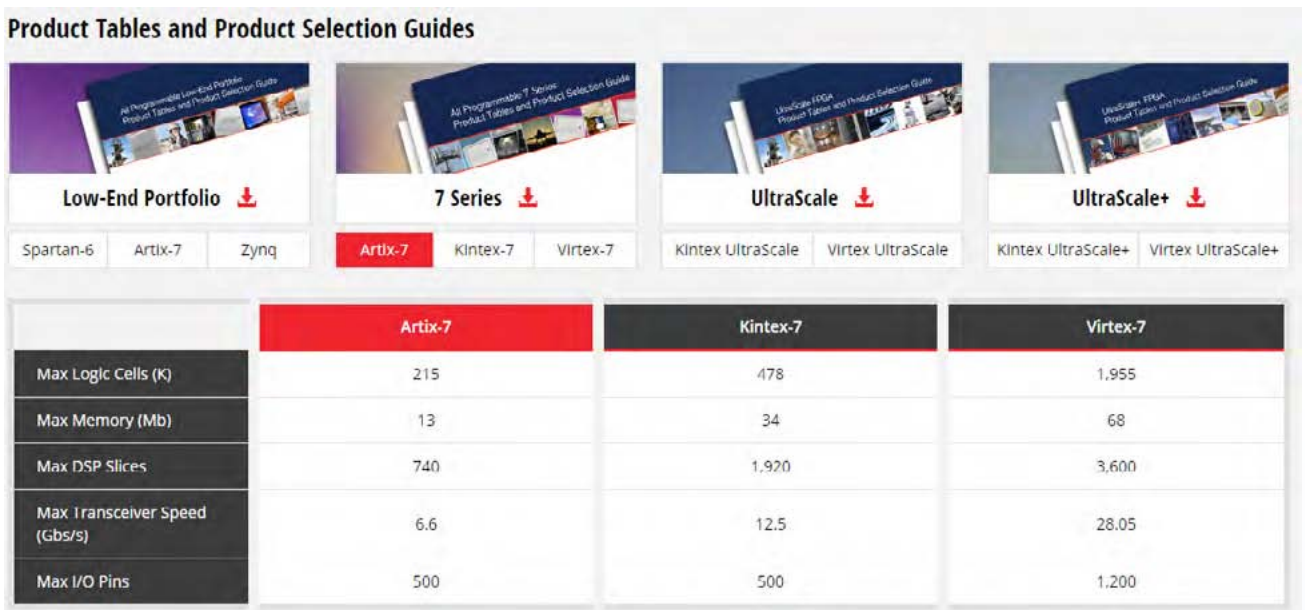


그림 출처 : Xilinx 홈페이지

아울러 모든 제품은 Automotive Grade, Defense Grade, Space Grade로 분류된다. 자동차, 비행전투기, 인공위성 그림이 각각 표시되어 있어 어떤 용도인지 직관적으로 알 수 있다. 최신 제품들에는 XXX-7 의 방식으로 Naming 되어 있는데 흔히 7-series 라고 한다. 추가적인 정보를 준비했으니 아래 링크를 통해 참고하면 되겠다.

- <http://www.xilinx.com/support/documentation/selection-guides/7-series-product-selection-guide.pdf>
- http://www.xilinx.com/support/documentation/data_sheets/ds180_7Series_Overview.pdf

참고로 아래 그림을 통해 7-series의 스펙을 비교할 수 있다. 해당 그림은 위 소개된 PDF 자료에서 발췌하였다.

Table 1: 7 Series Families Comparison

Maximum Capability	Artix-7 Family	Kintex-7 Family	Virtex-7 Family
Logic Cells	215K	478K	1,955K
Block RAM ⁽¹⁾	13 Mb	34 Mb	68 Mb
DSP Slices	740	1,920	3,600
Peak DSP Performance ⁽²⁾	929 GMAC/s	2,845 GMAC/s	5,335 GMAC/s
Transceivers	16	32	96
Peak Transceiver Speed	6.6 Gb/s	12.5 Gb/s	28.05 Gb/s
Peak Serial Bandwidth (Full Duplex)	211 Gb/s	800 Gb/s	2,784 Gb/s
PCIe Interface	x4 Gen2	x8 Gen2	x8 Gen3
Memory Interface	1,066 Mb/s	1,866 Mb/s	1,866 Mb/s
I/O Pins	500	500	1,200
I/O Voltage	1.2V, 1.35V, 1.5V, 1.8V, 2.5V, 3.3V	1.2V, 1.35V, 1.5V, 1.8V, 2.5V, 3.3V	1.2V, 1.35V, 1.5V, 1.8V, 2.5V, 3.3V
Package Options	Low-Cost, Wire-Bond, Lidless Flip-Chip	Low-Cost, Lidless Flip-Chip and High-Performance Flip-Chip	Highest Performance Flip-Chip

Notes:

1. Additional memory available in the form of distributed RAM.
2. Peak DSP performance numbers are based on symmetrical filter implementation.

그림 출처 : XILINX 7 Series FPGAs Overview DS180 Document

위 자료들을 통해 적합한 FPGA 및 CPLD 를 선택했다면 보드를 선정해야 한다. 홈페이지 상단의 SUPPORT를 누르면 Support 항목에서 Documentation을 볼 수 있다. 클릭하여 진입하면 아래 그림과 같은 메뉴들을 볼 수 있다. Step 1, 2를 통해 원하는 제품을 선택하면 그에 대한 Product가 리스팅된다. Evaluation Kit들에 대한 정보를 볼 수 있는데, 각 Kit들에 대한 Board File과 예제, 문서 등이 공개되어 있으니 다운로드 하면 되겠다.

Support

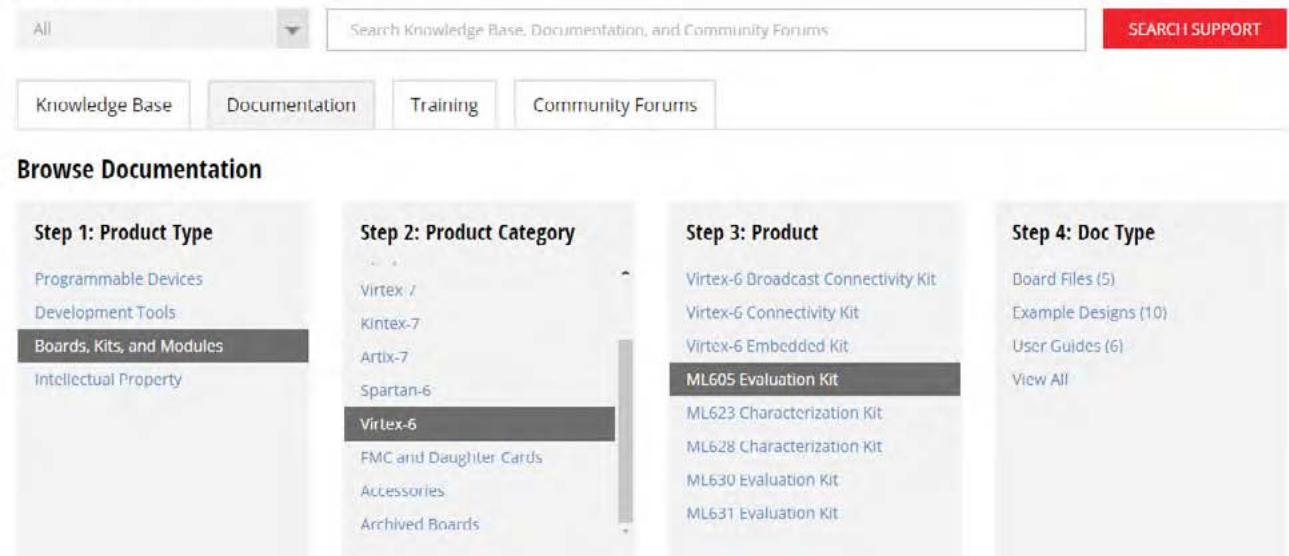


그림 출처 : Xilinx 홈페이지

자일링스도 국내에 자일링스 코리아와 다수의 대리점이 있다. 그 중 아래 2곳을 통해서 쉽게 접근이 가능하다. 특히 리버트론은 자일링스 코리아의 공식 Authorized Training Provider(ATP)이다.

- 리버트론 (<http://www.libertron.com>)
- 이니프로 (<http://www.inipro.net>)

지금까지 알테라와 자일링스에 대한 전반적인 내용을 살펴보고 이어서 국내기업과 해외기업 순으로 시그니처 보드에 대한 정보를 확인할 수 있다.

국내 보드 제작 업체 소개

리버트론

www.libertron.com

리버트론은 한국의 자일링스 University Program Partner이며 공식 Authorized Training Provider(ATP) 교육기관이다. 만약 대학교에서 자일링스 코리아 쪽으로 보드구매나 교육에 대하여 문의를 한다면 공식 파트너인 리버트론을 만나게 될 것이다. 리버트론은 설립된지 약 20년 된 기업으로서 Xilinx 국내 ATP가 된지는 8년 정도 되었다. Xilinx 이외에도 미국 Easic, Titera, SandForce, 대만 Nuvoton사 등의 대리점을 겸하고 있으니 해외 제품이 필요한 경우 연락을 하면 도움이 되겠다.

리버트론은 이외에도 디자인 서비스, 다양한 교육 프로그램 등을 제공하고 있다. 매월 3-4회 정도를 자체 교육장에서 진행하고 있으니 참고하면 되겠다(<http://www.libertron.com/subPage.php?pgCode=6/2&Vcode=EdList&start=0&year=2016&month=00006&SCcode=yearView>). 아래로는 자체 제작한 SoC 타겟보드를 소개한다.

ZYNQ Starter Kit

자체 개발한 Xilinx사의 Zynq-7000 All Programmable SoC 기반의 ZYNQ Starter Kit은 임베디드 SoC 시스템 개발 및 교육을 위한 플랫폼으로 다양한 주변장치와 샘플 소스, 교재 등을 바탕으로 사용자들이 쉽고 편리하게 개발 및 교육에 활용이 가능하다.

1) 보드 사진



그림 출처 : 리버트론

2) 제품 특징

- Xilinx ZYNQ-7000 SoC 탑재
 - XC7Z020-1CLG484C 적용
 - ARM Cortex-A9 Dual Core Processor
 - 고성능 AMBA AXI bus 지원
 - 85k Logic Cell 지원
- 내구성 및 안정성
 - 메탈 및 아크릴 커버로 외부의 충격 보호
 - 과전압 회로 보호 설계

- 유연한 확장성
 - FMC Connector 제공
 - Pmod Connector 제공
- 교육 활용
 - VIVADO 기반의 교육 콘텐츠 제공
 - XILINX 교육 콘텐츠 및 Reference 소스 활용 가능
 - XILINX 공인 ATP 교육 실습 장비

3) 제품 사양

- FPGA : Zynq-7000 Family (XC7Z020-1CLG484C)
 - ARM Cortex A9 Dual, 256KB on-chip RAM, 36Kb Block RAM
- Memory
 - DDR3 SDRAM : 512MB (128M x 32), Up to 1066MT/s
 - QSPI Flash : 256Mbits, Boot loader memory
 - SD Card Slot
- Connectivity
 - Ethernet : 10/100/1G Ethernet
 - USB : USG-OTG 2.0
 - UART : USB to UART
- AV
 - Audio Codec : SigmaDSP, 50MIPS, Line-In/Out, Headphone, microphone
 - HDMI-Out : Resolution : 1080P/60Hz, Data Format : YCbCr 4:2:2
- Clock : 33.333MHz (For PS), 100MHz (For PL)
- LED : 8 bits LED
- Switch
 - 8-input piano type DIP Switches
 - Push Button : 5-Input (PL), 2-Input (PS)
- Configuration : JTAG or SPI Boot Mode
- AMX Box Header XADC
- FMC-LPC

4) 개발 환경 : Xilinx VIVADO Design Suite (SDK 포함)

5) 응용 분야 : 차량 안전 시스템, 산업 자동화, 데이터 센터, 의료용 장비, 방위 산업, 방송 시스템 등

6) 교재 및 교육 정보

- 교재 정보 (<http://www.libertron.com/subPage.php?pgCode=6/3>)
- 교육 센터 (<http://www.libertron.com/subPage.php?pgCode=6/1>)
- 연간 4회 정도 IDEC에서 수준별 교육 진행중 (http://www.idec.or.kr/content.php?db=m2_2)

7) 문의처 (리버트론 임베디드 시스템 사업부)

- TEL : 02-3486-5278
- E-mail : platform@libertron.com
- Homepage : www.libertron.com

휴인스

www.huins.com

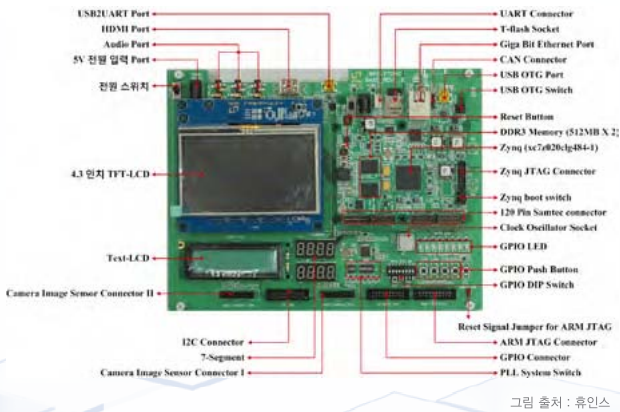
국내에서 임베디드, SoC 개발 보드 플랫폼으로 성공을 거둔 휴인스는 현재 ARM, SoC, Drone, IoT, Android라는 키워드를 내걸고 활발히 개발하고 있다. 홈페이지에 들어가면 ARM, SoC-FPGA 솔루션, 무인 항공기-드론, 사물인터넷, 안드로이드, 웨어러블, 로봇 등 다양한 분야의 제품 솔루션을 제공하고 있음을 알 수 있다. 언급된 각 분야에 대한 교육은 Huins IT-SoC 트레이닝 센터에서 진행하고 있고, ARM 전문 교육도 진행하는 등 교육사업도 병행하고 있다. 홈페이지 화면 오른쪽에는 각 분야별로 기술지원에 대한 contact point를 쉽게 확인할 수 있으니 처음 접하는 사람들에게 유용하다.

개발 보드 제품은 UltraScale, V72000T, Zynq, V6 LX760, V5 LX330 검증 플랫폼 등으로서 라인업이 매우 다양하다. FPGA Product 라인 별로 보드를 제작 판매하고 있으니 다양한 수요를 만족할 것으로 생각된다. 아래로 자체 제작한 SoC 타겟보드를 소개한다.

RPS-Z7020

1) 보드 사진

아래 링크를 통해 자세한 내용을 확인할 수 있다(http://huins.com/new/sub/goods_view.php?it_id=1428652397&ca_id=20&ca_id2=2030&n=2&sn=3).



2) 보드 사양

- FPGA: Zynq-7000 Family (XC7Z020)
 - ARM Cortex A9 Dual, 103만 게이트 용량의 FPGA
- Memory
 - DDR3 Component : 1G Bytes
 - SD Card Slot : T-Flash 카드 지원
- Connectivity
 - Ethernet : 10/100/1G Ethernet
 - USB : USG-OTG 2.0
 - UART : 1 port
- Xilinx JTAG : 2.00mm Pitch 14-pin Header

- Clock : 최대 533MHz (For Cortex-A9)
- GPIO : 2 LED, Push-Switch 2EA
- Connector : Base 보드 연결을 위한 120핀 connector 2EA
- Debugging JTAG Port : DS5(ARM 디버거) : 2.54mm pitch 20-pin Header
- TFT LCD : 4.3" 480x272
- HDMI : 1 PORT
- USB2Parallel : 1 PORT
- CIS2M (Option) : 2백만 화소 카메라 모듈(RGB)
- TextLCD : 16x2 문자 출력
- 7-Segment : 4x4 문자 출력
- 오실레이터 소켓 : 25MHz Oscillator
- PLL System : 1 ~ 128 MHz 출력
- I2C 포트 : 2 CHANNEL PORT

3) 차별성

- RPS-Z7020 모듈은 Xilinx Zynq-7000 Chip 중에서 xc7z020clg484-1을 포함
- Xilinx Zynq-7000 PS와 연결된 주변 장치들은 RPS-Z7020 모듈에 탑재됨
- PL과 연결된 주변 장치들은 RPS-Z7020-TK Base 보드에 탑재됨
- RPS-Z7020-TK에서만 있는 주변 장치로는 4.2인치 TFT-LCD, 2백만 화소 Camera Image Sensor 인터페이스, 7-Segment, TextLCD를 갖추고 있음
- RPS-Z7020 모듈과 RPS-Z7020-TK Base 보드는 Samtec Connector로 연결되어 있어서, RPS-Z7020을 따로 분리하여 단독으로 사용 가능
- RPS-Z7020은 다양한 목적으로 사용자가 직접 제작한 Base 보드에 연결하여 사용 가능

4) 개발 환경

- Xilinx PlanAhead 구성 사항
 - Xilinx Platform Studio (이하 XPS)
 - Software Development Kit (이하 SDK)
 - Synthesizer (이하 XST)
 - Implement Design (Translate, Map, Place & Router)
- Bitstream Generator
- XPS는 PS와 Xilinx IP들을 호출한 후 구성하여 모듈로 제작
- SDK는 Eclipse 기반의 ARM Cortex-A9 디버깅 툴과 Xilinx에 특화된 arm-gcc 컴파일러로 구성
- Xilinx USB Platform으로 PL 다운로드와 PS 디버깅 모두 가능
- ARM DS-5로 Xilinx Zynq-7000 PS 디버깅 가능
 - PL 영역에 있는 IP들의 Register Access 가능
 - DDR2/DDR3 메모리에 데이터 접근 속도 증가
 - Linux 디버깅 가능

5) 실제 응용 사례 : HMI 설계 / 자동차 Around View 시스템 / ARM System 설계

6) 가격 : 150만원~200만원 (옵션 포함시)

7) 교재 및 교육 정보 : 아래 링크를 통해 관련 교재의 정보를 파악할 수 있다(http://www.funfunmall.co.kr/shop/goods/goods_view.php?goodsno=104&category=009#prdDetail)

• 교재 목차

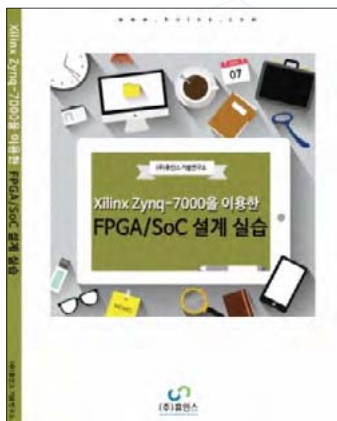


그림 출처 : 휴인스

- SoC 개요 및 설계 방법
- Xilinx ZynQ-7000을 이용한 SoC설계 구조 이해
- ARM AMBA protocol 이해
- Xilinx Tool 사용법 실습
- RPS-Z7020-TK 장비 구성 및 사양
- FPGA를 이용한 LED, 7-Segment 제어 실습
- ARM을 이용한 LED, 7-Segmnet 제어 실습 (APB)
- FPGA를 이용한 Text-LCD 제어 실습
- ARM을 이용한 Text-LCD 제어 실습 (AHB)
- Push Button을 이용한 Interrupt 실습
- FPGA를 이용한 TFT-LCD 제어 실습
- FPGA를 이용한 Camera 제어 실습
- ARM을 이용한 LED, 7-Segmnet 제어 실습 (AXI)

• 교육 정보 : http://www.huins.com/new/sub/edu_2_1_1.php?no=54

8) 문의처 (기술/영업)

- www.huins.com, 031-719-8200
- 각 지역별 영업담당자
 - 최석주 부장(경기/서울), 박상영 차장(경상/서울/경기), 최예호 과장(충청/전라)
 - 영업대표 : 오승환 이사 (soh@huins.com)

다이나릿 시스템즈

www.dynalith.com

다이나릿 시스템즈는 전문적인 SoC 하드웨어 및 CAD 솔루션을 제공한다. 2000년 iSAVE라는 이름의 SoC 검증 툴킷 출시를 시작으로 현재까지 SoC 분야에서 개발 영역을 확장해가고 있다.

SoC 개발 보드, IP에 대한 자체 개발도 진행하면서 Open Platform에 대한 기술지원도 겸하고 있다. 최근에는 국산 프로세서 Core-A의 기술 지원 기관으로서 기술 지원, 교육, 홍보 등의 역할을 수행했다. 홈페이지에 소개되어 있는 제품 리스트를 보면 Spartan-3, Xilinx 4-Series부터 7-Series까지 다양하게 구성되어 있으며 Open Platform을 기반으로 만든 Open JTAG, Open IDEA도 확인할 수 있다.

다이나릿은 많은 제품들에 대한 예제들을 홈페이지 support 항목을 통해 공개하고 있기 때문에 타 기업과의 차별성이 있다. 아울러 제품 구매자의 경우, 홈페이지에 로그인하면 좀 더 세부적인 기술 지원 서비스를 받을 수 있다. 아래로 자체 개발 보드를 소개한다.

1. iMPROVE

iMPROVE는 Xilinx의 가장 큰 용량의 FPGA인 Vitex-7 2000T를 사용한 FPGA 보드로서 다양한 용량의 디자인을 지원한다. (주)다이나릿 시스템즈의 특화된 기술인 호스트 컴퓨터와 USB 3.0으로 연동하는 기술을 사용하여 호스트 컴퓨터 상의 HDL 시뮬레이터 및 C 프로그램과 iMPROVE보드를 연동하여 하드웨어-소프트웨어 동시 시뮬레이션을 할 수 있다.

1) 보드 사진



그림 출처 : 다이나릿 시스템즈

2) 보드 사양

- Host Interface: USB 3.0
- FPGA: XC7V2000T-FLG1925, Xilinx Virtex-7 200M gates
- Memory
 - DDR3 SODIMM : 2G Byte / 64bit data bus
 - DDR3 Component : 1G Byte / 32bit data bus
 - DDR2 Component : 256M Byte / 32bit data bus
 - Mobile SDRAM : 128M Byte / 32bit data bus
 - NAND Flash : 2G Byte
 - SD/MMC
- Video
 - UHD HDMI : HDMI 1.4a
 - LCD : WXGA (1280 x 800)
- Audio : AC97
- Ethernet : 1G bps, RJ45

3) 개발 환경

- FPGA 디자인 : Xilinx Vivado
- 임베디드 프로세서 (Core-A) : GCC 기반 컴파일러
- ICE 장비 : OpenJTAG for Core-A

4) 예제 플랫폼

- AMBA 디자인 플랫폼
- Core-A를 사용한 AMBA 디자인 플랫폼
- HDMI Video 출력 플랫폼
- CIS 카메라 입력 플랫폼

5) 응용 사례

- UHD 디스플레이 : FPGA내에 Core-A 프로세서를 내장한 SoC 플랫폼

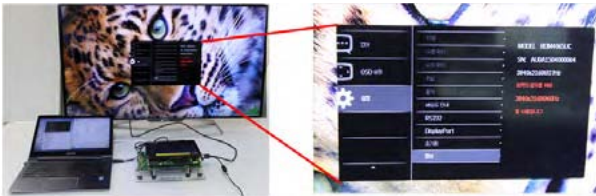


그림 출처 : 다이나릿 시스템즈

- Dual Camera : CIS Dual Camera를 사용하는 다양한 응용 플랫폼 구성



그림 출처 : 다이나릿 시스템즈

2. IMPRESS

iMPRESS는 Xilinx의 저사양 FPGA인 Artix-7 중에서 가장 큰 용량인 200T를 사용한 FPGA 보드로서 사용자의 부담을 줄이고, 용량을 충족 시킨 FPGA 보드이다. (주)다이나릿시스템의 특화된 기술인 USB 3.0 및 PCI-Express로 호스트 컴퓨터와 연동하는 기술을 사용하여 호스트 컴퓨터 상의 HDL 시뮬레이터 및 C 프로그램과 iMPRESS 보드를 연동하여 하드웨어-소프트웨어 동시 시뮬레이션을 할 수 있다.

1) 보드 사진



그림 출처 : 다이나릿 시스템즈

2) 보드 사양

- Host Interface : USB 3.0 / 4 lane PCIe 2.0
- FPGA : XC7A200T-FFG1156, Xilinx 20M gate Artix-7
- Memory
 - DDR3 Component : Two 256M 32bit
 - Flash : Two QSPI 32M Byte
- Video Output : UHD HDMI 1.4a
- Video Input : HDMI
- Audio : AC97
- Ethernet : 1G bps, RJ45
- GPIO : 50pin

3) 개발 환경

- FPGA 디자인 : Xilinx Vivado
- 임베디드 프로세서 (Core-A) : GCC 기반 컴파일러
- ICE 장비 : OpenJTAG for Core-A

4) 예제 플랫폼

- AMBA 디자인 플랫폼
- Core-A를 사용한 AMBA 디자인 플랫폼
- HDMI Video 출력 플랫폼
- AC97 카메라 입력 플랫폼

5) 응용 사례

- UHD 디스플레이 : FPGA내에 Core-A 프로세서를 내장한 UHD 비디오 출력 플랫폼



그림 출처 : 다이나릿 시스템즈

- AC97 : FPGA내에 Core-A 프로세서를 내장한 AC97 기반의 오디오 플랫폼



그림 출처 : 다이나릿 시스템즈

- 다양한 Core-A 응용 개발 플랫폼
 - HDMI TX/RX Platform
 - Core-A AMBA AHB Platform with Multi-Way Write Through Cache
 - Core-A AMBA AXI/AHB Platform
 - AC97 Audio Play Platform

3. iZYNQ-20

iZYNQ-20 보드는 Xilinx의 SoC 용 FPGA인 ZYNQ를 사용한 보드이다.

1) 보드 사진



그림 출처 : 다이나릿 시스템즈

2) 보드 사양

- Processor : Dual ARM Cortex-A9
- FPGA : XC7Z020-CLG484
- Memory
 - DDR3 Component : 512M Byte / 32bit bus
 - Flash : QSPI 32M Byte
 - SD
- Video : HDMI 1.4a
- Ethernet : 10/100/1000 bps, RJ45
- GPIO : FMC

3) 개발 환경 : Xilinx Vivado

4) 응용 사례 : HSR(High-availability Seamless Redundancy)을 지원하는 Multi-port Ethernet switch 응용보드로 iZYNQ-20 FPGA 내에 있는 ARM Cortex-A9 프로세서를 사용하여 개발

• 구성도

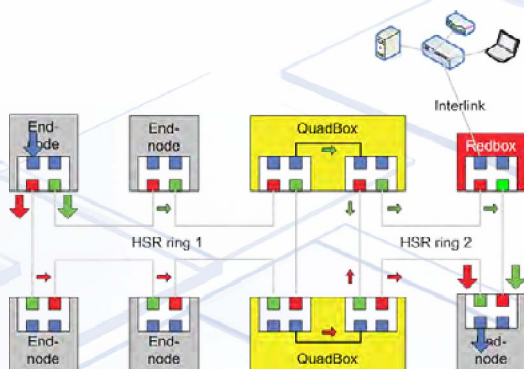


그림 출처 : 다이나릿 시스템즈

• 보드 사진



그림 출처 : 다이나릿 시스템즈

5) 교재 및 교육 정보

- Core-A 프로세서 교재 (iMPROVE, iMPRESS) : Core-A를 사용한 비디오, 오디오, 네트워크 등을 다루는 다양한 예제 및 파일을 제공하고 있다.



그림 출처 : 특허청, 다이나릿 시스템즈

- iMPROVE, iMPRESS, iZYNQ-20 교육 : ㈜다이나릿시스템에서 무료로 1~2일의 교육을 제공하고 있으며, iMPROVE, iMPRESS, iZYNQ-20를 사용하는 다양한 디자인 설계에 대한 교육은 IDEC(www.idec.or.kr) 및 ETRI의 SW-So용합R&BD센터(www.asic.net)에서 연간 수차례의 교육을 진행하고 있다.

6) 문의처

- Web : www.dynalith.com
- E-mail : contact@dynalith.com
- 영업 : 박정호 팀장 (02-556-0020, cheongho@dynalith.com)
- 기술지원 : 042-862-6411

해외 보드 유통 업체 소개

이니프로

www.inipro.net

기본적으로 외국 제품들이 많이 유통되고 있기 때문에 다른 사이트와의 차별성이 있다. 이니프로는 단순히 홈페이지에서 보드만 유통, 판매하는

것이 아니라 네이버 카페(<http://cafe.naver.com/plduser>)도 운영하고 있는데 질문, 답변 게시판과 각종 강좌 정보를 확인할 수 있고 자체 강사도 모집 운영하면서 HDL 및 FPGA, SoC 보드 운용에 대한 강의를 진행하고 있으니 참고하면 되겠다.

이니프로에서 판매하는 제품들은 FPGA/ASIC, DAQ/SDR, Emulator/ Programmer, IoT/Robot, Test&Measurement 및 그 외 분류까지 총 6가지 카테고리로 나뉘어 있는데, 첫 번째 FPGA/ASIC 으로 들어가면 Board & Kit와 Module 등의 소분류가 있다. 각각은 보드 공급 업체별로 나뉘어 있기 때문에 파악하기 쉽다.

Board&Kit과 Module 범주에서 유통되고 있는 외국 제품들은 Avnet, Digilent, Red Pitaya, Terasic, Xilinx의 제품들이고, 국내 기업인 DYNALITH Systems도 있다. 각 제품의 이미지를 클릭하면 상세페이지에서 보드에 대한 설명과 특징, 관련 자료들을 간단히 확인할 수 있고, 문서나 소스 등은 제조사 홈페이지나 관련 사이트로 연결되어 있다. 그 외에도 IoT/ Robot 카테고리 들어가면 수많은 아두이노 키트들과 로봇 키트들을 확인할 수 있다. 이니프로에서 유통되고 있는 제품들을 잘 정리해 놓은 자료가 있어 소개한다. 아래 링크를 통해 받을 수 있다(http://www.inipro.net/files/inipro_catalog.pdf).

이니프로의 메인 홈페이지 이미지는 아래와 같다. 그림과 같이 좌측 FPGA/ASIC 카테고리에서 Board&Kit로 이동한 뒤 상단을 보면 제조사 별로 구분되어 있다. 현재 이니프로에서 유통하고 있는 제조회사들은 Avnet, Digilent, DYNALITH Systems, Hitech Global, Terasic, Xilinx 등 11곳이다. 상품 구매 페이지에서 구매옵션을 클릭하면 학교의 경우 할인된 가격도 가능하니 참고하면 되겠다.



그림 출처 : 이니프로

이어서 Board&Kit 쪽에 대표 제품으로 소개되고 있는 보드들에 대해 제조사 별로 간략하게 알아보자.

해외 보드 제작 업체 소개

Avnet

www.avnet.com

Avnet은 최근 Zynq 기반의 보드들을 시리즈로 만들어 유통하고 있고, Zedboard.org라는 홈페이지를 통해 수많은 지식들을 공유하고 있다. 현재 Zedboard 홈페이지에서 소개하고 있는 제품들은 Zedboard, MicroZed, PicoZed, ZynqMMP 등으로서 보드, 모듈, 키트 등의 형식으로 10가지가 넘는다.

메인 보드로 사용하는 몇가지 타이틀 보드들이 있고, 목적에 따라 만들어진 작은 모듈들을 결합하여 확장성을 넓혀 나갈 수 있다. 아두이노와는 달리, 메인 칩은 Zynq이기 때문에 SoC, FPGA 시장을 Base로 접근하고 있으며 가격은 작은 보드와 모듈이 40만원대 이상으로 구성된다. 복합적인 기능을 구현하기 위해 보드 구매를 한다면 100만원대 중반으로 구성할 수 있다.

개발 환경은 Xilinx Vivado를 설치한 후 자체 지원되는 BSP, SDK, Tool chain 등을 설치하면 된다. SDK는 Virtual Machine, Eclipse, Qt Creator 등을 포함하고 있고, BSP는 리눅스 커널, 부트로더, File System 등을 포함하고 있다. Tool chain은 Cross Compiler와 Eclipse를 연동하여 운영한다. 타겟 어플리케이션으로는 Embedded Vision, Motor Control, Industrial IoT 등이다.

Zedboard.org는 외국 사이트이기 때문에 국내 회사들처럼 직접적인 기술 지원을 받을 수는 없지만 홈페이지에 게시되어 있는 자료들의 완성도가 높고 질의, 응답 관련 포럼도 운영되고 있기 때문에 큰 어려움 없이 접근할 수 있을 것으로 기대한다. 아래 그림을 통해 Avnet 보드들의 스펙 비교를 할 수 있다.

Avnet's Zynq-7000 All Programmable SoC System-On-Module and Motherboard Solutions

Features	PicoZed		MicroZed		Mini Module Plus		Zynq Mini-ITX			
	7010	7015	7020	7030	7010	7030	7045	7100	7045	7100
DDR3	1GB	1GB	1GB	1GB	1GB	1GB	1GB	1GB	2GB	2GB
QSPI	128Mb	128Mb	128Mb	128Mb	128Mb	128Mb	256Mb	256Mb	256Mb	256Mb
USD	Camera Card	Camera Card	Camera Card	Camera Card	Y	Y	Y	Y	Y	Y
Max User IO ¹	100/13	135/15	125/13	135/13	100/8	115/8	132	132	160 ²	160 ²
XCVRs	-	4	-	4	-	-	8	8	74	14
1 Gb Ethernet	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y
USB-UART	Camera Card	Camera Card	Camera Card	Camera Card	Y	Y	Y	Y	Y	Y
USB 2.0	Y	Y	Y	Y	Y	Y	Y	Y	4 Ports	4 Ports
Cost	\$149 ³	\$289 ³	\$199 ³	\$389 ³	\$160 ³	\$245 ³	\$895 ⁴	\$995 ⁴	\$1750 ⁴	\$1900 ⁴

¹PL I/Os IO ²4PC FMC ³1K+ pcs ⁴25+ pcs

그림 출처 : Avnet

1. MicroZed

MicroZed 는 Xilinx Zynq-7000 기반의 개발 보드로서 가격이 낮다는 특징이 있다. 독특한 디자인을 가지고 있기 때문에 basic SoC 개발을 위한 Stand-alone evaluation board 로 사용할 수도 있고, carrier card들과 결합하여 Embeddable system-on-module(SOM)로의 활용도 가능하다. 사용자는 stand-alone mode를 통해 platform을 배울 수 있고 SOM모드를 통해 functionality를 확장할 수 있다.

1) 보드 사진



그림 출처 : Avnet

2) 보드 사양

- SoC
 - XC7Z010-1CLG400C
- Memory
 - 1 GB of DDR3 SDRAM
 - 128 Mb of QSPI Flash
 - Micro SD card interface
- Communications
 - 10/100/1000 Ethernet
 - USB 2.0
 - USB-UART
- User I/O (via dual board-to-board connectors)
 - 7Z010 Version
 - 100 User I/O (50 per connector)
 - Configurable as up to 48 LVDS pairs or 100 single-ended I/O
- Other
 - 2x6 Digilent Pmod® compatible interface providing 8 PS MIO connections for user I/O
 - Xilinx PC4 JTAG configuration port
 - PS JTAG pins accessible via Pmod
 - 33.33 MHz oscillator
 - User LED and push switch

3) 개발 환경 : Xilinx Vivado, BSP linux, Eclipse

4) Target Applications

- General Zynq®-7000 AP SoC evaluation and prototyping
- Embedded system-on-module(SOM) applications

- Embedded vision
- Test & measurement
- Motor control
- Software-defined radio
- Industrial Networking
- Industrial IoT

5) 가격 정보

- 이니프로 홈페이지에서 381,000원으로 구매 가능 (http://www.inipro.net/goods_detail.php?goodsidx=126939)
- 공식 사이트 (<http://Zedboard.org>)에서 직접 구매 가능

6) 교재 및 교육 정보 : <http://Zedboard.org> 에서 교육 자료, 동영상, 소스 코드에 대한 방대한 자료를 쉽게 받을 수 있음

7) 홈페이지 주소 : <http://Zedboard.org>

2. PicoZed

MicroZed가 보드로 분류되었던 것에 반하여 PicoZed는 Embeddable System-on-Module(SOM)로 분류되어 있다. Xilinx Zynq-7000을 포함하고 있고 뒤쪽에 있는 3개의 I/O 커넥터를 통해 100개가 넘는 유저 I/O 핀들을 액세스할 수 있는데 Ethernet, USB, JTAG, power 또는 기타 Control Signal 등으로 사용될 수도 있다. 디자이너는 이 Carrier Card를 간단히 이용하여 Application 개발을 할 수 있다.

1) 보드 사진

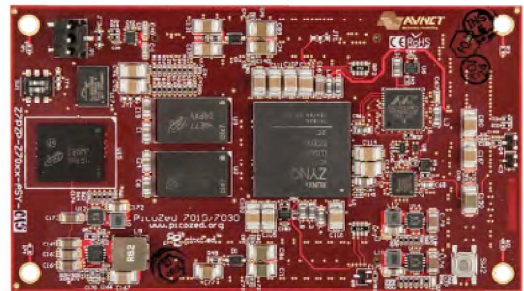


그림 출처 : Avnet

2) 보드 사양

- SoC
 - XC7Z010-1CLG400
 - XC7Z020-1CLG400
 - XC7Z015-1SBG485
 - XC7Z030-1SBG485
- Memory
 - 1 GB of DDR3 SDRAM
 - 128 Mb of QSPI Flash
 - 4 GB eMMC

- Communications
 - 10/100/1000 Ethernet PHY
 - USB 2.0 PHY
- User I/O (via three board-to-board connectors)
 - 7Z010 Version
 - » 113 User I/O (100 PL, 13 PS MIO)
 - » PL I/O configurable as up to 48 LVDS pairs or 100 single-ended I/O
 - 7Z015 Version
 - » 148 User I/O (135 PL, 13 PS MIO)
 - » PL I/O configurable as up to 65 LVDS pairs or 135 single-ended I/O
 - » 4 GTP transceivers
 - 7Z020 Version
 - » 138 User I/O (125 PL, 13 PS MIO)
 - » PL I/O configurable as up to 60 LVDS pairs or 125 single-ended I/O
 - 7Z030 Version
 - » 148 User I/O (135 PL, 13 PS MIO)
 - » PL I/O configurable as up to 65 LVDS pairs or 135 single-ended I/O
 - » 4 GTX transceivers
- Other
 - JTAG configuration port accessible via I/O connectors
 - PS JTAG pins accessible via I/O connectors
 - PS JTAG pins accessible via Pmod
 - Software
 - » Linux BSP and reference design

3) 개발 환경 : Xilinx Vivado, BSP linux, Eclipse

4) Target Applications

- General Zynq®-7000 AP SoC evaluation and prototyping
- Embedded system-on-module(SOM) applications
- Embedded vision
- Test & measurement
- Motor control
- Software-defined radio
- Industrial Networking
- Industrial IoT

5) 가격 정보

- 이니프로 홈페이지에서 485,000원으로 구매 가능 (http://www.inipro.net/goods_detail.php?goodsIdx=617145)
- 공식 사이트 (<http://Zedboard.org>)에서 직접 구매 가능

6) 교재 및 교육 정보 : <http://Zedboard.org> 에서 교육 자료, 동영상, 소스 코드에 대한 방대한 자료를 쉽게 받을 수 있음

7) 홈페이지 주소 : <http://Zedboard.org>

Digilent

<http://store.digilentinc.com>

Digilent는 최근 위에서 언급된 Zedboard를 Avnet과 공동 투자하여 만들었다. 하지만 기존에도 활발하게 교육용 보드를 만들고 있었는데 Basys3, Zybo, NEXYS4 등의 저가형 보드부터 NetFPGA-1G-CML, Genesys 2등의 고가형 보드까지 시리즈가 매우 다양하다.

기본적인 타이틀 보드들이 있지만 필요한 목적들을 위해 만들어진 매우 작은 크기의 Pmod 모듈들을 결합하여 확장성을 넓혀 나갈 수 있다. 이니프로 홈페이지에서 FPGA/ASIC 카테고리리의 Module 분류로 들어가면 Digilent 항목에서 많은 수의 Pmod 모듈들을 확인할 수 있다.

Digilent는 FPGA 종류를 다양하게 사용하고 있는데 Kintex-7, Virtex-7, Artix-7, Zynq-7000, Spartan-6, Spartan-3, CPLD가 이용된 보드들이 판매되고 있다. 가격은 Kintex-7이 170만원 이상이고, Virtex-7은 90만원선, Artix-7은 20~70만원선, Zynq-7000은 20~60만원선 정도로 분포되고 있다. 가격이 크게 비싸지 않은 것은 전세계적으로 소비량이 많아서 매우 대량으로 만들기 때문이라고 한다.

Digilent 제품군 중에 가장 인기있는 제품은 Zybo, Basys3, Zed-Board, Nexys4 인데 가격이 20~60만원선이고, 홈페이지에 교육용 자료도 방대하기 때문에 접근이 용이하다.

개발 환경은 Xilinx Vivado, linux-PC, windows-PC, visual studio, Xilinx SDK 등인데 이니프로 홈페이지의 상세페이지에서 링크를 타고 Digilent 홈페이지로 이동하면 상세한 정보를 얻을 수 있다(<https://reference.digilentinc.com>). 튜토리얼은 모든 과정을 스텝별로 차근 차근 설명하고 있으니 공부하는 유저들이 따라가기 쉽다.

Digilent는 외국 사이트이기 때문에 국내 회사처럼 직접적인 기술 지원을 받을 수는 없지만 공식 홈페이지에 게시되어 있는 자료들의 완성도가 높고 질의, 응답 관련 포럼도 운영되고 있기 때문에 큰 어려움 없이 접근할 수 있을 것으로 기대한다.

Digilent는 기본 상업적인 성격도 있지만 대학을 위한 서비스를 많이 하는 편이다. 홈페이지에 들어가면 많은 수의 제품들을 Academic Price로 판매하고 있는데 동시에 Summer Pmod Sale도 진행하고 있다. 아울러 대학을 위한 강의 커리큘럼도 개설하고 교육도 하고 있음을 알 수 있다.

Digilent 제품 구매를 하려면 직접 홈페이지에서 구매하거나 국내 대리점을 이용하면 된다. (주)리버트론과 이니프로의 홈페이지를 아래에서 볼 수 있다. 리버트론의 경우, 홈페이지에 해외제품이라는 탭이 있으니 견적을 문의하면 되겠다.

- 리버트론 (<http://www.libertron.com>)
- 이니프로 (<http://www.inipro.net>)

아래로, 이니프로를 통해 구매가능한 제품들 중 몇 가지를 소개하겠다.

1. Zybo

Zybo는 사용하기 쉽고 기능이 많아서 입문용으로 적합한 보드이다. Zynq-7000를 사용하고 있어서 임베디드 소프트웨어 뿐만 아니라 디지털 회로 개발 및 SoC 설계도 가능한 플랫폼이다. Zynq-7000 시리즈 중 가장 작은 Z-7010을 사용하고 있는데 해당 칩은 듀얼 코어 ARM Cortex-A9 processor와 Xilinx-7 FPGA를 포함하는 성능을 가지고 있다. Video, Audio, dual-role USB, Ethernet, SD slot 등을 포함하고 있어서 보드 자체만으로 많은 일을 할 수 있고, 기타 목적을 위한 Pmod를 장착하면 기능을 확장할 수 있다.

Zybo는 Xilinx 툴인 Vivado Design Suite와 ISE/EDK tool set를 이용하여 FPGA 로직 디자인과 임베디드 ARM 소프트웨어 개발을 쉽게 할 수 있다. BSP에는 Zybo에서 구동되는 Linux solution을 포함하고 있다. Zynq를 처음 사용하는 사람들에게 도움이 될 책도 있는데 다음 링크를 통해 이동 가능하다(<http://store.digilentinc.com/products.php?product=The-ZYNQ-Book>).

1) 보드 사진

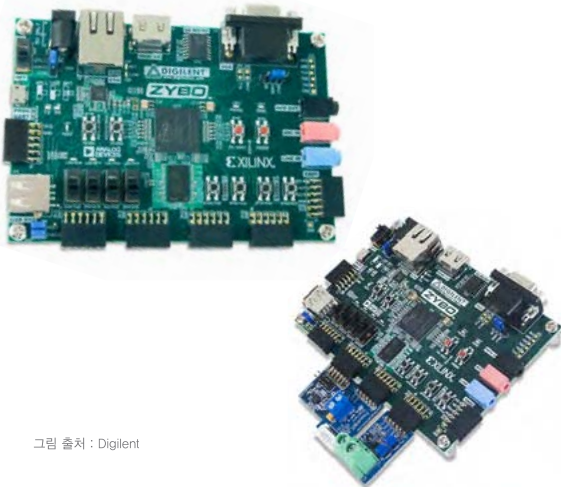


그림 출처 : Digilent

2) 보드 사양

- Xilinx Zynq-7000 (XC7Z010-1CLG400C)
- 28,000 logic cells
- 240 KB Block RAM
- 80 DSP slices
- On-chip dual channel, 12-bit, 1 MSPS analog-to-digital converter (XADC)
- 650 MHz dual-core Cortex™-A9 processor
- On-board JTAG programming and UART to USB converter
- DDR3 memory controller with 8 DMA channels
- 512 MB x32 DDR3 w/ 1050Mbps bandwidth
- 128 Mb Serial Flash w/ QSPI interface
- microSD slot (supports Linux file system)

- High-bandwidth peripheral controllers: 1G Ethernet, USB 2.0, SDIO
- Low-bandwidth peripheral controller: SPI, UART, I2C
- Dual-role (Source/Sink) HDMI port
- 16-bits per pixel VGA output port
- Trimode (1Gbit/100Mbit/10Mbit) Ethernet PHY
- OTG USB 2.0 PHY (supports host and device)
- External EEPROM (programmed with 48-bit globally unique EUI-48/64™ compatible identifier)
- External EEPROM (programmed with 48-bit globally unique EUI-48/64™ compatible identifier)
- GPIO: 6 pushbuttons, 4 slide switches, 5 LEDs
- Six Pmod ports (1 processor-dedicated, 1 dual analog/digital)

3) 개발 환경 : Xilinx Vivado

4) Reference Project

- Getting Started Guide
- Making a Custom IP Core
- Simulating a Custom IP Core
- Using a Prebuilt Linux Image
- Building the ZYBOt
- HDMI Demo

5) 가격 정보

- 이니프로 홈페이지에서 235,000원으로 구매 가능 (http://www.inipro.net/goods_detail.php?goodsIdx=135460)
- 공식 사이트 (<http://store.digilentinc.com/zybo-zynq-7000-arm-fpga-soc-trainer-board>)에서 직접 구매 가능

6) 교재 및 교육 정보 : https://reference.digilentinc.com/zybo:linux_quickstart에서 교육 자료, 동영상, 소스 코드에 대한 방대한 자료를 쉽게 받을 수 있음

7) 홈페이지 주소 : <http://store.digilentinc.com>

2. ZedBoard

ZedBoard는 Xilinx Zynq-7000 all programmable SoC(AP SoC)를 이용하여 Avnet과 Digilent가 공동으로 개발한 보드이다. 매우 강력한 성능을 가지고 있으면서도 대량 생산전략에 힘입어 저가형으로 개발되어 판매되고 있다. Zedboard는 Linux, Android, Windows 또는 기타 OS/RTOS 기반 디자인을 위한 요소들이 준비되어 있다. 추가적으로 몇 개의 확장 커넥터들은 확장성을 위하여 준비되어 있다. 아래 그림에서 볼 수 있는 것처럼, Pmod 와의 연결도 가능하다.

ARM 프로세싱 시스템과 Xilinx 7-Series 급의 Programmable logic을 포함하고 있는 Zynq-7000 AP SoC를 통해 unique하고 강력한 성능을 가진 디자인을 구현할 수 있다. 타겟 어플리케이션으로는 비디오 프로세싱, 모터 컨트롤, 소프트웨어 가속기, 리눅스/안드로이드/RTOS 개발,

임베디드 ARM 프로세싱, Zynq-7000 AP SoC 프로토타이핑 등이 있다. Zynq 시리즈 기반의 제품으로는 국내에도 거의 처음에 소개된 보드로서, 매우 대중성 있는 보드라고 볼 수 있다(<http://zedboard.org>).

1) 보드 사진



그림 출처 : Digilent

2) 보드 사양

- Xilinx Zynq-7000 AP SoC XC7Z020-CLG484
- Dual-core ARM Cortex™-A9
- 512 MB DDR3
- 256 MB Quad-SPI Flash
- 4 GB SD card
- Onboard USB-JTAG Programming
- 10/100/1000 Ethernet
- USB OTG 2.0 and USB-UART
- Analog Devices ADAU1761 SigmaDSP® Stereo, Low Power, 96 kHz, 24-Bit Audio Codec
- Analog Devices ADV7511 High Performance 225 MHz HDMI Transmitter (1080p HDMI, 8-bit VGA, 128x32 OLED)
- PS & PL I/O expansion (FMC, Pmod, XADC)

3) 추가 정보

If you would like an evaluation board for academic purposes, you can apply for a donation through the Xilinx University Program.

For more information or product support, please visit : <http://www.zedboard.org/>.

To learn more about the ARM University Program : <http://www.arm.com/university/>.

Want to master the Xilinx Zynq SoC on your ZedBoard? Take a look at "The ZYNQ Book", an accessible, readable book written for people just starting out with Zynq, as well as engineers already working with Zynq. You can download it free (or purchase a hard copy) at <http://www.zynqbook.com/>.

4) 개발 환경 : Xilinx Vivado and ISE

5) Target Applications

- Video processing
- Motor control
- Software acceleration

- Linux/Android/RTOS development
- Embedded ARM processing
- General Zynq-7000 AP SoC prototyping

5) 가격 정보

- 이니프로 홈페이지에서 615,000원으로 구매 가능 (http://www.inipro.net/goods_detail.php?goodsIdx=121431)
- 공식 사이트 (<http://store.digilentinc.com/zedboard-zynq-7000-arm-fpga-soc-development-board>)에서 직접 구매 가능
- 국내 업체인 리버트론을 통하여 기술 지원 가능 (<http://www.libertron.com>)

6) 교재 및 교육 정보 : <http://zedboard.org/support/design/1521/11>에서 교육 자료, 동영상, 소스 코드에 대한 방대한 자료를 쉽게 받을 수 있음

7) 홈페이지 주소

- <http://store.digilentinc.com>
- <http://zedboard.org/product/zedboard>, <http://zedboard.org/support>

결론

지금까지 국내외 해외 기업들의 시그니처 보드들을 소개하였다. 현재 FPGA 제조 회사들은 SoC 용도로 제품을 만들되, 프로세서와 메모리, 각종 I/O 장치들을 한번에 집약할 수 있도록 하는 데 온 힘을 기울이고 있다. 이를 위해 여러가지 IP 들도 제공하면서 복잡한 기능을 수행하는 틀을 만드는데도 큰 노력을 기울이고 있다.

아울러, 보드 제조 회사들도 고성능의 보드를 만들면서 가격 경쟁력도 갖출 수 있도록 노력하고 있다. 각종 예제 및 데모자료도 제공하면서 교육도 운영하는 업체들이 많기 때문에, 유저들이 자신에게 맞는 보드들을 잘 찾아내는 능력도 키워야 하는 시대가 되었다. 그런 목적을 위하여 본 글이 관련 종사자들에게 도움이 되었으면 한다.

글을 통하여 파악했겠지만, 해외 제품들은 가격이 싸고 관련 자료도 오픈되어 있기 때문에 구매만 한다면 쉽게 사용이 가능하다. 하지만 국내 업체들은 직접적인 기술지원이 가능하고 유지 보수 측면에서 이득이 있기 때문에 유저들이 잘 생각하여 적합한 구매를 하는 것이 필요하겠다.

※ 본 글에 삽입된 이미지들은 제작사의 홈페이지에서 발췌하거나 제작사에서 자료를 받아수룩하였습니다.

저자정보

선혜승 선임연구원

소속 반도체설계교육센터(IDEC)

E-mail smkcow@idec.or.kr



딥러닝: 현재와 미래



신진우

KAIST 전기및전자공학부 교수

인공지능과 딥러닝

인간이 만든 기계의 지능이 신이 만든 인간의 지능을 모방하거나 뛰어넘을 수 있을까? 이 질문에 앞서 인간의 지능이란 무엇이고, 또 기계란 무엇인가? 이 질문들에 대한 인간인류 사회의 논쟁은 반세기가 넘었다. 1948년 유명한 수학자인 존 폰 노이만은 기계가 생각하는 것은 불가능하다는 강의를 듣고 다음과 같이 말하였다. “당신은 기계가 할 수 없는 어떤 것이 있다고 주장한다. 만일 당신이 그 기계가 할 수 없는 것이 무엇 인지를 정확하게 이야기 해준다면, 나는 언제든지 그 일을 수행할 수 있는 기계를 만들 수 있다.” 1940-50년대 인공지능의 아버지라고 불리는 앨런 튜링은 인간의 판단구조를 모방하여 기계를 수학적으로 정의하는 튜링머신을 제안하였고 지능에 대한 정의를 내리는 것이 어려워 튜링 테스트를 고안하였다. 놀랍게도 60년이 지난 지금까지도 현존하는 모든 기계는 튜링머신의 범주를 넘어서지 못하고 있고 튜링테스트를 통과한 첫 사례가 최근 2014년이 되어서야 러시아 과학자들에 의해서 처음 보고 되었다.

최근 인공지능 분야는 튜링테스트 통과 뉴스보다는 딥러닝 기술의 등장으로 떠들썩하다. 딥러닝은 계층적 구조를 가지는 기계학습 모델 및 알고리즘들을 칭하는데 사실 따지고 보면 새로운 개념은 아니고 이미 30-40년전부터 인공 신경망(Artificial Neural Network)이라는 기계 학습의 한 분야로 연구되고 있었다. 올해 기계학습 최고 권위 학회인 ICML(International Conference on Machine Learning)에 채택된 논문들중 20% 이상이 딥러닝 관련 논문들이었는데, 불과 2년 전만 해도 그 비중이 10%를 넘지 않았었다. 딥러닝이 학계와 산업계의 관심을 끄는 이유는 영상 인식, 음성 인식, 자연어 처리등 다양한 인공지능 관련 분야에서 다른 방법들과 비교가 되지 않는 성능을 보여주고 있기 때문이다.

다시 원론으로 돌아가서, 그렇다면 딥러닝이 앨런 튜링의 인공지능에 대한 질문에 대한 답을, 아니 조금이나마 힌트라도 줄 수 있을까? 이에 답하기 위해 우선 최근 인공 신경망 분야가 부활한 몇 가지 핵심 이유들을 짚어보자.

인공 신경망의 부활

이미 오래전에 제안 되었던 인공 신경망이 최근 다시 각광을 받는 이유들을 꼽아보면 최근 빅데이터로 대변되는 학습용 데이터의 증가와 GPU로 대변되는 학습용 병렬 연산 하드웨어의 발전을 꼽을 수 있다. 이는 그동안 학습이 힘들다고 알려져 있던 인공 신경망 모델들을 사용할 수 있는 가능성을 열어 주었다. 또한 인공 신경망 모델의 가장 큰 단점들로 알려져 있던 overfitting, gradient vanishing 문제들을 해결할 수 있는 여러가지 알고리즘들의 등장도 최근 딥러닝 부흥에 기여한 큰 요소이다.

인공 신경망 부활의 가장 큰 사건중의 하나는 2000년대 중반 토론토 대학의 Geoffrey Hinton 교수 그룹에 의해서이며, 이때쯤부터 인공 신경망 대신 딥러닝이라는 용어가 통용되었다. Hinton 교수 그룹은 기존 신경망의 overfitting 문제를 해결하기 위해 이들은 비지도(unsupervised) 학습 방법을 통해 인공 신경망의 각 층을 효과적으로 사전훈련(pre-training)하여 overfitting을 방지할 수 있는 수준의 초기값을 잡았고, 이를 다시 지도(supervised) 학습 방식으로 훈련하는 방법론을 제시하였다. 이 연구 결과는 인공 신경망의 overfitting 문제를 해결하는 것 뿐만 아니라 비지도 학습만으로도 인공 신경망을 학습시킬 수 있다는 데서 의미가 있는데, 왜냐하면 비지도 학습을 위한 데이터를 얻기가 (지도 학습용 데이터에 비해서) 훨씬 용이하기 때문이다. 이러한 특성은 다른 기계학습 방법론들과 차별화되는 딥러닝만의 고유한 특성이며, 스탠포드 대학의 Andrew Ng 교수와 Google이 함께한 2012년 인공 신경망을 사용하여 유튜브에 업로드 되어 있는 천만 개 넘는 비디오를 비지도 학습하여 고양이 인식을 시도하는 프로젝트의 중요한 동기(motivation)가 된다.

2000년대 후반부터 음성 인식 분야에서 딥러닝 기술들이 산업계와 학계를 주도하기 시작했고, 하지만 2011년까지 영상 인식 분야에서는 그렇지 못했다. 인공 신경망의 일종인 CNN(Convolutional Neural Network)의 창시자 뉴욕 대학의 Yann LeCun 교수는 2011년을 이렇게 회상한다. “그 당시까지만 해도 인공 신경망을 이용했다는 이유만으로

영상 인식 학회에 논문을 내면 모두 채택이 되지 않았어요.” 2012년 딥러닝 역사에서 또 다른 전환점이 되는 사건이 발생하는데, 당시 Hinton 교수 그룹은 영상 인식 대회인 ImageNet의 영상 분류 분야에서 기존 기계학습 방법들을 훌쩍 뛰어넘는 결과를 CNN기반 대용량 딥러닝 기술을 통해 보여주며 우승한다(그림1 참조). 당시 사용된 CNN 모델은 8여개의 계층과 6천만개의 매개변수(parameter)들을 가졌는데, 이러한 대용량 모델은 기존 학계에서 overfitting, gradient vanishing 문제들로 인해 학습이 힘들다고 알려져 있었다. 이러한 문제를 Hinton 교수 그룹은 DropOut과 ReLU로 불리는 아주 간단한 방법론들을 고안하여 해결하였고, 이는 학계와 산업계에 큰 파장을 불러오게 된다.

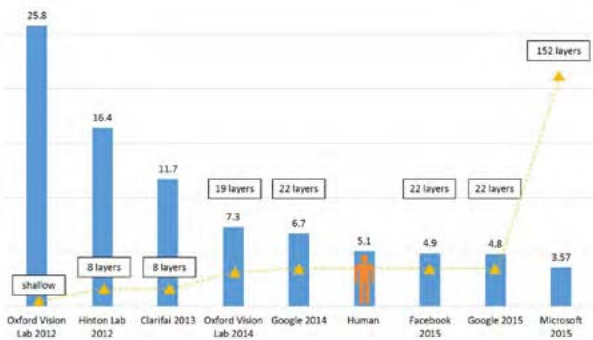


그림 1. ImageNet Large Scale Visual Recognition Challenge 영상 분류 분야 참여 주요 그룹의 에러율 변화. 딥러닝이 보편적으로 사용된 시점은 2012년 Hinton 교수 그룹에 의해서이며, 그 당시 2등이었던 Oxford 비전 그룹에 비해서 10% 가량의 인식을 차이를 보임.

이때부터 영상 인식 분야에서 딥러닝은 현재까지도 가장 성공적인 방법론으로 통하고 있으며, 자동 번역으로 대변되는 자연어 처리 분야, 알파고(AlphaGo)로 대변되는 강화 학습 분야에도 딥러닝 기술들이 주류가 되었고 현재까지도 수많은 관련 논문들이 쏟아지고 있다. 최근 2015년 말에 Microsoft 그룹에서 150여개의 계층을 사용한 또 다른 차원의 대용량 CNN 모델을 개발하여 인간의 인식률을 뛰어넘는 성능으로 ImageNet 대회에서 우승함으로써 딥러닝 기술의 새로운 방향성을 제시하였다. 불과 2015년 ImageNet 대회가 끝난지 6개월여 밖에 안된 현 시점에서 그 결과를 뛰어넘는 수많은 관련 논문들이 쏟아지고 있고, 이는 그 어떤 분야에서도 경험하지 못한 딥러닝 분야만의 새로운 트렌드이다.



딥러닝 기술에 대한 오해와 한계

다시 원론으로 돌아와서 딥러닝이 앨런 튜링의 인공지능에 대한 질문에 대해서 조금이라도 힌트를 줄 수 있을까? 이는 인공지능이 얼마나 인간의 지능, 판단 과정을 모방하느냐와 밀접한 연관이 있다. 이에 대해서 종종 인공지능과 인지신경과학(neuroscience)을 연관지어 이야기하기도 한다. 이는 인공지능의 계층적인 필터 구조(각 동작

환경에서 필요한 정보만 걸러내는 다중 계층 구조)가 실제 뇌의 피질과의 유사성이 기인한다. 특히 Hinton 교수 그룹은 2000년대 중반 이를 시각화해서 보여줌으로써 인공 신경망이 실제로 인간의 판단 구조를 모방할 수도 있다는 가능성을 보여준다(그림 2 참조). 또한 단순히 계산 복잡도만 높은 바둑, 체스에 비해 영상 인식 분야에서 딥러닝 최근 성공은 상당히 놀라운데, 그 이유는 영상 인식은 기계가 인간의 지능을 모사하기에 더욱 힘든 일로 알려져 왔기 때문이다. 일례로 어린 아이들도

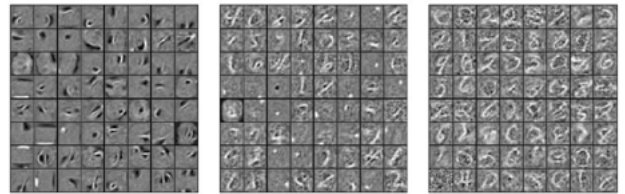


그림 2. 숫자 손글씨 영상 데이터를 학습한 3개의 계층을 가지는 인공 신경망의 필터의 시각화. 왼쪽부터 첫 번째, 두 번째, 세 번째 계층의 필터. 높은 계층의 필터일 수록 높은 수준의 추상화를 시도하는 것을 볼 수 있음.

고양이, 강아지 사진을 쉽게 구별하지만, 그 둘이 정확히 무엇이 다른지 수학적으로 정의하는 것은 매우 힘든 일이기 때문이다. 이 때문에 딥러닝은 소위 인간의 직관을 코딩한다고 주장하기도 한다. 하지만 최근 딥러닝의 발전은 이러한 인지신경과학과 무관하다. 인지신경과학자들이 제안한 뇌의 구조와 더 유사한 제2세대, 제3세대의 인공 신경망 모델들이 존재하지만 이러한 모델들은 아직까지는 학습이 힘들다고 알려져 있으며 현재 딥러닝 기술은 제1세대 모델들이 주도하고 있다. 어찌됐든 최근 딥러닝이 앨런 튜링의 질문에 대한 힌트를 준 것 만은 분명하다. 충분한 학습 데이터만 있다면 덧셈, 곱셈만 할 수 있는 단순한 튜링머신인 인공 신경망이 인간의 전유물로 여겨져 왔던 특정 문제들에서 때로는 인간의 능력을 뛰어넘을 수도 있다는 것을 확인했으니까.

하지만 현재 인공 신경망은 인간의 뇌에 비해서 상당히 비효율적인데, 우선 목표로 하는 일에 따라서 그 구조가 바뀌어야 한다는 점에 있다. 예를 들어서 영상 인식을 위해선 인공 신경망의 일종인 CNN(Convolutional Neural Network), 자연어 처리를 위해선 RNN(Recurrent Neural Network) 모델이 가장 좋은 성능을 내고 있다. 2012년 Hinton 교수 그룹이 제안한 CNN 모델의 매개변수의 개수는 학습데이터의 개수보다도 50배 이상 많은 상당히 비효율적인 모델이며 영상 분류에 특화된 기술이다. 영상 분류 문제에서 2015년 Microsoft 그룹에서 인간의 인식률을 뛰어넘는 CNN 모델을 개발했지만, 그와 비슷한 영상 다중 인식 문제는 현재 최고 수준의 딥러닝 모델의 인식률은 60% 정도로 인간의 수준과 큰 차이가 있다. 또한 최근 화제가 된 알파고(AlphaGo) 딥러닝 모델은 바둑에 특화된 기술이며 인간이 룰을 정해놓은 바둑판에서 기계가 사람을 이긴다는 것이 흥미롭기는 하나 흥분할만한 일은 아닐 수도 있다. 인공지능이란 인간이 정해놓은 룰을 모방하는 것이 아니라 신이 정해놓은 알지도 못하는 룰을 모방하는 것일 수도 있으니까. 최근 딥러닝 기술의 흐름은 범용적인(universal) 모델들을 개발하기보다 특정 목표에 부합하는 세부 구조를 다듬고, 더 크고, 더 깊은 비효율적

으로 큰 대용량 모델들을 개발하는 추세이다. 이와 같이, 딥 러닝에 사용되는 방법들은 이론적이기 보다는 경험적인 방법들을 사용하기 때문에 종종 블랙박스로 이해되기도 한다. 이는 당장 딥러닝의 실질적 활용을 위해서 현 기술 수준에서 필수 불가결한 것일 수도 있지만, 인공지능의 본질에서는 멀어지고 있는지도 모른다.

또한 현재 딥러닝 기술들이 인간의 학습 지능에 비해서 근본적으로 뒤쳐지는 부분들은 인간은 여러 경로(청각, 시각, 후각, 촉각, 미각)로 얻은 데이터로부터 학습이 가능하지만, 현대 대부분의 인공 신경망 모델들은 이러한 다중(modal) 데이터로부터의 학습에 취약하다. 이밖에도 인간은 하나를 배우면, 그와 비슷한 일에 쉽게 응용을 하는 능력이 있지만, 이러한 전이 학습(transfer learning)에 관해서는 딥러닝 기술들은 아직은 초보적인 수준에 머무르고 있다. 그리고 인간은 때론 스스로 부족한 학습 데이터를 얻어서 진화하는 능동 학습(active learning)이 가능하고, 특정한 일(예, 뜨거운 물체를 만졌을 때)에 대해서는 한, 두개의 데이터만을 가지고 즉흥 학습(one-shot learning)을 하기도 한다. 이러한 인간의 학습 능력과 현재 딥러닝의 수준은 거리가 있지만, 어쩌면 당연한 일인지도 모른다. 이제 딥러닝은 겨우 걸음마를 떴었으니까.

거리가 먼일이 99.9%이다. 딥러닝에 대한 이해가 깊어질수록 이는 수많은 학습 데이터와 수많은 GPU만 있다고 극복할 수 있는 문제가 아니라는 사실을 점점 이해하게 되고 실망하게 될지도 모른다. 알파고(AlphaGo)의 승리로 가장 들떠있는 것은 언론과 Google뿐, 정작 딥러닝 분야에서 알파고가 가져다준 기술적인 파급력은 과거 Hinton 교수 그룹에서 이루어낸 것들에 비해서 아주 미미하다. 또한 올해 ICML에 채택된 80%의 논문들이 딥러닝과 상관없는 주제라는 사실에서 볼 수 있듯이, 영상, 음성, 자연어 처리 분야들이 아닌 기계 학습 분야들에선 여전히 기존의 다른 기계 학습 기술들이 주류를 이루고 있다. 다시 말해서 딥러닝은 그 무궁무진한 가능성에 비해서 오히려 아직 보여준 것이 없다. 최근 쏟아지는 수많은 딥러닝 논문들에서도 볼 수 있듯 많은 과학도들의 새로운 아이디어와 도전을 필요로 하고 있다. 앨런 튜링의 인공지능에 대한 질문에 대한 명쾌한 답이 나올 때까지, 인류 사회가 존재하는 한 딥러닝은 학계와 산업계에서 영원히 마르지 않는 블루 오션으로 남아 있을 가능성이 높다. 앞으로의 인공지능 발전을 지켜보는 것만으로도 참으로 흥분되는 일이 아닌가 싶다.

딥러닝의 미래와 전망

그럼에도 불구하고 딥러닝의 전망은 어둡지 않다. 딥러닝을 MIT가 2013년을 빛낸 10대 혁신기술 중 하나로 선정하였고 가트너(Gartner, Inc.)는 2014 세계 IT 시장 10대 주요 예측에 포함시켰다. Google, Microsoft, Facebook, IBM, Amazon, Baidu 등의 굴지의 IT 기업들이 앞 다투어 딥러닝 기술 개발 인력과 플랫폼에 막대한 돈을 투자하고 있으며, 현재 딥러닝을 사용하는 수많은 스타트업이 탄생되고 또한 수 천만, 수백만 달러의 높은 가격에 인수되고 있다. 학계에서도 인공지능 관련 분야 뿐만이 아니라 거의 모든 분야에서 딥러닝 관련 논문들을 보는건 어렵지 않은 시대가 되었다. 더욱 놀라운 것은 이런 트렌드가 불과 최근 2-3년사이의 일이라는 것이다. 산업계와 학계에서 많은 인력이 투입될수록 그 분야는 빠른 기술적인 발전을 이루기 마련이고, 또한 많은 자금이 투입될수록 많은 수익 모델들이 등장하기 마련이다.

현재 딥러닝 기술 수준만으로도 다양한 새로운 산업 창출이 가능할 것이라고 보는 견해가 대부분이지만, 이 분야의 미래가 밝은 또 다른 이유 중 하나는 이 기술이 이제 겨우 걸음마를 떴었다는 데 있다. 빅데이터로 대변되는 학습용 데이터와 GPU로 대변되는 학습용 병렬 연산 하드웨어만 충분히 있다고 딥러닝을 쉽게 생각하고 도전했다간 낭패를 보기 쉽다. 현재 제안되어 있는 딥러닝 모델의 성숙도는 초보 단계이며, 학습 과정이 상당히 비효율적이고 목표에 따라서 많은 비수학적적이고 경험적인 보정이 필요하다. 또한 이러한 보정을 거치더라도 현재 딥러닝 기술이 처리할 수 있는 일에는 한계가 있고 인간의 지능의 수준과는



IDEC Newsletter | 통권 제230호

발행일 2016년 7월 29일 **발행인** 박인철 **편집인** 김태욱, 남병규 **제작** 심원기획

기획 김하늘 **전화** 042) 350-8535 **팩스** 042) 350-8540 **홈페이지** <http://www.idec.or.kr>

E-mail kimsky1230@idec.or.kr **발행처** 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 산업통상자원부, 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 앰코테크놀로지코리아, 에이티세미콘)의 지원으로 수행되고 있습니다.

