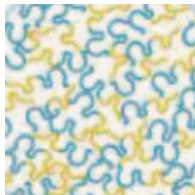




IDEC newsletter

Vol. 228 June 2016



기술동향1

더 투명하고 유연한 모바일 기기를 위한 기술
투명 플렉시블 무선통신 단말기 구현을 위한
유연성 박막상의 RF 소자 연구

기술동향2

초미세 반도체 공정 기술에 대응할 차세대 패터닝 해법
직접 자기조립 리소그래피를 위한 회로 설계 기법



기획칼럼1

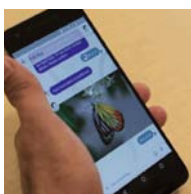
정확하고 효과적인 시뮬레이션을 제공한다
SILVACO사 SmartSpiceRF (EDA Tool 소개)

기획칼럼2

일본 최대의 카메라 이벤트
2016 Camera and Photo Imaging Show (CP+) 리뷰

특집기사

Google I/O 2016 살펴보기



반도체설계교육센터
IC DESIGN EDUCATION CENTER

2016년 MPW 모집안내(6월)

● 모집일정 : 05.24(화)~06.07(화)

- 모집공정 및 회차 : MS180-1605회(정규)
매그나칩/SK하이닉스 180nm 공정

● 참가대상 : IDEC 참여대학(Working Group)

● 모집일정 : 06.06(월)~06.20(월)

- 모집공정 및 회차 : S65-1602(정규)/S65-1603(우선)
삼성 65nm 공정

● 신청방법 : IDEC 홈페이지(<http://idec.or.kr>)

MPW 진행일정 및 공정 지원내역

공정	회차구분 (공정_년도순서)	우선모집 (마감일)	정규모집 (마감일)	참여팀수/ 제작칩수	DB마감 (Tape-out)	Die-out	비고
삼성 65nm	S65-1601		2016.02.01	40 / 40	2016.08.01	2017.02.14	설계중
	S65-1602		2016.04.18	22 / 40	2016.10.17	2017.05.02	설계중 (추가 모집 중)
	S65-1603	2016.04.18	2016.06.20	12 / 40	2017.01.16	2017.07.31	6월 정규모집
MS 0.18um	MS180-1601		2016.01.18	33 / 25	2016.03.21	2016.08.22	칩제작중
	MS180-1602		2016.02.01	32 / 25	2016.05.16	2016.10.17	설계중
	MS180-1603		2016.03.07	25 / 25	2016.07.18	2016.12.19	설계중
	MS180-1604	2016.02.01	2016.04.04	26 / 25	2016.09.19	2017.02.20	설계중
	MS180-1605	2016.04.04	2016.06.07	12 / 25	2016.12.05	2017.05.08	6월 정규모집
MS 0.35um	MS350-1601		2016.02.01	20 / 20	2016.06.13	2016.10.04	설계중
	MS350-1602	2016.05.02	2016.07.04	- / 20	2017.01.16	2017.05.08	7월 정규모집

- 일정은 사정에 따라 다소 변경될 수 있음
- 회차 표기 방법 변경 : 공정코드-년도 모집순서 (예시) 삼성 65nm 2016년 1회차 : S65-1601)
- 모집기간 : 모집 마감일로 부터 2주 전부터 접수
- Package 제작은 Die out 이후 1개월 소요됨
- 내용 기준 : 2016. 05. 27(금)



문의처

이의숙 | yslee@idec.or.kr, 042-350-4428
 IDEC 홈페이지 | <http://idec.or.kr>

2016 IDEC SoC Congress Chip Design Contest (CDC) 개최 안내

● 일정 및 개최지

- 일정 : 2016년 6월 30일 (목)
- 개최지 : KAIST KI 빌딩

● 기타 일정

- 선정 결과 안내 : 5월 23일 (월)
- 최종 논문 접수 : 5월 24일 ~ 6월 3일
- 우수 논문 평가 : 6월 7일 ~ 6월 17일
- 행사 진행 일정 :

구분	시간	비고
패널 우수팀 발표	09:30~10:30	
데모/패널 전시	09:30~15:00	WG 우수 논문 및 이전 CDC 수상팀 전시 포함
시상식	14:30~15:30	

- 일정은 사정에 의해 변경될 수 있습니다.

● 시상 내용

Award 명	수상팀 수	내 용
Best Design Award	1팀	상장 및 상금 100만원
Best Demo Award	2팀 내외	각 상장 및 상금 50만원
Best Poster Award	4팀 내외	각 상장 및 상금 20만원

- 내용은 참여팀 수에 따라 조정될 수 있습니다.



문의처

김하늘 | kimsky1230@idec.or.kr
 042-350-8535

수강을 원하는 분은

IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

강좌 일정

센터명	강의일자	강의 제목	분류
본센터	6월 2-3일	CPU-GPU Heterogeneous Computing	설계강좌
	6월 7일	CMOS 공정 및 마스크 레이아웃	설계강좌
	6월 24일	Design of ESD Protection Circuits, Do It Yourself!	설계강좌
	6월 27-28일	시그마델타 ADC 설계 및 실습	설계강좌
한양대	6월 3일	영상 이해를 위한 시각지능 플랫폼 기술	설계강좌



본센터

6/2-3

강좌제목 CPU-GPU Heterogeneous Computing

강사 장병현 교수(The University of Mississippi)

강좌개요

최근 GPU를 Accelerator로 활용하여 CPU, GPU를 동시에 활용하는 Heterogeneous 컴퓨팅이 주목받고 있다. 본 교육에서는 CPU-GPU 동시 프로그래밍과 최적화 과정을 이해하여 어플리케이션 성능을 극대화하는 방법을 배운다.

수강대상 대학원, 대학원생, 직장인 **강의수준** 중급 **강의형태** 이론

사전지식 · 선수과목

- 기초적인 C 프로그래밍 필요
- 기초적인 병렬 프로그래밍 경험이나 기본적인 하드웨어 구조 배경지식이 있으면 이해에 크게 도움

6/27-28

강좌제목 시그마델타 ADC 설계 및 실습

강사 안길초 교수(서강대학교)

강좌개요

시그마델타 ADC의 기본적인 동작 원리, 구조 및 최근 연구개발 동향을 알아보고, 기본적인 구조의 시그마델타 ADC 변환기 회로를 CADENCE 툴을 이용하여 설계한다.

수강대상 아날로그 회로를 연구하는 석박사 대학원생 및 기업체 연구원

강의수준 중급 **강의형태** 이론+실습

사전지식 · 선수과목

- 석사과정 대학원생 초급 반도체 집적회로 설계 경험
- 설계/실습 툴 사용 경험이 없는 학부 학생은 수강 불가

문의 | KAIST IDEC 이한나 (042-350-8536, lhn1224@idec.or.kr)

6/7

강좌제목 CMOS 공정 및 마스크 레이아웃

강사 조성재 교수(가천대학교)

강좌개요

기본적인 반도체 소자인 pn 접합 다이오드와 MOSFET의 동작 원리, CMOS process의 단위 공정, CMOS inverter 제작을 위한 마스크 레이아웃과 process integration, 현대 VLSI 기술의 방향의 bottom-up 내용으로 진행한다.

수강대상 학부 4학년 및 대학원생, 관련산업 엔지니어 **강의수준** 초급

강의형태 이론 **사전지식 · 선수과목** 반도체소자(권장)



한양대

6/3

강좌제목 영상 이해를 위한 시각지능 플랫폼 기술

강사 박종열 실장(ETRI)

강좌개요

시각을 이해하는 다양한 방법과 빅데이터 기반의 영상 이해 기술의 최근 기술동향을 통해 시각 지능을 구현하는 기술을 소개함

수강대상 학생, 일반인 **강의수준** 초급 **강의형태** 이론

사전지식 · 선수과목 없음

문의 | 한양대 IDEC 오경주 (031-400-4079, ipc@hanyang.ac.kr)

6/24

강좌제목 Design of ESD Protection Circuits, Do It Yourself!

강사 전정훈 교수(성균관대학교)

강좌개요

- ESD Basics(ESD Models & Standards, ESD Protection Schemes)
- ESD Rules(DRC & ERC)
- On-Chip ESD Challenges
- ESD Protection Examples

수강대상 학부 4학년, 대학원생, 회로설계 업무 종사자 **강의수준** 초중급

강의형태 이론+실습 **사전지식 · 선수과목** 전자회로

투명 플렉시블 무선통신 단말기 구현을 위한 유연성 박막상의 RF 소자 연구

윤영 교수 | 한국해양대학교 전파공학과

I. 서론

최근 차세대 디스플레이로 투명 플렉시블 디스플레이¹⁻⁵가 대두되고 있으며, 이동통신 기능을 갖춘 모바일 플렉시블 디스플레이를 개발하기 위해서는 투명 플렉시블 기판상에 RF(Radio Frequency) 소자를 집적하는 기술이 필수적이다. 현재 고투명성을 가진 투명 플렉시블 기판으로서 사용이 기대되는 재료는 PC(polycarbonate), PEN(polyethylene naphthalate), PET(polyethylene terephthalate), PES(polyether sulfone)가 있다. PC, PEN, PET는 염가의 재료이며 이로 인해 투명 플렉시블 디스플레이용 전자소자 제작에 널리 사용되어 왔다¹⁻³. 그러나, 상기 박막재료는 양호한 내열성을 가지지 못하며, 내열성을 나타내는 척도인 유리전이온도 Tg가 155°C 이하이다. 따라서, 상기 박막을 사용하여 전자소자를 제작하는 경우 저온에서만 제작이 가능하며, 이로 인해 양호한 전기적 특성을 가지는 고주파 트랜지스터의 제작이 매우 어렵다. 이에 비하여 PES의 경우는 유리전이온도 Tg가 230°C로서, 투명 flexible 기판 중에서 가장 높다^{4,5}. 따라서, 비교적 고온에서 소자공정이 가능하여 양질의 전자소자를 제작할 수 있다. 그리고, 단시간 고온공정의 경우 300°C까지 공정이 가능하므로 모든 투명 플렉시블 소자중에서 유일하게 안정된 납땜공정이 가능하다. 그 밖에도, PES는 양호한 내수성, 강인성, 치수안정성을 가지므로 고주파 전자소자용 기판으로서 가장 적합하다. 이로 인해 최근에는 PES 박막의 RF 응용에 관한 연구가 보고되었으며⁶⁻¹¹, 본 기고문에서는 이에 대해 소개하고자 한다. 본 기고문의 내용은 주로 참고문헌⁶⁻¹¹에서 발표된 내용을 소개하였다.

II. PES 박막상의 RF용 전송선로에 대한 고주파 특성

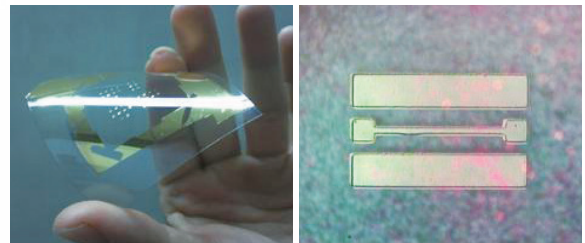


그림 1. PES 박막상의 코프러너 선로⁷

그림 1은 PES 박막상에 제작된 코프러너 선로를 보여준다. PES 박막의 두께는 200 μ m이며, 선로폭은 20 μ m이다. 그림 2와 3은 각각 선로의 삽입손실과 감쇠상수를 보여준다⁷. 비교를 위해 상용 실리콘 기판상에 제작된 코프러너 선로의 데이터도 추가하였다.

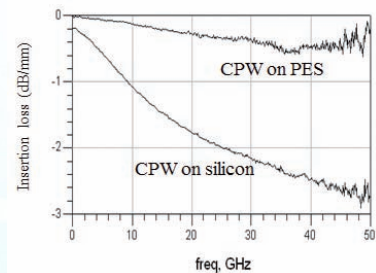


그림 2. PES 박막상의 코프러너 선로에 대한 삽입손실 특성⁷

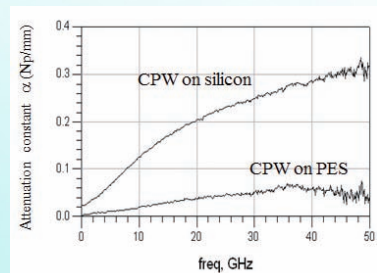


그림 3. PES 박막상의 코프러너 선로에 대한 감쇠상수 특성⁷



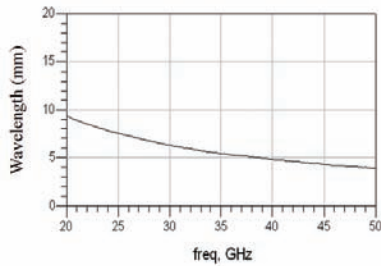


그림 4. PES 박막상의 코플레너 선로에 대한 선로파장⁷

그림에서 보는 바와 같이 PES 박막상의 코플레너 선로는 실리콘 박막상에 제작된 코플레너 선로보다 훨씬 양호한 손실특성을 보여준다. 구체적으로 PES 박막상의 코플레너 선로의 삽입손실은 50GHz 이하의 주파수 범위에서 0.6dB/mm 이하이며, 감쇠상수는 동일 주파수 범위에서 0.065Np/mm 이하의 특성을 보인다. 그림 4는 PES 박막상의 코플레너 선로에 대한 선로파장 특성을 보여준다. 그림에서 보는 바와 같이 30~50GHz의 범위에서 3.9~6.2mm의 선로파장 특성을 보여준다.

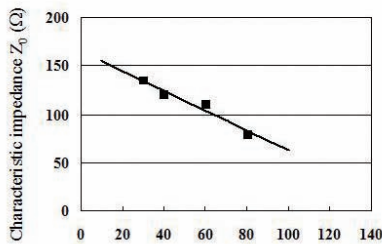


그림 5. PES 박막상의 코플레너 선로에 대한 특성 임피던스⁷

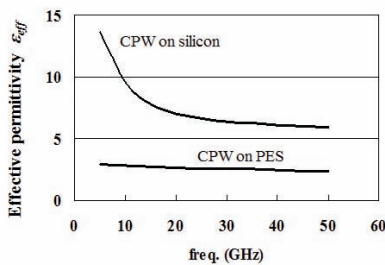


그림 6. PES 박막상의 코플레너 선로에 대한 유효유전율 특성⁷

그림 5는 PES 박막상의 코플레너 선로에 대한 특성 임피던스를 보여준다. 대략 선로폭 10~110μm의 범위에서 50~160Ω의 특성 임피던스 값을 보인다⁷. 그림 6은 PES 박막상의 코플레너 선로에 대한 유효유전율 특성을 보여준다. 그림에서 보는 바와 같이 실리콘과 비교하면 유효유전율 값은 적지만, 주파수 분산특성이 매우 양호함을 알 수 있다. 구체적으로 10~50GHz의 범위에서 PES 박막상의 코플레너 선로는 2.35~2.9의 유효유전율 특성을 보여 주며, 실리콘 박막상의 코플레너 선로는 5.9~13.6의 유효유전율

특성을 보여준다. 상기 특성으로부터 PES 박막은 저손실·광대역 특성을 가지는 RF 소자의 응용에 적합함을 알 수 있다.

III. 주기적 구조를 이용한 PES 박막 상의 단파장 전송선로 특성

최근, RF 소자의 사이즈를 더욱 축소하기 위해서 주기적 구조를 가지는 전송선로가 제안되었다^{6,9}. 그 결과에 의하면 주기적 구조를 가지는 전송선로는 종래의 전송선로에 비해 더욱 짧은 파장특성을 보여주었다.

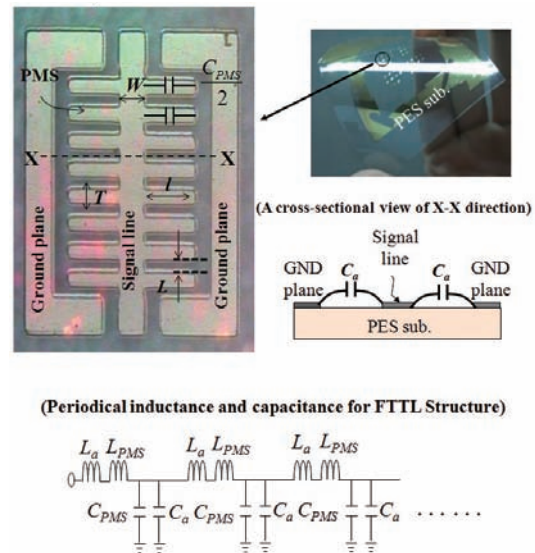


그림 7. PES 박막상에 제작된 주기적 선로구조⁶⁻¹¹

그림 7은 PES 박막상의 주기적 선로구조를 보여준다^{6,11}. 그림에서 보는 바와 같이 주기적 선로구조는 fishbone-type center line과 ground plane으로 구성되며, fishbone-type center line은 다시 signal line과 PMS's(periodic metal strips)로 구성된다. 종래의 코플레너 선로의 경우는 signal line과 ground plane 사이의 주기적인 용량 C_a만 존재하는 것에 반해, 주기적 선로구조는 C_a뿐 아니라 주기적인 용량 C_{PMS}도 존재한다. 그 이유는 PMS 자체가 각각 독립된 개방선로가 되며, 그림과 같이 이러한 개방선로는 개방선로 용량 C_{PMS}로 표현되기 때문이다. 다음의 식과 같이 전송 선로의 파장은 주기적인 용량에 반비례하며, 따라서 주기적 선로 구조는 종래의 코플레너 선로에 비해 단파장 특성을 보이게 된다.

$$\lambda = \frac{1}{f\sqrt{LC}} \quad (1)$$

상기 식에서 f, L과 C는 각각 중심주파수, 전송선로의 단위길이당 인덕턴스와 단위길이당 정전용량 값이다.

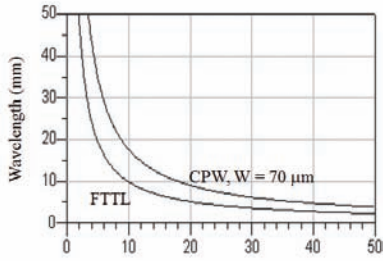


그림 8. PES 박막상에 제작된 주기적 선로구조와 종래의 선로구조에 선로파장⁶

그림 8은 PES 박막상에 제작된 종래의 코프레너 선로와 주기적 선로구조에 대한 파장 측정결과를 보여준다⁶. 그림에서 보는 바와 같이 주기적 선로구조는 종래의 코프레너 선로보다 훨씬 짧은 파장특성을 보여주며, 이는 앞서 설명한 바와 같이 단위길이당 주기적 용량이 증가하였기 때문이다. 상기 결과로부터 주기적 선로 구조를 이용하여 RF 수동소자를 제작하면 종래의 선로구조를 이용하는 경우에 비해 점유면적이 훨씬 줄어들음을 알 수 있다.

IV. 결론

투명 플렉시블 무선통신소자 구현을 위해 RF용 전송선로를 PES 박막상에 제작하였으며, 이에 관한 RF 특성을 고찰하였다. 구체적으로 상기 전송선로에 대한 파장, 유효유전율 등을 실험적인 방법으로 추출하고, 이에 대한 광범위한 물리적 특성에 대해 연구함으로써 무선통신소자로서의 응용 가능성을 고찰하였다. 그 결과에 의하면 PES 박막은 저손실·광대역 특성을 가지는 초소형 무선 통신 소자의 응용에 적합함을 알 수 있었다.

- 2 Y. W. Choi, I. D. Kim, H. L. Tuller, and A. I. Akinwande, "Low-voltage Organic Transistors and Depletion-Load Inverters With High-K Pyrochlore BZN Gate Dielectric on Polymer Substrate," IEEE Transactions on Electron Devices. Vol. 52, no.12, pp. 2819-2824, Dec. 2005.
- 3 Y. Sun, and J. A. Rogers, "Inorganic Semiconductors for Flexible electronics," Advanced materials, Vol. 19, no.15, pp. 1987-1916, Aug. 2007.
- 4 E. Celik, H. Park, H. Choi, and H. Choi, "Carbon nanotube blended polyethersulfone membranes for fouling control in water treatment," Water research, Vol. 45, no. 1, pp. 274-282, 2011.
- 5 H. L. Wu, C. M. Ma, F. Y. Liu, C. Y. Chen. S. J. Lee, and C. L. Chiang, "Preparation and characterization of poly(ether sulfone) / sulfonated poly(ether ether ketone) blend Vomembranes," European Polymer Journal, l. 42, pp. 1688-1695, 2006.
- 6 Y. Yun, H. S. Kim, and N. W. Jang, "Study on characteristics of various RF transmission line structures on PES substrate for application to flexible MMIC," ETRI Journal, vol.36, no.1, pp.106-115, Jan. 2014
- 7 Y. Yun, J. H. Jeong, H. S. Kim, and N. W. Jang, "RF Characteristics of Coplanar Waveguide Fabricated on flexible PES," Microwave Journal, Vol. 56, No. 2, pp. 90-100, 2013.
- 8 Y. Yun, J. H. Jeong, H. S. Kim, and N. W. Jang, "Basic RF characteristics of fishbone-type transmission line employing comb-type ground plane (FTLCGP) on PES substrate for application to flexible passive circuit," ETRI Journal, vol.37, no.1, pp.128-137, Feb. 2015.
- 9 Y. Yun, J. H. Jeong, H. S. Kim, and N. W. Jang, "A Miniaturized Impedance Transformer on PES for Flexible RFICs," Microwave Journal, vol. 57, no. 2, pp. 100-110, 2014.
- 10 Y. Yun, J. H. Jeong, H. S. Kim and N. W. Jang " RF Characteristics of Open Stubs on PES Substrate for Application to Capacitive Matching Components on Flexible MMIC," TRANSACTIONS ON ELECTRICAL AND ELECTRONIC MATERIALS, vol. 16, No. 3, pp. 142 - 145, February, 2015.
- 11 윤영, "플렉시블 무선통신소자 응용을 위한 PES 박막상의 Fishbone 형태의 전송선로에 대한 RF 특성연구", 한국마린엔지니어링학회지, 제38권 제3호, pp. 302-311.

참고문헌

- 1 M. S. Oh, D. K. Hwang, K. M. Lee, and S. Im, and S. Yi, "Low voltage complementary thin-film transistor inverters with pentacene-ZnO hybrid channels on AlOXdielectric," Applied Physics Letters, vol. 90, no. 17, pp. 173511-1-3, 2007.

저자정보

윤 영 교수

소속

한국해양대학교 전파공학과



주 관심분야 유연성 박막용 RF 소자, 무선통신용 MMIC/RFIC 등

E-mail yunyoung@kmou.ac.kr

제 17회 대한민국 반도체 설계대전

특허청에서는 우수 반도체설계재산과 아이디어를 발굴하고 반도체 설계산업의 진흥에 이바지한 자를 포상하기 위하여 아래와 같이 '제17회 대한민국 반도체설계대전'을 개최합니다. 관심 있는 분들의 많은 참여 바랍니다.



🏆 시상 및 포상 종류

○ 칩 설계 공모전

구분	시상 수	상금	비고
대상	1	1,000만원	대통령상
금상	1	700만원	국무총리상
은상	2	각 500만원	산업통상자원부장관상
동상	3	각 300만원	특허청장상
특별상	1	200만원	한국발명진흥회장상
	1	200만원	한국반도체산업협회장상

○ 알고리즘 설계 공모전

구분	포상 수	상금	비고
금상	1	300만원	
은상	1	200만원	특허청장상
동상	1	100만원	

* 알고리즘 설계 공모전의 포상 규모는 대회 진행 상황에 따라 변경 가능

○ 유공자 포상

구분	포상 수	상금	비고
공로상	1	500만원	특허청장상
특별상	1	200만원	한국반도체산업협회장상

당선작에 대한 지원

- 포럼 등 행사를 통한 수상작품 및 설계기술 소개
- 언론매체를 통한 수상자와 수상작 홍보
- 반도체설계재산유통센터 등록을 통한 거래 지원
- 기술혁신형 중소기업(INNOBIZ) 지정 평가 시 수상자 소속기업에 가점 부여

👤 신청자격 및 대상

○ 신청자격

- 칩 설계 공모전** | 국내에 거주하며, 반도체 설계분야의 연구 및 개발에 종사하는 개인 또는 팀 (3인 이내, 외국인은 같은 기관 소속 내국인과 공동 참여 가능)
- 알고리즘 설계 공모전** | 국내에 거주하며, 국내 소재 반도체설계분야 대학(원)에 재학 중인 대학원생 개인 또는 팀 (3인 이내, 학부생 1인 이상 필참, 외국인은 같은 대학(원) 소속 내국인과 공동 참여 가능)
- 유공자 포상** | 반도체 설계 분야에서 5년 이상 재직한다

○ 공모전 응모대상

- 칩 설계 공모전** | 2016년 3월 31일 현재 정부표창 또는 설계대전 수상 사실이 없으며 설계작품 설명서 제출기한까지 설계가 완성된 칩 또는 FPGA
- 알고리즘 설계 공모전** | 2016년 3월 31일 현재 정부표창 또는 설계대전 수상 사실이 없으며 설계작품 설명서 제출기한까지 반도체용 알고리즘으로 구현된 프로그램 (C, C++, JAVA, HDL 활용)

📅 신청기간

○ 칩 설계 공모전

참가신청 2016. 3. 31(목) ~ 2016. 6. 30(목)

▶ 설계작품 설명서 제출기한 : 2016. 8. 31(수)

○ 알고리즘 설계 공모전

참가신청 2016. 3. 31(목) ~ 2016. 6. 30(목)

▶ 설계작품 설명서 제출기한 : 2016. 8. 31(수)

○ 유공자 포상

신청접수 2016. 3. 31(목) ~ 2016. 7. 29(금)

📄 신청방법 및 결과발표

신청서류 | 홈페이지(www.kipo.go.kr/semicon-design)에서 다운로드
* 공모전 참가신청자는 홈페이지에 공개된 권리보호요강을 서명하여 같이 제출

E-mail 또는 우편 신청 | E-mail : semicon-ip@korea.kr
우 편 : 대전광역시 서구 청사로 189, 정부대전청사 4동 1804호 산업재산창출전략팀 (우)35208

결과 발표 | 특허청 홈페이지 게시 및 개별통보(10월)

📌 기 타

- 선정 절차 및 자세한 사항은 공모전 홈페이지 참조(www.kipo.go.kr/semicon-design)
- **문의처** | 특허청 산업재산정책국 산업재산창출전략팀
☎ 042-481-3465, semicon-ip@korea.kr
- **참가신청서, 제출서류 및 결과물의 보안 유지**(심사위원: 비밀유지 서약서 제출)
- **시상식 일자** | 2016년 11월 (예정)

주 최 :  특허청

공동 주관 : 특허청 · 한국반도체산업협회

후 원 : 산업통상자원부 · 한국발명진흥회

직접 자기조립 리소그라피를 위한 회로 설계 기법

신영수, 심성보 | KAIST

반도체 공정 기술이 10nm급 이하로 초 미세화 됨에 따라 홀(hole) 패턴의 크기와 간격이 기존의 광 리소그라피 기술의 해상력 한계를 넘어서게 되었다. 차세대 패터닝 기술로 첨단 자외선 리소그라피 기술(extreme ultraviolet lithography 혹은 EUVL), 전자빔 리소그라피 기술(e-beam lithography 혹은 EBL) 그리고 다중 패턴 리소그라피 기술(multiple patterning technique 혹은 MPT) 등이 연구되고 있지만, 매우 비싼 장비 비용이나 느린 처리 속도 등 현실적인 한계점이 있다. 반면 분자의 직접 자기조립을 이용한 리소그라피 기술(directed self-assembly lithography 혹은 DSAL)은 비용, 처리속도, 해상력의 모든 측면에서 우수한 성능을 보이고 있어 특히 작은 홀 패터닝의 차세대 해법으로 주목을 받고 있다. DSAL에서는 고분자 간의 힘에 의한 자기조립 현상을 이용하기 때문에 거의 고분자 크기 수준(약 30nm 내외)으로 작은 홀 패턴을 만들 수 있다. 하지만 고분자의 자기조립 특성만으로 구현할 수 있는 패턴의 간격과 배치 형태는 그다지 다양하지 않다. 이는 상당한 설계적 제약 조건이 되며, 따라서 DSAL에 적합한 새로운 설계 기법 연구가 필요하다.

BCP는 각각 친수성과 소수성을 가진 두 가지 고분자 가닥으로 이루어져 있으며, 그 둘의 한 쪽 끝이 강하게 연결되어 있다. 그림 1(b)과 같이 공간상에 BCP를 채워놓고 열처리를 하면 극성을 띤 고분자들 간의 인력과 척력으로 인해 스스로 정렬(self-assembly)되어 일정한 cylinder 배열 구조를 형성한다^{1,6}. 이 때 cylinder를 구성하고 있는 고분자만 선택적으로 식각(etch)해 제거하면, 매우 작은 홀 패턴의 배열 구조를 얻을 수 있다. 홀 패턴의 크기와 간격은 사용한 BCP의 길이에 의해 결정되며, 30nm 보다 작은 크기에 60nm 이하의 주기를 갖는 초 미세 홀 패터닝이 가능하다.

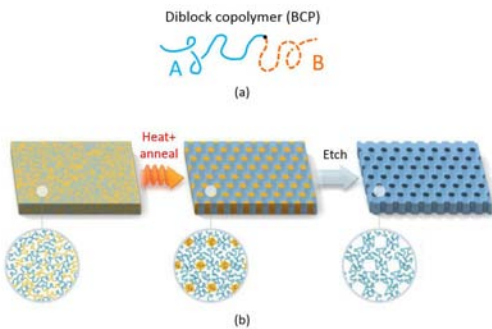


그림 1. (a) Diblock copolymer (BCP) and (b) small hole array patterned through DSA process.

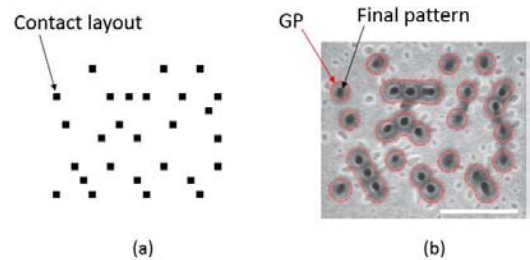


그림 2. (a) Contact layout and (b) corresponding GPs and final patterns.

하지만 이 기법을 그대로 실제 반도체 칩 제작에 사용할 수는 없다. 왜냐하면 실제 반도체 칩에 필요한 홀 패턴(예: contact이나 via)은 일정한 배열 구조가 아니라 그림 2(a)와 같이 임의의 위치에 임의의 간격으로 배치되어 있기 때문이다. 이를 해결하기 위해 guide pattern(GP)이 제안되었다^{2,3}. GP는 가까이 놓인 작은 contact들을 둘러싼 큰 패턴으로 고분자 자기조립 과정을 거치기 이전에 미리 wafer 상에 만들어둔다. 각 GP를 틀로 이용하여 BCP들이 국부적으로 자기조립을 할 수 있고 그 결과 그림 2(b)와 같이 각 GP 영역 내부에 작은 홀 패턴을 형성한다. GP의 모양과 크기, 그리고 위치를 변경하여 최종 홀 패턴의 위치와 간격을 조절할 수 있으므로, DSAL을 실제 반도체 칩 제작에 응용할 수 있다.

1. 자기조립 리소그라피

DSAL은 고분자 이중 공중합체(diblock copolymer 혹은 BCP)라는 특별한 고분자를 이용하여 패터닝한다. 그림 1(a)과 같이

그림 3은 GP를 이용한 DSAL의 공정 순서이다. 주어진 도면(contact layout)에서 서로 간의 간격이 일정 거리 이하로 인접한 contact들을 하나의 cluster로 묶는다⁴. 이 때 기준이 되는 거리는 사용할 BCP의 길이에 의해 결정되며 cluster로 묶인 contact들은 나중에 하나의 GP로 패터닝된다. 각 cluster 별로 적합한 모양의

1 BCP를 이루는 두 고분자의 길이 비율을 달리 하면 cylinder 형태 뿐만 아니라, 구(sphere)나 얇은 층(lamella) 형태로 정렬될 수도 있다.

GP image를 찾고, 이 GP image에 해당하는 mask image를 합성한다⁵. 이 mask image에 대응하는 실제 mask를 이용해 광 리소그래피를 진행하면 wafer상에 실제 GP들이 형성된다. 이때 GP를 구성하고 있는 물질 역시 극성을 갖고 있기 때문에, 각 GP를 BCP로 채운 후 열처리를 하게 되면 고분자들과 GP 내벽 간의 인력과 척력으로 인해 그림과 같이 하나 혹은 여러 개의 작은 홀 패턴이 형성된다. 끝으로 홀을 형성하고 있는 고분자(polymer-B)만을 선택적으로 식각해 버리면, 원하는 위치에 작은 홀 패턴이 남는다⁶.

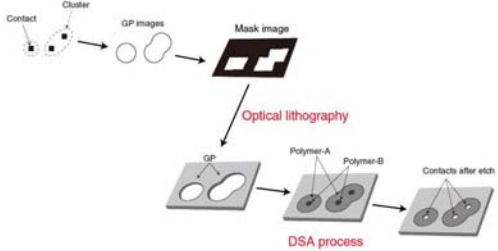


그림 3. Typical DSAL process.

GP는 이 과정에서 가장 중요한 요소이다. 하지만 일반적인 광 리소그래피를 통해 만들어지기 때문에 아무리 완벽한 모양의 GP image와 mask image를 합성했다라도, 공정 변이(scanner focus, exposure energy, mask size error)에 영향을 받아 원치 않는 모양으로 달라질 수 있다. 이렇게 잘못 만들어진 GP는 이후 고분자의 자기조립 과정에 영향을 주기 때문에 최종 홀 패턴 역시 잘못 형성될 수 있는데, 이를 DSA defect이라 부른다⁶. 그림 4와 같이 GP가 짧게 형성될 경우 두 contact 패턴이 가까워지거나 붙어버려 전기적 쇼트 문제를 일으킬 수 있고, 작은 GP로 인해 작게 형성된 contact은 높은 저항 때문에 전기적 단선 문제의 원인이 될 수 있다. 너무 긴 GP는 원치 않는 여분의 패턴을 형성할 수도 있다.

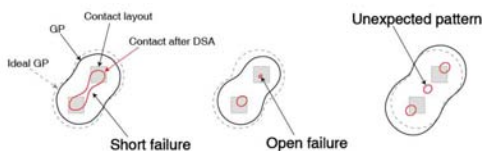


그림 4. Examples of DSA defect.

이러한 DSA defect은 GP의 크기와 모양에 따라 발생하는 빈도가 다르다. 그림 5는 다양한 GP 형태에 따른 DSA defect 발생 확률을 simulation을 통해 구하여 표시한 것이다⁷. 많은 수의 contact을 포함한 큰 GP일수록 DSA defect이 발생하기 쉽다. 같은 수의 contact을 포함한 GP이더라도 그 모양이 비대칭일수록 DSA

defect 발생 확률이 높아진다. 이는 GP가 크고 복잡할수록 GP 모양의 변화에 대해 고분자 자기조립이 더욱 민감하게 영향을 받기 때문이다. 그림 5와 같이 두 개 이하의 contact을 포함한 GP, 그리고 서로 나란히 놓인 세 개의 contact을 포함한 GP이외의 모든 크고 복잡한 GP는 0% 보다 높은 DSA defect 발생 확률을 가지므로 DSAL에 적합하지 않다. 따라서 이러한 GP들을 유발하는 복잡하고 촘촘한 contact layout이 발생하지 않도록 설계적 조치가 필요하다.



그림 5. DSA defect probability for various GPs.

2. DSAL을 고려한 회로 설계

앞서 살펴본 바와 같이 크고 복잡한 형태의 GP는 높은 defect 발생 확률을 갖기 때문에 DSAL에 적합하지 않다. 따라서 contact 혹은 via layout을 설계할 때 그러한 GP가 발생하지 않도록 신중을 기해야 한다. 기존의 설계 기법은 이러한 DSAL의 특징을 고려할 수가 없어 크고 복잡한 GP가 다수 발생하게 된다. 간단히 design rule을 이용하여 contact 혹은 via의 간격을 넓히는 방법은 chip의 크기를 너무 증가시켜 효과적인 해법이 될 수 없다. 따라서 layout의 형태가 결정되는 물리 설계(physical design)의 각 단계마다 DSAL을 고려할 수 있는 새로운 설계 기법이 필요하다.

2.1 Standard cell 최적화

Standard cell을 기반으로 한 ASIC 설계에서는 contact의 위치가 이미 각 standard cell layout에 고정되어 있다. 그림 6(a)는 DSAL이 고려되지 않은 일반적인 standard cell layout으로, 크고 복잡한 모양의 GP들이 형성되었다. 이렇게 DSAL에 적합하지 않은 GP를 없애기 위해서는 그 내부의 contact 위치를 재조정 하여 그림 6(b)과 같이 여러 개의 작은 GP로 바꿔야 한다. 이 때 각 GP는 일반 광 리소그래피로 만들 수 있을만큼 멀리 떨어져 있어야 하며, 회로의 연결 관계가 유지될 수 있도록 배선 연결도 함께 수정되어야 한다.

² 그림 3은 포토 리지스트에 직접 GP를 형성하고 BCP를 채우는 방식이다. 이와 달리 포토 리지스트를 이용하여 그 아래 hard mask에 GP를 형성하고 BCP를 채우는 방식도 가능하다.

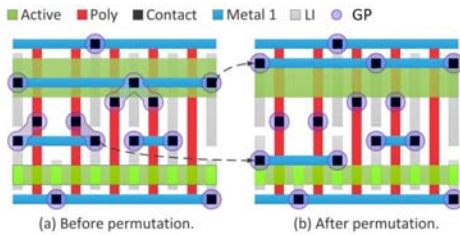


그림 6. Standard cell layout optimization for DSAL.

각 cell 내에서 contact과 metal이 놓일 수 있는 위치가 매우 다양한 데다가, 라이브러리 내에 1000개 이상의 많은 cell들이 존재하기 때문에, 매뉴얼 작업을 통해 contact과 metal을 하나씩 바꿔보는 접근 방식은 현실적으로 매우 어렵다. 다행히도 DSAL이 적용될 것으로 생각되는 초 미세 공정 기술에서는 공정의 난이도를 고려하여 cell 내부의 poly, LI(local interconnect), metal 등이 이미 정해진 격자 위에 일정한 line-space 형태로 설계 되기 때문에⁶ metal과 contact이 놓일 수 있는 위치가 제한적이다. 따라서 CAD 알고리즘을 이용하여 모든 경우를 손쉽게 나열하고 각 경우마다 GP의 모양을 확인하여 DSAL에 적합하지 여부를 빠르게 판단할 수 있다⁸. 단, cell layout이 변경되면 cell의 전기적 특성-속도와 소모 전력 등이 변할 수 있으므로, 이를 동시에 고려하여 최적의 standard cell 라이브러리를 만들어야 한다.

2.2 Placement 최적화

앞서 살펴본 기법은 cell 영역 내에서 원치 않는 GP가 발생하지 못하도록 막아준다. 하지만 placement 과정에서 cell들이 서로 나란히 붙어 배치될 경우에는 그림 7(a)과 같이 그 경계에서 예상치

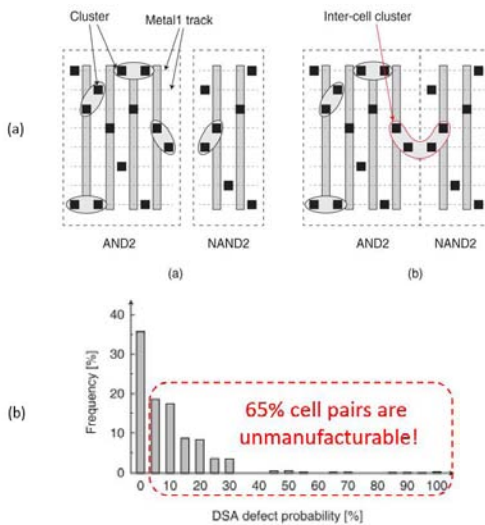


그림 7. (a) A cell pair before and after placement and (b) Defect probability for all possible cell pairs.

못하게 크고 복잡한 GP가 형성될 수 있다⁷. 그림 7(b)은 10nm 노드 라이브러리에 있는 1000개 가량의 cell로 가능한 모든 cell pair에 대하여 defect 발생 확률을 조사한 히스토그램이다. 무려 65%의 cell pair가 그 경계에서 크고 복잡한 GP를 형성하여 DSAL에 적합하지 않은 것을 볼 수 있다. 이렇게 문제가 되는 cell pair 사이에 잉여 공간(whitespace)을 삽입하면 그 경계에 존재했던 큰 GP가 작은 GP들로 나뉘어 문제가 쉽게 해결될 수 있지만, 이 방법은 chip 면적을 14%나 증가시킬 수 있다. 따라서 DSAL에 적합한 나머지 35%의 cell pair만을 최대한 활용하여 placement를 최적화 할 수 있는 새로운 알고리즘이 필요하다.

만약 몇 개의 cell을 세로축을 기준으로 회전(cell flip)하거나 바로 위치를 조금 바꾼다면, cell들 경계에서 형성되는 contact layout의 모양이 변하므로 원치 않는 GP 역시 제거할 수 있다. Cell의 방향과 위치를 많이 수정할수록 필요한 잉여 공간의 수를 줄일 수 있지만, 반대로 그만큼 pin들의 위치가 많이 변경되어 배선 길이가 늘어날 수 있다. 따라서, cell의 방향과 위치 변화를 최소화 하면서도 문제가 되는 GP를 최대한 많이 제거하는-즉 잉여 공간의 수를 최소화하는 새로운 최적화 문제를 풀어야 한다.

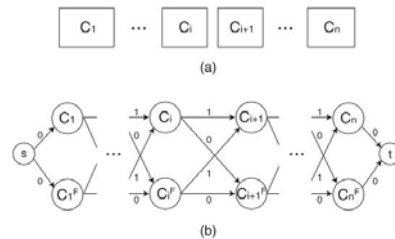


그림 8. (a) A cell row and (b) corresponding DAG.

이 문제는 그림 8과 같이 directed acyclic graph(DAG)를 이용하여 손쉽게 풀 수 있다⁷. 각 cell의 위치는 DAG 상에서 두 개의 node로 표현되고(하나는 원래 방향의 cell을, 다른 하나는 회전한 cell을 나타냄), 두 인접한 cell 위치에 놓인 node 간에는 edge가 연결된다. 각 edge를 사이에 둔 두 node는 하나의 cell pair를 나타내는데, 만약 그 cell pair 사이에 큰 GP가 형성된다면 edge에 1(잉여 공간이 하나 삽입되어야 한다는 의미)을 부여하고, 그렇지 않으면 0을 부여한다. 마지막으로 DAG의 양쪽 끝에 가상의 node s와 t를 삽입한다. 이렇게 만들어진 DAG에서 node s로부터 t까지 연결된 많은 경로들 중에 edge 값의 합이 가장 작은 최단 경로가 바로 최소의 잉여 공간만을 필요로 하는 최적의 cell placement를 나타낸다.

2.3 Routing 최적화

Routing은 placement 이후에 위치가 결정된 pin들(그림 9(a))을

⁶ 1-D standard cell 혹은 1-D design이라 부른다.

연결하기 위하여 배선하는 작업이다. 만약 routing에 여러 metal layer를 사용하고 각 metal layer는 수직 혹은 수평 방향의 배선만 지원한다면⁹, 다른 metal layer 상의 배선 사이를 연결하기 위해 via가 필요하다. 배선의 길이가 길어질수록 칩의 속도가 느려지므로 총 배선 길이를 최대한 짧게 할 수 있도록 via의 위치를 결정하여 배선하는 것이 일반적인 routing 문제의 목표이다. 하지만 초 미세 via 공정을 위해 DSAL이 응용될 경우 이러한 일반적인 routing 알고리즘은 많은 문제를 일으킨다. 그림 9(b)와 같이 배선의 길이만을 고려할 경우 DSAL에 적합하지 않은 크고 복잡한 GP가 많이 만들어진다. 따라서, DSAL에 적합한 오직 몇 가지의 GP 모양만을 허용하면서도 배선의 길이를 최소화 할 수 있도록 via의 위치를 최적화 하는 새로운 routing 알고리즘이 필요하다.

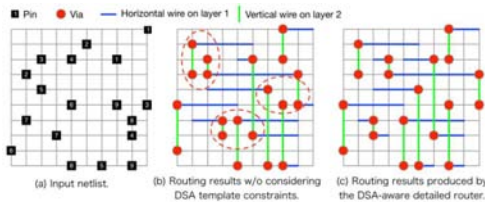


그림 9. Pin positions in input netlist, (b) routing result without considering DSAL, and (c) routing result with considering DSAL.

배선은 그림 9와 같이 이미 정해진 격자에 맞추어 진행되므로, via는 배선의 방향이 변할 때마다 해당 격자점에 삽입된다. 배선 과정에서 via가 하나씩 순차적으로 삽입될 때마다 형성될 GP의 모양과 defect 발생확률을 확인하여 다음에 놓일 via가 부적합한 GP를 만들지 않도록 그 위치를 결정한다. 이 문제는 Dijkstra의 최단 경로 알고리즘을 이용하여 풀 수 있다⁹. 이 과정은 timing 측면에서 가장 중요한 net에서부터 순차적으로 진행하는데, 이 때 이미 routing 되어있는 net의 via 위치를 고려하여 다음 net의 via를 어디에 놓을지 결정해야 한다. 만약 두 인접한 net의 최적 via 위치가 서로 가까워 큰 GP가 형성된다면, 그 GP 형성에 관여한 모든 via를 제거한 후 해당 net들을 이후에 다시 배선하도록 한하며, 모든 net의 배선이 성공적으로 종료될 때까지 이 과정을 반복적으로 수행한다. DSAL을 고려하지 않은 일반적인 routing의 경우(그림 9(b))에 35%의 GP가 DSAL에 적합하지 않은 반면, DSAL을 고려하여 via의 위치를 조정할 경우(그림 9(c)) 모든 GP가 DSAL에 적합하였고, 다만 배선의 길이가 약 3% 정도 늘어났다⁹.

2.4 Redundant via 최적화

Redundant via(RV)는 original via 인접한 곳에 추가로 삽입되어 via의 공정 수율을 개선하는 현대 회로 설계에서 필수적인 기법이다(그림 10(a) 왼쪽)^{10,11}. 하지만 DSAL를 사용하여 via 공정을 진행할 경우 RV는 via들을 더욱 촘촘하게 하여 원치 않는 크고 복잡한

모양의 GP를 유발할 수도 있다(그림 10(a) 오른쪽). 이렇게 크고 복잡한 GP를 제거하기 위해 해당 GP에 관여한 RV들을 다시 제거하는 것이 한 가지 방법일 수 있지만, 제거된 RV의 양 만큼 공정 수율에 나쁜 영향을 주게 된다. 따라서 design rule이 허용하는 한 최대한 많은 RV를 삽입하는 것을 목표로 하던 기존의 방식과는 달리, 형성될 GP가 모두 DSAL에 적합하도록 via의 위치를 제한할 수 있는 새로운 알고리즘이 필요하다.

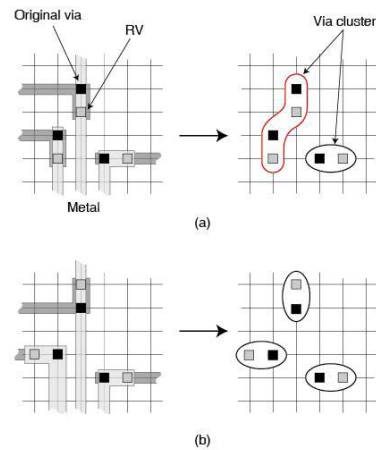


그림 10. RV insertion (a) with and (b) without DSAL.

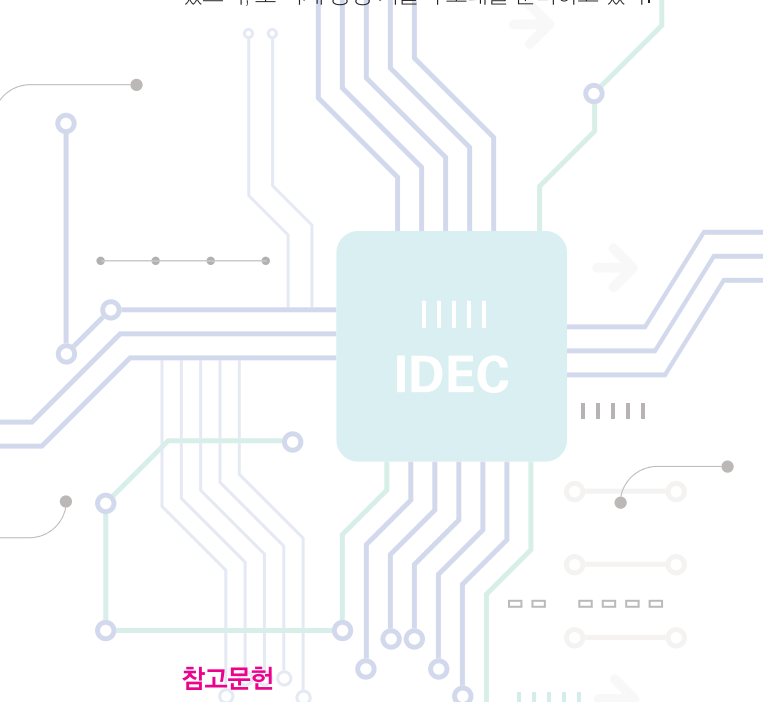
이 문제는 다양한 CAD 알고리즘으로 풀 수 있는데, 그 중 graph를 이용한 한 가지 방법은 다음과 같다^{12,13}. 각 original via는 상하 좌우의 위치 중 한 군데에 RV를 가질 수 있는데, 이 중 어떤 RV는 다른 net과 겹치는 등의 design rule 문제를 유발한다. 이렇게 RV 삽입이 불가능한 위치를 제외한 모든 가능한 RV 후보 위치들을 graph 상의 node로 나타낸다. 하나의 original via는 최대 한 개의 RV를 가질 수 있기 때문에^{10,11}, 만약 두 node-즉 두 RV 후보 위치가 같은 original via와 관련이 있다면 edge를 연결한다. 또, 어떤 두 RV가 동시에 삽입될 경우 원치 않는 큰 GP가 생성된다면 그에 대응하는 두 node 사이에도 edge를 삽입한다. 이제 우리가 다루려는 RV 삽입 문제는 이렇게 만들어진 graph에서 서로 edge로 연결되지 않은-즉 design rule 문제나 GP 문제가 없는 최대한 많은 수의 node(RV)를 선택하는 문제로 정의될 수 있다. 이 문제는 어떠한 graph에서 maximum independent set(MIS)을 찾는 문제와 정확히 동일하며, 이 문제를 빠른 시간에 해결할 수 있는 몇 가지 방법들이 이미 제시되어 있다. 이렇게 DSAL을 고려하여 RV를 삽입하면 최대의 RV 삽입률을 거의 그대로 유지하면서도 DSAL에 적합한 via layout을 얻을 수 있다^{12,13}.

9 실제로 28nm급 이하 기술에서는 하나의 metal layer에서 한 가지 배선 방향만을 지원하고 있다.

3. 맺음말

DSAL은 차세대 반도체 기술에 필요한 초 미세 홀 패턴을 만들 수 있는 가장 주목받고 있는 패터닝 기술 중 하나이다. 광 리소그라피를 통해 형성한 GP로 고분자 자기조립 과정을 국부적으로 제어할 수 있어, 원하는 위치에 하나 혹은 여러 개의 매우 작은 홀 패턴을 형성할 수 있다. 하지만 이렇게 복잡한 공정 과정으로 인해 기존에는 경험할 수 없었던 다양한 설계적 제약이 따른다. 크고 복잡한 GP일수록 패턴 형성을 실패할 확률이 높기 때문에 이러한 GP가 형성되지 않도록 layout을 최적화 할 수 있는 새로운 알고리즘들을 각 설계 단계별로 알아보았다.

하지만, DSAL이 반도체 공정에 실제로 응용되기 위해서는 지금까지 알아본 설계 측면의 연구만으로는 부족하다. DSAL에 적합한 mask 최적화 기법 역시 개발되어야 하고, 보다 안정적인 BCP 물질 개발도 필요하다. 현재 전 세계 EDA 업체는 물론 반도체 관련 학계와 산업계의 연구소에서 이와 관련된 활발한 연구가 진행되고 있으며, 초 미세 공정 기술의 도래를 준비하고 있다.



참고문헌

- 1 N. Laachi and et al., "Self-consistent field theory investigation of directed self-assembly in cylindrical confinement," *Journal of Polymer Science: Part B Polymer Physics*, vol. 53, no. 2, pp. 142-153, Jan. 2015.
- 2 M. Muramatsu and et al., "Nanopatterning of diblock copolymer directed self-assembly lithography with wet development," *Journal of Micro/Nanolithography, MEMS, and MOEMS*, vol. 11, no. 3, pp. 1-6, Nov. 2012.
- 3 H. Yi, and et al., "Flexible control of block copolymer directed self-assembly using small, topographical templates: potential lithography solution for integrated circuit contact hole patterning," *Advanced Materials*, vol. 14, no. 23, pp. 3107-3114, Jul. 2012.

- 4 H. Yi and et al., "Design strategy of small topographical guiding templates for sub-15nm integrated circuits contact hole patterns using block copolymer directed self-assembly," in *Proc. SPIE Advanced Lithography*, Mar. 2013, pp. 1-9.
- 5 S. Shim and Y. Shin, "Mask optimization for directed self-assembly lithography: inverse DSA and inverse lithography," in *Proc. Asia South Pacific Design Automation Conf. (ASPDAC)*, Jan. 2016, pp. 83-88.
- 6 S. Shim and et al., "Verification of direct self-assembly (DSA) guide patterns through machine learning," in *Proc. SPIE Advanced Lithography*, Mar. 2015, pp. 1-8.
- 7 S. Shim and et al., "Defect probability of directed self-assembly lithography: fast identification and post-placement optimization," in *Proc. Int'l Conf. on Computer-Aided Design (ICCAD)*, Nov. 2015, pp. 404-409.
- 8 Y. Du and et al., "Block copolymer directed self-assembly (DSA) aware contact layer optimization for 10 nm 1D standard cell library," in *Proc. Int. Conf. on Computer Aided Design (ICCAD)*, Nov. 2013, pp. 186-193.
- 9 Y. Du and et al., "Optimization of standard cell based detailed placement for 16 nm FinFET process," in *Proc. Design, Automation and Test in Europe Conference and Exhibition (DATE)*, Mar. 2014, pp. 1-6.
- 10 K. Lee and et al., "Post-routing redundant via insertion for yield/reliability improvement," in *Proc. Asia South Pacific Design Automation Conf (ASPDAC)*, Jan. 2006, pp. 303-308.
- 11 C. Pan and et al., "Redundant via insertion under timing constraints," in *Proc. Int. Symp. on Quality Electronic Design (ISQED)*, Mar. 2011, pp. 1-7.
- 12 W. Chung and et al., "Redundant via insertion in directed self-assembly lithography," in *Proc. Design, Automation and Test in Europe Conference and Exhibition (DATE)*, Mar. 2016, pp. 55-60.
- 13 S. Fang and et al., "Simultaneous guiding template optimization and redundant via insertion for directed self-assembly," in *Proc. Int. Conf. on Computer Aided Design (ICCAD)*, Nov. 2015, pp. 410-417.

저자정보



심성보 박사과정 | KAIST 전기및전자공학부
 주 연구분야
 Computational lithography 및 CAD for design technology co-optimization
 E-mail sbshim@kaist.ac.kr
 Homepage <http://dtlab.kaist.ac.kr/>



신영수 교수 | KAIST 전기및전자공학부
 주 연구분야
 General research field in CAD
 E-mail youngsoo@ee.kaist.ac.kr
 Homepage <http://dtlab.kaist.ac.kr/>

2016 IDEC SoC Congress(ISC)

2016.6.30(목) 09:30 ~ 15:30
KAIST KI 빌딩 (E4동)

반도체설계교육센터(IDEC)는 참여 대학의 연구 성과와 칩제작 결과 전시, 미래 산업을 이끌어갈 전문인력 양성에 대한 발전 방향에 대한 논의를 위하여 ISC를 개최하고 있습니다.

시스템반도체의 산업 변화 추이와 미래 기술에 대해 전문가를 모셔 세미나도 함께 개최되니 관심 있는 분들의 많은 참여 바랍니다.

진행 프로그램

- 기조 강연 : SoC 분야 기술 동향 및 비전
- 성과 전시 : MPW 설계 및 참여 대학(WG)의 우수 연구 성과
- IDEC 현안 논의 및 관련 시상

진행 일정

구분	퓨전홀(1F)	로비(1F)
09:30 ~ 10:30	[WG 성과 발표] 우수 설계 사례 발표	
10:30 ~ 11:20	[Opening] - 개최사(박인철 소장) - SoC 산업 동향 및 핵심 기술 관련 손광준 PD(KEIT) / 이규복 CP(IITP)	
11:20 ~ 12:10	[기조 강연 I] SoC 분야 기술 동향과 비전 (허영 대표, 실리콘마이터스)	09:30 ~ 15:30 [성과 전시] 참여 대학 우수 성과 및 Chip Design Contest
12:10 ~ 13:10	점심식사	Contest (데모 / 패널)
13:10 ~ 14:00	[기조 강연 II] TV Technology & SoC Solution (최승종 전무, LG전자 SCI센터장)	
14:00 ~ 14:30	전시 관람	
14:30 ~ 15:30	[IDEC 현안 논의 및 관련 시상] - 시상 : Chip Design Contest - IDEC 사업 수행 내용 보고 - IDEC 운영 현안 논의	

주 최  산업통상자원부 **KIAT** 한국산업기술진흥원

주 관  반도체설계교육센터 **KAIST**

문의처 <http://idec.or.kr> | 042-350-4428 | yslee@idec.or.kr

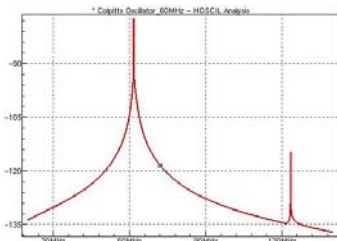
Silvaco사 SmartSpiceRF

A. 목적

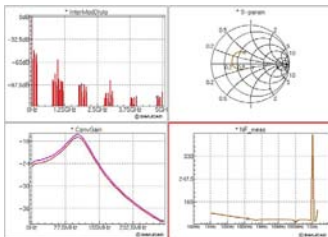
RF Circuit Simulator

B. 개요

SmartSpiceRF는 시간-영역의 Shooting과 주파수-영역의 Harmonic Balance 기법을 조합하여 GHz 대역의 RF IC에 대한 정확한 시뮬레이션을 제공합니다. SPICE 넷리스트를 이용하여 비선형 회로의 고조파 왜곡, 상호 변조 제품, 이득, 노이즈, 발진기의 위상 노이즈를 정확하고 효과적으로 시뮬레이션합니다.



발진기의 위상 노이즈 시뮬레이션



믹서의 전체 시뮬레이션

C. Supported platform

- Red Hat Enterprise (32/64bit) Linux 5, 6
- Windows XP, Windows 7 Professional (32/64bit)

D. 특징

- 풍부한 파라미터 스윙과 몬테 카를로 제어 파라미터를 갖추어 대신호/소신호 적용에 필요한 주기/유사-주기 분석의 전체 조합을 실행
- 극히 비선형적인 회로의 주기적인 정상 상태를 시뮬레이션하기 위한 시간-영역의 shooting 메소드
- 디지털 변조된 전원으로 구동되는 회로의 시간-주파수 영역에 대한 포락선 해석
- 대신소, 소신호, 노이즈 및 파라미터 해석을 위해 디지털 변조된 신호 전체를 모든 SmartSpice 모델로 지원
- 증폭기/믹서의 스펙트럼 재생, I/Q 파라미터, ACPR, NPR, EVM, BER에 대한 시뮬레이션/측정과 통신 시스템 등의 전송 링크 품질에 대한 특성을 제공
- 강력한 암호화에 의해 고객 및 서드-파티의 소중한 지적 재산을 보호 가능

적용

- 증폭기, 믹서, 곱셈기, 발진기, VCO, AGC, PLL, Mux, Demux, Clock 및 CDR 설계에 적용
- SmartSpiceRF는 GMSK, MPSK, MQAM, MFSK, EDGE, OFDM, WCDMA 등의 무선 표준의 해석 니즈를 지원

Harmonic Balance 및 Shooting 시뮬레이션 엔진

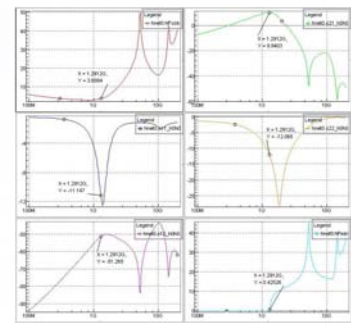
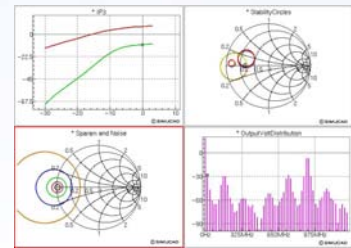
- 멀티-톤 전원으로 구동되는 비선형 회로의 주파수-영역, 정상 상태, 대신호 해석을 제공
- 극히 비선형적인 회로의 주기적인 정상 상태를 시간 영역의 shooting 메소드 시뮬레이션
- 대화형 제어 파라미터-스펙트럼 뉴튼 솔버, 연속 솔버, GMRES solver-의 전체 조합으로 최적의 수렴

SmartSpice RF 분석 성능 및 적용

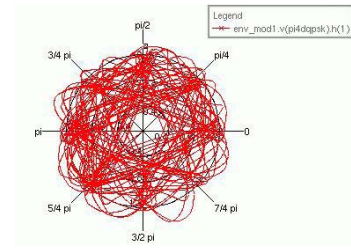
- 주파수 영역(Harmonic)/시간 영역 (Shooting) 메소드로 싱글-톤 여기의 주기적인 정상 상태 시뮬레이션 지원
- 멀티-톤 여기에 필요한 유사-주기 정상 상태(스펙트럼)
- 믹서의 소신호 해석에 필요한 정상 상태 AC(HAC, SPAC)
- 수렴의 효율성, 이미지/측파대 배제, LO feed-through 및 전력 공급 배제를 위한 정상 상태 전송(HTF, SPTF)
- 정상 상태 NET(HNET, SPNET)는 분산(S), 임피던스(Z), 어드미턴스(Y) 및 하이브리드(H) 파라미터, 안정도 인자, 상이 이득, 안정 이득 회로 등을 갖추어 주파수 변환을 나타내는 2-포트 회로에 대해 S-파라미터를 산출
- 증폭기, 믹서, 발진기 위상 노이즈의 출력 노이즈 스펙트럼에 대해 정상 상태 노이즈 (HNOISE, SPNOISE)
- 위상 노이즈 추출로 발진기의 주기적 정상 상태에 대해 바로 2단계(HOSCIL) 시뮬레이션
- 회로 포락선 시뮬레이션은 time-swept harmonic balance 기법을 이용하여 증폭기/믹서의 스펙트럼 재생, I/Q 파라미터, ACPR, NPR, EVM, BER에 대한 시뮬레이션/측정과 통신 시스템 등의 전송 링크 품질에 대한 특성 분석 가능

SmartSpice RF 분석 성능 및 적용

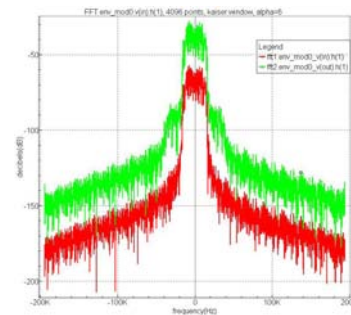
- 스미스차트, 아이 다이어그램, 스펙트럼 플롯, 히스토그램, SN비 산출, 이득/안정도 서클, 배치 다이어그램 등
- 이득, 네트워크 정합, IP3 및 공정 도입시의 전력 손실에 필요한 회로/파라미터 옵티마이저
- 독립적인 멀티-톤 전압/전류 전원, 멀티-톤 저항 포트 및 전체 출력 포트 소자 파라미터가 전원에 포함
- 사용 가능한 전체 파운드리 MS/RF PDK 개발
- 나선형 인덕터의 RF 모델링에 필요한 QUEST 및 RF 배선에 필요한 S-파라미터에 대해 인터페이스



▶▶▶ 저잡음 증폭기 설계 (LNA)



▶▶▶ PI/4-DQPSK 궤적 다이어그램



▶▶▶ 전력 증폭기 ACPR 시뮬레이션



카메라 제전 2016 CP+

Camera and Photo Imaging Show 2016



카메라를 주제로 한 박람회 중에서는 독일에서 1950년부터 시작된 포토키나(Photokina world of imaging)가 세계에서 가장 크다고 말할 수 있다. 독일에 포토키나가 있다면 일본에는 2010년부터 매년 열리는 CP+(CAMERA & PHOTO IMAGING SHOW, CP plus)가 있다. CP+는 카메라를 비롯한 영상 관련 기기의 박람회로써 2월 동경 근교인 요코하마에서 개최되었다. 입장객 수 6만 7천여명의 규모가 다녀갔으며 출전한 회사가 132사로 세계에서 두 번째로 큰 카메라 관련 박람회라고 말할 수 있다. 박람회장에서는 아직 출시가 되기 전인 제품을 체험해보거나, 보디나 렌즈의 커트 모델을 감상할 수 있다. 또한 제조 공정에 관한 자료나 동영상도 볼 수 있으며, 대부분의 회사 부스에서 세미나를 열고 있어 생생한 강의를 들을 수 있다. 반면, 별도로 마련된 세미나장에서는 keynote speech를 시작으로 기술 아카데미 세미나, pro-photographer들을 위한 강연이 열렸으며, 일본-프랑스 간 사진 문화 교류 특별 기획으로 합동 사진전, 또는 중고 카메라나

카메라 액세서리의 판매 등과 같은 특별 기획들도 준비되어 있었다. 3일의 이벤트 기간 동안 다 체험하기 힘들 정도로 알차고 다양한 프로그램들로 구성되어 있었다. 비록 일본 회사가 90%를 차지하거나, 세미나 강연 등이 일본어로만 강연(기술 세미나에 해당)되는 등 개선되어야 할 사항들이 몇몇 눈에 띄었지만, 과연 카메라 강국이라는 것을 몸소 체험할 수 있었다. 주말에는 어린 아이부터 가족 단위의 관람객이 있을 정도로 남녀노소 전공 불문이라도 즐길 수 있는 박람회였지만, 깊이 그 내용을 잘 살펴보면 카메라 관련 분야를 전공하는 필자에게도 다시 한번 공부하게 만드는 내용을 갖춘 전문적인 내용을 다루고 있었으며, 여러 카메라를 제조 판매하는 기업의 사장단을 포함한 실무진들이 직접 설명하는 세미나는 마치 학회에서도 보기 힘든 진풍경이 아닐 수 없었다. 기업의 새로운 흐름과, 카메라에 대한 열의를 느끼고 앞으로의 카메라 산업의 밝은 미래를 예감할 수 있었다.



그림 1. Canon EOS-1Dx Mark II 체험 부스

그림 2. Pentax K-1(본체와 렌즈 커트 모델)



Camera Marketing - Tokyo Olympic 2020

2020년 동경 올림픽을 대비하여 대다수의 회사에서 올림픽을 모티브로 한 부스들이 많았는데, 그 중에서도 실제 체조 선수들이 퍼포먼스를 하고 있었던 캐논(Canon) 부스가 가장 눈에 띈다. 체험할 수 있게 되어있는 캐논의 DSLR 카메라를 이용하여 선수들의 움직임을 high-speed shutter 기능을 이용하여 촬영할 수 있게 해 놓았다. 평일임에도 30분 이상 줄을 서야 체험할 수 있었기 때문에 소지하고 있던 핸드폰 카메라로 현장을 캡처할 수 밖에 없었던 점이 아쉬웠다. 하지만 카메라 산업에서 얼마나 올림픽이라는 행사가 중요한지를 알 수 있었다. 올림픽을 기점으로 새로운 카메라들의 출시가 기대되고 있다.

Ricoh의 첫 Full-frame DSLR

이번 박람회에서는 거의 모든 기업들이 신제품을 피력하고 있었는데 그 중에서 눈에 띄는 것은 리코(Ricoh)였다. 펜탁스(Pentax) 사상 첫 Full-frame DSLR이 실제 판매에 앞서 CP+에서 소개되었다. 체험(touch & feel zone)하는 데에만도 1시간 이상 기다려야 하는 대단한 인기의 부스였다. Pentax K-1이라는 이름(그림 2)으로 35.9mm x 24.0mm의 고성능 CMOS 이미지 센서를 사용하고 있다. 신형 화상처리 엔진 "PRIME IV"와 함께 사용하여 유효 화소 3640만 화소를 실현하였고 ISO204800의 초고감도 촬영이 가능하다. 또, 펜탁스 DSLR의 특징인 시야율 약 100%의 클리어 파인더를 탑재하여 전자 화상을 파인더로 보는 EVF식과 달리, 실제의 풍경을 파인더로 보는 것이 가능하다. 독특한 특징 중 하나는 장착 가능한 모든 렌즈로 이용 가능한 본체 내 손떨림 보정 기구를 탑재하여 각도의 흔들림뿐만 아니라 shift 흔들림, 회전 흔들림에도 대응하고 있다. 또한 모아레(Moire, 물결무늬)의 발생을 해소하는 로패스 필터(low-pass filter)의 온오프 셀렉터(on-off selector)나 이미지 센서부를 자유롭게 움직이게 하는 SR구조의 이점을 활용한 자동 수평 보정과 같은 구도 미세 조정 등의 기능을 가지고 있다. 최대 5단의 보정이 특징이라고 할 수 있다. 어두운 장소에서도 손떨림 보정은 물론이고 렌즈에 무관하게 손떨림 보정이 가능한 것이 이점이라고 생각된다. 그 외에도 플렉서블한 액정 모니터(상하 약 44도, 좌우 35도)와 어시스트 라이트 기능(카메라 마운트 상부, SD카드 슬롯 부분, 레리즈 소켓부, 액정 모니터 뒤면)으로 LED조명을 배치한 것도 어두운 곳에서 조작성이 쉽게 할 수 있도록 도와준다.

카메라의 역사

신기종 카메라와 퍼포먼스에 흠뻑 빠져있다 보면 어느덧 마지막 코너인 카메라 역사 코너가 눈에 띈다. 평상시에는 볼 수 없는 카메라를 직접 볼 수 있다는 점도 이번 박람회의 특징이 아닌가 싶다. 초기의 카메라부터, 현재의 디지털 카메라까지 진열되어 있다. 카메라의 모양을 하고 있는 초창기 카메라로는 은판(銀板) 카메라로서 대표적인 다게로타입(daguerrotype) 카메라를 볼 수 있었다. 은판을 요오드 증기에 노출시켜 감광막을 형성시킨 뒤 촬영하고, 그것을 수은 증기로 현상시키는 카메라이다. 거울에 비친 것과 같이 좌우반대의 영상이 얻어지는 것이 특징이다. 1850년대의 습판(濕板) 카메라를 거쳐 1871년 이후 영국에서 발명된 건판(乾板) 카메라로 인해 화학적 지식이 없어도 사진 촬영이 가능해지고 아마추어 사진 작가가 많이 등장하게 되어 이 때부터 사진이 산업으로써 확대되는 계기가 되었다. 건식 카메라는 유리판을 지지체로써 사용하는데, 미리 약품을 도포시켜 건조한 상태에서 보전하는 것이 가능하게 되어 감도가 비약(飛躍)적으로 향상되고 단시간 촬영이 가능하게 되어 기계식 셔터가 필요하게 되었다. 그리고 1888년에 첫 롤 필름 카메라 the kodak이 발매되었다. 간단한 구조의 박스형 카메라로 롤 필름이 장착되어 있어, 현상을 의뢰하면 사진과 함께 필름도 함께 받을 수 있는 획기적인 시스템으로 사진의 보급에 공헌하였다. 1950년대부터 1960년대에 걸쳐 일본의 카메라 메이커가 도약하는 시대였다고 한다. 그리고 필름을 대신하여 전기적 고체 촬영 소자를 사용한 제품으로 1981년 마비카(Sony Mavica)가 시작기로서 발표되어 1986년 캐논에서 세계 처음으로 시판용 RC-701을 발매하였다. 화상 기록 방식은 초기에는 아날로그식의 still video camera였으나 후에 디지털 방식의 digital camera의 순서로 발매되었다. 카메라의 역사 코너의 제일 마지막 부분에 현재 출시되고 있는 디지털 카메라의 분해도를 볼 수 있었다. 항상 새로운 기술, 새로운 성능에만 집중하고 있다가 카메라 역사를 다시 한번 되짚어 볼 수 있어 흥미로웠다.

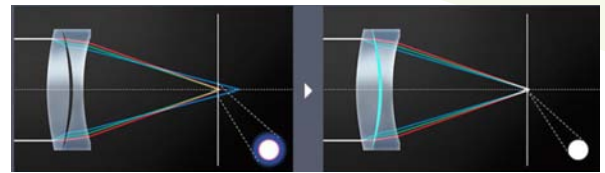


그림 3. 카메라 역사

(上左 : 은판(銀板) 카메라(1839~), 上中 : 건판(乾板) 카메라(1870년대~),
上右 : 필름 카메라(1888~), 下左 : 디지털 카메라 분해도(1981~),
下中 : CMOS image sensor unit, 下右 : Sony Mavica(proto type))

차세대 카메라를 기대하는 토론 Panel discussion

카메라 시장을 대표하는 4개의 기업에서 실무진으로 구성된 패널들이 각 기업들을 대표하는 high-end camera에 대한 성능을 소개하고, 차세대 카메라에 대한 생각들을 논의하는 자리가 있었다. 성능 소개들 중 흥미로웠던 것을 하나 소개하자면, 캐논의 BR(= Blue Spectrum Refractive optics, 상품명 EF 35mm F1.4L II USM) 렌즈 이야기를 들 수 있다. 기존의 렌즈에서는 짧은 파장대의 빛인 청색의 굴절율이 낮아서 색 보정이 잘 되지 않는 단점이 있었다. 하지만 BR렌즈는 렌즈 물질로 유기재료를 이용하여 청색빛의 굴절율을 아주 높이는데 성공하였다. 이로써 짧은 파장(청색)을 포함한 전 파장의 초점을 맞출 수 있는 렌즈를 출시하였다(그림 4). 여기에 flare 방지를 위하여 특수 코팅 SWC(sub-wavelength structure coating)을 렌즈 표면에 처리 하였다고 발표했다. SWC란 렌즈의 표면에 가시광의 파장보다 작은 나노 사이즈의 뾰기 모양의 구조물을 나열하는 것으로 빛의 반사를 억제하는 기능을 한다. 입사각이 큰 광각 렌즈 등에도 우수한 반사 방지 효과를 실현하여 flare나 ghost의 발생을 큰 폭으로 낮추는데 성공하였다고 발표하였다.



기존 렌즈
청색의 빛이 보정되지 않고 집광위치가 흔들려서 색의 흐름이 발생한다.

BR 렌즈
청색의 빛을 굴절시켜서 빛의 파장전역을 모두 한 점으로 집광하여 빛의 흐름을 억제.

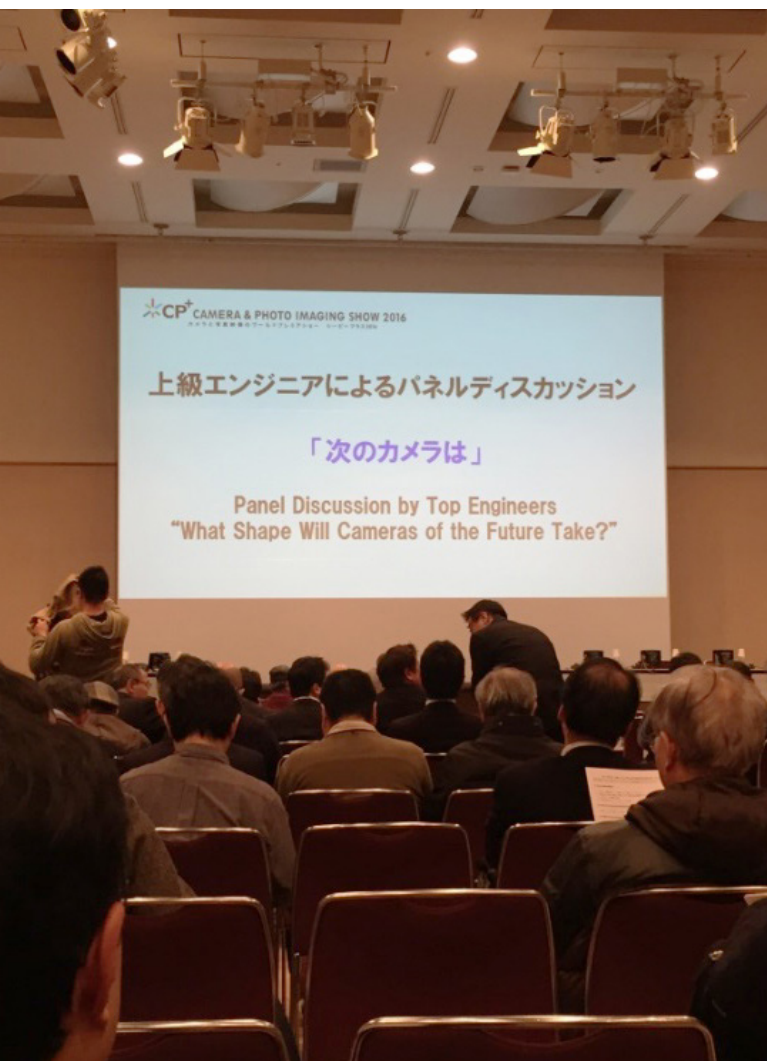


그림 4. CANON EF35mm F1.4L II USM Lens

(상 : BR렌즈의 포커싱 이미지, 하 : SWC 구조 개념도와 실제 사진에서 실현된 flare 개선. (source: canon web page))

Panel discussion의 후반부(그림 5)에서는 가장 큰 주제였던 차세대 카메라란 어떤 것인가에 대한 토론이 이어졌다. 4개의 기업에서 생각하는 차세대 카메라를 정리하면 다음과 같다. 올림푸에서는 여러 장소에 대응하여 찍히는 카메라, 즉 장소가 어디이든 간에 최적의 사진을 촬영할 수 있는 카메라라고 발표하였다. 캐논에서는 카메라 유저의 감정과 일체화된 카메라를 지향하며, 또는 정지 화면과 영상이 일체화되는 카메라, 인간의 감각을 자극하는 카메라를 차세대 카메라로 생각한다고 밝혔다. 또한 소니에서는 카메라 유저와의 공동 작업으로 사진을 완성시키는 카메라라고 이야기했다. 이는 유저가 빠고 싶은 것(또는 제약하고 싶은 것)을 자유자재로 뺄 수 있는 카메라, 유저의 creativity challenge를 자극할 수 있는 카메라를 생각하고 있다고 밝혔다. 마지막으로 니콘은 디지털 카메라로 즐거운 무엇이든 할 수 있도록 유도하는 물건을 만들고 싶다고 밝혔다. 이처럼 각각 회사에서 발매 전후의 최신 카메라의 성능과 기술에 대해 논하고, 차세대 카메라가 가져야 할 지향점을 논의하는 시간을 가졌다.

그림 5. 패널 디스커션(Olympus, Nikon, Canon, Sony의 실무진이 밝히는 최신 High-end DSLR의 상세 스펙과 성능 비교. (오른쪽 사진 source: cp+ web page))



CPPLUS 기술 세미나

- 일본 카메라 관련 대기업의 유료 강좌

소니를 비롯한 카메라 기업 10개사에서 기술 세미나를 주최하였다. 그 중에서 흥미로웠던 2개의 기업에 개발 이야기를 소개하고자 한다.

(1) 후지필름 주식회사

X시리즈용 교환 렌즈 [XF56mm F1.2R APD] Apodization filter의 개발에 있어서

Apodization(APD) 필터란 중심부의 투과율이 높고 주변부로 갈수록 투과율이 저하하는 필터로써, 일본어로는 보케라고 하는 포커싱 되지 않는 흐린 부분을 자연스럽게 만들어 주는데 꼭 필요한 필터라고 한다. 이 필터는 나노 입자 구조를 하고 있는 흡수형 색소를 이용하였는데, 이는 광학적인 열화가 없으면서 haze와 flare가 아주 작은 색소를 개발하는데 성공하였다고 발표했다. 그리고 박막 필름이기 때문에 기존의 광학 렌즈에도 장착이 가능하고, 소형이며 경량이라 사용하기 편할 것이라고 예측된다. 또한, 최적의 투과율 분포를 자유자재로 설계 가능한 것을 특징으로 가지고 있다. 그림 6에서 왼쪽은 통상 렌즈, 오른쪽은 APD 필터가 있을 때의 보케를 표시하고 있다. 왼쪽과 비교하여 오른쪽은 APD 필터의 효과로 눈 주변의 광량이 떨어져있다. 그 때문에, 전후 보케 모두 엷지의 광량이 떨어져서 부드러운 보케를 표현하고 있음을 알 수 있다. 흐린 정도를 부드럽게 표현한다는 것은 배경 그림의 어지러움이 억제되면서 핏트가 맞은 부분의 입체감이 연출된다고 생각된다. 이와 같이 후지필름은 어떻게 흐린 정도를 자연스럽게 표현해 낼 수 있는가를 APD필터를 가지고 설명하였다.

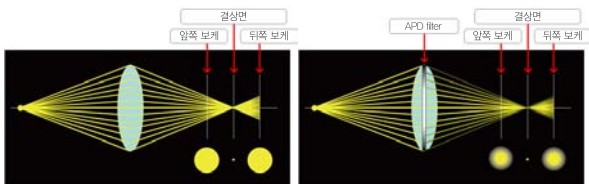


그림 6. 좌: APD 필터 없을 때, 우: APD 필터가 있을 때 (source: fujifilm web page)

(2) Ricoh

Real-resolution system의 개발에 대해서

리코는 펜탁스 K-3에 탑재되어 있는 기능 중에 real resolution 시스템(그림 7)에 개발에 대한 발표를 하였다. Real resolution 시스템은 모든 픽셀이 R/G/B 정보를 가지고 있도록 하는 시스템으로 순차적으로 RGB 필터를 통과시키면서 촬영을 한다(그림 참조). 보통 촬영 후에 이루어지는 demosaic(화소간 보간 처리)를 하지 않기 때문에 mosaic 처리 중에 생기는 문제(가는 선 발생, 윤곽에 의한 위조색, 색 모아레(moire) 등)가 발생하지 않는다.

이것으로 해상도의 향상과, 색 모아레의 발생을 줄이고 랜덤 노이즈를 저감시켰으며 렌즈에 의존하지 않고도 이런 효과가 얻어지는 특징을 가지고 있다고 밝혔다.



그림 7. Real resolution system과 기존 시스템의 차이 (source: ricoh web page)

정리

카메라 시장은 계속해서 발전해 나갈 것으로 예상되고 있다고 많은 조사 기관(그림 8)에서 발표하고 있지만, 체감하는 것은 그리 쉽지 않다. 하지만 이번 박람회 참가를 계기로 카메라 산업의 미래는 여전히 밝다는 생각이 들었다. 기존의 오래된 산업들이 소멸해가고 대신 새로운 산업들이 급속도로 생겨나는 이 시대에서, 카메라 관련 산업은 여전히 그 끝을 모르고 발전해 나갈 것이라 생각된다. 카메라 부품 중 가장 핵심인 이미지센서의 산업 역시 계속해서 성장할 것으로 예상되어 앞으로 고성능 카메라를 실현하기 위해 또 어떤 새롭고 흥미로운 센서들이 등장할지 기대가 되는 바이다.

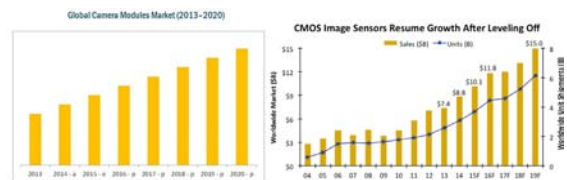


그림 8. Global Camera Modules Market trend (source: Markets and Markets), CMOS Image Sensors Market trend (source: IC Insights)

*그림에서 source 출처가 따로 명기되지 않는 사진들은 모두 필자가 직접 촬영한 사진입니다.

저자정보

김윤경 교수

소속
동아대학교 전자공학과



주 관심분야
CMOS Image Sensor Pixel 구조 설계
E-mail
yunkkim@dau.ac.kr
Homepage
http://aps.donga.ac.kr

Google I/O 2016

살펴보기

정리 김하늘 주임(IDEC) 사진 출처 google, the verge

Innovation in the Open.

연간 개발자 컨퍼런스의 타이틀을 통해 “개방을 통해 혁신을 추구”하는 구글의 지향점이 고스란히 담겨 있음을 느낀다. 이렇듯 구글의 개방은 올해도 역시 전 세계의 수많은 개발자들을 축제가 열리는 미국 캘리포니아 마운틴뷰 쇼어라인 엠피시어터로 손짓했고, 그 곳에서는 혁신이 시작되었다. 인공지능을 비롯하여 많은 주제가 IT 업계의 화두로 떠오르고 있는 가운데, 구글 I/O 2016에서는 어떤 주제가 우리의 오감을 사로 잡았는지 살펴본다.

안드로이드 N

안드로이드 N은 차기 운영체제로서 안드로이드 6.0 마시멜로의 후속 버전이다. 구글은 이에 성능(Performance), 보안(Security), 생산성(Productivity)의 세 가지 키워드를 내놓았다.

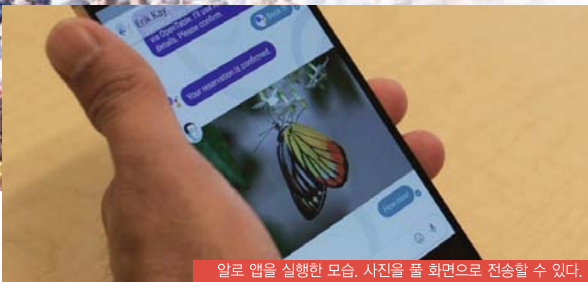
- **성능** 안드로이드 N은 성능 측면의 강화를 위해 3D 그래픽 API인 불칸을 공식적으로 지원하여 그래픽 환경을 향상했다. 또한, JIT 컴파일러를 도입하여 앱 설치 속도는 75% 빠르게, 컴파일 코드는 50% 작게했다.
- **보안** 보안에서는 파일 기반의 암호화, 미디어 프레임워크의 안정성, 원활한 업데이트의 측면을 강조했다. 이제 시스템 업데이트를 위해 대용량의 파일을 다운로드 하지 않아도 백그라운드에서 바로 업데이트를 진행하기 때문에 긴 시간을 투자하지 않고도 최신 환경을 쉽게 누릴 수 있다. 또한, 전세계의 80억개에 해당하는 앱을 상시 검사하여 보안을 강화했다.
- **생산성** 생산성 측면에서의 기능 보완이 사용자들이 가장 크게 체감할 변화라고 생각된다. 작업목록 표시에서 전체 작업을 취소하는 CLEAR ALL 메뉴가 생성되었고, 제조사의 특화 기능으로 제공되던 멀티 윈도우 기능이 운영체제에 공식적으로 추가되었다. 또한, 받은 메시지에 대한 회신을 앱 열람 없이도 가능하도록 했고, 자체 이모티콘인 이모지가 더욱 다양하게 추가되었다.

현재 안드로이드 N은 닉네임을 공모 중에 있다. Nutella, New York Cheesecake 등의 코드명이 유력하게 언급되는 가운데, 언제나 재미있는 간식 이름으로 코드명을 정했던 구글인 만큼 이번에도 어떤 코드명이 등장할지 귀추가 주목된다. 한편, 안드로이드 N은 현재 일부 기기에 한해 개발자 프리뷰가 진행 중이며, 올해 여름 정식 버전이 공개된다.

구글 어시스턴트

구글 어시스턴트는 인공지능 자연어 처리 기술과 머신러닝 등을 활용한 대화형 도우미다. 사용자의 질문을 분석하고 대화 맥락과 상황을 이해하여 알맞은 해답을 제시함으로써 실시간으로 편의를 돕는 셈이다. 이번 컨퍼런스에서 발표된 구글 홈과 두 가지 앱 알로, 듀오는 모두 구글 어시스턴트가 기반된 것이다.

- **구글 홈** 구글 홈은 가정용 스피커로서 가정에서 이루어지는 여러 태스크를 음성 명령을 기반으로 처리할 수 있다. 음악을 재생하고, 날씨 및 일정을 확인하며, 함께 달린 LED를 통해 조명을 켜는 등 가전제품을 제어할 수도 있다. 이는 올해 말 출시 예정이다.



알로 앱을 실행한 모습, 사진을 풀 화면으로 전송할 수 있다.

• **알로, 듀오** 구글 어시스턴트를 이용한 두 가지 앱인 알로와 듀오는 각각 메시징과 영상통화를 돕는다. 알로는 대화장에서 이루어지는 모든 내용을 파악한다. 친구와의 저녁식사를 위해 근처의 근사한 레스토랑을 추천 받을 수도 있고, 영화관을 가고자 한다면 먼저 예약을 제안하기도 한다. 강조를 위해 글자 크기를 키우거나 사진을 풀 화면으로 전송할 수도 있다. 듀오는 모바일 회선과 와이파이를 원활하게 지원하여 통화품질을 계속 유지할 수 있다. 노크 기능을 통해 통화 시작 전 상대방의 모습을 확인할 수도 있다.

가상현실과 증강현실

이번 I/O에서는 총 19개의 세션 중 가상현실과 증강현실에 관련된 세션만 9개로 단연 이에 대한 관심이 높았다.

• **데이드림** 구글의 카드보드는 가상현실 솔루션이다. 저렴한 가격으로 대중에게 이상적인 제품이지만, 안드로이드 폰의 최적화 수준에 따라 제약이 많은 제품이기도 하다. 구글은 이에 새로운 가상현실로 스마트폰, 헤드셋과 컨트롤러, 앱을 포괄하는 고성능 플랫폼인 데이드림의 컨셉을 공개했다. 데이드림은 많은 콘텐츠사와 협약을 맺은 상태로 다양한 영상 및 게임 콘텐츠를 시스템에 접목했으며, VR 기기와 관련해서는 삼성, LG, 샤오미, 화웨이 등의 파트너사를 통해 올 가을 출시할 예정이라고 밝혔다.

• **프로젝트 탱고** 가상현실과 달리 증강현실은 실제 현실을 이미지화하여 배경으로 사용하고 가상의 이미지를 겹쳐서 보여준다는 데에 있어서 가장 큰 차이점이 있다. 이와 관련하여 구글은 증강현실의 기술인 프로젝트 탱고를 공개했다. 특수 카메라를 모바일 기기에 부착하여 눈앞에 보이는 공간을 3차원 영상으로 구현하는 실시간 기술이다. 공간 측량 애플리케이션을 실행하면 카메라가 작동되어 실제 공간과 배치된 각종 사물 등이 동시에 나타난다. 이미지를 손으로 터치하여 드래그하면 실제 길이 측정 값을 얻을 수 있으며, 부피를 측정하지 않고도 실제 공간에 가상으로 가구를 배치해 볼 수도 있다.

크롬북 안드로이드 앱 지원

크롬북은 일반 노트북과는 달리 휴대성이나 고사양을 탑재하지 않는 대신 합리적인 가격의 노트북이다. 이는 특히 미국의 교육 시장에서 인기가 많은데, 구글의 크롬북에 탑재된 크롬 OS에서 플레이스토어를 지원한다고 밝혔다. 단적인 예로 유명 안드로이드 게임인 클래시 오브 클랜, 하트 스톤 등의 앱 역시 크롬 OS에서 실행할 수 있는 것이다. 이를 계기로 활용성이 증대된 크롬북은 더욱 더 성장할 것으로 전망된다.

파이어베이스 2.0

지금까지 소비자를 위한 기술을 소개한 한편, 개발자를 위한 소식도 전하고자 한다. 파이어베이스를 인수한 후 이를 발전시킨 것이 이번에 소개된 파이어베이스 2.0이다. 이는 통계, 분석, 푸시, 테스트 등이 가능한 종합 솔루션으로 단기간에 유용한 앱을 만들 수 있도록 도와준다. 이에 실제로 우리나라의 기업인 말랑이 참여하여 파이어베이스가 제공하는 다양한 기능을 통해 앱을 매우 빠르게 출시하기도 했다.

기타

이 외에도 구글 ATAP 팀은 지금까지 소개한 기술 외에도 3가지의 신기술을 선보였다.

• **아라** 마치 레고처럼 조립할 수 있는 스마트폰이 등장한다. 모듈을 끼워 원하는 기능을 추가할 수 있는 조립식 스마트폰인 아라가 올해 출시되어 내년 말에는 일반에 판매된다. 내구성과 모듈의 가격이 가장 큰 이슈로 생각된다.

• **재커드** ATAP 팀과 리바이스가 함께 개발해 온 스마트 재킷이 내년 봄에 출시된다. 단순히 재킷의 소매를 터치하는 동작을 통해 음악을 제어하고, 전화나 메시지를 주고 받으며, 길과 주변 정보 등을 알 수 있다. 이는 내장된 패브릭 멀티터치 센서를 이용하는 것으로, 자전거를 타는 사용자를 위해 세탁기에 돌려도 될 만큼 튼튼하게 고안 되었다.

• **솔리** 칩의 저전력화 및 소형화를 거쳐 완성된 솔리는 손가락의 미세한 움직임을 인식하는 초소형 레이더이다. 솔리는 작년 I/O에서 선보였던 프로토타입 기술에서 좀 더 발전된 모습으로 등장했다. 화면에 손가락을 직접 가져다 대지 않아도 손가락의 움직임만을 통해 화면이 전환되거나 목록이 위아래로 움직인다. 원거리에서 제스처 조작을 할 수 있는 기술로 발전될 한 손안의 미래를 꿈꿔본다.

솔리가 내장된 시계. 손가락을 땡기면 화면이 움직인다.





IDEC Newsletter | 통권 제228호

발행일 2016년 5월 31일 **발행인** 박인철 **편집인** 김태욱, 남병규 **제작** 심원기획

기획 김하늘 **전화** 042) 350-8535 **팩스** 042) 350-8540 **홈페이지** <http://www.idec.or.kr>

E-mail kimsky1230@idec.or.kr **발행처** 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 산업통상자원부, 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 앰코테크놀로지코리아, 에이티세미콘)의 지원으로 수행되고 있습니다.