

# IDEC newsletter

Vol. 226 April 2016

## 기술동향칼럼1

고통없이, 불편없이 정확하게 혈당을 측정한다  
스텐트 기반의 체내이식형 혈당측정 시스템

## 기술동향칼럼2

신경 관련 질환에 대한 장기적인 개인 맞춤형 시스템 구현에 도전한다  
체내이식 의료장치를 위한 양방향 뇌신경 신호처리 아날로그  
집적회로 연구개발

## 기획칼럼

풍부한 기능, 편리한 사용 - 생산성을 높인다  
Silvaco사 Gateway(EDA Tool 소개)

## 특집기사

반도체에서 시스템설계로  
지능형 SoC 로봇워



반도체설계교육센터  
IC DESIGN EDUCATION CENTER

## 2016년 MPW 모집안내(4월)

◎ 4월-1차 모집일정 : 03.21(월)~04.04(월)

- 모집공정 및 회차 :  
MS180-1604회(정규)/MS180-1605 (우선)  
매그나칩/SK하이닉스 0.18um 공정

◎ 참가대상 : IDEC 참여대학(Working Group)

◎ 4월-2차 모집일정 : 04.04(월)~04.18(월)

- 모집공정 및 회차 : S65-1602(정규)/S65-1603(우선)  
삼성 65nm 공정

◎ 신청방법 : IDEC 홈페이지(<http://idec.or.kr>)

## MPW 진행일정 및 공정 지원내역

공정	회차구분 (공정_년도순서)	우선모집 (마감일)	정규모집 (마감일)	참여팀수/ 제작칩수	DB마감 (Tape-out)	Die-out	비고
삼성 65nm	S65-1601		2016.02.01	40 / 40	2016.08.01	2017.02.14	설계 대기중
	S65-1602		2016.04.18	- / 40	2016.10.17	2017.05.02	4월 모집
	S65-1603	2016.04.18	2016.06.20	- / 40	2017.01.16	2017.07.31	4월 모집
MS 0.18um	MS180-1601		2016.01.18	33 / 25	2016.03.21	2016.08.22	설계중
	MS180-1602		2016.02.01	32 / 25	2016.05.16	2016.10.17	설계중
	MS180-1603		2016.03.07	25 / 25	2016.07.18	2016.12.19	설계중
	MS180-1604	2016.02.01	2016.04.04	12 / 25	2016.09.19	2017.02.20	모집 중(정규)
	MS180-1605	2016.04.04	2016.06.07	- / 25	2016.12.05	2017.05.08	모집 중(우선)
MS 0.35um	MS350-1601		2016.02.01	20 / 20	2016.06.13	2016.10.04	설계중
	MS350-1602	2016.05.02	2016.07.04	- / 20	2017.01.16	2017.05.08	

- 일정은 사정에 따라 다소 변경될 수 있음
- 회차 표기 방법 변경 : 공정코드-년도 모집순서 (예시) 삼성 65nm 2016년 1회차 : S65-1601)
- 모집기간 : 모집 마감일로 부터 2주전부터 접수
- Package 제작은 Die out 이후 1개월 소요됨
- 내용 기준 : 2016.03.28



문의처

E-mail [yslee@idec.or.kr](mailto:yslee@idec.or.kr) Tel 042-350-4428(이의숙) Homepage IDEC 홈페이지(<http://idec.or.kr>)

수강을 원하는 분은

IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

강좌 일정

센터명	강의일자	강의 제목	분류
본센터	4월 14일	생체신호 수집을 위한 저잡음 바이오포텐셜 증폭기 설계	설계강좌
성균관대	4월 1일	XMODEL을 활용한 아날로그/혼성신호 시스템의 모델링 및 시뮬레이션의 기초	설계강좌
	4월 8일	XMODEL을 활용한 고속 I/O 인터페이스 시스템의 모델링 및 시뮬레이션	설계강좌
전남대	3월 31일~4월 1일	PSpice를 이용한 아날로그 회로 해석	Tool강좌



본센터

4/14

**강좌제목** 생체신호 수집을 위한 저잡음 바이오포텐셜 증폭기 설계

**강사** 김정석 교수(가천대학교)

**강좌개요**

우리 몸에서 발생하는 바이오 생체신호(EEG, ECG, EMG, ECoG)를 정확하게 증폭하기 위해서는 바이오포텐셜 증폭기의 설계가 중요함. 이를 이해하기 위해, 바이오 신호들의 종류 (신호의 세기 및 대역폭 등등)를 살펴보고, 바이오포텐셜 증폭기를 구성하고 있는 저잡음 차동증폭기의 동작원리를 이해하는 것이 선행되어야 하므로 이번 강의에서는 바이오포텐셜 증폭기 설계를 위한 저잡음 차동증폭기를 학습하고자 함

**수강대상** 학부 4학년, 석사 1년차

**강의수준** 초급

**강의형태** 이론

**사전지식 · 선수과목** 회로이론, 전자회로, 물리전자

문 의 | KAIST IDEC 이한나 (042-350-8536, lhn1224@idec.or.kr)



성균관대

4/8

**강좌제목**

XMODEL을 활용한 고속 I/O 인터페이스 시스템의 모델링 및 시뮬레이션

**강사** 김재하 교수(서울대학교)

**강좌개요**

Scientific Analog사의 XMODEL은 순수한 디지털 시뮬레이터인 SystemVerilog상에서 아날로그 회로의 동작 및 특성을 정확하고 빠르게 모델링하고 시뮬레이션할 수 있게 해주는 확장라이브러리이며, 유사한 기능을 가진 Verilog-AMS에 비해 10~100배 빠른 속도 성능을 자랑한다. 특히, 본 강좌의 주제인 고속 I/O 인터페이스는 다양한 아날로그 회로와 디지털 컨트롤러가 모여 구성되는 혼성신호 시스템으로써 기존의 SPICE나 Verilog, Matlab 등으로는 쉽게 그 동작을 검증하거나 비트오류를 같은 시스템 성능을 측정하지 못하는 어려움이 있었다. 이에 비해 XMODEL은 이러한 혼성신호 시스템에서 특히 그 장점을 발휘하며, 또한 통계적인 시뮬레이션 기법을 활용하여 비트오류를 빠르고 정확하게 예측할 수 있다. 본 강좌에서는 XMODEL을 활용한 다양한 실습을 통해 고속/I/O인터페이스 각 구성요소 및 전체 시스템 설계의 기초를 다룬다.

**수강대상** 학부생, 대학원생, 직장인

**강의수준** 중급

**강의형태** 이론+실습

**사전지식 · 선수과목** XMODEL을 활용한 모델링 및 시뮬레이션의 기초

문 의 | 성균관대 IDEC 김상윤 (031-299-4628, ksy0501@skku.edu)



성균관대

4/1

**강좌제목**

XMODEL을 활용한 아날로그/혼성신호 시스템의 모델링 및 시뮬레이션의 기초

**강사** 김재하 교수(서울대학교)

**강좌개요**

Scientific Analog사의 XMODEL은 순수한 디지털 시뮬레이터인 SystemVerilog상에서 아날로그 회로의 동작 및 특성을 정확하고 빠르게 모델링하고 시뮬레이션할 수 있게 해주는 확장라이브러리이며, 유사한 기능을 가진 Verilog-AMS에 비해 10~100배 빠른 속도 성능을 자랑한다. 또한, 문서편집기를 통한 모델 작성 뿐만 아니라 schematic editor와 같은 GUI 환경에서의 모델 작성도 가능해 초심자도 쉽게 배울 수 있다. 본 강좌에서는 아날로그 설계자에게는 다소 생소할 수 있는 모델 기반의 시스템 설계 기법에 대해 소개하고, Virtuoso Cadence Schematic Editor의 GUI 환경에서 XMODEL 및 SystemVerilog를 활용하여 아날로그와 디지털 회로가 혼재된 혼성신호 시스템을 모델링하고 시뮬레이션하는 방법에 대해 다룬다. 특히, 대표적인 저전력 데이터 변환기인 Successive Approximation Register (SAR) 아날로그-디지털 변환기를 단계적인 실습을 통해 직접 모델링해보고 또한 시뮬레이션을 통해 그 동작 및 성능을 확인해보는 기회를 갖는다.

**수강대상** 학부생, 대학원생, 직장인

**강의수준** 중급

**강의형태** 이론+실습

**사전지식 · 선수과목** XMODEL을 활용한 모델링 및 시뮬레이션의 기초



전남대

3/31-4/1

**강좌제목** PSpice를 이용한 아날로그 회로 해석

**강사** 김무현 대리(나인플러스아이티)

**강좌개요**

반도체 및 컴퓨터기술의 급격한 발달과 더불어 기술이 혁신적으로 발전하고 전기전자 관련 제품의 설계 및 제조 공정이 자동화되어 생산성 증대와 제품의 품질향상 등이 산업체의 경쟁력 제고를 위해 요구되고 있으며, 특히 제품개발기간을 단축시키고 신뢰성을 높이기 위한 노력의 일환으로 Simulation Tool을 이용하여 실제 제작단계 이전에 회로특성을 해석해보는 과정이 중요시되었다.

**수강대상** 전공 관련 대학(원)생

**강의수준** 중급

**강의형태** 이론+실습

문 의 | 전남대 IDEC 김정주 (062-530-0367, tomo135@naver.com)

수강을 원하는 분은

IDEC홈페이지([www.idec.or.kr](http://www.idec.or.kr))를 방문하여 신청하시기 바랍니다.

2016년 IDEC 본센터 교육 일정 (4월~10월)

구분	강의일정	기간	강좌종류	강의 제목	강사	소속
4월	4.14	1일	설계	생체신호수집을 위한 저잡음 바이오포텐셜 증폭기 설계	김정석 교수	가천대
5월	5.12~13	2일	Tool	TCAD Sentaurus Training	김명우	Synopsys
	5.19~20	2일	설계	미정	김재하 교수	서울대
	5.25~27	3일	설계	[IDEC 연구원 교육] Full-Custom 설계 Flow 교육	조인신 연구원	IDEC
6월	6.24	1일	설계	Design of ESD Protection Circuits, Do It Yourself!	전정훈 교수	성균관대
	6.30~7.1	2일	설계	시그마델타 ADC 설계 및 실습	안길초 교수	서강대
7월	7.4~6	3일	설계	고성능 데이터변환기 설계를 위한 이론 및 실습	류승택 교수	KAIST
	7.11~13	3일	Tool	System Verilog Testbench	임정환	Synopsys
	7.14~15	2일	Tool	HDL Debugging Training(Verdi)	전병웅	Synopsys
	7.18~20	3일	Tool	Design Compiler 사용법 및 활용예	김진호	Synopsys
	7.21~22	2일	Tool	Low Power Flow	김진호	Synopsys
	7.25~26	2일	Tool	DFT Compiler	김태삼	Synopsys
	7.27~29	3일	Tool	PrimeTime 사용법 및 활용예	김태삼	Synopsys
8월	8.1~3	3일	Tool	IC Compiler 사용법 및 활용예	임동규	Synopsys
	8.4~5	2일	Tool	Star RC	조갑환	Synopsys
	8.8~9	2일	Tool	QuestaSim	조향균 사원	Mentor
	8.10~12	3일	Tool	Spyglass	이승완	Synopsys
	8.19	1일	Tool	Incisive Verilog Simulation	전우진 부장	Cadence
	8.22~24	3일	Tool	Laker	김동희	Synopsys
	8.25~26	2일	Tool	Finesim	전준호	Synopsys
	8.29~30	2일	설계	디지털 신호처리를 위한 고성능 저전력 SoC 설계	박성정 교수	건국대
9월	9.2	1일	Tool	Innovus Implementation System (Block)	양희영	Cadence
	9.22~23	2일	Tool	Calibre xRC	변선수 과장	Mentor
	9.26~28	3일	설계	AMBA AXI 기반 IP 설계와 검증	기안도 소장	다이내믹 시스템
	9.30	1일	설계	Wireless Communication system의 이해와 RF IC 설계 기초	변영재 교수	UNIST
10월	10.5~7	3일	설계	기가비트 이더넷제어기 설계와 응용설계	기안도 소장	다이내믹 시스템
	10.21	1일	설계	무선전력 전송용 송수신 시스템 및 회로 설계	이강윤 교수	성균관대
	10.27~28	2일	설계	TCAD Sentaurus Training (2차)	전광선	Synopsys



# 제17회 대한민국 반도체 설계대전

특허청에서는 우수 반도체설계제산과 아이디어를 발굴하고 반도체 설계산업의 진흥에 이바지한 자를 포상하기 위하여 아래와 같이 '제17회 대한민국 반도체설계대전' 을 개최합니다. 관심 있는 분들의 많은 참여 바랍니다.

## 시상 및 포상 종류

### ○ 칩 설계 공모전

구분	시상 수	상금	비고
대상	1	1,000만원	대통령상
1위	1	700만원	국무총리상
2위	2	각 500만원	산업통상자원부장관상
3위	3	각 300만원	특허청장상
특별상	1	200만원	한국발명진흥회장상
	1	200만원	한국반도체산업협회장상

### ○ 알고리즘 설계 공모전

구분	포상 수	상금	비고
대상	1	300만원	특허청장상
1위	1	200만원	
2위	1	100만원	

\* 알고리즘 설계 공모전의 포상 규모는 대회 진행 사정에 따라 변경 가능

### ○ 유공자 포상

구분	포상 수	상금	비고
장로상	1	500만원	특허청장상
특별상	1	200만원	한국반도체산업협회장상

#### 당선작에 대한 지원

- 포럼 등 행사를 통한 수상작품 및 설계기술 소개
- 언론매체를 통한 수상자와 수상작 홍보
- 반도체설계산업유통센터 등록을 통한 거래 지원
- 기술혁신형 중소기업(INNOBIZ) 지정 평가 시 수상자 소속기업에 가점 부여

## 신청자격 및 대상

### ○ 신청자격

- 칩 설계 공모전** | 국내에 거주하며, 반도체 설계분야의 연구 및 개발에 종사하는 개인 또는 팀 (3인 이내, 외국인은 같은 기관 소속 내국인과 공동 참여 가능)
- 알고리즘 설계 공모전** | 국내에 거주하며, 국내 소재 반도체설계분야 대학원에 재학 중인 대학원생 개인 또는 팀 (3인 이내, 학부생 1인 이상 필참, 외국인은 같은 대학원 소속 내국인과 공동 참여 가능)
- 유공자 포상** | 반도체 설계 분야에서 5년 이상 재직된 자

### ○ 공모전 응모대상

- 칩 설계 공모전** | 2016년 3월 31일 현재 정부표창 또는 설계대전 수상 사실이 없으며 설계작품 설명서 제출기한까지 설계가 완성된 칩 또는 FPGA
- 알고리즘 설계 공모전** | 2016년 3월 31일 현재 정부표창 또는 설계대전 수상 사실이 없으며 설계작품 설명서 제출기한까지 반도체용 알고리즘으로 구현된 프로그램 (C, C++, JAVA, HDL 활용)

## 신청기간

### ○ 칩 설계 공모전

**참가신청** 2016. 3. 31(목) ~ 2016. 6. 30(목)  
▶ 설계작품 설명서 제출기한 : 2016. 8. 31(수)

### ○ 알고리즘 설계 공모전

**참가신청** 2016. 3. 31(목) ~ 2016. 6. 30(목)  
▶ 설계작품 설명서 제출기한 : 2016. 8. 31(수)

### ○ 유공자 포상

**신청접수** 2016. 3. 31(목) ~ 2016. 7. 29(금)

## 신청방법 및 결과발표

**신청서류** | 홈페이지([www.kipo.go.kr/semicon-design](http://www.kipo.go.kr/semicon-design))에서 다운로드  
\* 공모전 참가신청자는 홈페이지에 공개된 권리보호요강을 서명하여 같이 제출

**E-mail 또는 우편 신청** | E-mail : [semicon-ip@korea.kr](mailto:semicon-ip@korea.kr)  
우 편 : 대전광역시 서구 청사로 189, 정부대전청사 4동 1804호 산업재산출판전력팀 (우)35208

**결과 발표** | 특허청 홈페이지 게시 및 개별통보(10월)

## 기 타

- 선정 절차 및 자세한 사항은 공모전 홈페이지 참조([www.kipo.go.kr/semicon-design](http://www.kipo.go.kr/semicon-design))
- 문의처 | 특허청 산업재산정책국 산업재산출판전력팀  
☎ 042-481-3465, [semicon-ip@korea.kr](mailto:semicon-ip@korea.kr)
- 참가신청서, 제출서류 및 결과물의 보안 유지(심사위원 : 비밀유지 서약서 제출)
- 시상식 일자 | 2016년 11월 (예정)

주 최 :  특허청

공동 주관 : 특허청 · 한국반도체산업협회

후 원 : 산업통상자원부 · 한국발명진흥회

# 스텐트 기반의 체내이식형 혈당측정 시스템

## Stent based In-Vivo Glucose Sensing System

변영재 교수 | UNIST 전기전자컴퓨터공학부

### 서론 >

현대 사회에서는 당뇨병, 고혈압 등을 가진 만성질환 환자 수가 점차적으로 증가하고 있다. 이에 따라 의학계에서는 그 질병의 위험성을 대대적으로 홍보하며 평소의 주기적인 검진을 제안하고 있다. 더불어 이를 위한 의료기기도 급격하게 발달하고 있다.



그림 1. 현재의 보편적인 혈당측정방법

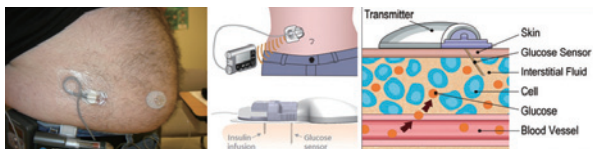


그림 2. CGMS (Continuous Glucose Monitoring System)



그림 3. 광학적 측정방법(좌) 및 전기-화학적 방법(우)

현재 혈당을 측정하는 보편적인 방법은 침습적 방법(Invasive Method)을 이용한 방법이다. <그림 1>과 같이 침습적 방법을 이용한 혈당 측정 방법은 하루에도 여러번 피를 흘리는 고통과 불편을 야기한다. 특히, 영유아 당뇨 환자 숫자도 증가하면서 침습적 방법의 한계가 드러나고 있다. 이를 대체하기 위한 여러 가지 노력이 진행되고 있는 가운데, <그림 2>의 CGMS(Continu-

ous Glucose Monitoring System)와 <그림 3>의 광학적 방법 및 전기-화학적 방법 등이 연구되고 있다. 하지만, 이러한 방법들은 확산에 의한 방법이거나 피부 밖에서 측정하는 방법으로, 그 정확도가 실제 피를 채취해 측정하는 방법에 비해 낮으며, 시간도 오래 걸린다는 단점이 있다. 이러한 단점을 극복하면서 실시간으로 측정이 가능한 연구로 <그림 4>와 같이 스텐트 기반의 체내 이식형 혈당측정 시스템을 제안한다.



그림 4. 기존의 혈당측정 방법을 개선한 차세대 혈당 측정방식의 개요

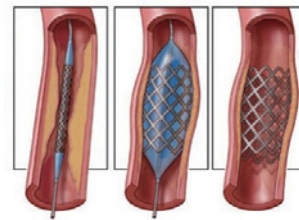


그림 5. 스텐트 시술

스텐트는 원래 혈관 내벽에 이물질이 쌓여 생기는 협심증, 심근 경색 등의 질병을 예방하기 위해 하는 시술법이다. <그림 5>와 같이 혈관 내부에 그물망 모양의 원통형 금속을 삽입하여 플라그를 제거하여 혈액의 흐름을 원활하게 만들어 주는 시술이다. 이 시술은 한번 수행되면 평생 몸 안에 스텐트를 지닌 채 살게 되는데, 이러한 특성을 이용하여 스텐트에 혈당측정 시스템을 부착하여 반영구적 시스템을 구축하는 것이다. 스텐트가 혈관 안에 위치하고 있기 때문에 직접 혈액안의 당성분을 측정할 수 있어 가장 정확한 수치를 측정할 수 있고, 인체 무선통신을 활용하여 실시간 모니터링이 가능하기 때문에 기존의 불편함과 단점을 모두

극복할 수 있는 시스템이다.

이러한 시스템을 구축하기 위해서는 인체 외부에서 전력을 공급해주는 무선전력전송, 초소형 혈당센서 및 센서 인터페이스, 체내에서 측정된 데이터를 외부로 전송해주는 인체 무선통신 등 여러 개 플랫폼의 융합이 필요하다. 또한, 스텐트 기반의 시스템에서 외부로의 전송을 위한 안테나, 그리고 외부의 단말장치 기반의 수신 플랫폼도 필수적이다. 또한, 혈관 내에서 혈류의 흐름을 방해하지 않으면서도 측정이 가능하게 하기 위한 시스템의 소형화 및 저전력화를 구현해야 한다.

## 본론 >

### 1. 체내이식형 무선전력전송

무선전력전송(WPT; Wireless Power Transfer)은 현재 사용되고 있는 전력을 전달하는 기술 중 하나이다. 보통 사용되는 매질(도선 등)을 사용하는 것이 아닌 매질 없이 전력을 전달하는 기술로, 도선으로 전달하기 힘든 곳에 전력 전달이 가능하며 사용자의 편의를 증대시킬 수 있다는 장점이 있으나 도선에 비해 낮은 전력전송 효율을 갖는다는 단점이 있다.

마이크로파를 이용한 장거리 전력 전달의 경우, 낮은 전력 전달 효율과 IEEE 표준에 의한 사람의 인체에도 해로운 영향을 끼칠 수도 있는 문제점을 가지고 있다(IEEE, 1999). 게다가, 마이크로파를 기반으로 하는 무선전력전송 시스템은 Line of sight(LoS)에 어떠한 방해하는 물체가 생길 경우 효율의 손실이 생기게 되고 만약 전력을 수신 하는 매체가 모바일 개체일 경우에는 복잡한 추적 시스템을 필요로 하는 문제점이 있다. 이에 마이크로파를 기반으로 하는 무선전력전송의 경우 적은 전력을 요구하는 군사용 장치 또는 우주 탐험과 같은 용도에 사용함이 적합하다. 반면, 자기 공명형 중거리 무선전력전송 기술은 인체에 무해하며 30미터까지 전송이 가능하며 광범위한 용도로 사용이 가능한 기술이다. 효율적인 전송을 달성하기 위한 중요한 요소는 공진기에 사용되는 코일의 높은 Q-Factor를 달성하는 것이다.

자기공명형 무선전력전송의 경우 크게 세 가지로 나뉜다. 위 그림을 보면 인덕티브 공명 방식, 자기공명 방식, 마지막으로 자기공명 방식에서 수정된 자기공명 방식이 있다. 인덕티브 공명 방식의 경우 크게 2개의 송/수신코일로 구성되어있고, 각 코일에 캐패시턴스 성분이 장착되어 공명을 이루어 전력전송을 하는 방식이다. 이 방식은 코일의 수가 적어 전체 시스템 사이즈가 작고,

구현이 간단한 장점이 있으나,

Q-factor 값이 상대적으로 다른 방식에 비해 낮아 전력전송 효율이 낮고, 송수신 코일이 직접적으로 전원부와 부하 코일로 연결되어 있어, 임피던스 미스 매칭 환경에 매우 취약한 특성을 나타낸다. 다음은 자기공명방식의 4개의 코일을 사용하여 전송하는 방식으로, 이는 전원, 송신, 수신 그리고 부하 코일로 이루어져있다. 이 방식은 총 4개의 코일로 이루어져 있고 기생 캐패시턴스 구조를 사용하여 낮은 공진주파수를 얻기 위해서는 인덕턴스 값이 커져야 하기 때문에 구조체의 사이즈가 크다는 단점이 있다. 반면, 공명하는 송수신 코일이 회로 외부에 떨어져 있고 직접적으로 캐패시터를 장착하지 않아 높은 Q-factor 특징을 보인다. 또한, 공명부가 전원과 부하에 직접적으로 연결이 되어 있지 않아 공진 주파수 변동 없이 임피던스 미스 매칭 상황에서 조절이 가능한 방식이다. 마지막으로, 위의 자기공명 방식과 같이 4개의 코일을 사용하는 방식의 무선전력전송 기술의 경우 자기공명 방식과 다르게 송수신부에 의도적으로 캐패시터를 장착한 방식이다. 이 경우 자기공명 방식 보다 Q-factor가 다소 낮아 효율이 떨어질 수 있다는 단점이 있지만, 캐패시턴스의 크기를 증가시켜 공진 주파수를 조절이 가능하므로, 구조체의 크기를 획기적으로 줄일 수 있다.

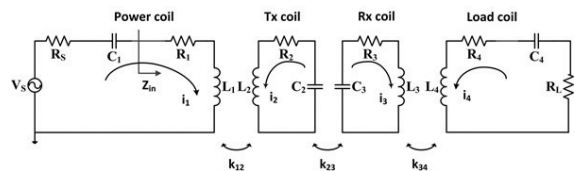


그림 6. 무선전력전송 시스템의 등가적 회로

<그림 6>은 무선전력전송 시스템의 등가적 회로를 나타내고 있다. 이 회로는 네 개의 코일에 의해 나타나는 현상을 증명하기 위해 구성 되었으며, 이 코일들은 결합계수에 의해 정의 될 수 있다. 이론적으로 결합계수는 0에서 1사이의 값을 가진다. 만약 송신부에서 만들어진 자기파가 송신부로 모두 전달 될 경우 이 계수는 '1'의 값을 가지게 되며, 반대로 전혀 전달 되지 않을 경우는 '0'의 값을 가지게 된다. 이 결합계수는 다음 식에 의하여 정의 될 수 있다.

$$k_{xy} = \frac{M_{xy}}{\sqrt{L_x L_y}} \quad (1)$$

여기서  $M_{xy}$ 는 코일 'x'와 코일 'y' 사이의 상호 인덕턴스를 의미



기술동향1

하고,  $k_{xy}$ 는 0과 1사이에 값을 가진다. 전력원은 입력 임피던스를 지니고 있는데, 이는 전력 증폭기나 VNA의 입력 임피던스와 동일한 값을 지니며 상황에 따라 다른 값을 가질 수 있다. 여기서 RS는 일반적인 50ohm의 값을 가지고 있다. 각각의 코일들은 인덕턴스 L, 기생 저항 R, 기생 캐패시턴스 C로 모델링 될 수 있다. 이 등가회로 모델은 무선전력전송 특성을 분석하는데 매우 효율적으로 접근할 수 있도록 도와준다. 여기에 키르히호프 전압 법칙(KVL)을 적용하면 전류에 관한 식을 쉽게 얻을 수 있는데, 이는 다음과 같다.

$$\begin{bmatrix} V_s \\ 0 \\ 0 \\ 0 \end{bmatrix} = \begin{bmatrix} Z_1 & j\omega M_{12} & 0 & 0 \\ j\omega M_{12} & Z_2 & -j\omega M_{23} & 0 \\ 0 & -j\omega M_{23} & Z_3 & j\omega M_{34} \\ 0 & 0 & j\omega M_{34} & Z_4 \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \\ I_3 \\ I_4 \end{bmatrix} \quad (2)$$

여기서  $Z_1, Z_2, Z_3, Z_4$ 는 각 코일의 임피던스를 의미한다. (2)의 매트릭스로부터 부하 코일의 전류를 계산하여 흔히 알고 있는 옴의 법칙을 통하여 얻을 수 있는 부하에 걸리는 전압은  $V_L = -i_4 R_L$ 와 같이 얻을 수 있고, 효율은  $V_L/V_S$ 로 계산할 수 있다.  $i_4$ 는 다음과 같이 표현된다.

$$i_4 = \frac{j\omega^3 M_{12} M_{23} M_{34} V_s}{ZZZZ + \omega^2 M_{12}^2 Z_3 Z_4 + \omega^2 M_{23}^2 Z_1 Z_4 + \omega^2 M_{34}^2 Z_1 Z_2 + \omega^2 M_{12}^2 M_{34}^2} \quad (3)$$

또한, 이 와 같은 시스템은 S 파라미터를 사용하여 쉽게 해석할 수 있다. 이 시스템의 S21은 전력전송 효율을 의미하며, 이는 다음의 식으로 표현 될 수 있다. (Sample et al., 2011, as cited in Fletcher & Rossing, 1998; Mongia, 2007).

$$S = 2 \frac{V_L}{V_S} \left( \frac{R_S}{R_L} \right)^2 \quad (4)$$

위의 수학적식들을 이용하면 S21의 크기에 관한 식(5)을 얻을 수 있다.

$$|S_{12}| = \frac{2k_{12}k_{23}k_{34}Q_2Q_3\sqrt{Q_1Q_4}}{1+k_{12}^2Q_1Q_2+k_{34}^2Q_2Q_3+k_{12}^2k_{34}^2Q_1Q_2Q_3Q_4} \quad (5)$$

이러한 분석은 무선전력전송 시스템을 이해하는 데 매우 효율적이며, 이를 이용하여 무선전력전송에서 발생할 수 있는 현상들을 증명 할 수 있다. 이 분석을 통하여 S<sub>21</sub>의 크기는 오직 k<sub>23</sub>와 주파수에 의하여 결정될 수 있다는 것을 알 수 있다. 사실 이러한 원리는 이미 잘 알려진 바와 같다. k<sub>23</sub>은 두 개의 공진기 거리에 의하여 바뀌는 결정되는 파라미터이기 때문이다. 공진기 사이의 거리가 커질수록 상호 인덕턴스의 값은 작아지게 되고 전체적인 전송 효율의 감소를 유도하게 된다. 또한, 공진기 사이의 불일치에 의해서도 전체적인 기구의 거리가 멀어지게 되므로 이 또한 효율의 감소를 가져오게 된다.

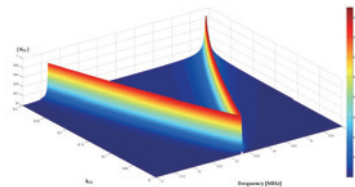


그림 7.

〈그림 7〉은 유도된 수식을 그래픽적으로 보여준 결과이며, 예상되는 공진 주파수는 13.78 MHz이다. 그러나, 커플링 계수 k<sub>23</sub>이 일정 값 이상으로 커질 때 공진 주파수가 두 개로 벌어지는 현상이 발생하며 이를 주파수 분할 현상이라 부르기로 한다. 이러한 현상 때문에 오히려 두 공진기의 거리가 가까워지면 가까워질수록 효율이 감소하는 현상이 발생하는 문제점이 있기 때문에 이를 극복하기 위해 거리에 맞는 설계를 필요로 한다. 이 시스템을 검증하기 위한 다른 방법으로는 등가회로를 통해서 전력전송 효율을 예측하는 방법이다. 이는 k<sub>23</sub>이 증가함에 따른 주파수가 분할되는 현상을 확인할 수 있는 결과이다. 수학적식에서 예측된 결과를 통해 증명될 수 있으며, 두 공진기의 거리가 가까워짐에 따라 k<sub>23</sub>의 값은 증가하게 되고 이는 곧 주파수 분할로 이어진다. 따라서 전력전송의 효율을 높이기 위해서는 적합한 주파수로 전력을 공급하거나 또 다른 기술을 사용하여 공진 주파수를 원하는 주파수로 옮겨갈 필요가 있다.

## 2. 초소형 혈당센서

서론에서 언급한 바와 같이, 혈액 안에 있는 혈당 수치를 정확하게 측정하기 위해서는 직접 혈액을 채취하는 방법이 가장 효율적이다. 따라서, 이를 실현하기 위해 스텐트 내 흐르는 혈액을 통해 혈당을 측정하는 방식을 택했다. 현재까지 알려진 바로는 LED-PD와 적외선 파장을 이용한 방법이 대표적인 방법이다.<sup>1</sup>

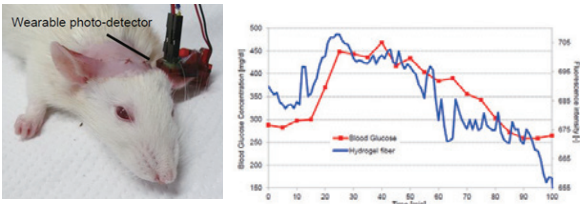


그림 8. 쥐를 통해 실험한 혈당측정 결과<sup>1</sup>

이 논문에서는 쥐 혈액에 형광물질을 주사한 뒤, 외부에서 LED-PD를 이용하여 간접적으로 혈당을 측정하였다. 하지만, 실제 인체에 적용하려면 매번 형광물질을 주입해야 하는 것이 큰 부담이 될 수 있다. 또한, 더 정확한 측정값을 얻으려 혈관에 삽입하기 위해서는 그 소자의 크기가 매우 부담스러운 것이 사실이다. 따라서, 이를 대체하기 위해 전자기파를 이용한 혈당 측정 방식을 도입하려고 한다. 현재 CMOS 공정을 이용한 혈당 센서에 대한 개념이 소개된 바 있으며<sup>2</sup>, 이런 개념을 활용하여 스텐트에 삽입하려고 한다. 하지만, 이 개념에도 크기의 제약과 Off-chip에 대해 자유롭지 못한 면이 있기 때문에, 이를 On-chip화 하기 위한 스텐트 자체의 안테나적 구조분석이 필요하다. 또한, 그 파장에 따른 혈당 수치에 대한 정보의 데이터베이스화가 필요하며, 인체의 유해성 등의 연구가 더 필요한 상황이다.

### 3. 센서 인터페이스 및 인체무선통신

인체 삽입형 의료기기의 경우에는 크기에 큰 제약을 받는다. 특별히 스텐트를 사용하는 혈당측정기기의 경우에는 혈관 안에 삽입되어야 하는 아주 큰 제약을 갖게 된다. 실제로 사용되는 스텐트의 경우, 직경이 최소 6mm부터 시작되기 때문에 그 이하의 크기를 가져야만 한다. 따라서, 제작되는 칩의 경우 무선전력 전송과 무선통신의 One-chip 솔루션이 필요하다.

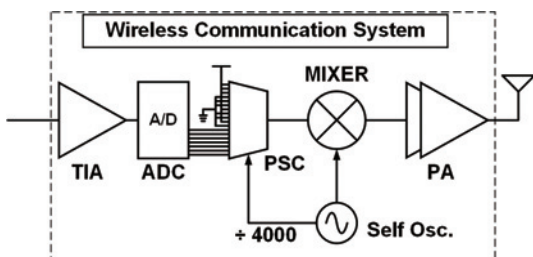


그림 9. 인체무선통신 송신부 블록다이아그램

〈그림 9〉는 인체무선통신에서 스텐트에 삽입될 송신부의 블록 다이어그램을 나타낸다. 기본적으로 통신에 필요한 기본소자는 VCO(Voltage controlled oscillator)이다. PLL(Phase locked loop)이나 DLL(Delay locked loop)는 외부의 안정적인 소자(ex. crystal oscillator)로부터 신호를 받아 주파수를 변경하는 방식으로, 그 부피가 스텐트에 삽입하기에는 상당히 큰 편이라 이를 사용할 수 없다. 또한, 체내외간 통신에서는 캐리어 주파수의 대역폭에 대해 제한이 크지 않기 때문에 어느 정도의 주파수 오차가 허용이 가능하므로, IC 내에서 self oscillator를 사용하여 주파수 생성이 가능하도록 설계하였다. 캐리어 주파수의 경우, MICS(Medical implant communication service)의 규격인 400MHz 대역을 사용하였다.

MICS에서 사용하는 주파수는 1998년 2월에 ITU-R(The International Telecommunication Union radiocommunications sector)에서 401~406MHz 대역을 할당하였다. 미국의 경우 FCC(Federal Communication Commission)에서 MICS 장비에 대하여 1999년 402~405MHz의 주파수 대역을 할당하였다. 유럽의 경우에는 무선통신 위원회에서 ULP-AMIs(Ultra Low-Power Active Medical Implants)라는 다른 이름으로 MICS를 위한 똑같은 주파수를 할당하였다. 영국의 무선통신부와 호주의 ACA(Australian Communications Authority)에서도 MICS 서비스를 위해 같은 주파수 대역을 2002년 10월과 2003년 10월에 각각 할당하였다. 캐나다와 뉴질랜드는 2004년에 MICS에 대한 표준화를 진행하였다. 뉴질랜드는 402~406MHz 대역을 할당하였다. 현재 ITU Region1에는 영국과 유럽이, ITU Region2에는 미국이, ITU Region3에는 뉴질랜드가 속해있다. ITU-R S.A. 1346 연구보고서는 기상원조서비스와 MICS가 401~406MHz 대역을 공유할 것을 권장하고 있다. 401MHz~406MHz 대역 공유를 위한 권장조건은 최대 25uW의 무선주파수 출력, 300kHz의 최대 채널 대역폭 사용, 채널 접근 프로토콜로 LBT(Listen Before Talk) 방식 사용 등이 있다. 우리나라의 경우에는 402~405MHz 주파수 대역을 기상원조업무에 간섭을 주지 않는 조건하에서 MICS용으로 사용가능하도록 주파수가 분배되어 있다.

데이터는 혈당의 수치만 생성되고 이를 전송하기 위한 통신 시스템이 필요하다. 데이터의 크기가 매우 작고, 고속데이터가 필요 없으며, 인체통신 특성상 암호화 과정이 필요 없는 아날로그 방식의 통신 변조방식으로 OOK(On-off keying) 방식을 사용하였다. OOK 방식을 사용함으로써 체외 수신단에서도 이를 복조화하기 위한 회로가 간단해지고 복원이 쉬워지는 장점이 있다.

기술동향1

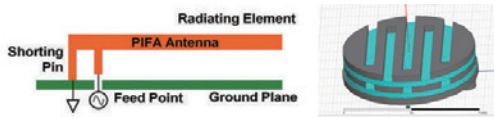


그림 10. 데이터통신용 안테나 구조

데이터 송신용 안테나의 경우, PIFA(Planar inverted F antenna) 구조를 사용하였다. PIFA 구조는 작은 사이즈와 작은 프로파일, 쉬운 제작으로 인해 인체삽입형 시스템에 자주 사용되는 구조이다. 이를 HFSS를 통해 시뮬레이션 한 결과는 (그림 11)과 같다.

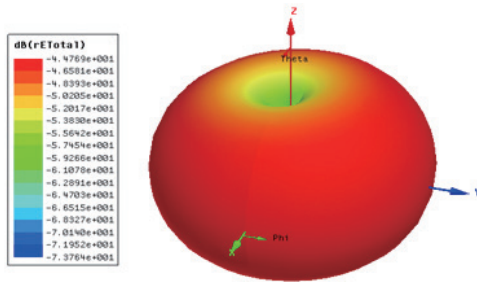


그림 11. 시뮬레이션 된 안테나 방사도

결론 >

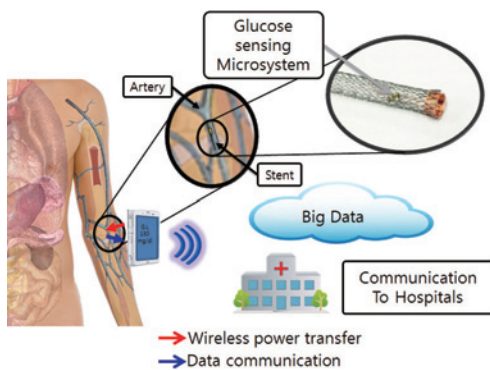


그림 12. 스텐트 기반의 체내이식형 혈당측정 시스템의 활용

체내이식형 무선전력전송, 초소형 혈당센서, 센서 인터페이스 및 인체무선통신이 스텐트와 결합된 시스템을 통해 혈관 내에서

기존의 방법보다 정확하면서도 사용자 편의를 향상시켜서 혈당 측정이 가능함을 보였다. (그림 12)는 스텐트 기반의 체내이식형 혈당측정 시스템의 활용을 보여준다. 현재 혈당측정을 위한 보편적인 방법의 단점을 극복하고, 정확하면서도 실시간으로 혈당 수치를 측정함으로써 사용자의 편의를 높일 수 있다. 또한, 그 데이터를 활용하여 병원의 주치의에게 즉각적인 상태보고를 할 수 있을 뿐 아니라 빅데이터의 중요한 소스원이 될 수 있다. 마지막으로 혈당수치 뿐 아니라 혈압, 적혈구수치, 백혈구수치 등의 센서의 개발이 이루어지면 무제한 적용이 가능하다는 가능성을 가진다.

참고문헌

- 1 “Long-term in vivo glucose monitoring using fluorescent hydrogel fibers”, Yun Jung Heo, et al., Proceedings of the National Academy of Sciences of the United States of America(PN-AS), 2011
- 2 “A Wireless-Implantable Microsystem for Continuous Blood Glucose Monitoring”, Mohammad Mahdi Ahmadi, et al., IEEE Transactions on Biomedical Circuit and Systems(T-BCAS), 2009

저자정보

변영재

교수



소 속 UNIST 전기전자컴퓨터공학부  
 주 연구분야 Analog 및 RF IC design, wireless power transfer, bio-electronics microsystems  
 E-mail bien@unist.ac.kr  
 Homepage bicdl.unist.ac.kr

# 체내 이식 의료 장치를 위한 양방향 뇌신경 신호 처리 아날로그 집적 회로 연구 개발

차혁규 교수 | 서울과학기술대학교

## I. 서론 >

뇌신경과 관련된 질환에 해당하는 뇌전증(epilepsy)과 파킨슨병(Parkinson's disease) 등의 치료 혹은 증상 완화를 위한 deep brain stimulation(DBS), 사고 혹은 질병에 따른 실명 환자를 치료하기 위한 인공 시각 장치(retinal implant), 청각 신경 손상에 의하여 발생한 장애를 극복할 수 있는 인공 와우 장치(cochlear implant) 등 체내 이식용 신경 전기 자극(neural stimulation) 기능을 갖춘 의료 목적의 brain-machine-interface(BMI) 응용 반도체 집적 회로 칩 개발이 전 세계적으로 여러 연구 기관과 대학 등에서 활발히 진행되고 있다<sup>1-3</sup>. 이와 더불어 사고 혹은 질병에 따라 마비되거나 장애가 발생한 팔, 다리 등을 인공으로 대체 후 이를 제어하기 위한 체내 이식용 뇌신경 신호 기록 장치(neural recording prosthetic device)의 연구 개발도 반도체 공정 기술, 집적 회로 설계 기술, 통신 신호 처리 기술 등의 결과로 많은 발전이 이루어지고 있는 상황이다<sup>4-5</sup>. 체내 이식용 전자 의료 장치의 활용은 현재 사고 혹은 질병에 의해 손상되거나 장애가 있는 일부의 사람들을 대상으로 한 장기적인 관찰 및 치료의 목적을 갖고 있지만, 전 세계적으로 진행 되고 있는 고령화 현상에 의하여 이 기술의 적용 대상이 고령층과 만성질환을 앓고 있는 여러 연령층의 환자(세계 보건 기구 WHO에 따르면 전 세계적으로 현재 약 5천만 명 정도의 뇌전증 환자가 있으며, 국내 환자 수는 약 17만 명 정도이다) 등으로 크게 확대가 될 것으로 내다본다. 기존에는 적용 대상 부위의 치료 목적을 위한 neural stimulation의 단일 기능만 갖춘 집적 회로 칩이 개발되었으나, 최근에 와서는 자극 기능의 개선과 보안을 위해 신경 자극 후 stimulation site에서의 뉴런(neuron)의 발화(firing) 특성을 동일한 전극(electrode/probe)을 이용하여 감지한 후 이를 관찰 및 해석하기 위한 neural recording 집적 회로 부분을 추가하여 하나의 반도체 칩 안에 양방향 다채널 신경 자극 및 신경 신호를 기록하는(multi-channel bidirectional neural stimulation and recording) 시스템이 연구 개발 되고 있는 추세이다<sup>6</sup>. 이 밖에 또 다른 예로는

뇌전증 치료 목적의 DBS 장치에서 뇌의 관련 부위에서의 특이 신호 관찰을 위해 neural recording을 계속적으로 수행하고 있다가 발작(seizure) 과 같은 어떠한 특정 이벤트의 발생조짐이 보일 때 triggering을 통해 stimulator를 실행시키는 closed-loop 형태의 시스템도 최근에 개발되고 있다<sup>1,3</sup>. <그림 1>에 나와 있듯이 이러한 시스템은 아날로그 front-end 신호 처리 부분 뿐만 아니라, 무선 전력 전송 및 관리, 디지털 신호 처리, 그리고 고속 무선 통신 송수신 기능까지 하나의 반도체 칩 안에 포함된 neural interface system-on-chip(SoC) 형태로 개발되고 있다.

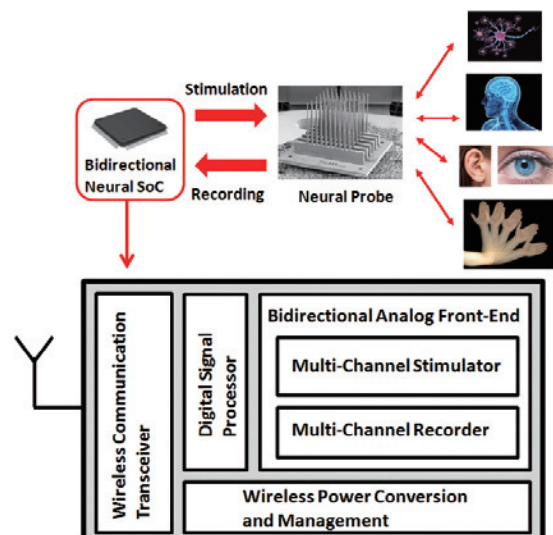


그림 1. 뇌파 신호처리 SoC의 기본 블록도

본 글에서는 이러한 뇌신경 신호처리용 아날로그 집적회로 시스템의 간략한 소개 및 기술 동향, 그리고 이와 관련 된 연구 개발 사례에 대해서 공유하고자 한다.



## II. Neural Interface SoC에서 stimulator와 recorder의 기본 동작 원리 >

### 1. Neural stimulator의 기본 구성 및 동작 원리

뇌신경과 관련된 질환의 치료 혹은 증상 완화를 목적으로 사용되는 장치는 전극을 통해 해당 부위(뇌 혹은 근육 등)의 세포(tissue)에 전기적인 자극을 가하는 형태로 동작하며, 전기 자극 방법의 종류에는 전압의 제어를 통한 자극(voltage-controlled stimulation), 전하의 제어를 통한 자극(constant-charge controlled stimulation), 그리고 전류를 제어하여 자극을 가하는 방법(constant-current controlled stimulation) 등이 존재한다. 자극의 과정에서 가장 중요한 사항은 안전을 위해 자극의 과정이 끝난 후 자극 부위에 잔여 전하(residual charge)가 잔류해서는 안 되며, 일반적으로 전하 잔여량의 제어가 우수한 전류 제어 방식이 가장 널리 연구 개발 되고 있다. <그림 2>에서 볼 수 있듯이 neural stimulator의 기본 구성은 일반적으로 digital control logic, digital-to-analog converter(DAC), output current driver, charge balancer의 형태로 이루어져있다. 외부로부터 전달 받은 명령에 따라 DAC-output current driver를 제어하여 임의의 자극 파형을 전류 형태로 발생시켜 전극에 전달을 하게 된다. 이 때의 자극 파형은 보통 biphasic 형태를 사용하며, 정확한 cathodic 펄스와 anodic 펄스를 생성하여 자극 동작 후 전하 잔여량이 해당 부위에 남아 있지 않도록 한다. 하지만 반도체 집적 회로에서 통상적으로 발생하는 mismatch에 의해서 잔여량이 조금은 존재하게 되고, 이를 안전한 범위까지 제거하기 위해서는 보통 수동 또는 능동 방식의 charge balancer 회로를 따로 필요로 한다. 자극 파형의 경우에는 구형파 형태가 많이 사용 되나, 응용 분야에 따라 다른 형태로 생성 할 수 있도록 임의의 방식으로 구현되는 경우도 있다. Neural stimulation에서의 주요 성능 지표는 어떠한 응답 특성(neural response)을 얻기 위해 tissue로 전달 가능한 전류의 크기와 범위가 중요하며, 응용 분야에 따라 보통 수십 kΩ의 높은 임피던스 값을 갖는 전극-tissue interface에 충분한 크기의 전류를(수십 μA-1 mA이상) 공급할 수 있어야 한다. 또한 cathodic 전류와 anodic 전류의 일치성, 다양한 파형의 생성 programmability, 채널 수, 다채널 확장을 고려한 전력 소모와 면적 소모 등이 중요한 성능 지표이다.

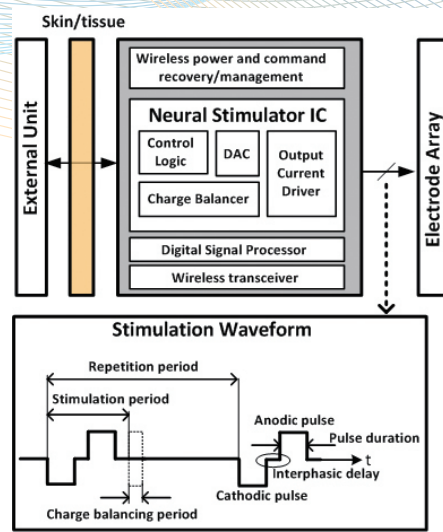


그림 2. Neural stimulator의 기본 구성도와 생성된 자극 파형의 특성

### 2. Neural stimulator의 기본 구성 및 동작 원리

BMI 시스템에서 뇌신경 신호를 관찰 및 해석하기 위한 방법으로써 neural recording 집적 회로 시스템이 사용되며, 그 방법은 electroencephalography(EEG), electrocorticography(ECoG), neural spike(action potential, AP)와 local field potential(LFP)의 종류로 구별된다. 이 중 체내 이식된 microelectrode array(MEA)를 이용하여 가장 고해상도의 뇌신경 신호 기록이 가능한 것은 AP와 LFP이다. LFP는 recording site 전극에서 위치적으로 조금 떨어져 있는 여러 neuron들에 의해 발생하는 신호들의 평균치 성분을 의미하며, 100μVpp에서 1mVpp의 진폭을 갖고 1Hz 이하에서 약 200Hz까지의 저주파 대역에서 관찰된다. 반면에 recording site 전극에서 가까이 있는 한 두 개의 neuron에 의해 발생하는 AP 신호의 경우 수십에서 수백 μVpp의 크기에 약 100Hz에서 최대 5~10kHz 정도의 주파수 대역에서 관찰된다. 따라서 많은 neural recording 시스템들은 저잡음 증폭, 이득 조절 및 대역폭 조절 등을 통해 LFP와 AP를 동시 처리 하거나 혹은 둘 중에 하나를 처리하는 형태로 구현되고 있다<sup>5</sup>. <그림 3>에서 볼 수 있듯 neural recorder 집적 회로의 기본 구성은 보통 low-noise amplifier(LNA), programmable gain amplifier(PGA), filter, analog-to-digital converter(ADC)로 이루어져 있고, 시스템에 따라 구성과 순서에서 차이는 있을 수 있다. Neural recorder front-end의 주요 목적은 신경 신호를 전극-tissue interface로부터 받아 저잡음 증폭 및 필터링 처리를 하고, 디지털 신호로 변환 후 디지털 신호 처리부 및 무선 통신 송신부로



전달하는 것이며, 다만 관심 대역의 신호 처리와 더불어 잡음 (thermal noise와 1/f noise)과 DC offset과 같은 불필요한 성분들을 어떻게 효과적 및 효율적으로 처리를 할 수 있는지가 recording 회로 설계의 관건이다. 따라서 최근에 이와 관련 한 회로 설계 기술들이 다양하게 제안되는 상황이다. 또한 이를 다채널로 확장했을 때 전력 소모와 면적을 어떻게 최소화 할 것인지에 대한 방안이 중요하다. 이를 위해서는 전체 구조에 대한 연구와 각 개별 구성 회로에 대한 연구가 동반되어야 전체적인 recording chain의 성능 최적화와 전력 소모 및 면적의 최소화를 달성할 수 있다<sup>5</sup>.

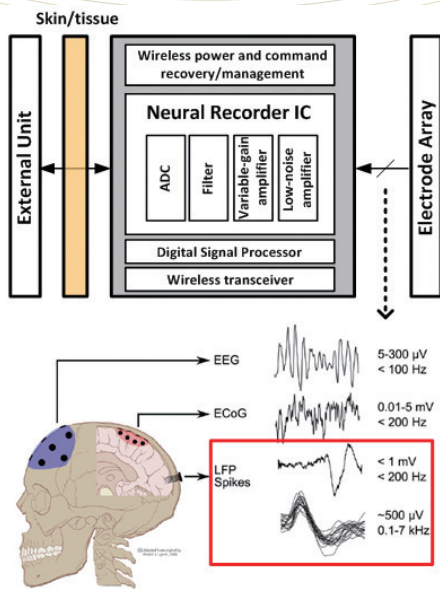


그림 3. Neural recorder의 기본 구성도와 기록이 가능한 뇌신경 신호의 특성

### Ⅲ. Neural Interface SoC 연구 개발 동향 >

체내 이식용 신경 자극 및 신경 신호 기록 시스템의 적용 대상 부위에 따라 시스템의 성능 조건 등이 다소 다르기는 하지만 기본적인 기술과 연구 방법은 크게 다르지 않으며, 연구 동향 역시 큰 차이가 없다. 앞서 언급했듯 기존에 발표된 연구 결과의 경우에는 stimulation만 가능하거나 혹은 recording만 가능한 시스템이었으나, 최근에는 stimulation을 통해 뇌의 해당 부위에 자극을 가한 후 그 반응을 관찰하기 위해 같은 부위에서 동일한 전극을 통해 AP와 LFP를 포함한 신경 신호를 기록하는 기능이 추가 된 stimulation⇒recording 형태의 closed-loop 시스템도 개발되고 있다. 또 다른 예로는 뇌의 신경 신호 기록을 통해 실시간 관찰을

하고 있다가 발작의 조짐이 생겼을 때 stimulation을 실행하는 recording⇒stimulation 형태의 closed-loop 시스템도 개발되고 있는 추세이다. 지난 몇 년 동안 여러 연구 그룹에서 다양한 형태의 양방향 neural SoC 시스템들이 개발되고 있으나, 이 중 주요 연구 그룹 등으로부터 최근에 발표된 결과를 소개해보면 다음과 같다;

〈그림 4〉에서는 2014년에 대만의 대학 연구 그룹에서 발표한 뇌전증 제어를 위한 8-채널 양방향 neural interface SoC 연구 결과를 보여주고 있다<sup>1</sup>.

- 8채널 기록 회로와 단일 채널 자극 회로를 포함하고 있으며, 자극 회로의 경우 최대 30 μA 출력 전류를 공급한다.
- SoC 내에 무선전력 변환 및 고전압 생성 회로, 바이오 DSP, MedRadio 대역 무선통신 송수신기 등이 집적되어 있고 180nm CMOS 공정을 이용하여 구현하였다.

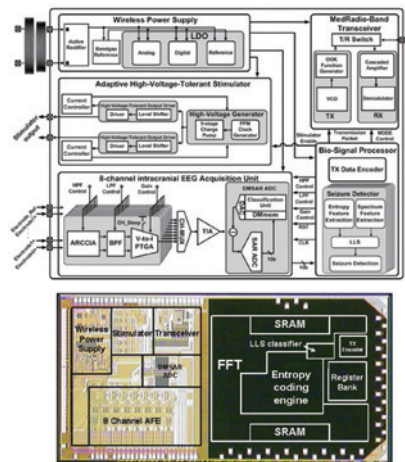


그림 4. IEEE JSSC 2014에서 발표된 양방향 neural SoC

〈그림 5〉에서는 2015년에 미국의 대학 연구 그룹에서 발표 한 64/8-채널 양방향 neural interface SoC 연구 결과를 보여주고 있다<sup>3</sup>.

- 64채널 기록 회로와 8채널 자극회로를 포함하고 있으며, 자극 회로의 경우 최대 900μA 출력 전류를 공급할 수 있다.
- 65nm CMOS 공정을 이용하여 구현하였고, 한 채널 당 칩 면적이 각각 0.0169mm<sup>2</sup>(stimulator)와 0.0258mm<sup>2</sup>(recorder) 로써 유사한 여러 SoC 중 가장 높은 집적도 성능을 얻었다.

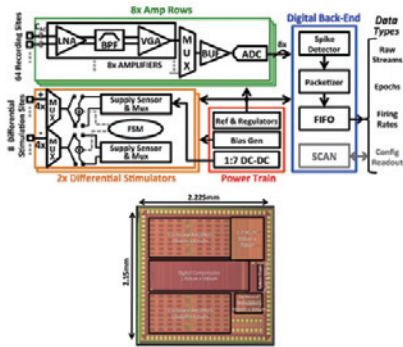


그림 5. IEEE JSSC 2015에서 발표된 양방향 neural SoC

〈그림 6〉에서는 2014년에 미국의 의료장치 관련 기업과 대학에서 공동 발표 한 32-채널 양방향 neural interface SoC의 연구 결과를 보여주고 있다.<sup>6</sup>

- 32채널 전기 자극 회로부분과 8채널 신호 기록 부분으로 이루어져 있으며, 디지털 신호 처리부분이 집적되어 있다. 최대 12mA의 자극 전류를 공급 가능하다.
- 0.25 $\mu$ m HV CMOS공정을 이용하여 구현하였고, 자극용 집적 회로와 기록용 집적회로로 두 개의 칩으로 나누어져 있다.

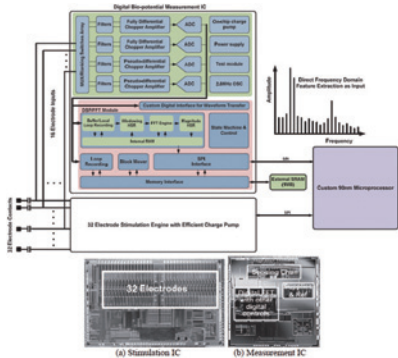


그림 6. IEEE ESSCIRC 2014에서 발표된 양방향 32-채널 neural SoC

## IV. 양방향 뇌신경 신호처리용 아날로그 집적회로의 연구 개발 >

본 연구실에서는 neural interface SoC를 위한 양방향 아날로그 front-end 집적 회로를 연구 개발 중에 있으며, 특수 고전압 공정이 아닌 표준 CMOS 공정을 사용하여 구현하는데 중점을 두고 있다. 수십 k $\Omega$ 의 높은 임피던스 값을 갖는 전극-tissue interface

에서 원하는 neural response를 얻기 위해서는 충분한 크기의 전류를 공급할 수 있어야 하며, 이를 위해서는 stimulator 출력에서 고전압 동작이 필요하다. 이와 달리 neural recording 부분을 포함한 나머지 구성 회로들의 경우 전력 소모를 최소화하기 위해서는 저전압을 사용하여 구현하는 것이 유리하다고 볼 수 있다. 따라서 stimulation 부분을 고려하면 응용분야에 따라 보통 10V 이상에서 20V까지 동작하는 경우가 많아서, 보통 고전압에서 안정적으로 동작이 가능한 특수 반도체 공정 혹은 고전압 옵션이 포함된 공정을 이용하여 회로들을 구현한다. 하지만 이런 고전압 트랜지스터의 경우 칩 내에서 차지하는 면적이 표준 CMOS 소자들보다 크며, 기생 capacitance와 on-저항의 값이 상대적으로 크다는 문제가 있고, 생산 단가가 증가한다는 단점도 있다. 이와 달리 몇몇 연구 그룹의 경우 neural recording 회로 부분의 저전력 설계를 우선시하여 그에 따라 stimulator 회로 구현까지 저전압 표준 CMOS 반도체 공정을 사용하는 경우도 있으나, 출력 자극 전류 크기에 한계가 발생한다.

〈그림 7〉에서는 본 연구실에서 제안한 양방향 아날로그 front-end 회로를 간략하게 보여주고 있다. 표준 트랜지스터를 이용한 stacking과 dynamic gate biasing 기술<sup>7</sup>을 응용하여 12.8V의 전원 전압에서 동작하면서 최대 1mA의 전류를 전달할 수 있는 stimulator의 전류 출력 드라이버를 180nm CMOS 표준 공정을 이용하여 구현하였다<sup>8,9</sup> 이 밖의 특징으로는 동일한 neural site에서 동일한 전극을 이용하여 stimulation과 recording을 수행할 때 stimulation 회로의 고전압 출력으로부터 저전압 recording 입력의 회로 부분을 스위치를 통해 보호할 필요가 있는데, 이를 위해 출력 드라이버 내에 재구성이 가능한 차단 스위치를 내장하여 칩 면적을 최소화 할 수 있었다. 〈그림 8〉에서는 구현된 칩의 stimulation mode에서의 자극 파형 측정 결과를 보여주고 있으며, 10k $\Omega$ 의 부하 저항에 최대 1mA의 전류를 전달하는 것을 확인할 수 있다<sup>9</sup>.

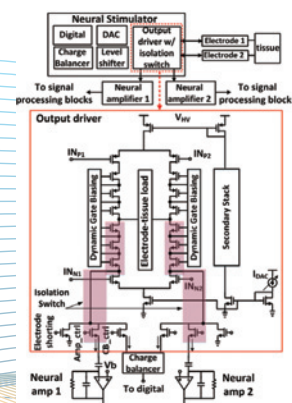


그림 7. 제안된 전류 출력 드라이버를 포함한 양방향 아날로그 front-end 회로도<sup>9</sup>



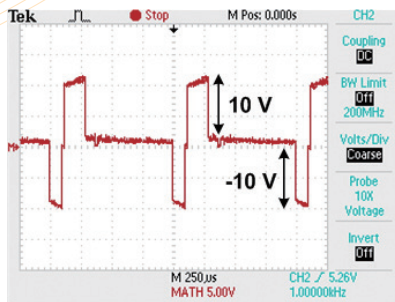


그림 8. 제안된 전류 출력 드라이버의 지극 파형 측정 결과<sup>9</sup>

## V. 결론 >

본 글에서는 체내 이식용 의료 장치를 위한 뇌신경 신호처리 집적 회로의 간략한 소개와 기술 동향에 대해 다루었으며, 전 세계적으로 고령화 시대가 빠르게 확산되면서 신경 관련 질환의 장기적이면서 개개인의 요구에 맞춘(customized) 치료와 관찰을 목적으로 체내 이식용 neural interface SoC는 더 많이 발전할 것으로 내다본다. 불과 5년에서 10여 년 전에 단일 recording 혹은 stimulation 기능만 갖췄던 시스템에서 고속 무선 통신, 무선 전력, 신호 처리 기능까지 모두 통합된 다채널의 closed-loop SoC로 발전되고 있다. 현재는 각 연구 그룹마다 어떤 표준 혹은 공통된 규격이 아닌 응용 분야에 따라 proprietary 형태로 prototype 시스템이 개발되고 있다고 볼 수 있으며, 향후에는 더욱 최적화된 성능을 갖는 연구 결과들이 발표 될 것으로 보인다. 또한, 전체 neural SoC 시스템의 성능에서 큰 비중을 갖는 interface 아날로그 집적 회로 부분의 연구 개발이 국외뿐만 아니라 국내에서도 더욱 활발해질 것을 기대한다.

## 참고문헌

- 1 W.-M. Chen 외, A fully integrated 8-channel closed-loop neural-prosthetic CMOS SoC for real-time epileptic seizure control, IEEE J. of Solid-State Circuits, vol. 49, no.1, Jan. 2014.
- 2 H.-G. Rhew 외, A fully self-contained logarithmic closed-loop deep brain stimulation SoC with wireless telemetry and wireless power management, IEEE J. of Solid-State Circuits, vol. 49, no.10, pp. 2213-2227, Oct. 2014.
- 3 W. Biederman 외, A 4.78 mm fully-integrated neuromodulation SoC combining 64 acquisition channels with digital compression and simultaneous dual stimulation, IEEE J. of Solid-State Circuits, vol.50, no.4, Apr. 2015.
- 4 R. R. Harrison, The design of integrated circuits to observe brain activity, Proceedings of the IEEE, vol. 96, no. 7, Jul. 2008.
- 5 X. Zou 외, A 100-channel 1-mW implantable neural recording IC, IEEE Trans. Circuits and Systems I, vol. 60, no. 10, Oct. 2013.
- 6 P. Cong 외, A 32-channel modular bi-directional neural interface system with embedded DSP for closed-loop operation, IEEE ESSCIRC 2014, pp. 99-102.
- 7 A. Banuaji and H.-K. Cha, A 15-V bidirectional ultrasound interface analog front-end IC for medical imaging using standard CMOS technology, IEEE Trans. Circuits and Systems II, vol.61, no. 8, Aug 2014.
- 8 A. Abdi and H.-K. Cha, A high-voltage compliant neural stimulation IC for implant devices using standard CMOS process, J. of IEIE, vol.52, no. 5, May 2015.
- 9 A. Abdi and H.-K. Cha, Bidirectional neural interface analogue front-end IC for implantable devices using standard CMOS process, manuscript submitted and under peer review, Mar. 2016

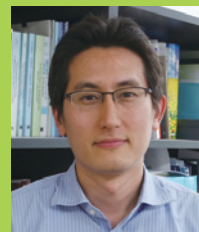
## 저자정보

차 혁 규

교수

소속

서울과학기술대학교  
전기정보공학과



주 연구분야 아날로그/RF 집적 회로 및 시스템 설계

E-mail hkcha@seoultech.ac.kr

Homepage http://eie.seoultech.ac.kr

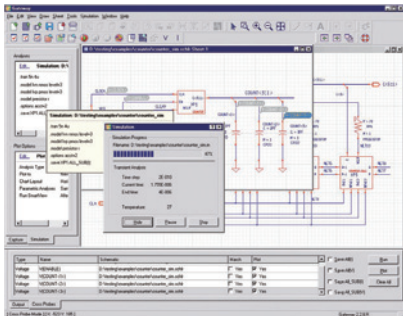
# Silvaco사 Gateway

## A. 목적

Schematic Editor

## B. 개요

Gateway는 플랫폼/계층형 설계를 지원하며, EDIF 200 표준을 통해 타사 스키매틱 에디터(PSPICE, OrCAD, Composer 등)로부터 기존 디자인을 손쉽게 수용함. Gateway는 전역 설정을 통해 대규모 설계팀에서 사용할 수 있으며, 특정 워크스페이스로 다수의 설계 및 테크놀로지를 처리함

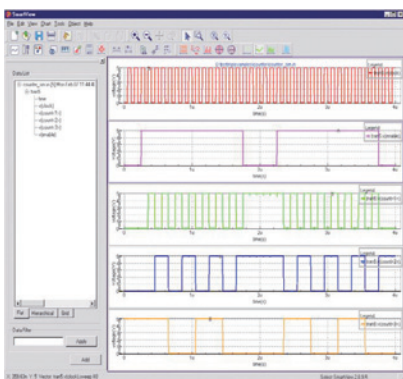


## C. Supported platform

- Red Hat Enterprise (32/64bit) Linux 5, 6
- Windows XP, Windows 7 Professional (32/64bit)

## D. 특징

- 멀티-뷰, 멀티-시트, 계층형 IC 디자인을 생성 및 수정하는 강력한 스키매틱 캡처 및 에디터 기능
- 행동 모델, 크로스-프로빙, 파형 디스플레이, 해석을 갖추어 SmartSpice 회로 시뮬레이터와 유연하게 통합
- HSPICE와 호환되는 입력 데크 생성
- 디자인 팀에서 사용하는 셀과 심볼의 라이브러리를 위해 공유 워크스페이스로 다중 사용자 프로젝트를 제어
- EDIF 200을 통하여 타사의 스키매틱 캡처 툴로부터 전환
- 하나의 스키매틱으로부터 시뮬레이션, NDL, LVSS를 위한 넷리스트 생성



Gateway는 크로스-프로빙, 진행 파형, 해석 옵션 및 최적화를 갖추어 계층적 설계에 대한 프론트-엔드를 제공함

풍부한 기능

- 심볼, 서브시킷, 하위 스키매틱 및 Verilog-A 모델의 생성 용이
- 시뮬레이션, 스키매틱-드러본-레이아웃, LVS 호환성을 위해 포괄적인 심볼 생성 및 편집
- 반복 작업 및 기존 캡처 툴의 에뮬레이션을 위한 사용자 구성 키
- 포팅, IP 재사용, 대화형 설계를 처리하기 위한 포괄적인 검색 및 교체
- 모듈, 재사용할 수 있는 설계, 라이브러리, 기존 회로와의 작업을 위한 계층 캡처
- 와이어, 버스, 버스 분할, 버스 병합으로 강력한 편집 기능
- 설계자가 구성하는 룰 체크는 전기적 드로잉 규칙 위반 및 명칭 오류를 표시
- 디자인-룰-연결 레이아웃 요소를 자동으로 생성하기 위한 Parameterized cell 소스 디자인 엔트리 데이터

사용 및 채택의 편의성

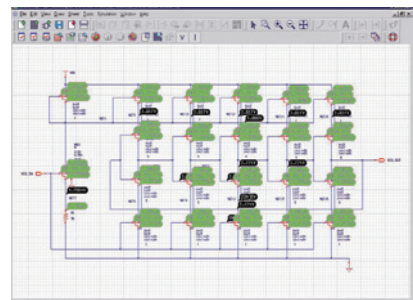
- 자연스러운 왼편에서 오른편으로의 설계 방식, 툴팁, 배치 시뮬레이션 제어를 갖추어 사용에 편리
- 라이브러리를 갖춘 다중 사용자 환경 설정 및 EDIF를 이용한 기존 데이터의 도입이 용이
- 신규 사용자를 위한 도움말 기능 및 툴팁
- 스키매틱으로부터 바로 액세스할 수 있는 배치 모드 시뮬레이션 옵션
- 파라미터의 최소/최대 체크로 엔트리 오류를 제거
- 와이어-와이어, 와이어-핀, 명칭에 의한 와이어, 암시적/전역적 연결을 지원

통합된 커스텀 IC 디자인 플랫폼

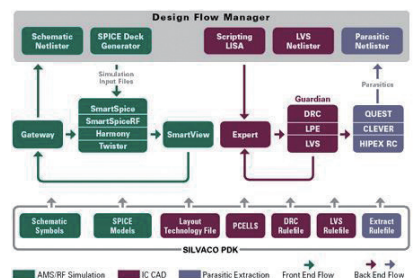
- 커스텀 아날로그 회로를 위한 front-to-back 설계 자동화 솔루션
- 행동 모델, 스키매틱, 회로 시뮬레이션 레이아웃, DRC, LVS 및 기생 추출과 입증된 피드백 플로우를 연결
- 지연, 기울기, 오버슈트, 상승 시간, 아이 다이어그램의 오버레이 측정을 위해 SmartView 그래픽 파형 포스트-프로세서와 통합-벡터 계산기로 완성
- 스키매틱과 포스트-프로세스 사이의 강력한 크로스-프로빙으로 실시간 설계 피드백을 제공
- 콜백 기능은 디자인 룰, 내성, 파라미터 계산, process skew에 대한 표현식을 실시간으로 평가
- 계층 전반에 걸쳐 전류/전압에 대한 DC 바이어스를 표시

설계자의 생산성

- 설계의 무결성 및 유연한 tapeout을 위해 레이아웃, 시뮬레이션, LVS를 위한 멀티뷰 생성
- 기존 회로를 쉽게 재사용하기 위한 스프레드시트 데이터 엔트리, 넷리스트 도입, EDIF 리더, 자동 심볼 생성
- IP 배포용 디자인 키트의 심볼 이면에서 암호화된 넷리스트를 지원
- 진행 파형은 시뮬레이션 결과의 실시간 관측으로 장기 시뮬레이션을 점검하도록 허용
- 스키매틱, 시뮬레이션 및 분석 사이에서 디자인 플로우를 효과적으로 제어
- 오류 강조 및 정정을 위한 스키매틱 위치/레벨의 확대

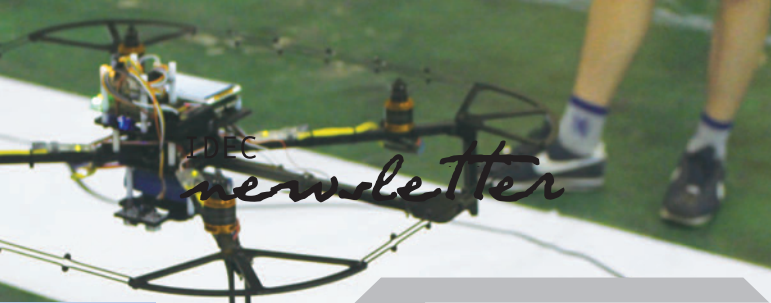


플랫/계층형 드로잉에 대한 전류/전압 DC 바이어스



전체 커스텀 IC 디자인 플랫폼에서의 Gateway





특집기사

# 지능형 SoC 로봇워

반도체에서 시스템 설계로

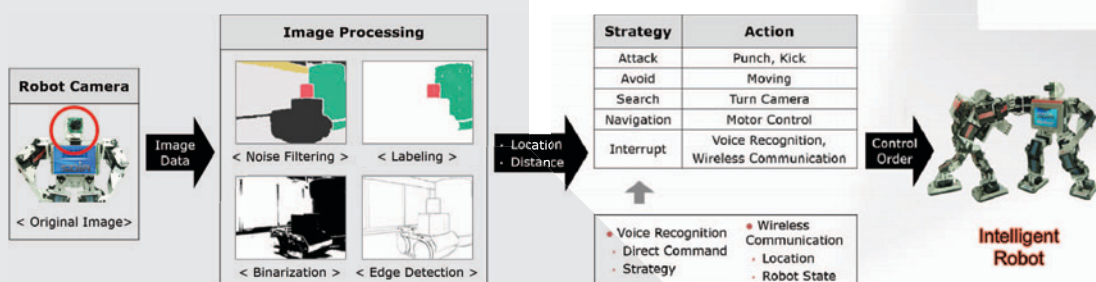
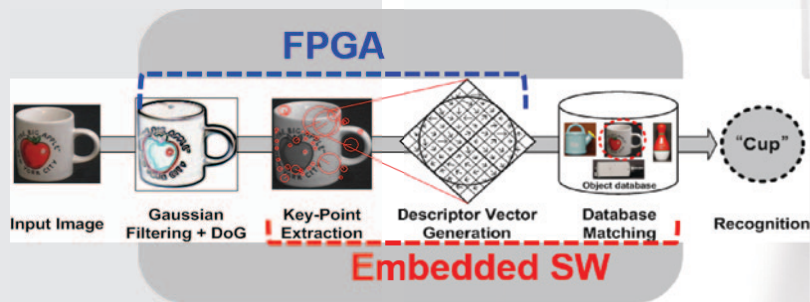


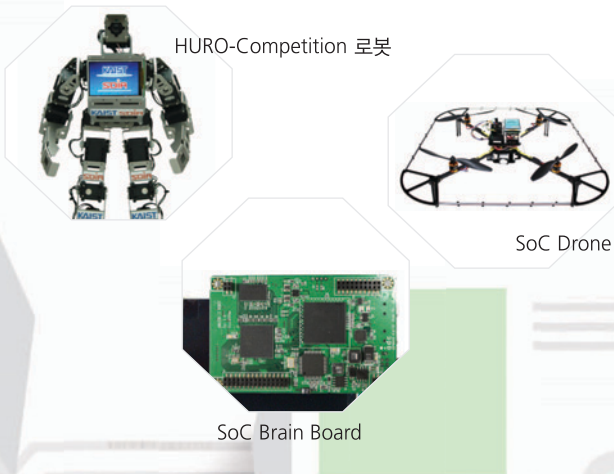
2002년부터 올해로 15년 동안 꾸준히 이어온 반도체 대회(이하 대회)가 있다. 대회 명칭은 “지능형 SoC(System on Chip) 로봇워”로 대회명 으로 봐서는 로봇 대회에 가깝다. 이 대회는 KAIST 유희준 교수가 학생들이 반도체 교육을 좀 더 재미있게 배울 수 없을까 하고, 고민하던 끝에 고안한 대회이다.

2002년, 6팀으로 시작한 대회가 이제는 국내 최대 규모의 대회로 운영되고 있다. 매년 100팀(약 500명) 이상이 참가하고 있으며, 우승팀에게는 대통령상이 수여되는 큰 대회로 성장했다. 대회 참가 학생들도 로봇을 배우러 왔다가 반도체를 하겠다고 전공을 바꾸기도 하고, 독학으로 HDL 설계를 배우가면서 참가하는 학생들도 많다.

SoC 로봇워는 모든 참가팀들에게 동일한 로봇과 동일한 SoC 두뇌보드를 제공한다. SoC 두뇌보드는 SoC 로봇의 영상처리 및 판단을 수행하는 메인보드로 카메라를 통해 실시간으로 영상을 입력 받을 수 있게 되어 있으며, 이 영상은 곧바로 FPGA에 입력된다. 참가팀들은 FPGA 설계를 통해 입력된 영상에서 특정 물체의 거리 또는 위치를 파악하게 된다. 이 정보를 토대로 로봇의 움직임(Motion Control)을 결정하게 되는 전략을 수립하게 되는데 이는 SW 프로그래밍을 통해 이루어진다.

이로써 참가자들은 로봇의 외부 인식에 필요한 기술을 FPGA로 구현하게 되며, 상황을 판단하는 부분은 SW 프로그래밍으로, 로봇의 움직임을 모션 프로그램으로 개발하게 된다. 이는 지능형 로봇 시스템을 개발하는 것으로 반도체 교육에 국한되지 않고, 시스템을 배울 수 있는 기회를 제공함으로써 융합 기술 시대의 인재를 양성하는데 좋은 교육 프로그램이라 할 수 있다.





대회에 사용되는 로봇은 2족로봇 4종류와 드론이 있다. 2족 로봇은 19 ~ 21 자유도를 가지는 휴머노이드 형태의 로봇으로 머리 부분에 카메라가 장착되며, 가슴부위에 SoC 두뇌보드를 장착하게 된다. 이러한 로봇들은 현재 국내 로봇 업체에서 판매되고 있는 로봇들을 이용하는 것으로, 카메라와 두뇌보드를 장착할 수 있게 부분 개조하여 사용하고 있다. 드론은 4개의 프로펠러가 장착된 쿼드콥터 형태로, 자율비행이 가능하도록 자세 제어를 위한 자이로 센서와 초음파센서가 장착되어 있으며, 비행시 발생할 수 있는 충돌 상황을 고려해 대회용으로 개발하여 사용하고 있다.

대회 종목은 휴머노이드 로봇으로 진행되는 "HURO-Competition"과 "SoC 태권로봇" 그리고 드론 종목인 "SoC Drone"으로 나뉜다.

HURO-Competition 종목은 다양한 장애물이 설치된 경기장을 통과하는 경기로, 각 장애물을 인식하여 피해가거나, 정해진 미션을 수행해야 하며 미션 수행 횟수와 이동한 시간을 측정하여 순위를 결정하게 된다. 여러 종류의 장애물을 인식하거나, 정확한 위치를 판단해야 되기 때문에 인식의 정확성이 요구된다.

SoC 태권로봇은 로봇간의 태권도 대련 경기로 상대 로봇의 위치와 거리를 판단하여 태권도 동작으로 상대를 공격하여 점수를 획득하는 방식이다. 이 종목에서는 인식의 정확성 보다는 인식 속도가 중요하다.

SoC Drone은 상공의 물체를 인식하여 회피 비행해야 하며, 지상의 움직이는 물체를 추적하는 방식의 미션경기로, 정밀한 비행을 위한 빠른 영상인식과 함께 장애물을 회피해야 되는 정확한 인식도 필요한 경기이다.

대회 참가는 국내 대학(원)생이면 누구나 참가가 가능하다. 참가 접수는 홈페이지(<http://www.socrobotwar.org>)를 통해 가능하며, 올해 대회 접수기간은 오는 4월 15일까지다.

## 대회 개요

### 대회명칭

지능형 SoC 로봇워 2016

### 대회종목

- SoC Drone
- HURO-Competition
- SoC Taekwon Robot

### 참가팀 접수

- 일정 : 2016년 3월 1일 ~ 4월 15일
- 참가자격 : 국내외 대학(2년제 포함)에 재학 중인 학부생 또는 대학원생으로 2인 이상 6인 이하로 구성된 팀
- 접수방법 : 지능형 SoC 로봇워 홈페이지 => <http://www.socrobotwar.org>

### 대회 설명회

- 일정 : 4월 29일
- 장소 : 대전 KAIST
- 대회 개요 및 종목설명, 출전자격 TEST 설명

### 출전자격 TEST

- 일정 : 5월 25일 ~ 27일
- 장소 : 대전 KAIST
- 방식 : 종목별 출전자격 TEST

### 참가팀교육

- 일정 : 6월 2일~3일
- 장소 : 대전 KAIST
- 대회에 제공되는 두뇌보드에 대한 이론/실습교육
- 로봇에 대한 모션 프로그램 이론/실습교육

### 예선대회

- 일정 : 8월 12일 ~ 14일
- 장소 : 대전 DCC

### 본선대회

- 일정 : 10월 14일 ~ 16일
- 장소 : 일산 KINTEX

### 대회시상내역

#### >HURO-Competition

- 대 상 : 대통령상/부상
- 금 상 : 산업통상자원부장관상/부상
- 은 상 : KAIST총장상/부상
- 동 상 : SDIA센터장상/부상

#### >SoC Taekwon Robot

- 대 상 : 국무총리상/부상
- 금 상 : 산업통상자원부장관상/부상
- 은 상 : KAIST총장상/부상
- 동 상 : SDIA센터장상/부상

#### >SoC Drone

- 대 상 : 대전광역시장상
- 금 상 : KAIST총장상
- 은 상 : SDIA센터장상
- 동 상 : SDIA센터장상

### 문의

#### >KAIST 시스템설계응용연구센터

- Tel. 042-350-8929
- E-mail. [socrobot@kaist.ac.kr](mailto:socrobot@kaist.ac.kr)





**IDEC Newsletter | 통권 제226호**

**발행일** 2016년 3월 31일 **발행인** 박인철 **편집인** 김태욱, 남병규 **제작** 심원기획  
**기획** 김하늘 **전화** 042) 350-8535 **팩스** 042) 350-8540 **홈페이지** <http://www.idec.or.kr>  
**E-mail** [kimsky1230@idec.or.kr](mailto:kimsky1230@idec.or.kr) **발행처** 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 산업통상자원부, 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 앰코테크놀로지코리아, 에이티세미콘)의 지원으로 수행되고 있습니다.