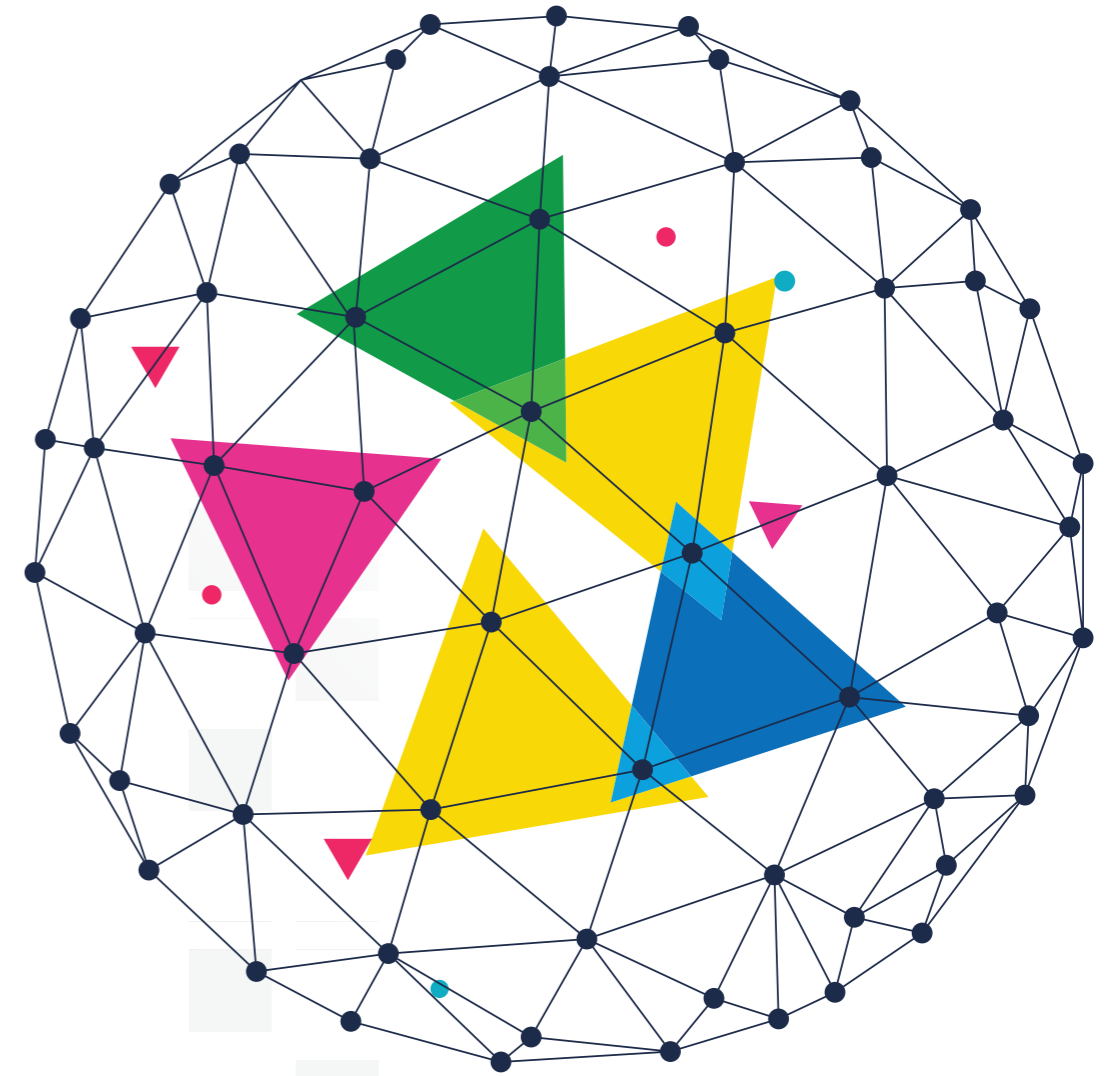




반도체설계교육센터
IC DESIGN EDUCATION CENTER



IDEC
newsletter

VOL. 224 FEBRUARY 2016

VOL. 224
February 2016

IDEC Newsletter | 통권 제224호

◎ 발행일 2016년 1월 30일 ◎ 발행인 박인철 ◎ 편집인 남병규 ◎ 제작 푸물디자인
◎ 기획 김하늘 ◎ 전화 042) 350-8535 ◎ 팩스 042) 350-8540 ◎ 홈페이지 <http://www.idec.or.kr>
◎ E-mail kimsky1230@idec.or.kr ◎ 발행처 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 미래창조과학부(산업통상자원부), 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 앰코테크놀로지코리아, KEC, 에이티세미콘)의 지원으로 수행되고 있습니다.

MPW (Multi-Project Wafer)

■ 2016년 MPW 진행 일정 및 공정 지원 내역

- 삼성 65nm 공정의 진행 일정과 추가 지원 내역의 최종 내용은 결정되는 대로 안내 드리겠습니다.
- 2월 모집 중 : ~2016.02.01(월), 모집공정은 일정을 참고해 주십시오.
- 공정별 진행 일정

공정	회차구분 (공정_년도순서)	우선모집 (마감일)	정규모집 (마감일)	제작 칩수	DB마감 (Tape-out)	Die-out	추가
매그나칩 /SK하이닉스 180nm	MS180-1601		2016.01.18	25	2016.03.21	2016.08.16	선정완료
	MS180-1602		2016.02.01	25	2016.05.16	2016.10.17	모집중
	MS180-1603		2016.03.07	25	2016.07.18	2016.12.19	
	MS180-1604	2016.02.01	2016.04.04	25	2016.09.19	2017.02.20	모집중(우선)
	MS180-1605	2016.04.04	2016.06.07	25	2016.12.05	2017.05.08	
매그나칩 /SK하이닉스 350nm	MS350-1601		2016.02.01	20	2016.06.13	2016.10.04	모집중
	MS350-1602	2016.05.02	2016.07.04	20	2016.01.16	2017.05.08	
삼성 65nm	S65-1601		2016.02.01	40	2016.06.27	2017.01.09	모집중

*담당: 이의숙(yslee@idec.or.kr)

- * 일정은 사정에 따라 다소 변경될 수 있음.
- * 회차 표기 방법 변경 : 공정 코드-년도 모집 순서 (예시) 삼성 65nm 2015년 1회차 : S65-1501)
- * 모집기간 : 모집 마감일로부터 2주전부터 접수
- * Package 제작은 Die out 이후 1개월 소요됨
- * 2016. 01. 26(기준일)



2016년 02월 교육프로그램 안내

수강을 원하는 분은 IDEC 홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

강좌 일정

	강의일자	강의제목	분류
본센터	2월 1-3일	Linux Management & EDA tools Installation	Tool강좌
	2월 15-17일	RTOS 지원 시스템 설계와 RTOS이식	설계강좌
	2월 19일	Mixed Signal Simulation Using AMS Designer v14.2	Tool강좌
	2월 26일	고속인터커넥트 설계를 위한 Signal Integrity 이론 및 등화기 이론	설계강좌
광운대	2월 17-19일	아날로그 집적회로 설계	설계강좌
	2월 3-5일	공학도를 위한 MATLAB 및 활용	설계강좌
부산대	2월 16-18일	Verilog-HDL을 이용한 Digital System 설계	설계강좌
	2월 23-25일	CMOS Analog 회로설계	설계강좌

- 강좌일 : 2월 1-3일
- 강좌 제목 : Linux Management & EDA tools Installation
- 강사 : 송상우 대표 (크리시스)

강좌개요

Linux 시스템에 대한 관리 및 ED Atool 설치 및 보안설정에 대해 이해를 높인다.

- 수강대상 리눅스 관리자 초급/초중급
- 강의수준 초급, 초중급
- 강의형태 이론+실습
- 사전지식, 선수과목 리눅스 기본 커맨드에 대한 이해가 필요함

- 강좌일 : 2월 15-17일
- 강좌 제목 : RTOS 지원 시스템 설계와 RTOS이식
- 강사 : 기안도 소장 (다이나믹시스템)

강좌개요

시스템반도체 (SoC: System-On Chip) 또는 내장형시스템에서 실시간운영체제 (RTOS: Real-Time Operating System)를 지원하기 위해 필요한 것을 이해하고, RTOS를 지원할 수 있는 하드웨어 플랫폼을 설계/검증하여 FPGA 보드에 적용하고, 실시간운영체제를 이식한다. 하드웨어 플랫폼은 AMBA AHB를 시스템 버스로 사용한 Core-A 프로세서와 RTOS 지원용 기능블록으로 구성하며, RTOS는 공개소프트웨어인 FreeRTOS를 이식한다.

- 수강대상 시스템반도체와 내장형시스템 설계/검증 업무 담당자
- 강의수준 중급
- 강의형태 이론+실습
- 사전지식, 선수과목 Digital Logic: Computer Architecture: Verilog design and simulation and synthesis: C programming: Text editor (e.g., vi or vim):

- 강좌일 : 2월 26일
- 강좌 제목 : 고속인터커넥트 설계를 위한 Signal Integrity 이론 및 등화기 이론
- 강사 : 김병성 교수 (포항공대)

강좌개요

본 강의에서는 고속 컴퓨팅 시스템에서 사용되는 고속 인터페이스 회로설계에 필요한 이론적인 배경을 설명합니다. 전반부에서는 인터커넥트의 종류와 트랜스를 설명합니다. 후반부에서는 인터페이스회로 구성에 필요한 수학적 모델 설명한 뒤, 설명한 이론을 바탕으로 대표적인 고속 인터페이스 회로에 대해서 설명합니다.

- 수강대상 대학교 4학년생, 대학원생 및 직장인
- 강의수준 중급
- 강의형태 이론
- 사전지식, 선수과목 회로이론, 전자회로, 아날로그 회로 설계
- ∞ 문의 : KAIST IDEC 이한나 (042-350-8536, lhn1224@idec.or.kr)

- 강좌일 : 2월 17-19일
- 강좌 제목 : 아날로그 집적회로 설계
- 강사 : 박영철 교수 (한국외국어대학교), 김진태 교수 (건국대학교), 범진욱 교수 (서강대학교)

강좌개요

- CMOS 공정 이해
- 반도체 transistor의 동작 원리
- Single TR 회로 설계 및 특성
- 주파수 응답
- Feedback 및 안정도
- Noise
- Operational Amp 설계
- 비선형성/mismatch 등 non-ideality
- 설계 및 분석 실습

- 수강대상 학부생, 대학원생, 일반인
- 강의수준 중급
- 강의형태 이론+실습
- 사전지식, 선수과목 회로이론, 전자회로, II (optional), 전자소자(optional)
- ∞ 문의 : 광운대 IDEC 이기영 (02-940-5448, smartipco@kw.ac.kr)

- 강좌일 : 2월 3-5일
- 강좌 제목 : 공학도를 위한 MATLAB 및 활용
- 강사 : 차의영 교수 (부산대학교)

강좌개요

- MATLAB의 기본 개념 및 명령어에 대해서 배운다.
- MATLAB을 이용한 프로그래밍 방법과 시각화에 대해 배운다.
- GUI의 설계 방법에 대해 배운다.
- GUI를 이용하여 간단한 응용 프로그램을 만들어 본다.

- 수강대상 이공계열 학부 및 대학원생, 일반인
- 강의수준 초급
- 강의형태 이론+실습
- 사전지식, 선수과목 다른 컴퓨터 언어를 알고 있으면 배우기가 쉬움 (초급C언어)

- 강좌일 : 2월 16-18일
- 강좌 제목 : Verilog-HDL을 이용한 Digital System 설계
- 강사 : 강봉순 교수 (동아대학교)

강좌개요

디지털 하드웨어 설계의 국제 표준언어인 Verilog HDL의 기초이론과 응용에 대하여 학습한다. 습득한 이론을 바탕으로 기능 블록을 설계하고, 최종적으로 디지털 전자시스템의 전체 기능을 Verilog HDL을 이용하여 설계한 후에 Training Kit에 Download 하여 기능을 확인한다.

수강대상 2학년수료자, 디지털논리로 설계 초보자
강의수준 초급
수강대상 이론+실습
사전지식, 선수과목 논리회로

- 강좌일 : 2월 23~25일
- 강좌 제목 : CMOS Analog 회로설계
- 강사 : 최영식 교수 (부경대학교)

강좌개요

CMOS 및 전자회로에 대한 기본적인 이해를 돕기 위하여 만들어진 코스이다. 대부분의 대학에서 증폭기를 만드는 실험을 하지만 파형의 왜곡이 왜 생기고 그것을 어떻게 해결하는가를 설명하지 않는 경우가 있다. 본 강좌에서는 소자의 동작원리에서부터 왜곡의 원인과 해결책, 이득 결정 방법 등을 손으로 설계해보고 HSPICE를 이용하여 검증하여 체험적으로 이해하도록 할 계획이다.

수강대상 2학년 수료자, 아날로그 설계 초보자
강의수준 초급
강의형태 이론+실습
사전지식, 선수과목 전기회로, 전자회로1

☎ 문의 : 부산대 IDEC 윤성심 (051-510-2828, idec@pusan.ac.kr)

Chip Design Contest (CDC)

■ 제23회 한국반도체학술대회 Chip Design Contest (CDC) 개최

1. 일정 및 장소 : 2016년 02월 23일 (화) 09:00~17:00, 강원도 하이원리조트
2. 진행 일정

내용	시간	장소
패널 우수팀 발표	09:00~10:15	6층 육백 II
데모/패널 전시	09:00~16:30	5층 로비
데모/패널 평가	10:30~12:00, 14:00~16:00	
시상식	18:30~20:00	5층 컨벤션홀 K+W

3. 시상 내용

Award 명	수상팀 수	내용
Best Design Award	1팀	상장 및 상금 100만원
Best Demo Award	2팀 내외	각 상장 및 상금 50만원
Best Poster Award	4팀 내외	각 상장 및 상금 20만원

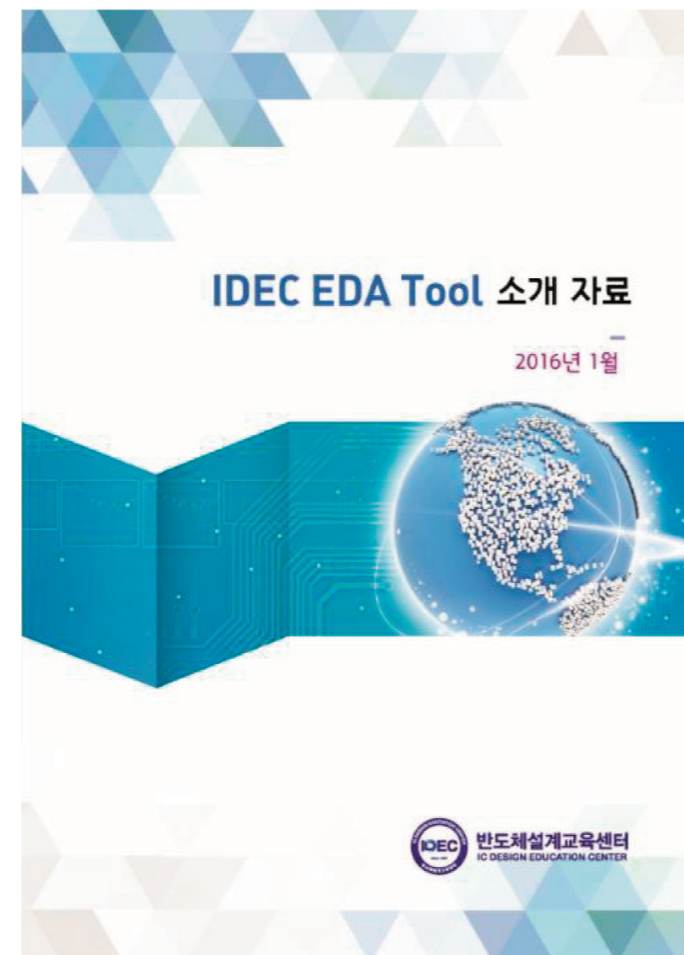
* 수상팀 수는 참여팀 수에 따라 조정될 수 있으며, 이외 행사와 관련된 자세한 사항은 참여팀 별 상세 안내할 예정입니다.

☎ 문의 : KAIST IDEC 김하늘 (042-350-8535, kimsy1230@idec.or.kr)

EDA Tool 소개자료 업데이트 완료

15개 Vendor, 60개 Tool 수록

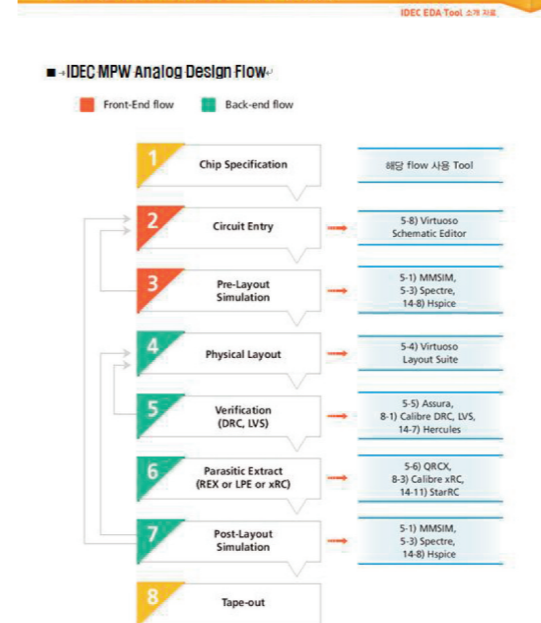
반도체설계교육센터(IDECE)에서 지원하는 15개 Vendor, 60개 Tool에 대한 각각의 세부 기능과 활용법, MPW Design Flow 적용 가능여부, O/S 정보 등을 제공하는 EDA Tool 소개자료가 업데이트 되었습니다. IDEC 홈페이지 EDA Tool 소개에서 다운로드 가능합니다.



1. Vendor 별

No	Vendor	EDA Tool	Function		
1.	Aldec	1) Active-HDL	FPGA Design		
2.	Altera	1) Quartus Prime	FPGA Design		
3.	Ansys	1) PowerArtist-XP	Power Management & Estimation		
4.	ARM	1) SoC Designer Plus	SoC Virtual System Validation and Architecture Exploration		
		2) Model Studio	Build System Level Model from RTL to C-Object Synthesizing		
		1) MMSIM	Multi-Mode Simulation (SPICE RF, FastSPICE, Mixed-signal simulator)		
		2) IES	Functional Verification		
		3) Spectre	Circuit SPICE Simulation		
		4) Virtuoso Layout Suite	Physical Layout Design		
		5) Assura	Physical Verification		
		6) QRCX	Physical Layout Parasitic Extraction		
5.	Cadence	7) AMS	Mixed Signal Simulation		
		8) Virtuoso Schematic Editor	Schematic Capture		
		1) CSIEDAS	Circuit and PCB Design		
		7.	Dongilcad System	1) MultiSIM7	Electronics Circuit Simulation
				1) Calibre DRC, LVS	Physical Verification
		8.	Mentor	2) Calibre RET, OPC	Resolution Enhancement Techniques (RET) & OPC Solution
				3) Calibre xRC	Physical Layout Parasitic Extraction
				4) ELDO	Circuit SPICE Simulation
5) Pyxis	Custom Design (Schematic, Simulation, Layout) Solution				
6) Questa (Modelsim)	Functional Verification				
7) Expedition Enterprise	Circuit and PCB Design				
8) ADIT	Circuit Fast SPICE Simulation				
9) Tessent	Design For Test (DFT)				
10) HDS Designer	Design Entry Creation and Management, Verification Process Define				
11) Hyperlynx	PCB Board Simulation				
12) Capital	AUTOSAR ECU Design				
13) Volcano	AUTOSAR ECU Design				
14) FloEFD	CFD (Computational Fluid Dynamics) Solution				
15) FloTHERM	Thermal Analysis Solution				
16) FloVENT	Heating, Ventilation and Air Conditioning Analysis Solution				
9.	Microsemi			1) Libero-Soc	FPGA Design
10.	Scientific Analog	1) XMODEL	Mixed Signal Simulation		

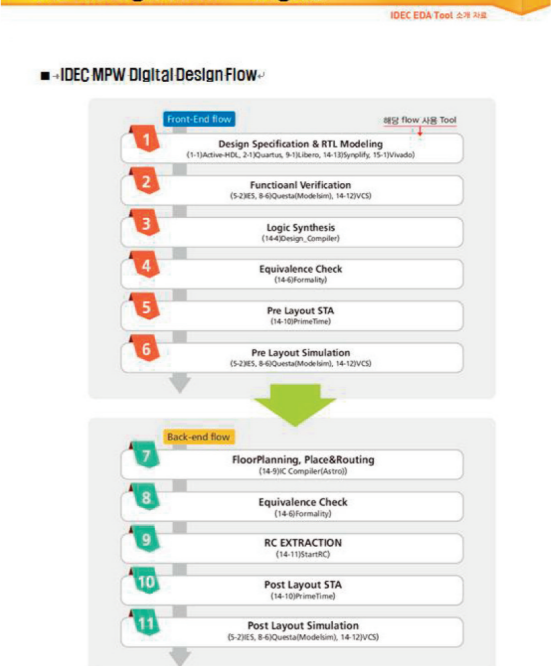
3.1 Design Flow - Analog



2. 기능별

No	기능	Vendor	Tool	IDEC MPW 적용여부	Analog	Digital
1.	Circuit Simulation	Cadence	5-3) Spectre, 5-1) MMSIM, 5-7) AMS	V	V	V
		Dongilcad System	7-1) MultiSIM7	□	V	□
		Mentor	8-4) ELDO, 8-8) ADIT	□	V	V
		Scientific Analog	10-1) XMODEL	□	V	V
		Silvaco	12-1) Smartspice, 12-4) Smartspice RF	□	V	□
		Solido	13-1) Variation Designer	□	V	V
		Synopsys	14-1) Custom Designer, 14-2) Custom Explorer, 14-3) Customsim, 14-8) Hspice	V	V	□
		Mentor	8-9) Tessent	□	□	V
2.	DFT	Synopsys	14-5) DFT Compiler	V	□	V
		Cadence	5-5) Assura	V	V	□
3.	DRC/LVS	Mentor	8-1) Calibre DRC, LVS	V	V	V
		Selco	11-1) MyCAD	□	V	V
4.	Equivalence Checking	Synopsys	14-7) Hercules	V	V	V
		Synopsys	14-6) Formality	V	□	V
5.	FPGA Design	Aldec	1-1) Active-HDL	□	□	V
		Altera	2-1) Quartus Prime	□	□	V
		Microsemi	9-1) Libero-Soc	□	□	V
		Synopsys	14-13) Synplify Premier	□	□	V
		Xilinx	15-1) Vivado	□	□	V
6.	Layout Editor	Cadence	5-4) Virtuoso Layout Suite	V	V	V
		Mentor	8-5) Pyxis	□	V	V
		Selco	11-1) MyCAD	□	V	□
		Silvaco	12-2) Expert	□	V	□
Synopsys	14-1) Custom Designer, 14-16) Laker	□	V	□		

3.2 Design Flow - Digital



● 담당 : 석은주 선임연구원 (eunjuseok@idec.or.kr)



기술 융합의 시대에서 반도체의 역할에 대한 고민



김시호 교수
연세대학교 글로벌 융합공학부
shiho@yonsei.ac.kr
<http://stl.yonsei.ac.kr>

우리가 지금 기술 융합의 시대 한 가운데 서 있다는 것에 동의하지 않을 사람은 많지 않을 것으로 생각한다. 우리나라 대학에서 융합이라는 용어가 관심을 받게 된 것은 필자가 속한 글로벌 융합공학부가 개설된 2010년경부터로 생각되지만, 그 이전부터 산업계의 주요 제품은 이미 융합적인 기술로 구성되어 있었다. 융합의 단어적 의미는 고유의 속성(property)을 가지고 있는 요소 또는 성분(element)을 녹여서 합친다는 것을 뜻한다. 우리는 요소의 고유 속성은 유지하되 합쳐서 새로운 기능(function)을 만드는 것을 물리적 통합이라 하고, 요소 고유의 속성은 사라지고 요소들이 반응하여 새로운 기능을 만드는 것을 화학적 결합이라고 한다. 융합은 물리적 통합과 화학적 결합과는 다른 개념으로, 개별 요소 각자의 속성이 녹아들어 새로운 기능을 합성하거나 시스템을 구성한다는 의미로 해석할 수 있다. 요소들이 녹아들어 시스템을 만든다는 것은 자연 과학적인 요소만으로는 설명하기 어렵고 과학적인 것 이외의 요소 즉, 사람과 관련된 것을 포함하고 있어야 한다.

이미 오래된 이야기이지만 융합기술이 화두로 떠오르게 된 시발점은 애플의 아이폰이 보여주었던 UI/UX(user interface/user experience)에 관련된 IT 기술의 혁신 때문이었다. 요즘 IT 산업의 주력 제품으로 부상하고 있는 스마트카는 기계공학 뿐만 아니라, SW, HW, 나노 재료, 센서, 디자인, 감성공학 등의 기술이 융합된 대표적인 제품이다. 아이폰과 스마트카의 예에서 알 수 있듯이, 융합은 학문의 발전 과정보다는 제품의 발달로 인한 산업의 자연스러운 요구에 의해 나타난 것이라고 보는 것이 타당하겠다.

기존의 전공 학제 시스템을 운영하고 있는 대학의 입장에서 융합 교육은 기



존의 학제의 영역을 넘어서는 새로운 학과와 학문의 융합을 의미하게 되는데, 단순히 다학제(multi-discipline, 또는 inter-discipline) 또는 복수전공의 개념으로는 해소할 수 없는 부분이 있다. 많은 교육 전문가들은 융합 교육은 기존 학제의 틀을 벗어나 프로젝트 기반의 연구와 교육이 융합(!)된 "project based learning"으로 진행해야 한다고 주장한다. 우리는 convergence를 융합으로 번역하는데 이 단어는 수렴을 의미한다. 녹여서 합친다는 의미와 수렴한다는 의미가 서로 다르게 보이기도 한다. 그러나, 곰곰히 생각해 보면 수학적으로 수렴한다는 것은 궁극적인 어떤 값으로 모인다는 의미이므로 요소들이 녹여져서 어떤 것에 궁극적으로 도달한다는 의미로 해석해보면 표현은 다르지만 동서양이 서로 통하고 있다는 것을 느낄 수 있다.

융합 제품이 시장의 대세가 되면서 기존 제품 및 이와 관련된 서비스는 도태되어 사라지고 있다. 스마트폰 때문에 시장에서 도태되는 제품을 살펴보면 카메라, 오디오, 비디오, 캠코더, 음성 전화, 게임기, MP3, 수첩, 달력 등 무수히 많다. 유통에서도 대표적인 오프라인 상점인 월마트가 아마존과 이베이 등의 온라인 쇼핑몰에 밀려 매출액이 감소하고 있다는 기사를 접하게 된다. 또한, 방송, 신문, 잡지 등 미디어와 언론 뿐만 아니라 전문 직업에도 변화가 나타나고 있다. 언론인, 변호사 등 과거 선망의 대상이었던 전문 직종이 지금은 스마트폰과 인터넷의 발전으로 언제부터든 어려움에 직면해 있다. 적자에 시달리던 미국의 대표 일간지 워싱턴 포스트는 아마존에 인수되었고, 대표적인 성인 잡지인 플레이보이의 최근 변화가 출판과 문화 산업이 직면해 있는 변화의 흐름을 대변하고 있다.

필름 카메라를 사용하던 시절에는 코닥이 가장 영향력 있는 기업 중 하나였다. 코닥은 1975년 최초로 디지털 카메라를 개발하고도 이를 사업화하지 않고 결국 2012년에 파산했다. 사람들은 코닥을 디지털 카메라라는 새로운 제품 혁신을 거부하고 과거의 영광에 안주하다가 실패한 사례로 언급하고 있다. 그러나, 지금 생각해 보면 만일 코닥이 디지털 카메라 사업을 본격적으로 주도하였더라도 지금과 같은 스마트폰 시대에 코닥이 과연 디지털 카메라 제품을 가지고 살아남을 수 있었을지에 대한 의구심을 가지게 된다. 과거 인류 역사에서 신석기 시대가 지나고 철기로 발전한 것은 돌을 연마하는 기술이 부족하고 돌이 없게 되어서가 아니라, 새로운 혁신제품 (innovation)을 만들었기 때문이다. 융합이라는 시각을 통해 한 가지 응용 제품이나 기술 분야에 국한되지 않고, 인간을 중심으로 생각해본다면 좀 더 넓고 깊게 그리고 먼 미래의 발전의 방향을 통찰하고 감지할 수도 있을 것이다.



스마트폰을 계기로 많은 기존 IT 제품이 도태됨에 따라 반도체 산업에도 많은 영향을 끼쳤다. 그러나, 전체적인 반도체 전체 시장 규모는 약 360B\$로 축소되지 않고 어려운 세계 경제 여건에서도 1~2% 정도의 성장을 보이고 있는 것은 매우 다행스러운 일이다. 그러나, 2014년 자료를 보면 우리나라 Fabless 기업이 세계 Fabless 반도체 시장에서 차지하는 비율은 1% 정도로써 매우 취약하며, 시장 점유율이 계속 하락하는 어려움에 처해있다. IT 기술은 더욱 발전하고 있는데, 기업에서는 만들 제품이 없다고 한다. 어찌보면 만들 제품이 없는 것이 아니라 만들 수 있는 제품이 없다고 볼 수도 있다. 기존 반도체 산업은 Fabless, Foundry, IDM과 Test & Package로 구성되어 칩을 제작하여 시스템 제작자에게 칩을 공급하는 구조였지만, 얼마 전부터 대규모 시스템 사업자가 직접 SoC를 설계하여 Foundry에 위탁 제작하는 형태의 비즈니스가 커지고 있다. 애플의 경우처럼, APU를 직접 설계 개발하고 위탁 생산 방식으로 공급받는 것이 대표적이라고 할 수 있겠다. 즉, 융합 시스템 개발을 글로벌 시스템 업체가 직접 주도함으로써 Fabless의 솔루션이 차지하는 비중이 줄어들면서, 시스템 반도체 중심의 Fabless 업체들에게는 매우 어려운 상황이 전개되고 있다.

1965년 인텔의 공동 창업자인 고든 무어가 제시한 "2년(또는 18개월)마다 집적도가 2배로 증가한다"는 무어의 법칙이 50주년이 넘었다. 2016년인 아직까지 무어의 법칙을 따르면서 반도체 집적회로 기술은 발전하고 있다. 단순히 칩의 사용자 입장에서 보면 칩의 집적도(동작 성능 포함)가 2배로 증가해도 칩의 가격은 거의 제자리 수준을 유지하는 것으로 보이지만, 칩의 개발자 입장에서 보면 칩의 개발 비용은 무어의 법칙의 역으로 증가하고 있다. 예를 들면, 2005년 65nm 공정을 사용한 SoC의 개발 비용은 평균 16MUS\$(약 170억원) 정도였는데, 2014년 14nm 공정을 사용한 개발 비용은 132M\$(1450억원)으로 증가하였다. 약 9년간 공정 기술은 4세대 발전하여 집적도는 약 8배 증가하였으며, 이에 따른 칩의 개발 비용도 약 8배 증가하였다. SoC 개발자 입장에서는 무어의 법칙을 따라가기 위해서는 2년마다 성능을 2배로 증가시켜야 하는데, 개발 비용도 그에 따라 증가하게 되어 어려움에 처하는 것이다. 최근에는 SoC의 기술이 HW 중심에서 SW 중심으로 발전하고 있다. 또한, 융합 제품은 기능과 아울러 제품의 신뢰성 보장이 매우 중요해지고 있다. 스마트카를 예로 들면, 신뢰성은 다양한 테스트, 검증(validation and verification)뿐만 아니라 자본의 규모와 생산 이력까지를 요구하고 있어 신규로 진입하기 어려운 시장이다. 문제를 정리해 보면, 글로벌 대기업들에 의해 소자 공정 기술의 지속적인 개발이 진행되어 무어의 법칙에 발맞추어 성능과 집적도가 향상되고 있으나, 칩의 개발 비용도 집적도에 따라서 증가되고 있다. 시스템 사업자가 필요한 SoC를 직접 설계하는 경우가 많아지고 있으며, SoC에서 SW의 중요성이 커지고 있다. 또한, 성능과 아울러 신뢰성이 매우 중요시 되는 시스템이 출현(스마트카 등)하며, 설계를 전담하는 Fabless의 어려움이 가중되고 있다.

반도체 관련 교육과 연구를 담당하고 있는 대학의 입장에서도 융합 기술의 시대의 매우 어려운 문제에 직면하고 있다. 기존의 반도체 설계는 아날로그/RF, 디지털 로직, 메모리, 이미지 센서, 패키지 등이 하나의 독립된 요소로써 존재하였지만, 융합 기술의 시대에는 이러한 하나의 전통적인 요소 설계 방법만을 배워서 미래 산업 사회에서 경쟁력을 가질 수 없다고 어찌 보면 불편한 진실을 얘기할 수밖에 없다. 융합의 시대에서 대학의 교육 조건도 점점 어려워지고 복잡해지고 있는 것이 현실이다. 몇 년 전에는 우리나라 제품의 품질은 일본에 뒤지고 가격은 중국보다 비싸서 두 나라 사이에서 샌드위치의 위치에 있다고 했으나, 요즘은 기술과 품질은 중국제와 비슷하지만 가격은 비싸고 기술은 미국에 뒤져서 중국과 미국 사이에서 샌드백이 되었다는 자조 섞인 분석이 나오고 있다. 미국 온라인 쇼핑몰이나 베스트 바이에서는 50불 정도만 주면 쓸 만한 중저가 스마트폰을 구입할 수 있다. 전체 스마트폰 가격이 50불 정도인데 그 안에 들어가는 반도체, 배터리, 디스플레이, 센서 등을 고려하면 제품의 원가가 얼마인지 납득하기 어려운 것이 현실이다. 우리나라에서 개발된 SoC가 이러한 중저가 제품에 채택되기 위해서 기술과 아울러 가격 경쟁력을 가질 수 있다고는 생각하기 어렵다.

현재 우리는, 공정 기술, 소자 기술, 설계 기술을 개발하면 되던 시대에서 융합적인 측면을 생각해야 하는 시대로 발전하였다고 생각할 수 있다. 이제 반도체 설계자에게도 융합적 사고, 개방적인 마인드, 융합 제품과 관련한 분야에 대한 지식(domain knowledge)이 매우 중요해지고 있다. 과거에는 SW 프로그래머에게만 도메인 지식이 필수였으나, SoC 설계자에게도 이 지식이 필요한 시대가 되어 반도체 설계자는 SW를 함께 고민할 수 있어야 한다. 필자는 90년대에 대기업에서 메모리 설계를 했지만 그 당시에는 시스템 아키텍처에 대해 별로 고민하지 않았다. 그 당시에는 표준 PC 모듈에 탑재하면 되는 제품을 개발하였다. 그러나 이제 OS, 시스템 프로그래밍을 이해하지 못하면서 차세대 융합 제품의 메모리 설계를 한다는 것은 불가능하다. 스마트카와 자동차 산업의 특성을 이해하지 못하면서 자동차 반도체를 개발한다는 것은 더구나 말도 안 된다.

그러면, 반도체의 활로를 찾아보자. 유명한 미래 학자인 레이 커츠와일(Ray Kurzweil)은 향후 25년 이후에도 무어의 법칙을 만족할 것으로 미래를 전망하였다. 그가 과거 1990대에 예측한 2010년도의 미래 기술은 그의 전망대로 대부분 구현되었다. 그는 2020년에 자율주행 자동차가 고속도로를 다니고(이미 대부분의 로드맵에 반영됨), 나노봇이 질병을 치료하는 의료 기술에 적용될 것이며, 2030년에는 가상 현실과 실제 현실을 구분하기 어려울 것이고, 2030년 이전에 인공 지능이 인간의 지능을 넘어설 것으로 전망하였다. 그가 전망하는 모든 기술이 반도체의 발전 없이는 실현 불가능한 것이다.

우리는 너무 빠른 변화에 대응하기에 바쁘게 하루하루를 보내고 있다. 그러나 지금은 눈앞에 있는 문제를 해결하기에 급급하기 보다는 새로운 생각과 장기적인 목표에 대한 도전이 필요한 시대이다. 언제부턴가 우리에게 장기적인 비전과 큰 목표가 보이지 않고 있다. 과거 80년대 초에 황무지였던 메모리에 도전하여 현재의 세계적인 메모리 강국이 된 것처럼, 반도체도 새로운 융합 기술 시대에 세계 최고가 되고자 하는 목표를 설정하고 과감하게 도전해야 하는 시기라고 판단한다.



설계 추상화 수준 별 전력 분석 기술 동향

서론

SoC(System on Chip) 설계 시 전력, 성능, 면적(power, performance, area; PPA)에 대한 분석 및 상관관계를 고려하는 것은 필수적이다. 전력 분석은 저전력 SoC를 설계함에 있어 매우 중요하다. 전력 분석 데이터를 기반으로 전력소비 과다문제 및 원인을 파악하여 최적화할 수 있다. 전력분석 및 최적화도 다른 설계활동과 마찬가지로 구조설계부터 SoC 구현에 이르기까지 모든 설계 단계별로 이루어져야 한다.

그림 1은 설계 추상화 수준에 따른 전력분석의 장단점을 나타낸다. 하위 수준에서는 정확도가 높지만 전력 분석 속도가 매우 느리고, 상위 수준에서는 전력 분석 속도는 매우 빠르지만 정확한 전력을 예측하기가 어렵다. 상위 수준의 정확도 경우 RTL(register transfer level)은 게이트 수준 대비 약 10~20% 이상 오차, 그리고 ESL(electronic system level)의 경우에는 50% 이상 높은 오차가 발생한다[1].

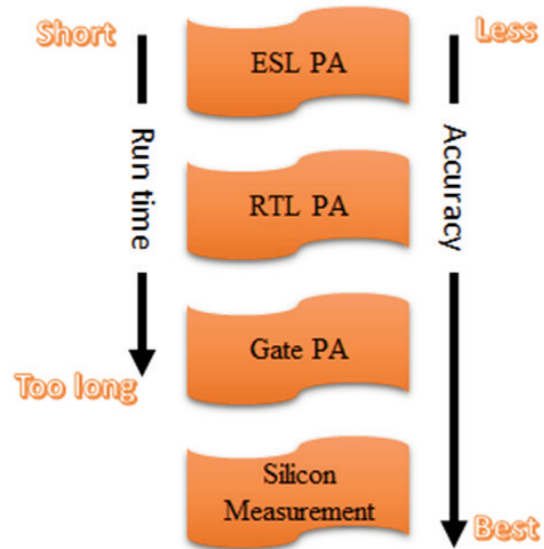


그림 1. 추상화 수준별 전력 분석(Power analysis) 정확도(Accuracy) 및 분석 속도(Run time)

SoC의 설계 복잡도가 급증하면서 하위 수준 전력분석의 경우 SoC를 구성하는 하드웨어와 소프트웨어를 모두 고려한 전력분석은 수 개월에서 수 년 이상이 소요되어 사실상 시스템 수준의 전력분석은 불가능한 상황이다. 이러한 상황에서 하위 수준의 정확도와 상위 수준의 빠른 전력 분석 속도를 가지는 전력 모델링 기술의 필요성이 증대되고 있다.

최근 EDA(electronic design automation) 툴 업체들과 산업체에서는 RTL과 ESL 전력 분석에 대한 관심이 크게 증가하여 관련 기술 개발 및 인수합병이 활발하게 진행되고 있다. 특히, 2015년 DAC에서 열린 System Level Power Workshop에서 소프트웨어 업체인 Microsoft 사가 시스템 수준 전력 분석의 필요성[1]을 발표했다듯, 전력 분석은 이제 하드웨어 개발뿐 아니라 소프트웨어 개발에도 매우 중요한 사항임을 알 수 있다.

본 글에서는 소프트웨어 및 하드웨어의 전력을 분석하기 위해, 상위수준 전력 모델링 연구동향과 산업계의 전력 분석 요구사항 및 상용 EDA 업체들의 동향을 살펴본다. 끝으로 이상적인 전력 모델이 갖추어야 할 조건과 최근 연구 중 국내 벤처 기업인 Baum사에서 개발하고 있는 전력 모델링 기술에 대해서 살펴본다.

본론

1. 상위수준 전력 모델링

기존 RTL이하 전력분석 기술들은 GL(gate level) 전력모델을 이용하여 SoC 내 모든 net들의 switching 정보를 기반으로 전력분석을 수행한다. 반면에 상위수준 전력분석 기술들은 SoC 내의 1% 이하의 일부 신호들만 이용하여 전력을 분석하기 때문에 정확도는 떨어지지만, 수 십배에서 수 십만배에 이르는 전력분석 속도 향상을 이룰 수 있다.

이에 상위수준 전력 모델링 기술들은 빠른 분석 속도를 유지하며 정확도를 높이기 위한 연구(많은 논문들이 GL(gate-level) 대비 95%이상의 정확도를 보고하고 있다.[2-5])들을 진행하였다. 연구 방법은 크게 top-down 방식과 bottom-up 방식으로 나눌 수 있다.

우선 top-down 방식은 하위 수준 코드 없이 C/C++/SystemC로 작성된 상위 수준의 design에 대해서 behavioral synthesis 기반으로 전력을 예측한다. 즉, 상위수준에서 관측 가능한 함수의 입출력과 내부 신호만을 가지고 게이트 및 스위칭 확률, 그리고 캐패시턴스 등을 예측하여 전력을 분석할 수 있게 해준다[6-7]. Top-down 방식은 이른 설계 시점에 전력 분석이 가능하다는 이점이 있지만, 하위 수준에서의 저전력 기법들 (클럭 게이팅, 데이터 게이팅, 파워 게이팅 등) 을 반영하지 못하기 때문에 정확도가 낮다.

Bottom-up 방식은 게이트 수준에서의 implementation 정보와 전력 분석 결과를 back-annotation하여 상위 수준에서의 전력 분석에 사용하는 방법이다. 보통 상위 수준에서 관측 가능하거나 유추해 낼 수 있는 신호들을 파라미터로 사용하여 파라미터 값의

조합과 그에 따른 전력 분석 값을 갖는 테이블을 사용한다. 상위 수준에서는 이 테이블에 정의된 파라미터를 시뮬레이션과 함께 수집하고, 테이블을 참조하여 전력을 예측하게 된다[8]. Bottom-up 방식은 게이트 수준에서의 저전력 기법들을 반영할 수 있어 top-down 방식보다 정확한 전력 예측이 가능하다. 이처럼 빠르고 정확한 전력 분석이 가능함으로 인해 SoC를 구성하는 하드웨어와 소프트웨어를 모두 고려한 시스템 수준에서의 전력 최적화의 효율이 증대될 수 있다. 그러면 bottom-up 방식에는 어떤 기술들이 연구되고 있는지 보다 자세히 살펴보자.

2. Bottom-up 전력 모델링 기술

먼저 회로의 동작 모드를 이용한 전력 모델링 기술들을 살펴본다 [9-11]. 예를 들어 프로세서의 경우 명령어(instruction), 사칙연산, 메모리 접근 및 캐시 접근 수를 파라미터로 사용한 전력 모델링 기술이 있다[10].

버스의 경우에는 데이터 전송 혹은 유휴 상태, 그리고 메모리 중 SDRAM의 경우에는 다섯 가지동작 모드(precharge, activate, read, write, refresh)와 전력을 적게 소모하는 power down 모드, 그리고 클럭이 공급되지 않더라도 데이터를 유지하기 위한 self-refresh 모드 등을 사용한다[11].

이처럼 전력소모가 다른 동작들과 뚜렷하게 분류 될 경우 고속 정확한 전력 모델 생성이 용이하다. 하지만, 회로의 내부 동작을 전력소모 관점으로 구분하는 것을 자동화하는 것은 매우 도전적인 문제이다. 즉, 전체 SoC에 대해서 설계자가 모든 블록의 내부 동작을 분석하고 전력 모델을 생성하기에는 시간과 노력이 많이 소요될 뿐 아니라 설계자의 능력에 따라 전력 모델의 질이 달라질 수 있다.

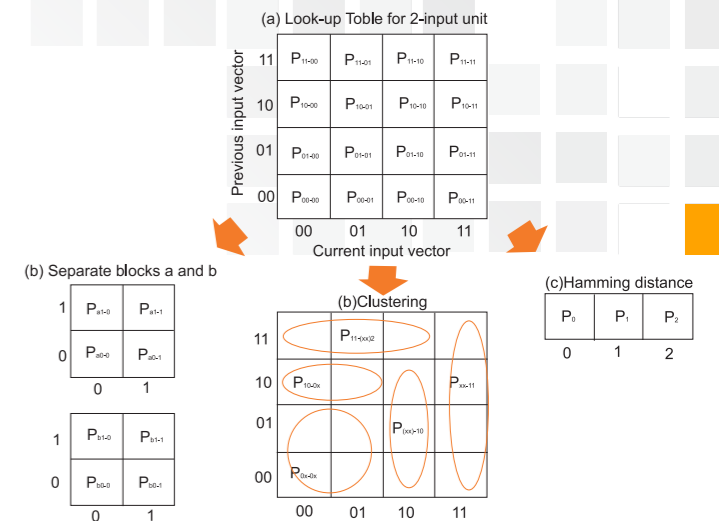


그림 2. 추상화 수준별 전력 분석(Power analysis) 정확도(Accuracy) 및 분석 속도(Run time)

앞선 동작 모드 기반 전력 모델링 기술들과는 다르게 내부 동작을 분석하지 않는 기술들이 존재한다[12-15]. 회로의 입력 또는 출력 신호를 파라미터로 사용하는 기법이다. 이전 입력 값을 행으로, 현재 입력 값을 열로 가지며, 내부 요소에는 스위칭 확률 또는 전력 값을 가지는 그림 2a와 같은 테이블을 사용하는 기법이다.

입력 벡터만을 사용하게 되므로 내부 구조에 대한 분석이 필요하지 않다. 하지만 입력 벡터 시퀀스의 수는 2^n (n :입력 비트 수)으로 지수 적으로 증가하기 때문에 테이블의 크기가 너무 커지는 문제가 발생한다.

이러한 테이블의 크기를 줄이기 위한 연구들이 진행되었다. 그림 2b와 같이 회로를 분할[12]하거나, 그림 2c처럼 다양한 클러스터링 알고리즘(예로, 이전 입력과 현재 입력을 불리안 함수를 통하여 출력된 결과를 전력 상태로 사용)을 사용하여 테이블의 크기를 압축[13]시킨다. 또는 그림 2d처럼 입력 벡터의 천이(transition)된 개수(hamming distance)에 따라 전력 값을 비례적으로 적용하는 방법[14](이 방법의 경우 정확도는 크게 낮아 질 수 있는 위험을 가짐)들이 연구 되고 있다. 또 다른 방법으로는 입력 벡터를 그대로 사용하지 않고, 입력 신호들은 함수의 기능에 대해 시간적, 공간적 관계가 있으므로 확률 계산을 통하여 4-D (average input signal probability, average input transition density, average output transition density, and average input spatial correlation coefficient) 테이블을 사용하는 방법이 있다[15]. 이와 같이 입출력 신호들을 이용한 기법들



은 내부 회로 구조를 분석 할 필요가 없는 장점이 있지만, 같은 입출력에 대해서 회로의 내부 상태에 따라 전력 소모량이 전혀 다른 동작을 수행할 경우(예로, finite state machine의 천이에 따라 전력소모량 변화가 큰 경우) 전력 값 예측 정확도가 크게 훼손될 수 있다. 이러한 문제를 해결하기 위해서는 내부 신호들을 포함한 전력모델링이 요구되고, 전력모델의 크기를 줄이기 위해 회로 동작에 대한 이해나 통계적인 분석을 이용하는 기술들도 제안되었다[16]. 결국, 설계지식과 설계자의 판단에 의해 전력모델링이 완성되어 자동화의 한계는 극복하지 못한다.

기존 상위수준 전력모델링 기술들은 고속 정확한 전력모델을 생성하는 데에는 큰 성과를 보이고 있지만, 자동화라는 도전적 문제에는 적절한 해법을 제시하지 못하고 있다.

3. 상용 EDA 전력 분석 기술 동향

고속 정확한 상위수준 전력모델의 자동생성이 불가능하기 때문에 상용 전력분석 툴들은 주로 GL 전력모델에 기반한 전력분석을 수행한다. GL 전력분석 툴뿐 아니라 RTL 전력분석 툴들도 내부적으로 합성을 통해 GL 전력모델에 기반한 전력분석을 수행한다. GL 전력 분석은 저전력 구현에 대한 검증 및 sign-off 대비 검증을 주 목적으로 한다[17]. GL 수준 전력 분석을 위해서는 netlist, net parastics (또는 capacitances), cell library, signal activity에 대한 파일들이 필요하다. RTL 전력 분석은 GL 대비 빠른 전력 분석과 저전력 최적화를 목적으로 한다[17]. 표 1은 GL과 RTL 전력 분석 툴의 목록을 보여주고 있다. RTL 이하 전력분석 툴들은 병렬처리 기술을 이용한 분석속도 개선에 집중하고 있다. 예를 들어, Cadence의 Joules RTL power solution[18]은 RTL stimulus를 시분할 한 후 병렬처리하여 전력분석 속도를 개선하였다.

표 1. GL과 RTL 전력 분석 툴 목록

추상화 수준	EDA 툴
GL	Synopsys 사 PrimeTimePX
	Cadence 사 Encounter RTL Compiler
	Ansys 사 PowerArtist
RTL	Cadence 사 Joules
	Synopsys 사 SpyGlass Power
	Mentor Graphics 사 PowerPro
	Ansys 사 PowerArtist

하지만, RTL이하 전력분석 기술로는 하드웨어와 소프트웨어를 아우르는 시스템수준 전력분석 요구에 부응하기 어려운 것이 사실이다. 이에, 수동 생성한 상위수준 전력모델을 이용한 ESL 전력분석 기술도 상용화 되고 있다. ESL 전력 분석은 설계 초기 단

계에 하드웨어와 소프트웨어의 통합 설계 및 파티셔닝을 통해 최적의 저전력 시스템을 개발하는 것을 목적으로 한다[19].

현재 상용 ESL 전력 분석 툴은 대부분 기존 스프레드시트 방식과 유사하게 사용자가 전력 상태(power state)와 전력 소비 값(power dissipation value)을 정의하여 ESL 기능 IP와 연동하는 방식을 취하고 있다. 따라서 상위수준 전력모델을 생성하는 것은 사용자의 몫이라는 한계가 있다.

이러한 ESL 전력 분석 툴에는 Synopsys 사의 Platform Architect, Mentor 사의 Vista, Intel 사의 CoFluent Studio와 Aceplorer, Mirabilis Design 사의 VisualSim Power Exploration 등이 존재한다. 반면, Entasys Design 사의 Ventus는 기존 존재하는 칩 평면도(floorplan)나 초기 설계 명세 등을 이용하여 칩 설계 초기에 전체 칩의 면적과 전력을 예측하는 기능을 제공한다.

이와 같이 순수한 simulator 기반 전력분석 기술과 더불어, 하드웨어 에뮬레이터를 활용한 전력 분석기술도 지속적인 관심을 받고 있다. 에뮬레이터에는 RTL signal들만 존재하기 때문에 에뮬레이터에서 RTL signal들의 switching activity를 추출한 후, RTL 전력분석 툴을 이용하여 전력을 분석한다. 기능검증에 있어서 시뮬레이터 대비 에뮬레이터의 속도개선 효과는 사용하는 방법에 따라 정도차가 크다는 것은 주지의 사실이다. 잘 활용할 경우, 에뮬레이터를 이용한 RTL signal들의 switching activity 추출 시간은 많이 줄어들 수 있다. 하지만, 여전히 GL 전력모델 기반의 RTL 전력분석 툴이 갖는 전력분석 속도의 한계는 극복해야 할 문제이다.

또한 에뮬레이터 기반 전력분석의 경우, RTL signal switching activity를 저장하고 에뮬레이터 밖으로 전달하는 overhead가 에뮬레이터의 성능에 큰 영향을 주게 된다. 상위수준 전력모델은 1% 이하의 RTL signal들에 대한 switching activity만 이용하기 때문에 에뮬레이터 기반 전력분석에 따른 overhead를 크게 줄일 수 있다. 더 나아가 상위수준 전력모델을 하드웨어화 하여 에뮬레이터에 내장할 수 있다면, signal switching activity를 전달하기 위한 에뮬레이터의 overhead가 제거되어 매우 매력적인 해법이 될 것이다. 이를 위해서는 상위수준 전력모델의 하드웨어가 scalable한 구조를 가져서 다양한 회로에 대해 적절한 크기와 정확도를 유지하도록 하는 연구가 선행되어야 한다. 앞서 살펴본 바와 같이, 상위수준 전력분석의 현실화를 위해서는 빠

르고 정확한 전력모델의 자동생성이 필수적이며, 학계 및 산업계에서 이를 위한 노력을 경주하고 있음을 살펴보았다.

본 연구실에서는 다년간 C/C++/SystemC를 이용한 상위수준 시스템 설계분야 연구에 매진해 왔으며, 그 중 고속 정확한 전력모델 자동생성 기술을 상용화한 PowerBaum이라는 툴이 시판중이다. PowerBaum으로 생성된 전력모델은 게이트 수준 대비 90% 이상의 정확도를 가지며, 300배 이상 빠른 전력 분석이 가능하다.

PowerBaum은 전력모델을 생성하고자 하는 회로의 RTL code, GL netlist, technology file을 읽고, 회로의 기능 검증시나리오에 대한 GL 또는 RTL 전력분석 결과를 읽어들이고 후 저역모델을 자동 생성한다. 생성된 전력 모델은 RTL 시뮬레이터와는 PLI로 연동하여, ESL 시뮬레이터와는 개별적인 집적화를 통해 기능 시뮬레이션과 동시에 전력분석이 가능하다.

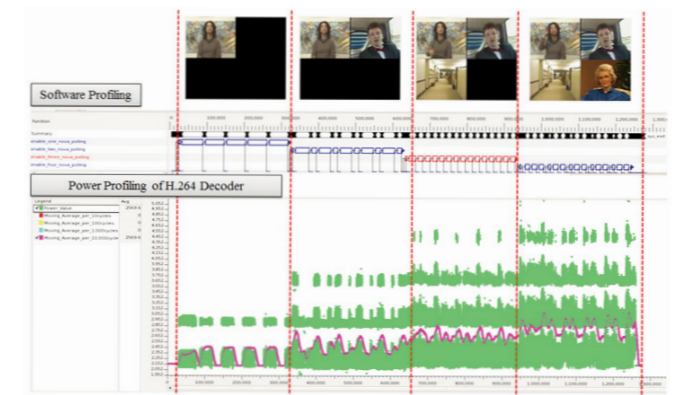


그림 3. 클럭 게이팅 기반 전력 모델의 상위수준 전력 분석 프로파일링 결과

그림 3은 PowerBaum으로부터 생성된 전력 모델을 ARM사의 SoC Designer 툴과 연동하여 ESL 시뮬레이션과 동시에 전력을 분석한 결과이다. 대상 회로는 H.264 AVC 디코더 4개를 이용하여 4개의 동영상을 순차적으로 재생하는 회로이다. 테스트 시나리오는 첫 번째 디코더부터 시작해서 두 개, 세 개, 그리고 네 개의 디코더를 순차적으로 다섯 프레임씩 디코딩하는 시나리오를 사용했다.

그림 3은 크게 세 부분으로 나뉜다. 맨 위는 동시에 디코딩 하는 영상의 개수를 보이고, 가운데 창은 소프트웨어 프로파일링 결과를, 그리고 맨 아래에는 전력 분석 프로파일링 결과를 녹색점들과 보라색 선을 이용하여 보여준다. 전력 분석 프로파일링의 가

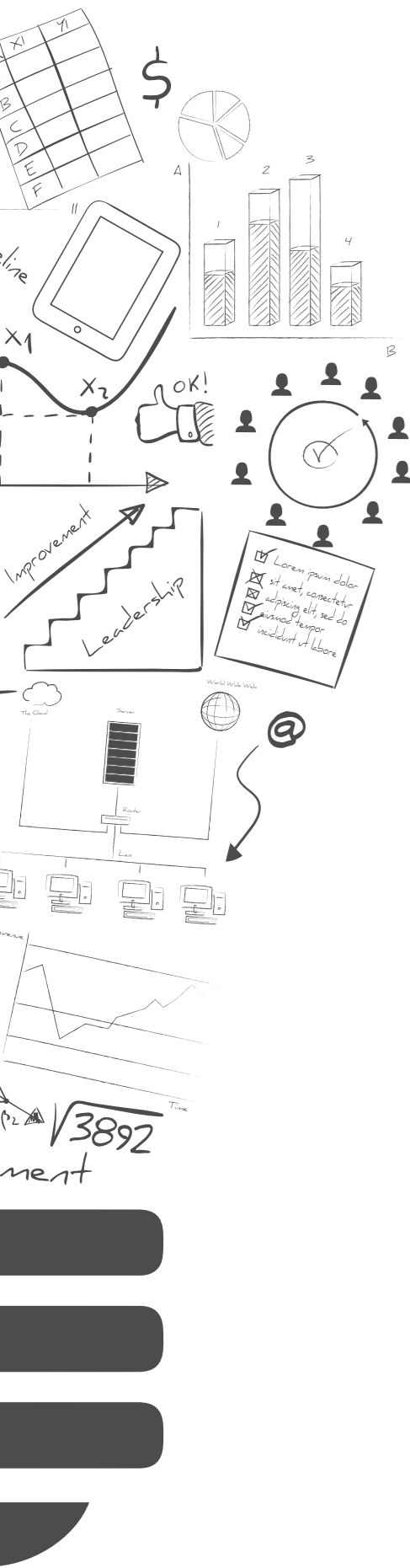
로축은 사이클 수를, 세로축은 전력 값을 표시한다. 실험 결과에서 보듯, 동시에 디코딩 하는 영상의 개수가 많아질수록 전력 소모량이 증가하는 것을 확인 할 수 있다.

위 결과와 같이 실제 시스템수준 시나리오가 수행될 때, 소프트웨어와 전력 값을 동시에 프로파일링 할 수 있어 전력을 고려한 ESL 설계 및 분석이 가능하다. PowerBaum의 데모를 위해 이 시스템에서 사용한 동영상의 크기는 176*144로 매우 작다. 이 경우에도 GL에서는 23시간 30분이 소요되는 데 반해 ESL 시뮬레이션 및 전력 분석에는 231초가 소요되어 366배 성능 향상이 발생한다. 만약 4K급 (3,840*2,160, 약 327 배 큰 영상) 영상에 대해 동일한 시나리오의 전력분석의 수행에서 상위수준 전력모델을 이용한다는 것은, GL에서 1년 가까이 소요될 전력분석이 하루만에 끝날 수 있음을 의미한다. 현재 본 연구실은 전력모델 하드웨어 구현을 통한 에뮬레이션 기반 전력 분석 기술과 동적 열관리 시스템 기술 개발을 진행하고 있다.

결론

SoC 설계 시 소프트웨어 및 하드웨어 파티셔닝을 위한 상위수준에서의 전력 분석 기술 동향과, 설계 추상화 수준 별 EDA 산업계의 개발 동향을 살펴보았다. 느린 GL 전력모델 기반의 현재 전력분석 기술로는 실제 시나리오 기반의 전력분석이 어렵고, 이를 극복하기 위해서는 고속 정확한 상위수준 전력모델 생성의 자동화 필요성을 확인하였다. 더 나아가 전력모델의 하드웨어화를 통한 에뮬레이터 기반 전력분석 기술의 현실화도 중요한 연구분야라 하겠다. 특히, SoC의 열 분석(thermal analysis)을 위해서 전력밀도(power density)가 사용됨을 감안할 때, 고속 정확한 전력모델의 하드웨어화는 SoC 열관리의 새로운 지평을 여는데 열쇠가 되리라는 기대를 해 본다.





Reference

- [1] M. Allam(Qualcomm Inc.), "(Presentation) Power estimation and modeling challenges for mobile devices," ICCAD, Nov. 2012.
- [2] S. Ahuja et al., "Accurate power estimation of hardware co-processors using system level simulation," Proc. of IEEE Int. SoC Conf., pp. 339-402, 2009
- [3] N. Bansal, K. Lahiri, and A. Raghunathan, "Automatic Power Modeling of Infrastructure IP for System-on-Chip Power Analysis," Proc. of Int. Conf. on VLSI Design, pp. 513-520, 2007
- [4] I. Lee et al., "PowerViP: SoC power estimation framework at transaction level," Proc. of Asia South Pacific Design Automation Conference, pp. 551-558, 2006
- [5] L. Zhong, S. Ravi, A. Raghunathan, and N. K. Jha, "RTL-aware cycle-accurate functional power estimation," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. 25, No. 10, October 2006.
- [6] S. Sambamurthy, J. A. Abraham, and R. S. Tupuri, "A robust top-down dynamic power estimation methodology for delay constrained register transfer level sequential circuits," 21st International Conference on VLSI Design, pp. 521-526, Jan. 2008.
- [7] R. P. Llopis and K. Goossens, "The petrol approach to high-level power estimation," in Proceedings of the International Symposium on Low Power Electronics and Design, pp. 130-132, 19
- [8] Y. Samei, R. Domer, "Automated Estimation of Power Consumption for Rapid System Level Design," IEEE International Performance Computing and Communications Conference, Dec, 2014.
- [9] S. Reda and A. N. Nowroz, "Power modeling and characterization of computing devices: A survey," Foundations and Trends in Electronic Design Automation, vol. 6, no. 2, pp. 121-216, Feb. 2012.
- [10] S. K. Rethinagiri, O. Palomar, O. Unsal, A. Cristal, R. B. Atitallah, and S. Niar, "PETS: Power and energy estimation tool at system-Level," in Quality Electronic Design (ISQED), 15th International Symposium on, pp. 535-542, Mar. 2014.
- [11] K. Chandrasekar, B. Akesson and K. Goossens, "Improved power modeling of DDR sdrams," 14th Euro-micro Conference on Digital System Design, pp. 99-108, Oulu, Finland, Sep 2011.
- [12] R. Y. Chen, M. J. Irwin, and R. S. Bajwa, "Architecture-level power estimation and design experiments," ACM Transactions on Design Automation of Electronic Systems, vol. 6, no. 1, pp. 50-55, Jan. 2001.
- [13] H. Mehta, R. M. Owens, and M. J. Irwin, "Energy characterization based on clustering," DAC, pp. 702-707, Jun. 1996.
- [14] R. Graybill, and R. Melhem, "Power Aware Computing," Springer US, pp. 317-337, 2002.
- [15] S. Gupta, and F. N. Najm, "Power modeling for high-level power estimation," IEEE VLSI, vol. 8, no. 1, pp. 18-29, Feb. 2000.
- [16] N. Bansal, K. Lahiri and A. Raghunathan, "Automatic Power Modeling of Infrastructure IP for System-on-Chip Power Analysis," Proc. of the Int. Conf. on VLSI Design (2007), pp. 513-520, Jan. 2007.
- [17] Ansys, "(Presentation) PowerArtistTM: RTL Design-for-Power" , DAC, Jun. 2014.
- [18] Cadence Joules RTL Power Solution - www.cadence.com/news/joules
- [19] B. Fischer, C. Cech, H. Muhr, "Power modeling and analysis in early design phases," DATE, pp. 1-6, Mar. 2014.

저자정보



이름 김종규
소속 광운대학교 컴퓨터공학과 임베디드 시스템 구조 연구실
주 연구분야 상위수준 전력모델, SoC구조설계, 저전력설계
E-mail jonggyu.q@kw.ac.kr
Homepage http://esal.kw.ac.kr



이름 최창원
소속 광운대학교 컴퓨터공학과 임베디드 시스템 구조 연구실
주 연구분야 상위수준 시스템설계, 영상처리, 저전력설계
E-mail changwonchoi@kw.ac.kr
Homepage http://esal.kw.ac.kr



이름 이준환
소속 광운대학교 컴퓨터공학과 부교수
주 연구분야 SoC구조설계, 저전력설계, 반도체설계, Computer Vision
E-mail joonhwan.yi@kw.ac.kr
Homepage http://esal.kw.ac.kr



모바일 기기용 저전력 고속 인터페이스를 위한 전압 모드 송신기

서론

기술이 발전함에 따라 전자 시스템에서 처리해야 할 정보의 양이 급격히 증가하면서 고속 인터페이스의 필요성이 커지고 있다. 특히 모바일 기기에서는 그림 1(a)와 같이 매우 다양한 인터페이스를 필요로 하는데, 한정된 배터리에서 기기의 사용시간을 증가시키기 위해서는 인터페이스의 소비전력을 줄이는 것도 매우 중요한 이슈이다. 이에 따라 모바일 기기에서 사용할 수 있는 저전력 고속 인터페이스에 대한 연구가 활발히 진행되고 있다.

고속 인터페이스 회로는 그림 1(b)와 같이 송신기(transmitter; TX), 채널(channel), 그리고 수신기(receiver; RX)로 구성되어 있다. 이 중 송수신기는 낮은 임피던스를 가지는 채널에 적절한 전압 스윙을 갖는 신호를 전송하기 위해서 많은 전력을 소비하므로, 인터페이스 회로의 전체 소비전력을 줄이기 위해서는 송신기의 소비전력을 줄이는 것이 중요하다. 기존에는 주로 전송 속도를 높일 수 있는 전류 모드 송신기를 사용하였는데, 소비전력이 중요한 모바일 인터페이스에서는 소비 전력을 줄이기 위하여 전압 모드 송신기를 주로 사용하고 있다. 특히, 그림 1(c)에 나타난 것처럼 풀-업(pull-up)과 풀-다운(pull-down) 소자를 모두 NMOS로 사용하는 N-over-N 드라이버는 CMOS 전압 모드 드라이버에 비해서 전원 전압을 더 낮출 수 있기 때문에 최근 LPDDR4 등의 표준에 사용되고 있다. 또한 기존의 모바일 인터페이스는 데이터 전송 속도에 비해 상대적으로 채널의 길이가 짧아서 채널에서의 주파수 의존 손실(frequency dependent loss)을 무시할 수 있었으나, 데이터 전송률이 높아질수록 이를 보상해야 한다. 채널의 주파수 의존 손실을 보상하기 위하여 2-탭 FIR 필터를 주로 사용한다.

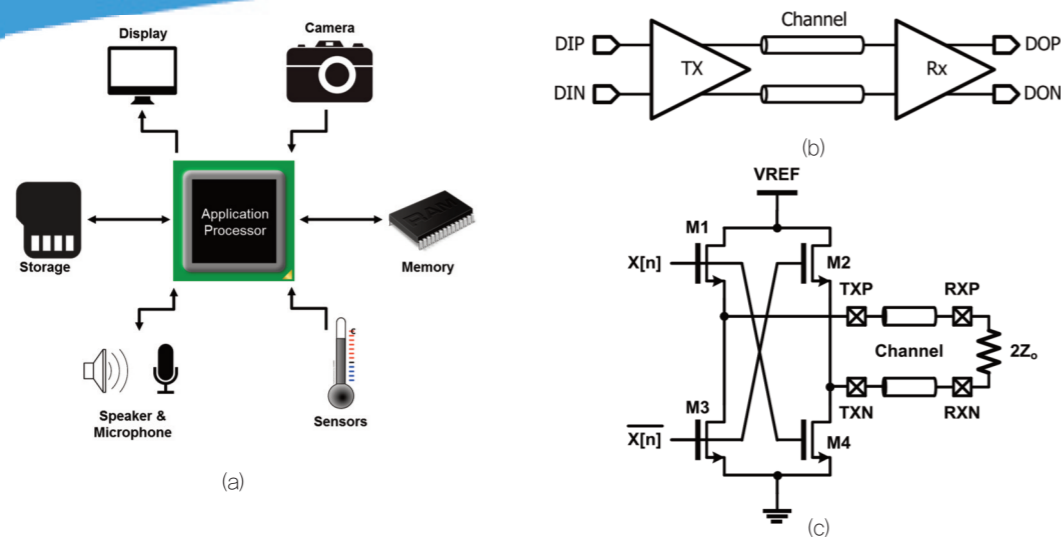


그림 1. (a) 모바일 기기의 다양한 인터페이스, (b) 고속 인터페이스의 블록도, 그리고 (c) 저전력 전송을 위한 전압 모드 N-over-N 드라이버의 회로도

본 고에서는 모바일 기기용 고속 저전력 2-탭 N-over-N 전압 모드 송신기를 설계함에 있어서 고려해야 하는 사항과 기준에 제안된 2-탭 N-over-N 전압 모드 송신기의 장단점을 살펴 본다. 그리고 최근에 본 연구실에서 제안한 저전력 N-over-N 전압 모드 송신기에 대해서 소개한다.

본론

A. 채널 손실을 보상하기 위한 2-탭 전압모드 송신기의 설계 고려사항

그림 2에는 2-탭 전압 모드 송신기의 블록도와 출력 파형을 나타내었다. 그림 2(a)에 나타난 것처럼 2-탭 등화기는 $(1-\alpha)$ 의 구동 능력을 가지는 메인-커서 탭 드라이버(main-cursor tap driver)와 α 의 구동 능력을 가지는 포스트-커서 탭 드라이버(post-cursor tap driver)를 병렬로 연결하여 구현한다. 이때 포스트-커서 탭 드라이버는 출력 노드(node)의 극성을 메인-커서 탭 드라이버와 반대로 연결하여 $(-\alpha)$ 의 구동 능력이 되도록 한다. 이렇게 구성된 2-탭 등화기의 출력 파형은 그림 2(b)와 같다. 그림 2(b)에서 $V_{ppd,max}$ 는 최대 차동 신호 스윙 폭을 나타내고, $V_{ppd,min}$ 은 최소 차동 신호 스윙 폭을 나타낸다. 고주파 신호 성분은 데이터의 천이(transition) 구간에 포함되어 있으므로, 데이터의 천이가 발생할 때 스윙 폭을 크게 해주고, 천이가 없을 때는 스윙 폭을 줄여서 등화 동작을 수행한다. 이때 포스트-커서 탭 드라이버의 구동능력 α 는 등화 상수(equalization coefficient) 또는 등화 레벨(equalization level)이라고 하는데, 이는 출력 파형의 스윙 폭을 이용하여 식(1)과 같이 계산할 수 있다.

$$\alpha = \frac{1}{2} \cdot \left(1 - \frac{V_{ppd,min}}{V_{ppd,max}} \right) \quad (1)$$

그리고 등화 레벨을 데시벨로 나타내면 식(2)와 같이 나타낼 수 있다.

$$EQ[dB] = 20 \cdot \log \left(\frac{V_{ppd,min}}{V_{ppd,max}} \right) = 20 \cdot \log \left(\frac{1}{1-2\alpha} \right) \quad (2)$$

채널에 따라 필요한 등화 레벨이 다르므로, 등화기를 설계 할 때는 등화 레벨을 조절할 수 있도록 해야 한다.

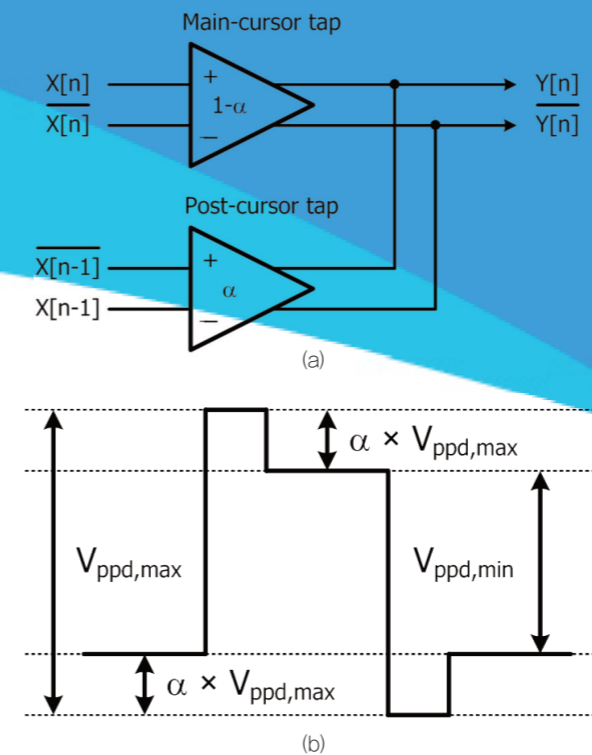


그림 2. (a) 2-탭 등화기의 블록도와 (b) 등화 레벨이 α 인 경우의 출력 파형



고속 데이터 전송 시에는 채널 종단에서의 임피던스 부정합(impedance mismatch)에 의한 반사 잡음(reflection noise) 때문에 신호의 무결성(signal integrity)이 나빠질 수 있다. 반사 잡음을 최소화 하기 위해서는 송신기의 출력 임피던스를 채널의 특성 임피던스(characteristic impedance)와 매칭시키는 것이 중요하다. 전류 모드 송신기에서 출력 임피던스는 송신기의 구동능력과 상관없이 부하 저항에 의해서 50Ω 으로 매칭되기 때문에 등화 레벨을 조절하더라도 소스 임피던스 매칭에 영향을 주지 않는다. 반면에 전압 모드 송신기에서는 송신기의 구동능력과 출력 임피던스가 반비례하는 관계에 있기 때문에 각 탭 드라이버의 구동 능력을 조절하면 출력 임피던스가 변하는 문제가 있다. 따라서 각 탭 드라이버의 구동능력을 조절하더라도 송신기의 전체 출력 임피던스는 50Ω 을 유지하도록 설계하는 것이 중요하다.

B. 기존의 2-탭 전압모드 송신기 기술

앞에서 설명한 것과 같이, 2-탭 전압 모드 송신기에서는 등화 레벨을 조절하면서도 동시에 출력 임피던스를 채널의 특성 임피던스와 매칭시키는 것이 중요하다. 이 두 가지를 동시에 달성하는 첫 번째 방법으로 그림 3과 같은 여러 개의 세그먼트를 이용한 전압 모드 드라이버(segmented voltage-mode driver)와 출력 임피던스 조절 회로가 제안되었다 [1]. 이 구조에서는 출력 드라이버가 2^N 개의 세그먼트로 구성이 된다. 이때 N은 등화 레벨을 조절할 수 있는 디지털 신호의 비트 수이다. 출력 임피던스 조절 회로는 피드백 회로를 이용하여 각 세그먼트의 출력 임피던스가 $(50/2^N)\Omega$ 이 되도록 프리 드라이버의 전원 전압(VPRE)과 출력 드라이버의 바이어스 전압(VG)을 조절한다. 등화 레벨의 조절은 세그먼트 선택 회로(segment selection logic)를 통해서 이루어진다. 세그먼트 선택 회로를 통해서 M개의 세그먼트는 메인-커서 탭 드라이버를 구성하고 $2^N - M$ 개의 세그먼트는 포스트-커서 탭 드라이버를 구성하기 때문에, M을 조절함으로써 등화 레벨을 조절할 수 있다. 이 때 어떤 M에 대해서도 전체 세그먼트의 수는 2^N 개 이므로, 전체 출력 임피던스는 등화레벨에 상관없이 50Ω 을 유지하게 된다.

이 구조는 등화 레벨 조절과 출력 임피던스 매칭의 목적을 달성할 수 있지만, N이 증가함에 따라서 필요한 세그먼트의 개수가 기하급수적으로 증가하는 단점을 가지고 있다. N이 증가하면 세그먼트 선택 회로의 복잡도도 크게 증가하고, 복잡한 신호의 배선 때문에 동적 소비전력(dynamic power consumption)이 증가한다. 또한 프리-드라이버의 전원 전압을 조절하여 출력 드라이버의 출력 임피던스를 맞추기 때문에 추가적으로 소비전력을 줄이기 어렵다.

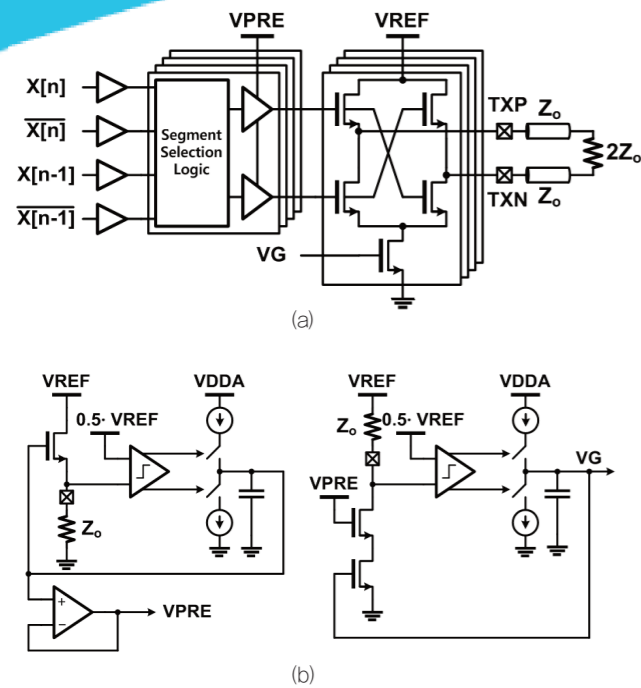


그림 3. (a) 세그먼트를 이용한 전압 모드 출력 드라이버와 (b) 출력 임피던스 조절 회로

이러한 문제를 해결하기 위하여 전류 모드 등화기를 이용한 하이브리드 전압 모드 송신기 (hybrid voltage-mode driver with current-mode equalization)가 제안되었다 [2]. 그림 4에 하이브리드 전압 모드 송신기와 출력 임피던스 조절 회로를 나타내었다. 하이브리드 전압 모드 송신기에서 메인-커서 탭 드라이버는 전압 모드 드라이버이고, 포스트-커서 탭 드라이버는 전류 모드 드라이버이다. 등화 레벨에 따라 포스트-커서 탭 드라이버의 출력 전류가 더해지거나 빠지는 동작을 수행하면서 출력 신호의 스윙폭을 조절하여 등화 기능을 수행한다. 등화 레벨은 포스트-커서 탭 드라이버의 바이어스 전류를 디지털 방식으로 조절함으로써 변화시킬 수 있다. 따라서 등화 레벨 조절 해상도가 증가하더라도 프리-드라이버의 복잡도가 증가하지 않는다. 그리고 전체 출력 임피던스는 전압 모드인 메인-커서 탭 드라이버에 의해서 결정되는데, 이것은 그림 4(b)의 출력 임피던스 조절 회로에 의해서 제어되기 때문에 등화 레벨에 관계 없이 $50\ \Omega$ 로 매칭시킬 수 있다. 또한 임피던스 조절 회로는 VUP과 VDN을 조절하기 때문에 소비전력을 줄이기 위해서 프리-드라이버의 전원 전압을 별도로 조절할 수도 있다.

이와 같이 하이브리드 전압 모드 출력 드라이버는 세그먼트를 이용한 전압 모드 출력 드라이버에서 발생하는 문제를 상당 부분 해결하였다. 그러나 하이브리드 전압 모드 출력 드라이버는 전류모드 등화기를 포함 영역에서 동작시키기 위해서 높은 전원 전압 VDDA를 필요로 한다. 따라서 등화 레벨이 증가할수록 I_{EQ} 의 크기도 증가하여 소비전력이 크게 증가하는 단점이 있다.

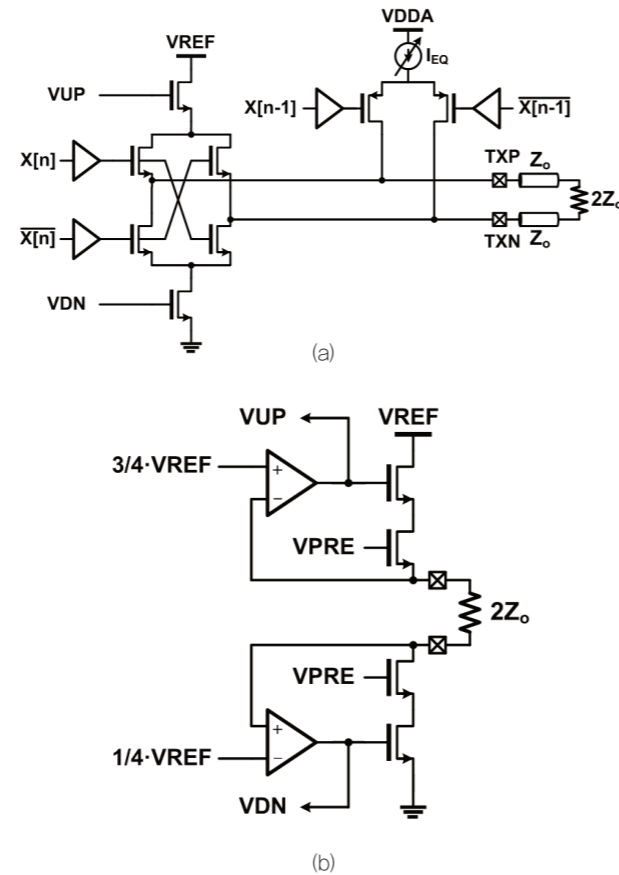


그림 4. (a) 전류 모드 등화기를 이용한 전압 모드 출력 드라이버와 (b) 출력 임피던스 조절 회로

C. 제안된 2-탭 전압모드 송신기 기술

앞에서 설명한 세그먼트 된 전압 모드 송신기와 하이브리드 전압 모드 송신기의 문제점을 해결하기 위하여 본 연구실에서 제안한 2-탭 전압 모드 출력 드라이버의 회로도를 그림 5에 나타내었다. 제안한 2-탭 전압 모드 출력 드라이버는 낮은 전원 전압 (VREF)에서 동작하는 메인-커서 탭 드라이버와 포스트-커서 탭 드라이버로 구성되어 있다. 각 드라이버는 각각 스위칭 디바이스 (switching devices)인 M2-M5와 M8-M11, 그리고 컨트롤 디바이스 (control devices)인 M1, M6, M7, 그리고 M12로 구성된다. 스위칭 디바이스는 입력 데이터에 따라 온-오프 (on-off) 동작을 수행하면서 채널로 출력되는 전류의 방향을 결정하고, 컨트롤 디바이스는 입력되는 바이어스 전압 (VUPM, VDNM, VUPE, 그리고 VDN)에 따라서 출력 임피던스를 조절한다. 각 드라이버의 풀-업 및 풀-다운 임피던스 값은 각각의 스위칭 디바이스와 컨트롤 디바이스의 출력 임피던스의 직렬 연결 저항으로 결정되기 때문에, 각 컨트롤 디바이스의 바이어스를 조절함으로써 제안된 드라이버의 전체 출력 임피던스를 조절할 수 있다.

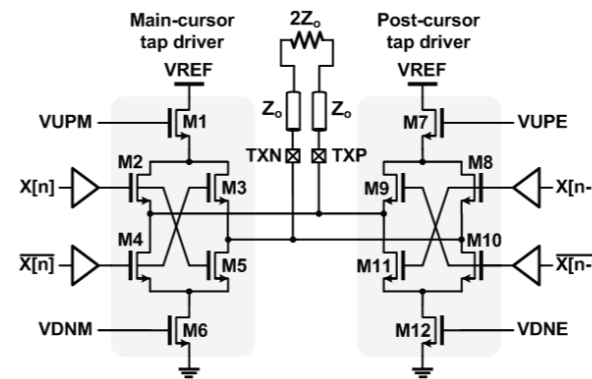


그림 5. 제안한 2-탭 전압 모드 출력 드라이버의 회로도

컨트롤 디바이스의 바이어스 전압은 제안된 바이어스 생성 회로 (bias generation circuit: BGC)에 의해서 생성되어 출력 드라이버로 공급된다. 그림 6에는 제안한 BGC의 회로도를 나타내었다. 제안한 BGC는 출력 드라이버의 전체 출력 임피던스가 $50\ \Omega$ 이 되는 동시에 원하는 등화 레벨을 달성할 수 있도록 컨트롤 디바이스의 바이어스 전압을 조절한다. 제안한 BGC는 포스트-커서 탭 드라이버의 복사 회로를 이용한 등화 상수 조절 회로 (equalization coefficient control circuit: ECC)와 전체 출력 드라이버의 복사 회로를 이용한 출력 임피던스 조절 회로 (output impedance control circuit: OICC)로 나눌 수 있다. 먼저 ECC에서는 포스트 커서 탭 드라이버의 출력 임피던스를 조절하는 VUPE와 VDN에 생성한다. M1-M4는 포스트 커서 탭 드라이버의 복사 회로인데, VP1과 VN1은 두 개의 부궤환 루프 (feedback loop)에 의해서 각각 $3/4 \cdot VREF$ 와 $1/4 \cdot VREF$ 가 되도록 조절된다. 이때, VP1과 VN1 사이에 연결된 가변 저항의 값이 $2 \cdot R_{EQ}$ 이므로, 전압 분배 원리에 의해 풀-업과 풀-다운 임피던스는 R_{EQ} 와 같게 된다. 그리고 R_{EQ} 의 값을 EQ[0:3]을 통해 조절함으로써, 포스트-커서 탭 드라이버의 출력 임피던스를 원하는 값으로 설정할 수 있다. 다음으로 OICC는 출력 드라이버의 전체 출력 임피던스가 채널의 특성 임피던스와 같도록 메인-커서 탭 드라이버의 출력 임피던스를 조절하는 VUPM과 VDNM을 생성한다. M5-M8은 포스트 커서 탭 드라이버의 복사 회로인데, 그것의 출력 임피던스는 ECC에서 생성된 VUPE와 VDN에 의해 결정된다. M9-M12는 메인 커서 탭 드라이버의 복사 회로인데, 이것의 컨트롤 디바이스의 바이어스 전압인 VUPM과 VDNM이 두 개의 부궤환 루프에 의해 생성된다. 이 때 VP2와 VN2 사이에 연결되어 있는 저항이 $2Z_o$ 이므로, 전압 분배 원리에 의해 전체 풀-업과 풀-다운 임피던스가 Z_o 가 되도록 VUPM과 VDNM이 생성된다. 결과적으로, 제안된 BGC는 ECC와 OICC의 동작에 의해 등화 레벨을 원하는 값으로 조절하면서도 동시에 출력 임피던스를 채널의 특성 임피던스와 일치시킬 수 있도록 하는 바이어스 전압 VUPE, VDN, VUPM, 그리고 VDNM을 생성하여 출력 드라이버에 공급한다.

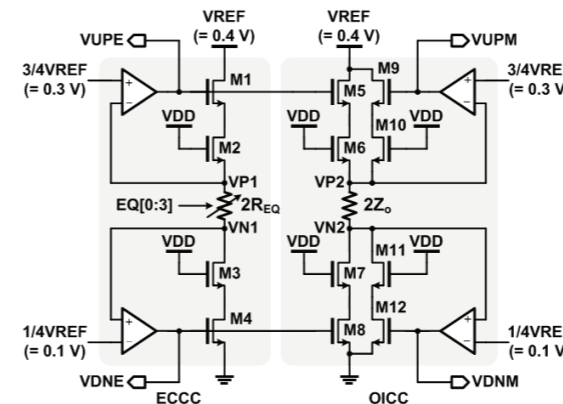


그림 6. 제안한 바이어스 생성 회로 (BGC)

제안한 2-탭 전압모드 출력 드라이버와 BGC는 앞에서 설명한 기존 기술에 비해서 두 가지의 장점을 가지고 있다. 첫 번째로, 제안된 출력 드라이버는 2개의 탭 드라이버만으로 이루어져 있으므로, 이를 구동하는 프리-드라이버의 복잡도와 동적 전력 소모가 2^N개로 세그먼트 된 출력 드라이버에 비해서 크게 줄어 들었다. 등화기의 탭 수가 증가하더라도 출력 드라이버의 BGC의 구조는 탭 수에 해당하는 출력 드라이버를 병렬로 연결하여 쉽게 확장할 수 있다. 두 번째로, 제안된 출력 드라이버는 메인 커서 탭 드라이버와 포스트 커서 탭 드라이버가 모두 N-over-N 드라이버 구조를 사용하고 있으므로 낮은 전원 전압을 사용할 수 있다. 따라서 전류 모드 등화기를 사용하는 하이브리드 전압 모드 출력 드라이버에 비해서 높은 등화 레벨에서도 낮은 전력 소모를 유지할 수 있다.

그림 7에는 제안한 출력 드라이버를 채용한 2-탭 전압 모드 송신기의 블록도와 90 nm 저전력 CMOS 공정을 이용하여 제작한 테스트 칩의 사진을 나타내었다. 제안한 2-탭 전압 모드 송신기는 입력 데이터를 생성하기 위한 PRBS 생성기 (PRBS generator), 등화 기능을 수행하기 위한 2-탭 FIR 필터, 프리-드라이버, 출력 드라이버, 그리고 BGC로 이루어져 있다. 제작한 2-탭 전압모드 송신기의 면적은 $230\ \text{mm} \times 100\ \text{mm}$ 이다.

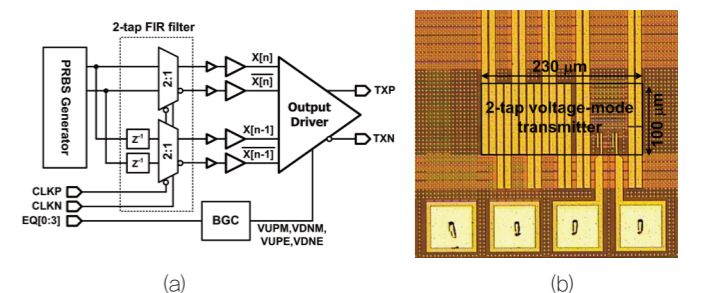
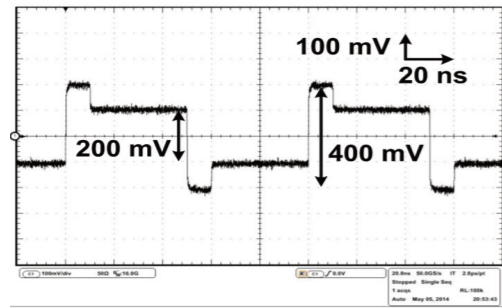
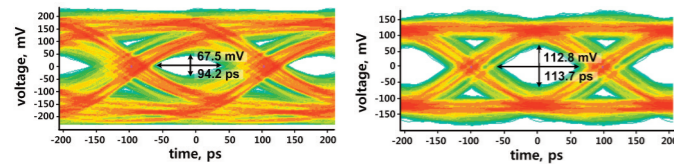


그림 7. (a) 제안한 2-탭 전압 모드 송신기의 블록도와 (b) 제작된 테스트 칩의 사진

그림 8에는 제안한 2-탭 전압 모드 송신기의 측정 결과를 나타낸다. 그림 8(a)에는 6dB의 등화 레벨로 설정된 송신기가 11110000 패턴을 200 Mbps의 속도로 반복적으로 전송하는 경우의 출력 신호를 측정할 결과이다. 데이터의 천이가 있는 구간에는 400 mV의 출력을 나타내고, 천이가 없는 구간에서는 200 mV의 출력을 나타내는 것으로 보아 6dB의 등화 레벨을 정확히 구현하고 있는 것을 알 수 있다. 또한 그림 8(b)와 8(c)에는 5 Gbps의 데이터를 7-인치 FR4 PCB 채널을 통해 전송할 때의 파형을 등화 레벨이 0dB인 경우와 6dB인 경우에 대해 각각 눈동자 다이어그램 (eye diagram)으로 나타내었다. 등화 레벨이 6dB인 경우가 0dB인 경우에 비해서 수직 눈동자 열림 (vertical eye opening)이 약 두 배로 증가하는 것을 알 수 있다. 제안된 2-탭 송신기가 5 Gbps로 동작할 때, 전력 효율은 등화 레벨이 0dB인 경우에는 0.79 pJ/bit이고, 등화 레벨이 6dB인 경우에는 0.98 pJ/bit로 측정되었다.



(a)



(b)

(c)

그림 8. 제안한 2-탭 전압 모드 송신기의 측정 결과.
 (a) 6dB 등화 레벨이 적용된 송신기가 200 Mbps로 동작 시의 출력 파형과
 5 Gbps로 동작하는 송신기에서 (b) 등화 레벨이 0dB인 경우와
 (c) 등화 레벨이 6dB인 경우의 출력 눈동자 다이어그램

결론

N-over-N 전압 모드 송신기는 저전력 고속 인터페이스를 구현하는데 있어서 핵심적인 블록이다. 채널의 고주파 손실을 보상하기 위해서는 2-탭 등화기로 구성하는 것이 필요하며, 이에 따라 등화 레벨 조절 기능을 가져야 하고 동시에 출력 임피던스 매칭이 가능해야 한다. 본 고에서는 2-탭 N-over-N 전압 모드 송신기의 설계 이슈, 기존 구조 및 본 연구실에서 제안한 구조에 대해서 살펴보았다. 본 연구실에서 제안한 2-탭 전압 모드 송신기는 등화 레벨에 높은 경우에도 5 Gbps의 데이터 전송률에서 1 pJ/bit 이하의 전력 효율을 달성하였고, 측정을 통하여 검증하였다. 제안된 2-탭 N-over-N 전압 모드 송신기를 이용하면 고속으로 동작하면서도 소비전력이 적은 직렬 시리얼 링크 송수신기를 구현할 수 있다. 고속 직렬 링크 송수신기에서 요구되는 소비전력을 점점 더 적어지고 있으므로, 지금 보다 데이터 전송 속도와 소비전력 효율이 높은 저전력 고속 전압 모드 송신기에 대한 연구는 더 필요할 것으로 사료된다.

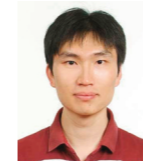
참고문헌

[1] K.-L. J. Wong, M. Mansuri, H. Hatamkhani, and C.-K. K. Yang, "A 27-mW 3.6-Gb/s I/O transceiver," *IEEE J. Solid-State Circuits*, vol. 39, no. 4, pp. 602-612, Apr. 2004.

[2] Y.-H. Song and S. Palermo, "A 6 Gbit/s hybrid voltage-mode transmitter with current-mode equalization in 90 nm CMOS," *IEEE Trans. Circuits Syst. II, Express Briefs*, vol. 59, no. 8, pp. 491-495, Aug. 2012.

[3] K.-S. Kwak and O.-K. Kwon, "5 Gbit/s 2-tap low-swing voltage-mode transmitter with least segmented voltage-mode equalisation," *IET Electronics Letters*, vol. 50, no. 19, pp. 1371-1373, Sep. 2014.

저자정보



박강섭 박사과정

소속 : 한양대학교 융합전자공학부 전자시스템집적연구소
 주 연구분야 : 고속 인터페이스용 송수신기 회로 설계, 저전력 혼성신호 회로 설계, 저전력 PLL/DLL/CDR
 E-mail : kks0716@hanyang.ac.kr
 Homepage : http://elab.hanyang.ac.kr



권오경 교수

소속 : 한양대학교 융합전자공학부 전자시스템집적연구소
 주 연구분야 : Display electronics, Power/Battery Management 회로 설계, 고속 인터페이스, 각종 센서 ROIC 설계, 바이오-메디컬용 회로 설계
 E-mail : okwon@hanyang.ac.kr
 Homepage : http://elab.hanyang.ac.kr



ANSYS 사 PowerArtist-XP

A. 목적

칩 설계 초기 단계에서의 Power Management 및 Estimation

B. 구분

ANSYS의 PowerArtist-XP는 Design engineer 또는 verification engineer에게 Power Management based debugging solution 및 low power design 가이드를 제공

C. 지원 Platform and O/S System

- Solaris (64bit) 8,9,10
- RedHat 7,8,9
- Red Hat Enterprise (64bit) Linux 4,5,6
- SuSE (SLES 9/10) (64bit) Linux

D. 특성 및 기능

ANSYS사의 PowerArtist는 반도체 설계 process의 early stage인 RTL 설계 단계에서 chip이 소모할 파워를 미리 예측하는 기능을 가지고 있으며, 예측된 파워를 기반으로 파워 누수 부분과 수정 가능 포인트를 알려줌으로써 Front-end 기반 설계에서의 전력관리 및 저전력 설계가 가능하도록 돕는 획기적인 툴입니다. PowerArtist는 RTL 설계 단계에서 실제로 소모될 IC의 전력을 미리 예측할 수 있습니다. IC 기능 동작 검증을 위하여 만들어진 시나리오를 바탕으로 실제 IC의 동작환경을 통해 소비전력을 유추하고 평균 전력량 및 순시적 전력 변동량을 측정하여 초기 설계단계에서부터 IC 소비 전력을 관리할 수 있도록 도와줍니다.

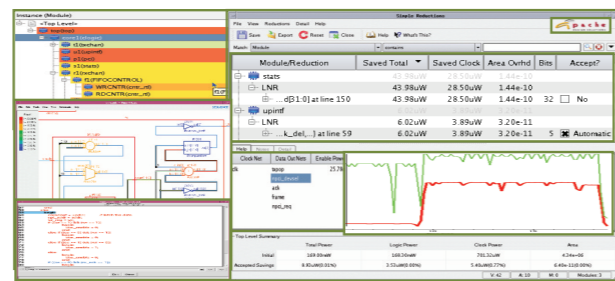


그림 1. PowerArtist GUI

① 평균 전력량 측정 (Average Power Calculation)

FSDB 나 VCD 등의 activity waveform을 기반으로 해당 시간 구간 동안의 평균 전력을 각각의 컴포넌트, 인스턴스 단위로 파워를 계산합니다.

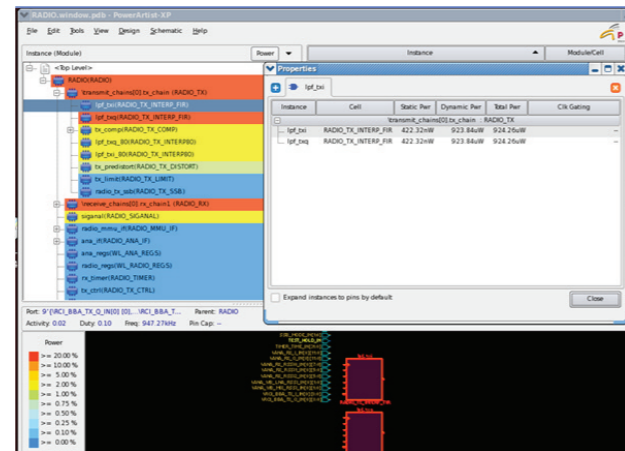


그림 2. Average Power Calculation 결과 및 전력소모가 큰 핫스팟 표시

② Time Based Calculation

Activity waveform 파일의 시나리오를 바탕으로 순시적인 전력의 변동량을 측정하여, 최대소비 전력 (peak power) 을 측정하고 기능블록이 시나리오대로 동작하는지를 직관적으로 파악할 수 있도록 도와줍니다.

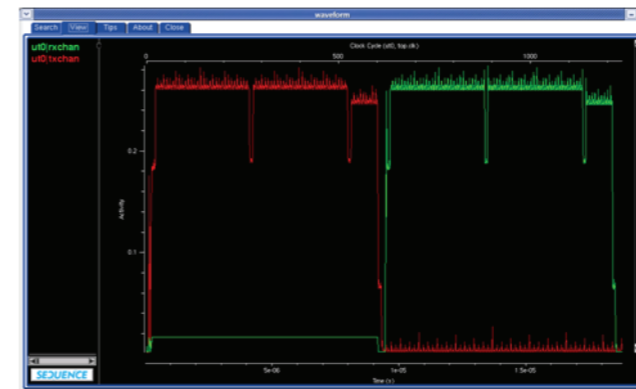


그림 3. Time Based Calculation 결과

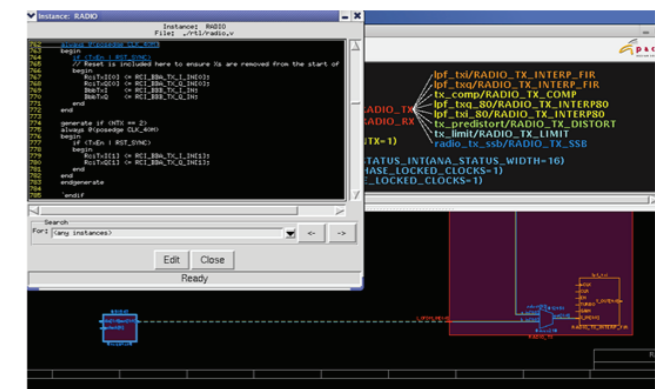


그림 4-2. 저전력 디자인 가이드

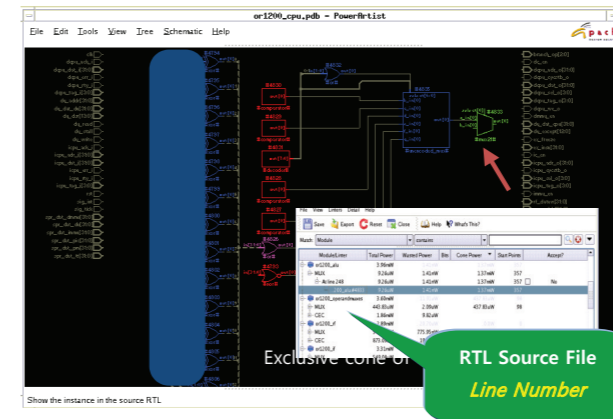
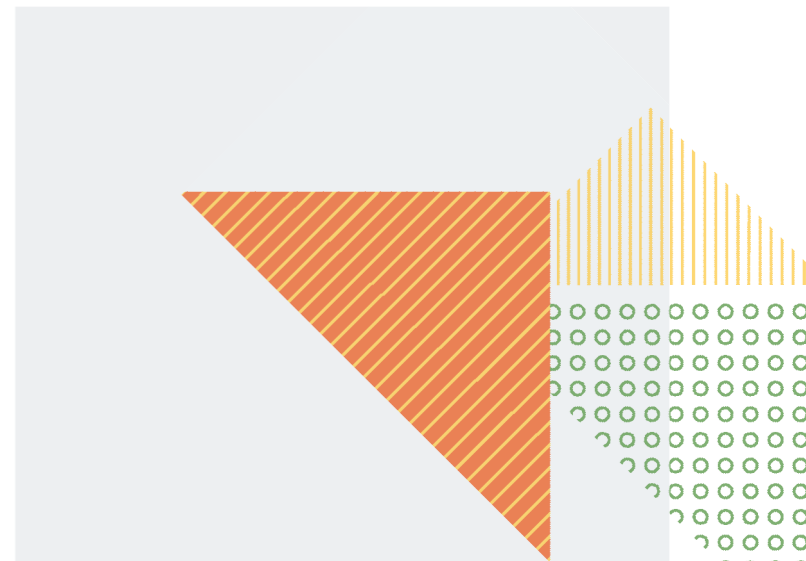


그림 4-1. Power Reduction

③ Power Reduction

GUI를 통해 전력 소모량과 전력 누수부분, 그리고 이에 관계된 분석을 위한 여러가지 파라미터 (activity, frequency, capacitance, clock gating efficiency등) 들과 gate level의 schematic을 보여주고, RTL 코드상에서 전력 세이브를 위한 수정 포인트를 짚어주어 디자이너가 직접 저전력 설계를 할 수 있도록 가이드 해줍니다.



회사명 Ansys
웹주소 <http://www.ansys.com/>
한국지사 (135-973)서울시 강남구 삼성동
 CityAirTower 159-9 21F
전화 02) 3441-5026
FAX 02) 3441-5050
E-MAIL jeongwon.kang@ansys.com

International Conference on Silicon Carbide and Related Materials 2015



Giardini Naxos
October, 4th ~9th - 2015

ICSCRM 2015 review

1. 학회 개요

ICSCRM (International Conference on Silicon Carbide and Related Materials)는 탄화규소 (silicon carbide, SiC) 및 관련 소재분야의 국제 학회로, 1987년 Washington, D.C.에서 처음으로 개최되었으며, 매 2년마다 미국, 유럽, 일본 등에서 개최되었다. SiC 기반 반도체의 전반적인 제조 과정 기술을 다루는 학회로서, 단결정 및 에피택셜 층 성장, defect, surface 분석, 반도체 소자 공정 및 분석, 회로 구성, 패키징 및 III-nitrides, diamond, graphen과 같은 소재 등이 발표되고 있다. 이번 학회의 참가 및 발표 인원은 총 620명이었으며, 한국에서는 LG이노텍, 메이플세미컨덕터, 광운대학교, 동의대학교, 한국세라믹기술원, 한국전기연구원 등의 기관에서 20명이 참석하였다. 발표 수는 총 365개라서, 14 plenary, 20 invited, 98 oral, 243 poster 발표로 이루어져 있으며, 일본이 32%, 미국 14%, 독일, 프랑스, 스웨덴이 각각 7%, 중국 및 이탈리아에서 6%, 한국에서 2%를 차지했다. ICSCRM 2015의 주요 토픽은 MOS interface, MOSTET, high voltage devices 등이며, quantum technology, 3C-SiC, sensors, MEMS 등이 새롭게 발표되었다.

2. 학회 일정 및 프로그램

	Sunday Oct 4	Monday Oct 5	Tuesday Oct 6	Wednesday Oct 7	Thursday Oct 8	Friday Oct 9
8:00		8:45-9:15 OPENING	8:30-9:20 Tu-DA	8:30-9:20 We-VA	8:30-9:20 Th-CA	8:30-9:10 Fr-IA
9:00		9:15-10:45 Mo-Pt. Plenary Session (Plenary)	9:30-10:20 Tu-DA 4th SIC International (Plenary)	9:30-10:20 We-VA 5th SIC International (Plenary)	9:30-10:20 Th-CA Package & Reliability (Plenary)	9:30-10:20 Fr-IA 6th SIC International (Plenary)
10:00		10:00-10:30 COFFEE BREAK	10:20-10:40 COFFEE BREAK	10:20-10:40 COFFEE BREAK	10:20-10:40 COFFEE BREAK	10:10-10:40 COFFEE BREAK
11:00		11:00-11:30 COFFEE BREAK	10:40-12:30 Tu-DA	10:40-12:30 We-VA	10:40-12:30 Th-CA	10:40-12:30 Fr-IA
12:00		11:30-12:45 Mo-Pt. Plenary Session (Plenary)	11:30-12:45 Tu-DA MOS Interface Bulk Growth (Plenary)	11:30-12:45 We-VA MOS Reliability (Plenary)	11:30-12:45 Th-CA MOSFET Reliability (Plenary)	11:30-12:45 Fr-IA Plenary Session (Plenary)
13:00	8:45-17:00 Tutorial Day (Plenary)	12:45-14:15 Lunch	12:30-14:00 Lunch	12:30-14:00 Lunch	12:30-14:00 Lunch	12:45-1:15 Lunch
14:00		14:15-15:00 Mo-DA MOS Interface Bulk Growth (Plenary)	14:00-15:00 Tu-DA Growth & Defects (Plenary)	14:00-15:00 We-VA MOS Reliability (Plenary)	14:00-15:00 Th-CA HV-pwd (Plenary)	14:00-15:00 Fr-IA HV-pwd (Plenary)
15:00		15:05-16:25 COFFEE BREAK	15:05-16:10 COFFEE BREAK	15:10-16:10 COFFEE BREAK	15:10-16:10 COFFEE BREAK	15:10-16:10 COFFEE BREAK
16:00		16:25-18:05 Mo-Pt. Plenary Session (Plenary)	16:10-18:10 Tu-DA	16:10-18:10 We-Pt. Plenary Session (Plenary)	16:10-18:10 Th-Pt. Plenary Session (Plenary)	16:10-18:10 Fr-Pt. Plenary Session (Plenary)
17:00						
18:00						
19:00						
20:00	19:00-21:00 Welcome Reception	19:30-21:00 Industrial Session				
21:00					From 19:30 Gala Dinner	

ICSCRM 2015는 10월 4일 (일)부터 10월 9일 (금)까지 총 6일 동안 개최되었다. 아래의 일정과 같이 일요일 Tutorial day로 시작하여 5일간의 oral 및 poster session 발표가 있었고, 금요일 plenary session으로 마무리 되었다. 또한, welcome reception, industrial session, gala dinner 등의 다채로운 프로그램을 통하여, 대학 및 기업, 연구소의 연구자들이 화합하고, 서로의 연구 결과를 토론하는 자리를 가질 수 있었다. Exhibition 부스에서는 CREE, Yole, Fraunhofer IISB, SiCC와 같은 약 30개의 기업 및 연구소가 참여하였다.

ICSCRM 2015에서는 중국의 여러 신생 기업들이 눈에 띄었다. 중국 기업들의 R&D 및 시장 진입속도 및 규모가 급격하게 증가하고 있으며, 일본의 agent를 통하여 일본 시장에 진입하기 시작하였다. 또한, CREE, Infineon 등의 SiC 전력반도체 major 10개 사에서 모두 SiC 소자를 제작하고 있으며, 시스템 시장의 요구를 충족하기 위하여 소자업체들이 적극적인 반응을 나타내는 것으로 보인다.



3. 학회 세부 내용

(1) Tutorial day

Tutorial Program

- 8:15** Registration
- 8:45-9:00** Welcome and Introduction
- 9:00-10:00** J. Palmour (Cree Inc., USA)
Introduction to SiC materials and technology
- 10:00-11:00** T. Ujihara (Nagoya University, Japan)
Introduction of SiC Solution Growth - in comparison with other growth methods
- 11:00-11:15** Coffee Break
- 11:15-12:15** W.J. Choyke (University of Pittsburgh, USA)
Practical Aspects of the Optical Characterization of SiC Polytypes
- 12:15-14:00** Lunch Break
- 14:00-15:00** J. Cooper (Purdue University, USA)
Introduction to SiC devices : physics, working principles, architectures
- 15:00-16:00** D. Peters (Infineon Technologies AG, Germany)
Processing issues in SiC devices technology
- 16:00-17:00** H.-P. Nee (KTH, Sweden)
High-Efficiency Power Conversion Using Silicon Carbide Power Electronics

Tutorial session에서는 SiC 소재, 기술 및 역사, 새로운 용액 단결정 성장법, SiC 소자의 새로운 physics modeling, 소자 구조, processing issue 등이 발표되었다. Cree, Inc. 의 power, RF device 파트가 Wolfspeed로 분리되었으며, LED chip, components, lighting, power&RF 가 주요 생산 품목이다.



SiC 웨이퍼는 1992년 1" 웨이퍼를 시작으로 1999년 4" 웨이퍼, 2010년에는 6" 웨이퍼, 그리고 2015년부터 8" SiC 웨이퍼를 상용화 하기 시작한 실정이다. 현재, 150 mm (6 inch) SiC 에피택시의 경우, ~1/cm 이하의 micropipe density를 나타내므로 소자 수율에 악영향을 거의 미치지 않는 수준이며, 에피택셜 층의 두께 균일도는 ~2%, 도핑균일도는 ~4%를 나타낸다. 이에 따라 SiC 소자 양산이 더욱 장려될 것으로 보이며, SiC 소자 업체들의 동반 성장이 가능할 것으로 판단된다.

현재 Cree에서 생산하고 있는 고효율/고성능 SiC MOSFET (Gen 3) 은 1,200V/50A급을 나타내며, 1,200V/50A급 Gen 1 MOSFET에 비하여 pitch를 감소시키고, epitaxy의 도핑농도를 최적화함에 따라, 소자 크기를 42% 감소시켰고, 온-저항 (Ron.sp) 은 8에서 2.7로 약 3배정도 감소시켰다. SiC 전력반도체 소자의 크기 감소는 전력소모를 절감시킬 수 있으며, 고효율, 에너지 절감형 소자로서, EV/HEV 등에 적용 가능하다.



또한, SiC 전력소자 processing의 issue에 관해 기판, 에피택시, 도핑, 패터닝, MOS, 오믹 접합으로 분류할 수 있다. 특히 MOS는 전력모듈의 핵심 부품인 MOSFET의 building block으로써, channel mobility 개선을 위하여 다양한 연구가 진행되고 있으며, NO, N2O annealing을 이용한 nitridation이 활발히 연구 중이다. 이외에도 다음 표와 같이 현재 SiC 전력반도체 분야의 processing issue 들이 소개되었다.

SiC 전력반도체 분야의 processing issue

Process	Si	SiC	Processing issue	
Substrate	Opaque	Transparent	Optical process Robotic need adaption Backside reflections Special defect inspection	
Epitaxy	< 1200°C	1500°C	Special equipment	
	n-type P, As, (Se...)	N, (P)	Control of [N] in epi process	
Doping	p-type B, (Al)	Al, (B)	Special source for Al	
	Diffusion	yes	No	Doped regions are flat
Patterning	Annealing	800~1200°C	>1700°C	High temp. furnace
	Etching	Wet/dry	Dry	Selectivity to etch mask
MOS	Gate oxide	Thermal	Thermal	Nitridation needed, usually done with NO or N ₂ O
	Ohmic contact	Formation temp. 400°C	~1000°C	Extra metal of special composition, RTP process needed

(2) Plenary Session

월요일 오전에는 미국 에너지부 (U.S. Department of Energy) 와 Infineon Technologies에서 총 2개의 발표가 있었다. 특히 미국 에너지부에서 발표한 에너지 효율을 위한 WBG (wide-band gap) 반도체 기술에 관한 발표를 통하여 앞으로의 SiC 전력반도체의 전망을 가늠할 수 있었다. 현재 미국 에너지부에서는 PowerAmerica, North Carolina State University (NCSU) 와 같은 12개의 기업, 7개 대학교, 3개 미국 국책연구소와 함께 WBG 기반 전력 반도체의 높은 비용, 신뢰성을 위한 투자 및 연구를 진행 중에 있다. 3~5년 내에 WBG의 가격이 Si 기반 반도체와 동등해질 것으로 예측하고 있으며, 5~8년 내에는 8인치 SiC 웨이퍼 상용화 전망에 따라 Si 전력반도체보다 단가가 낮아질 것으로 판단하고 있다. 현재부터 WBG반도체의 시장은 매 2년마다 2배씩 성장하여, 10년 후에는 30억 US 달러에 육박할 것으로 예상되며, 이는 에너지 절감 및 온실효과 등을 감소시킬 수 있다.

국내의 경우, 엘지, 현대자동차, 포스코, 삼성, SK등 국내 대기업의 수요와 관심도가 매우 급격히 증가하고 있으나, 국내기술은 특허나 기술적인 취약점이 있는 상황이다. 이 시점에서 전략적인 기술개발로 격차를 줄이고 에너지/전력반도체 분야 국가경쟁력을 강화하고, 반도체 강국으로써의 기술적 우위를 확보하기 위하여, SiC 소자에 대한 집중적이고 효율적인 개발이 요구된다.

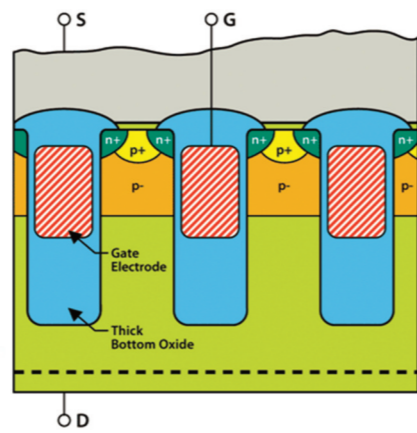
(3) Oral Session

Plenary session 이후, 금요일까지 Novel processing, High voltage, MOSFETs, 등의 다양한 oral 발표들이 이어졌으며, 그 중 현재 SiC 공정 및 소자구조 등 인상 깊었던 발표들을 소개하고자 한다.

3.3 kV-class 4H-SiC UMOFET by Double-trench with Tilt Angle Ion Implantation

일본의 Future Power Electronics Technology (FUPET) 에서 기존의 Double-trench MOSFET 구조와 형태는 유사하나, Tilted angle 이온주입을 이용하여 trench sidewall에 p+ 영역을 형성한 UMOFET이 발표되었다. 기존의 Double-trench MOSFET과 마찬가지로 gate oxide의 bottom 영역의 절연파괴전계를 증가시키며, 3.3 kV의 고전압 특성을 나타내었다.

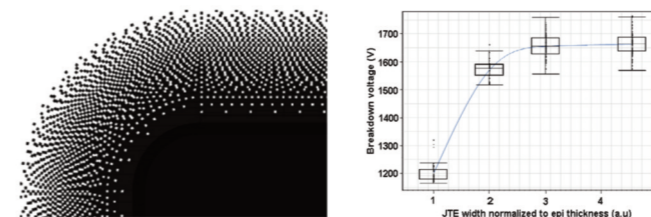
대학원 진학 후, SiC 기반 고전압 Schottky diode, FET 스위칭 소자 등의 연구를 진행 중이며, 고전압 전력소자 설계구조에 motive가 될 수 있을 것이라 판단했다. 발표된 소자의 tilted-ion implantation, double-trench와 같은 구조는 Silvaco Athena, Atlas tool을 이용하여 축적된 노하우를 통하여 구현 가능하며, 랩에서 진행 중인 연구 방향과 결부하여 새로운 고전압/고효율 소자 구조의 아이디어를 얻을 수 있을 것으로 생각된다.



Thick bottom oxide를 적용한 trench-gate MOSFET의 단면도

Design of Area-efficient, Robust and Reliable Junction Termination Extension in SiC Device

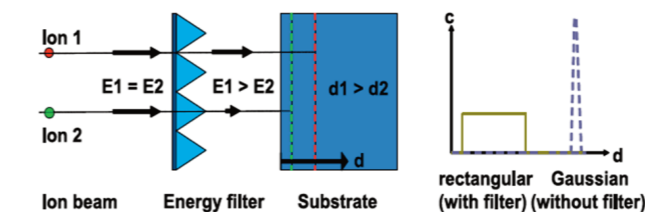
미국의 General Electric Global Research Center에서 graded JTE 구조를 발표하였다. Graded JTE구조는 기존의 Multi-zone JTE와 같은 성능을 나타내는 것으로 알려져 있다. Multi-zone JTE는 보다 많은 lithography/implantation 공정을 요구하며, 이는 소자 공정 단계의 증가로 이어진다. Graded JTE구조는 하나의 mask를 이용하여, unmasked area는 implantation의 fraction을 이용하여 도핑한 구조이다. 이를 통하여 공정 단계를 줄여 단가를 절감시킬 수 있으며, 기존과 동일한 성능을 나타내는 소자를 제작할 수 있다.



Graded JTE 구조의 mask (좌), graded JTE를 적용한 1,200V급 다이오드 소자의 항복전압 (우)

Alternative highly homogenous drift layer doping for 650 V SiC devices

또한 독일의 Infineon Technologies에서 기존보다 homogeneous한 도핑 프로파일을 나타낼 수 있는 ion implantation 방법을 개발했다. 이 box-like한 도핑 프로파일은 그림과 같은 Energy-Filter-Implantation (EFI) 기술을 이용하였다. 이러한 filter의 형태, 너비 등을 조절하여, target의 도핑 프로파일을 조절할 수 있다. 위에서 언급한 Fupet의 연구 결과 등과 결부하여, 새로운 구조를 도출할 수 있을 것으로 판단된다.



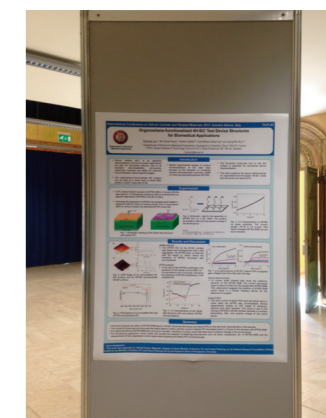
Energy-Filter-Implantation (EFI) 기술을 이용한 도핑 프로파일링

(4) Poster 발표

목요일 포스터 세션에서는 포스터 발표를 하였으며, 발표 주제는 "Organosilane-functionalized 4H-SiC Test Device Structures for Biomedical Applications" 이었다.

SiC는 power device, Gas sensor, optical device 뿐만 아니라 biomedical 분야에서도 여러 방면으로 사용되고 있다. SiC는 biomedical 분야에서 bio-MEMS, Brain Machine Interface (BMI), 신경계, 혈관, 피부조직, 질병 탐지, Implantable device 등의 분야에서 연구가 진행되고 있다. 또한, SiC 표면에 organic 또는 nanoparticle등을 이용하여 functionalization하는 연구가 진행되고 있으며, 이번 학회 발표에서는 SiC diode 및 FET 구조를 제작하고 각각 소자의 SiC 표면, 채널에 organic 재료 (APTES) 를 functionalization 하고 분석하였다.

많은 사람들과 연구결과에 대해 질의 응답하며 토의할 수 있는 자리였으며, 특히 일본인들이 관심을 가지고 많이 질문을 했다. "Si에 비해 SiC 소자가 biomedical 측면에서의 장점은 무엇인가?", "4H-SiC 기판을 사용한 이유는 무엇인가?", "왜 FET 구조를 이용하였고 실험을 하였는가?", "APTES 이외에 다른 Organic 재료를 이용하여 실험을 시도해 보았는가?" 등 여러 질문을 받았다. 질문한 분들이 대체로 비슷한 질문들을 했으며, 질문을 생각하고 대답하는 과정에서 앞으로의 연구를 발전시킬 수 있는 힌트가 되었다고 생각한다.



포스터 발표: Organosilane-functionalized 4H-SiC Test Device Structures for Biomedical Applications

4. 마무리

ICSCRM 2015를 참가하면서, 지금 연구하고 있는 SiC 분야의 전망이 밝다고 생각이 들었다. 다가올 전기자동차의 상용화에 앞서 연구 분야에 자부심마저 들었으며, 박사과정에 진학하면서도 매년 참가하여 발표하였으면 한다. 다양한 국가의 연구자들과 연구결과를 토론하고, 앞으로의 전망을 이야기하는 과정에서 나의 연구에 도움이 될 뿐만 아니라, 앞으로의 인맥 형성과 진로 결정에도 지름이 되어줄 것이라 믿는다.

마지막으로, 학회에 참가할 수 있게 연구하는 과정에서 바쁜 시간을 내주셔서 물심양면으로 지도해주신 "구상모 교수님"께 감사의 인사를 드립니다.

저자정보

	이태섭 박사과정 광운대학교 전자재료공학과 tslee0906@gmail.com nano_kw.ac.kr		정세웅 석사과정 광운대학교 전자재료공학과 bindae789@nate.com nano_kw.ac.kr
	김소망 석사과정 광운대학교 전자재료공학과 roakdd11@naver.com nano_kw.ac.kr		구상모 교수 광운대학교 전자재료공학과 smkoo@kw.ac.kr nano_kw.ac.kr



변철우 교수
원광대학교 전자공학과
cwbyeon@wku.ac.kr

미리 준비하는 자세로 미래를 맞이하다

유비무환(有備無患). 우리 주변에서 너무나 흔하게 쓰이는 사자성어이다. 그만큼 모두가 매우 잘 알고 있는 진리이기도 하다. 그러나 이를 실천하기는 항상 어렵다. 미리 준비하는 자세는 모든 걱정을 덜어낸다. 이번 2월호에 소개하고자 인터뷰를 통해 만나 본 변철우 교수는 남다른 세심함으로 이를 실천하고 있는 연구자이다.

미리 준비하는 자세

변철우 교수는 작년 원광대학교 전자공학과에 새로 부임했다. 그는 학부 3학년 시절 수강했던 전자회로 강의가 전공분야를 선택한 계기가 되었다고 말한다. "전자회로 수업을 들으며 회로에 대한 흥미를 느껴 더 깊은 공부에 매진하고 싶다는 생각이 들었습니다. 이에 대학원 진학을 결심한 이후 대학 교과 과정에서 RF(Radio Frequency)에 대한 내용을 중심으로 강의를 수강했습니다."

이처럼 사소한 부분도 미리 준비하는 그의 자세는 석사과정 시절 겪었던 한 일화를 통해 더욱 단단해졌다고 한다. "석사 논문 심사를 위해 처음 칩을 제작하고 실험하는데, 칩이 동작하지 않았습니다. 회로 설계 분야에서는 칩이 동작하지 않으면 학위를 받는 것이 불가능했기 때문에, 며칠째 밝혀지지 않는 이유를 심각하게 고민했습니다. 이에 좌절하지 않고 지도교수님과 선배님들의 도움으로 처음부터 꼼꼼히 문제를 살펴보니, 기초적인 실수(바이어스 및 그라운드 환경)가 원인이었습니다. 다행히도 기한 내에 이를 해결하여 실험과 논문 심사를 무사히 마칠 수 있었습니다. 그 이후부터는 항상 기초부터 자세히 살피게 되었고, 문제가 생기더라도 해결 가능한 시간을 확보하기 위해 미리 준비하는 습관이 생겼습니다."

삶의 질 향상에 기여하는 연구자

RF를 전공 분야로 선택한 그는 여러 가지 중에서도 많은 방면에서 존경했던 지도교수의 제안을 통해 밀리미터파 저전력 회로에 대한 연구를 시작했다고 한다. "밀리미터파 대역은 기존 이동통신 등에 사용하는 주파수보다 사용 가능한 대역폭이 넓어 Gb/s의 고속 통신이 가능하다는 장점이 있습니다. 이를 이용하여 개인 사무 공간에서 USB/HDMI 등의 고속 케이블을 제거하고, 선 연결 없이 휴대폰과 컴퓨터 및 모니터 간 통신을 가능케 하여 사람들의 편리성을 향상하고자 했습니다. 이에 밀리미터파 대역 송수신기 및 시스템에 대한 연구를 진행했습니다. 새로운 구조의 송수신기와 안테나 패키지의 설계를 통해 가장 낮은 전력 소모와 가장 높은 에너지 효율의 송수신기 및 시스템을 구현, 발표했습니다."

이처럼 연구 활동에서 사람들의 편리성 향상이라는 가치를 잊지 않는 그는 인류의 삶의 질을 향상하여 사람이 행복한 사회를 만드는 것을 연구의 최우선 목표로 삼는다고 말했다. "반도체 산업의 발전으로 인류의 삶의 질은 크게 향상했습니다. 휴대폰의 등장으로 언제 어디서든 서로의 안부를 물을 수 있고, 더 나아가

스마트폰의 등장은 멀리 떨어진 가족이 얼굴을 볼 수 있고, 필요한 정보를 마음껏 찾을 수 있도록 해 주었습니다. 이처럼 삶의 질 향상에 기여하여 사람들이 행복하게 살 수 있는 사회가 되도록 기술 발전에 이바지하겠다는 자세로 연구에 임하고 있습니다."

그는 현재 10cm 이하의 단거리에서 device, module, board, chip 간 유선 통신을 무선 통신으로 대체하기 위한 송수신기 회로 및 시스템에 대한 연구를 하고 있다. 이에 필요한 저전력, 소형화, 고속화를 위해 밀리미터파 대역을 이용한 antenna-on-chip 연구와 50mW 이하의 전력을 이용하여 10Gb/s 이상의 데이터를 전송하는 저전력 고속 송수신기를 연구하고 있다. 이 밖에도 non-line-of-sight에서도 통신이 가능하도록 하는 phased-array 시스템도 연구 중이다.

미래를 내다보며

현재 그가 연구하고 있는 밀리미터파 회로 및 시스템 분야의 전망에 대해 물었다. "미래에는 모든 디바이스가 서로 연결되고 고화질의 디스플레이가 어디든 존재하며, 네트워크의 데이터 트래픽이 급격하게 증가될 것입니다. 이러한 시대에 발 맞추어 가기 위해 데이터 속도와 응답 시간 및 해상도를 향상할 수 있는 밀리미터파 대역 회로 및 시스템 분야에 대한 관심은 지속적으로 증가할 것이라고 기대합니다."

더 나아가 반도체 산업과 관련하여 그는 여러 가지 전자기기의 발달로 인해 꾸준히 증가하는 수요에 대비할 수 있는 반도체 관련 인력의 증가가 필요하다고 말했다. "이동통신, 태블릿 PC, 웨어러블 기기 및 자동차, 로봇, 스마트 그리드, 의료기기 등의 시장이 계속해서 성장하고 있습니다. 이에 전자기기는 더 다양하고, 작고, 빠르고, 전력 소모가 적은 특성을 요구하게 될 것입니다. 따라서 고속화, 저전력, 고효율의 회로를 설계하는 반도체 인력이 꾸준히 필요할 것으로 생각합니다."

마지막으로 그는 이러한 미래에 밀리미터파/테라헤르츠 대역을 이용하여 단거리용 고속 데이터 전송과 빔포밍 시스템을 이용한 이미지 응용 분야 및 바이오 의료 응용 분야에 대한 연구에 도전해보고 싶다고 한다. "밀리미터파/테라헤르츠 대역의 직진성 및 고해상도 특성을 이용하여 바이오 의료 분야에서 다양한 해결책을 찾고 싶습니다."

'실패는 성공의 어머니이다', '실패를 두려워 말라'는 토머스 에디슨과 버트란트 러셀의 명언을 항상 마음 속에 새기며, 실패를 두려워 하지 않고 새로운 시도를 이어가고자 하는 변철우 교수. 실패는 단순한 시행착오이며 오히려 더 많은 것을 배울 수 있다는 그의 연구자로서의 자세가 다가오는 미래를 더욱 빛나게 할 것이다.