

VOL. 220  
October 2015

IDEC Newsletter | 통권 제220호

◎ 발행일 2015년 09월30일 ◎ 발행인 박인철 ◎ 편집인 남병규 ◎ 제작 푸울디자인  
◎ 기획 김하늘 ◎ 전화 042) 350-8535 ◎ 팩스 042) 350-8540 ◎ 홈페이지 <http://idec.or.kr>  
◎ E-mail [kimsky1230@idec.or.kr](mailto:kimsky1230@idec.or.kr) ◎ 발행처 반도체설계교육센터(DEC)

반도체설계교육센터 사업은 미래창조과학부(산업통상자원부), 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 에이티세미콘, TowerJazz)의 지원으로 수행되고 있습니다.



## MPW (Multi-Project Wafer) 2015년 MPW 진행 내역

- 2016년 MPW진행 일정
  - 6개 공정 11월 말에 공지될 예정입니다.
- 2015년 MPW 진행 내역
  - 6개 공정 16회 진행, 2015년 MPW 모집 마감
  - 2015년 MPW 진행 일정 및 진행 내역

공정	회차구분 (공정_년도순서)	모집칩수 (mmxmm)x 칩수/회별	정규모집 신청마감	참여칩수 (mmxmm)x칩수	DB 마감	Die-out	비고
삼성 65nm	S65-1501	[4x4]	2014.12.29	[4x4]x 39	2015.06.15	2015.12.14	제작중
	S65-1502	x48	2015.04.20	[4x4]x 32	2015.10.19	2016.04.19	설계중
	S65-1503		2015.06.22	[4x4]x 32	2016.01.18	2016.07.18	설계중
MS 0.18um	MS18-1501	[3.8x3.8] x25	2014.12.29	[3.8x3.8]x17 [3.8x1.9]x16	2015.03.02	2015.08.03	제작완료
	MS18-1502		2015.01.26	[3.8x3.8]x20 [3.8x1.9]x7	2015.05.11	2015.10.12	package 제작중
	MS18-1503		2015.02.23	[3.8x3.8]x19 [3.8x1.9]x5	2015.07.13	2015.12.14	제작중
	MS18-1504		2015.03.23	[3.8x3.8]x22 [3.8x1.9]x6	2015.09.07	2016.02.01	제작중
	MS18-1505		2015.05.26	[3.8x3.8]x24 [3.8x1.9]x2	2015.12.18	2016.05.09	설계중
MS 0.35um	MS35-1501	[5x4]x20	2015.01.26	[5x4]x18 [5x2]x3	2015.06.08	2015.09.29	package 제작중
	MS35-1502		2015.07.20	5x4]x19 [5x2]x2	2016.01.11	2016.04.30	설계중
TJ SiGe	TJS18-1501	[2.35x2.35]x4	2014.12.29	[2.35x2.35]x1 [5x2.5]x1	2015.04.27	2015.09.15	제작중
TJ CIS	TJC18-1501	[2.35x2.35]	2015.01.26	[2.35x2.35]x4	2015.06.15	2015.10.23	DB 접수중
	TJC18-1502	x4	2015.05.26	[2.35x2.35]x4	2015.11.23	2016.03.28	설계중
TJ BCD	TJB18-1501	[2.35x2.35]	2014.12.29	[5x2.5]x2 [2.35x2.35]x8	2015.03.02	2015.07.06	제작완료
	TJB18-1502		2015.03.23	[5x2.5]x1 [2.35x2.35]x8	2015.08.24	2015.12.28	제작중
	TJB18-1503		2015.05.26	[2.35x2.35]x9	2015.11.30	2016.04.04	설계중

## 2015년 10월 교육프로그램 안내

수강을 원하는 분은 IDEC 홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

### KAIST 개설 강좌 안내

센터명	강의일자	강의제목	분류
본센터	10월 26-27일	Sentaurus Training (2)	Tool강좌
	10월 30일	Wireless Communication System의 이해와 RF IC 설계 기초	설계강좌

- 강좌일 : 강좌일 : 10월 30일
- 강좌 제목 : Wireless Communication System의 이해와 RF IC 설계 기초
- 강사 : 변영재 교수

#### 강좌개요

- 공식 위주로 전자회로를 접했던 모든 학생들에게 '개념' 위주의 접근을 시도하며, 그를 통하여 회로 설계에 '의미'를 부여 할 수 있게 함.
- Wireless IC 설계에 필요한 기초 지식 전반에 걸친 단기 리뷰를 통하여 기존에 배웠던 여러 가지 회로 설계 지식에 의미부여를 목표로 함.

**수강대상** 전공자중 대학교4학년, 석사 1-2년, 직장인 및 타전공사  
**강의수준** 초급  
**강의형태** 이론  
**사전지식, 선수과목** 전자회로 1, 2

\*문의 : KAIST IDEC 이한나 (042-350-8536, lhn1224@idec.or.kr)

## 2016년 IDEC WG 참여교수 선정

71개 대학(73개 WG), 335명 참여교수 선정

IDEC Working Group(WG)은 전국 이공계 대학의 참여 신청을 접수하여 선정하며, 반도체설계환경 인프라 구축과 실무를 경험한 SoC 설계 전문 인력을 양성함으로 국가 경쟁력 강화의 기반 마련

#### [WG 지원 내용]

- 최신 기술 공정의 칩 제작(MPW) 지원(Cell Library 포함)
- EDA Tool 지원(25종)
- IDEC 보유 Analog IP 제공

## Chip Design Contest (CDC)

- 2015 IDEC SoC Congress Chip Design Contest(CDC) 개최

1. 일정 및 장소 : 2015년 09월 22일(화), KAIST K빌딩
2. 진행 일정

구분	시간	내용
데모/패널 전시	10:00 ~ 16:00	WG 우수논문, 칩 설계 결과, 이전 CDC(SOCC 2014, 22nd KSO) 우수팀 전시 총 데모 10팀, 패널 94팀
시상식	15:00 ~ 15:30	

3. 시상 내역

Award 명	수상팀 수	내용
Best Design Award	1팀	상장 및 상금 100만원
Best Demo Award	2팀	각 상장 및 상금 50만원
Best Poster Award	4팀	각 상장 및 상금 20만원

- International SoC Design Conference(SOCC) 2015 Chip Design Contest(CDC) 개최

1. 일정 및 장소 : 2015년 11월 03일(화), 경주 현대호텔
2. 진행 일정

구분	시간	내용
패널 우수팀 발표	09:00 ~ 10:00	CDC session 1~3 (총 10편, 한 편당 15분 발표)
데모/패널 전시	09:00 ~ 15:30	총 데모 5팀, 패널 99팀 (오전, 오후로 나누어 전시)
시상식	17:45 ~ 18:45	Banquet

3. 시상 내역

Award 명	수상팀 수	내용
Best Design Award	1팀	상장 및 상금 100만원
Best Demo Award	1팀 + 특별상(SSCS 서울챕터상)	각 상장 및 상금 50만원
Best Poster Award	5팀	각 상장 및 상금 20만원

수상팀 수는 참여팀 수에 따라 조정될 수 있음.

\*문의 : KAIST IDEC 김하늘 (042-350-8535, kimsky1230@idec.or.kr)

- \* 일정은 사정에 따라 다소 변경될 수 있음.
- \* 회차 표기 방법 변경 : 공정코드-년도 모집순서 (예시) 삼성65nm 2015년 1회차 : S65-1501)
- \* TowerJazz 공정은 sub chip(2.35mmx2.35mm)으로 분리하여 모집
- \* 모집기간 : 모집 마감일로 부터 2주전부터 접수
- \* Package 제작은 Die out 이후 1개월 소요됨
- \* 기준일 : 2015.09.30

\* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)



# 2015 IDEC SoC Congress

개최 소식 2015.09.22(화), KAIST K빌딩

지난 9월 22일(화) 개최된 IDEC SoC Congress(ISC)에서는 SoC 분야 산업 동향에 대한 정보 공유와 인력양성을 위한 대학 교육 방향에 대해 논의가 이루어 졌다. 또한, 대학(Working Group, WG)에서 IDEC MPW를 통해 제작한 94개팀의 칩 설계 결과와 WG의 우수 논문 게재 내역도 함께 전시되었다.

또한, 이날 행사에서는 SoC 전문인력 양성을 확대하기 위한 대학 교육 방향에 대한 제안과 지적이 오갔다.

최근 관심 분야인 '자동차 반도체 시장과 기술 동향'에 대한 세미나(Kent.Chon 사장, TIK코리아)에서는 한국이 '반도체 강국'이지만 메모리에 편중되어 한계가 있음을 지적하고, 향후 경쟁력을 위해서는 지금부터라도 자동차, 사물인터넷(IoT), 웨어러블 시장을 이끌어갈 아날로그 반도체 성장에 초점을 맞춰 인재를 양성해야 한다는 메시지를 남겼다.

이순석 어보브반도체 부사장은 'SoC 산업의 시장과 핵심 기술 동향' 세미나에서 중국이 '반도체 생산국'으로 도약을 추진하고 있는 현 상황에서 핵심 인재와 중소기업 육성에 속도를 내 경쟁력을 확보하는 게 절실하다고 했다. 이를 위해서는 정부 지원, 대학 전문인력 양성, 대기업과 중소기업 간 협력으로 전문 핵심 인력이 부족한 반도체 원천 기술과 특히 소프트웨어와 알고리즘 분야에 장기적으로 인재를 양성하는 게 중요하다고 조언했다.



한편, 정부, 기업, 대학 관계자들이 함께 논의한 'SoC 산업을 이끌어갈 전문 인재 양성을 위한 대학 교육 방향'에 대한 논의가 있었다.

이상원 연구위원(SK하이닉스 미래기술부문)은 "중국 시스템반도체 수출 점유율은 2011년 후반부터 약 14% 수준으로 급성장했고 2013년 20%를 돌파했지만, 한국은 여전히 10% 수준을 돌파하지 못하는 실정"이라며 "중국이 한국을 추격하는 게 아니라 이미 추월했으며, 시스템반도체가 반도체 시장에서 살 길을 분명히 알아야 한다"고 했다. 박주성 교수(부산대학교, IDEC캠퍼스센터장)는 국내 대학 반도체 설계 교육이 취약하다고 지적하고, "기업은 당장 아날로그·디지털 반도체 SoC 설계에 투입할 수 있는 인력을 요구하지만 정작 대학 교육 상황을 살펴보면 칩 제작과 테스트, 시스템 구현 분야가 대부분 전공선택 과목으로 돼 있어 상대적으로 취약하다"고 말했다. 또 "IDEC은 전국 69개 대학 340개 연구실이 참여해 반도체 설계 전문인력을 양성하지만 최근 수년간 정부 운영지원 예산이 줄고 있어 강좌 개설에



어려움이 크다"며, "합리적 재정 지원과 학점 인정 장기강좌 마련 등 실현 가능한 제도를 보강해야 한다"고 조언했다. 이외 앞으로의 SoC 전문 인력을 위해 대학과 관계 기관들의 역할에 대해서 심층적 고민이 함께 이루어지는 자리가 되었다.

본 행사에서는 지난 1년간 SoC 분야에서 활발한 활동과 인력 양성을 위해 도움을 주신 분들께 상을 수여하는 자리도 마련하였다. 먼저, SoC 분야 교수님으로 구성된 Working Group으로 활동하시면서 후학 양성을 위해 애쓰신 분과, 관련 분야 교육을 해주신 분 중 우수 강사께 시상하였다. 또한, Chip Design Contest 부문에서는 우수한 아이디어 설계팀에게 상을 전달하였다.

## 시상내역

### ● WG 우수 참여 교수상

소속	이름
서강대학교	안길초 교수
서강대학교	법진욱 교수
가천대학교	조성재 교수
광운대학교	신현철 교수

### ● 우수 강사상

소속	이름
KAIST	조성환 교수
KAIST	류승탁 교수
경북대학교	심재훈 교수
한국외국어대학교	조경순 교수

### ● CDC 우수 설계팀

Award 명	이름	소속
Best Design Award	김종인	KAIST
	김효준	KAIST
Best Demo Award	박준식	전북대학교
	이태호	KAIST
Best Poster Award	이형민	서울대학교
	최재민	아주대학교
	한홍길	연세대학교



# 두 개의 부궤환 루프를 가진 PLL

## 1. 서론

1932년에 하나의 부궤환 루프를 가진 PLL 구조가 발표되었고(그림 1), 1980년에는 전하 펌프 개념이 도입되어 PLL 특성이 개선되었다. 기존 구조는 그림 1과 같이 PFD(주파수 위상 검출기), CP(전하펌프), LF(루프 필터), VCO(전압제어발진기)와 DIV(분주기)로 구성된 하나의 부궤환 루프의 PLL을 기반으로 하고 있다 [1]. 현재 PLL의 다양한 응용분야는 아래와 같다.

- Clock Generator
- Frequency Synthesis / Clock Generator
- FM Demodulator
- Frequency-Shift-Keying Demodulator
- Frequency Translator
- Jitter Suppression in clock distribution system in chip
- Clock Recovery

대표적인 것은 집적회로에서 필요한 클럭 신호를 생성하는 clock generator와 통신 시스템에서 필요한 주파수를 만드는 frequency synthesizer이다. 다음은 clock generator와 frequency synthesizer의 역할과 요구되는 특성을 보여주고 있다.

### Clock generator

- 작은 크기의 지터 특성
- 집적화가 가능할 정도로 작은 크기
- 잡음에 강한 특성

### Frequency synthesizer

- 우수한 위상 잡음 특성
- 작은 크기의 스퍼

## 2. PLL 구조

### 2.1 기존 하나의 부궤환 루프를 가진 PLL

하나의 부궤환 루프로 되어있는 기존 PLL에 가장 많이 사용되는 저항과 커패시터로 구성된 2차 루프 필터를 가진(그림 1) PLL은 다음과 같은 전달함수를 가진다. 식 (1)은 모든 제어 교과서에 나오는 전형적인 부궤환 루프 수식이다.

$$\phi_o = \frac{I_p \frac{1}{2\pi C_p} \frac{s+z}{s} \frac{K_{VCO}}{s}}{1 + \frac{1}{N} \frac{I_p \frac{1}{2\pi C_p} \frac{s+z}{s} \frac{K_{VCO}}{s}}{1 + \frac{1}{N} G(s)}} = \frac{G(s)}{1 + \frac{1}{N} G(s)} \quad (1)$$

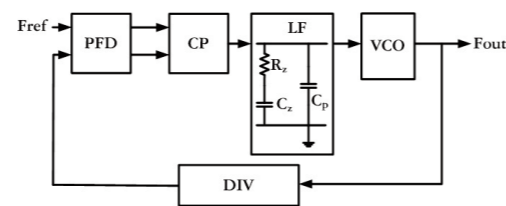


그림 1. 하나의 부궤환 루프로 구성된 기존PLL 구조(2차 루프 필터).

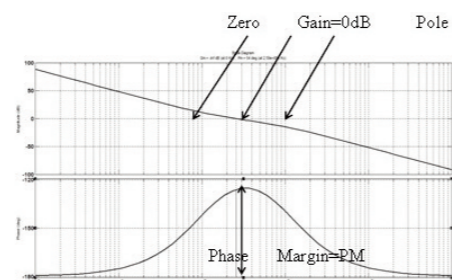


그림 2. 2차 루프 필터를 가진 기존 구조 PLL의 Bode도.

2차 루프 필터를 가진 기존 구조의 PLL은 설계는 다음과 같은 조건을 만족하여야 한다. 그림 1의 루프 필터의 저항, 커패시터, 분주비, 전하펌프 전류와 전압제어발진기의 기술기에 의해 결정되는 그림 2에서 zero와 pole의 위치, 그리고 대역폭을 적절하게 선택하여 open loop 전달 함수의 크기가 0dB일 때 충분한 위상여유(Phase Margin : PM)을 가지도록 하여야 한다.

## 2.2 두 개의 부궤환 루프를 가진 새로운 구조의 PLL

잡음 특성과 크기를 획기적으로 개선 할 수 있는 두 개의 부궤환 루프를 가진 PLL 구조가 그림 3에 나타나 있다 [2]. PFD, CP LPFE(s), VCO와 DIV(Divider : N)로 구성된 외부 부궤환 루프와 VCO, M divider(optional), 주파수 전압 변환기(Frequency Voltage Converter : FVC)와 LPFI(s)로 구성된 내부 부궤환 루프로 구성된다. 잡음에 의해 VCO 출력 주파수가 변하면 FVC를 포함한 내부 부궤환 루프는 잡음에 의한 변화를 줄여주는, 즉 부궤환 역할을 한다. 두 개의 부궤환 루프를 가진 PLL의 전달함수는 하나의 부궤환 루프로 구성된 기존 PLL과 달리 식 (2)에 나타난 바와 같이 분모에 새로운 항이 생성된다.

$$\phi_o = \frac{\frac{I_p}{2\pi} \frac{LPFE(s) K_{VCO}}{s}}{1 + \frac{1}{N} \frac{I_p}{2\pi} \frac{LPFE(s) K_{VCO}}{s} + \frac{N K}{M s C_f} K_{VCO}} = \frac{G(s)}{1 + \frac{1}{N} G(s) + LPFI(s)F(s)} \quad (2)$$

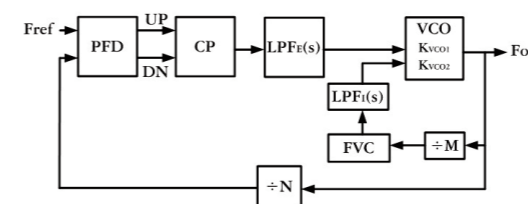
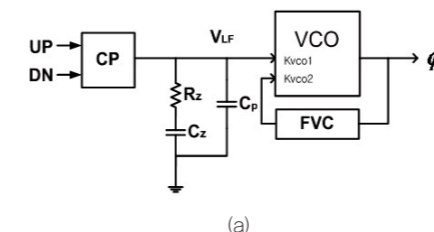
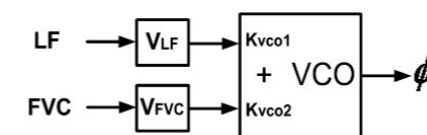


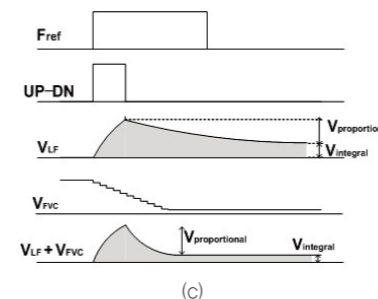
그림 3. 두 개의 부궤환 루프를 가진 PLL.



(a)



(b)



(c)

그림 4. FVC 역할.

- (a) 2차 루프 필터와 FVC와 VCO 부궤환 루프
- (b) 개념도 (c) 전압의 변화

그림 4는 FVC의 부궤환 동작을 보여주고 있다. 예를 들어 UP 신호가 발생하여 외부 루프 필터 출력 전압(VLF) 상승하면 VCO 출력 주파수도 증가한다. 이는 FVC 출력 전압(VFVC)을 하강하게 한다. 그림 4(c)가 보여주듯 UP 신호에 의한 전압 변화가 줄어든다(VLF + VFVC), 즉 PLL의 기준신호 한 주기 동안 발생하는 초과 위상(excess phase)의 크기가 감소하므로 PLL이 안정적으로 동작 할 수 있다. 이는 위상 고정루프를 더 안정적으로 동작하도록 해준다. 두 개의 부궤환 루프를 가진 위상고정루프에서의 주파수 전압 변환기의 역할은 다음과 같이 요약할 수 있다.

- 전압제어 발진기의 출력 주파수가 변하면 주파수 전압 변환기는 compensator로 동작하며, 이는 잡음의 크기를 줄여준다.
- 전압제어 발진기의 출력 주파수가 변하면 주파수 전압 변환기는 stability enhancer로 동작하며, 이는 PLL의 크기를 줄여준다.

내/외부 루프 필터 종류, 각 필터를 구성하는 저항 및 커패시터스 크기와 Kvco1값에 Kvco2에 따라 원하는 특성을 가진 특성을 가진 PLL을 설계 할 수 있다.

## 3. 두 개의 부궤환 루프를 가진 PLL 설계 방법 및 칩 구현

### 3.1 설계 방법

#### A. 잡음 특성이 개선된 PLL

충분한 위상 여유를 가진 기존 PLL에 FVC를 추가하여, 또 하나의 FVC + VCO 부궤환 루프를 가지도록 한다. 추가된 FVC는 잡음 특성을 개선해주는 compensator로 동작한다.

#### B. 작은 크기의 위상고정루프

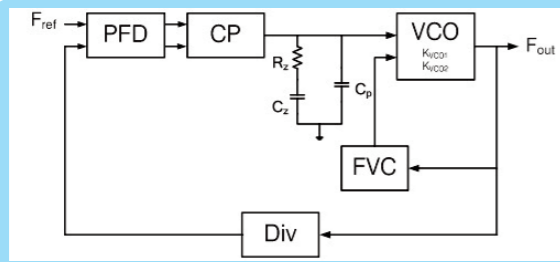
작은 값의 커패시터와 저항으로 인하여 충분하지 않은 위상여유를 가진 기존 PLL에 FVC를 추가하여, 또 하나의 FVC + VCO 부궤환 루프를 가지도록 한다. 추가된 FVC는 전체 위상고정루프를 안정적으로 동작하도록 해주는 stability enhancer 역할을 한다.

### 3.2. 구현 사례

#### 3.2.1 두 개의 부궤환 루프를 가진 PLL : 잡음 특성 개선

기존 구조에서 안정적인 동작과 가장 좋은 잡음 특성을 보여주는 충분한 위상여유를 가지도록 설계된 2차 루프 필터를 가진 PLL에, VCO와 FVC로 구성된 내부 부궤환 루프가 추가된 두 개의 부궤환 루프를 가진 PLL을 칩으로 구현하였다.





Rz=1.5KΩ, Cz=1.5nF, Cp=100pF

그림 5. 잡음 특성을 크게 개선한 두 개의 부궤환 루프를 가진 PLL.

그림 6은 식 (2)의 전달 함수를 그림으로 나타낸 것이다. 그림 6은 두 개의 부궤환 루프가 기존 하나의 부궤환 루프를 가진 PLL의 잡음 특성을 획기적으로 개선할 수 있다는 것을 보여주고 있다. 즉 추가된 부궤환 루프는 낮은 주파수에서부터 잡음 감쇄가 일어나도록 한다.

그림 7은 칩으로 구현된 기존 구조의 PLL과 두 개의 부궤환 루프를 가진 PLL의 측정 결과를 보여주고 있다. 위상 잡음이 아주 낮은 주파수에서 감쇄되어 Integrated RMS Jitter가 132.5ps에서 8.68ps로 감소하였다. 그림 8은 위상 고정시간을 보여주는 루프 필터의 출력 전압을 측정하였으며 두 구조는 비슷한 위상 고정시간을 가진다. 추가된 FVC는 잡음 특성을 개선해주는 compensator로 동작한다.

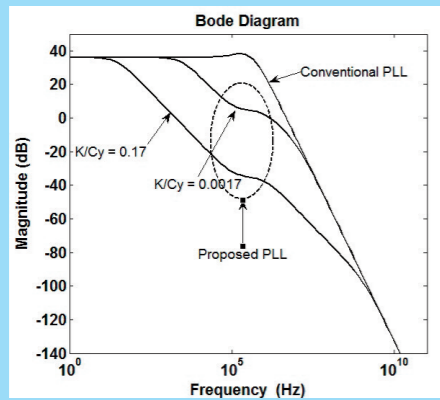
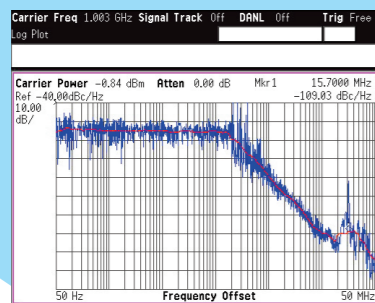
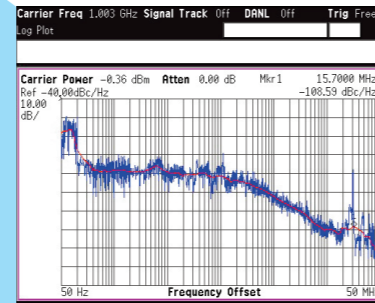


그림 6. 전달 함수



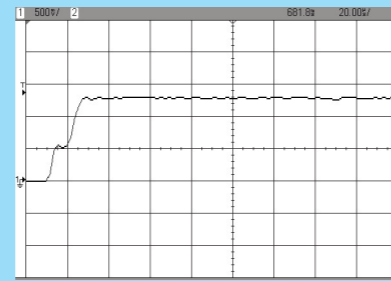
(a)



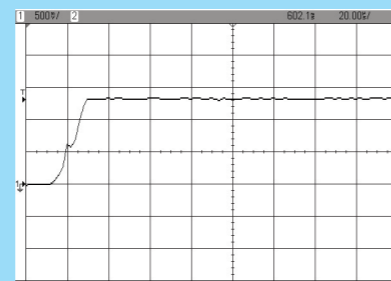
(b)

그림 7. 측정된 잡음특성

- (a) 기존 PLL (Integrated RMS Jitter : 132.5ps)
- (b) 두 개의 부궤환 루프를 가진 PLL(Integrated RMS Jitter : 8.68ps)



(a)



(b)

그림 8. 측정된 루프 필터 출력 전압

- (a) 기존 PLL
- (b) 두 개의 부궤환 루프를 가진 PLL, 위상 고정 시간이 거의 같다.

### 3.2.2 두 개의 부궤환 루프를 가진 PLL : 크기 축소

- Single capacitor loop filter

그림 9는 두개의 부궤환 루프를 가진 PLL에 하나의 커패시터로 구성된 루프 필터를 사용한 PLL을 보여준다. 전달 함수는 식 (3)과 같고 그림 10은 전달 함수를 그림으로 나타낸 것이다. 기존 하나의 부궤환 루프를 가진 PLL에서는 루프 필터가 하나의 커패시터로 구성되면 PLL 동작이 불안해지므로 사용할 수가 없다. 그림 10에서 나타난 봐와 같이 이 구조에서는 대역폭 근처에 발산한다.

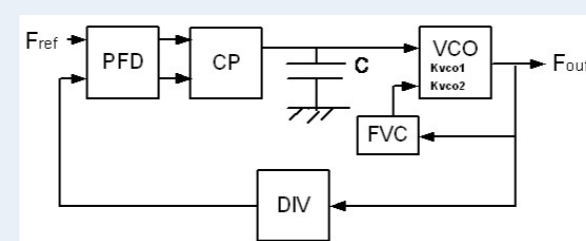


그림 9. 두개의 부궤환 루프를 가진 PLL에 하나의 커패시터로 구성된 루프 필터 사용.

$$\phi_o = \frac{I_P \frac{1}{2\pi sC} \frac{K_{VCO1}}{s}}{1 + \frac{I_P \frac{1}{N} \frac{K_{VCO1}}{2\pi sC} + N \frac{K}{sC_y} K_{VCO2}}{s}} = \frac{G(s)}{1 + \frac{1}{N} G(s) + F(s)} \quad (3)$$

I<sub>P</sub> : CP current, K<sub>VCO1</sub>/ K<sub>VCO2</sub> : VCO gain, N : q, K : FVC gain, C<sub>y</sub> : FVC LF

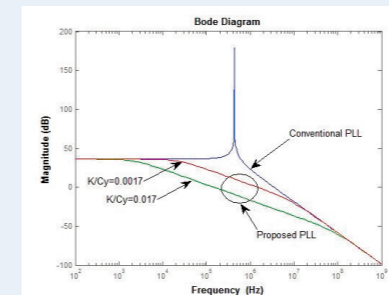


그림 10. 두 개의 부궤환 루프를 가진 PLL에 하나의 커패시터로 구성된 외부 루프필터 사용.

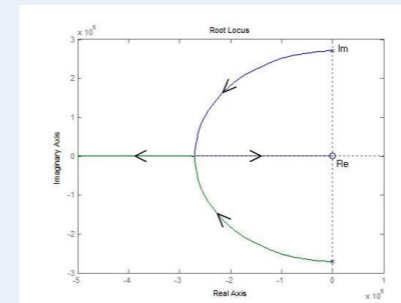


그림 11. Root locus

그림 11은 두 개의 부궤환 루프를 가진 PLL에 하나의 커패시터로 구성된 외부 루프필터 사용한 구조를 root locus를 이용하여 안정도를 확인하였다. 식 (3)에서 F(s), 즉 추가된 루프의 크기가 증가하면 pole이 허수 축에서 왼쪽으로 이동한다. 이는 전체 PLL이 안정적으로 동작할 수 있다는 것을 보여준다.

시뮬레이션 결과도 그림 12 (a)와 같이 루프 필터 전압이 불안하게 변하는 것을 보여 주고 있다. 이 구조에 또 하나의 부궤환 루프를 도입하여 두 개의 부궤환 루프를 가진 PLL로 설계 하면 그림 12 (b)가 보여주듯이 안정적으로 동작한다. 두 개의 부궤환 루프가 PLL을 더욱 더 안정적으로 동작하도록 해준다.

그림 13과 14는 두개의 부궤환 루프를 가진 PLL에 하나의 커패시

터로 구성된 루프 필터를 사용하여 칩으로 구현한 것을 측정한 결과이다. 그림 13은 루프 필터 전압이 안정된 값으로 수렴하는 것을 보여주고 있다. 측정된 결과는 기존 구조에서는 사용할 수 없었던 하나의 커패시터로 구성된 루프 필터를 두개의 부궤환 루프를 가진 PLL에 사용할 수 있다는 것을 보여주고 있다. 이는 루프 필터의 커패시턴스 크기를 줄여도 안정적으로 동작하는 PLL 설계가 가능하다는 것을 보여준다. 추가된 FVC는 전체 위상고정루프를 안정적으로 동작하도록 해주는 stability enhancer 역할을 한다.

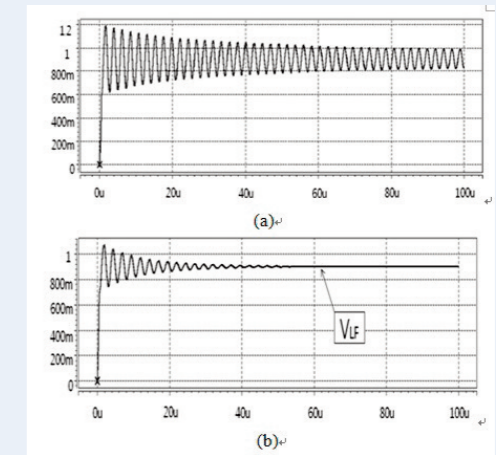


그림 12. 루프 필터 출력 시뮬레이션 결과.

(a) 하나의 부궤환 루프를 가진 PLL에서 루프 필터가 하나의 커패시터로 구성된 루프 필터 일 때 (b) 두 개의 부궤환 루프를 가진 PLL에 하나의 커패시터로 구성된 루프 필터 사용 하였을 때

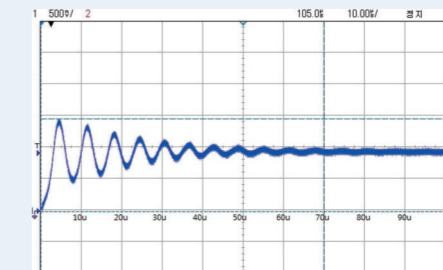
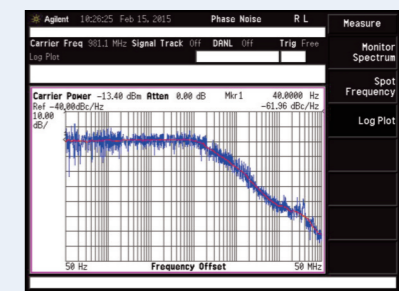


그림 13. 측정된 루프 필터 전압.



Integrated RMS jitter = 80ps.

그림 14. 측정된 잡음 특성.

- Small size 2<sup>nd</sup>-order loop filter



그림 15는 2차 루프 필터의 커패시턴스와 저항의 크기를 축소한 두 개의 부궤환 루프를 가진 PLL이다. 기존 구조인 하나의 부궤환 루프를 가진 PLL에서는 충분하지 않은 위상여유로 인하여 불안하게 동작한다. 추가된 FVC는 전체 위상고정루프를 안정적으로 동작하도록 해주는 stability enhancer 역할을 한다. 그림 16의 측정 결과가 보여주듯이 잡음 특성도 우수하다.

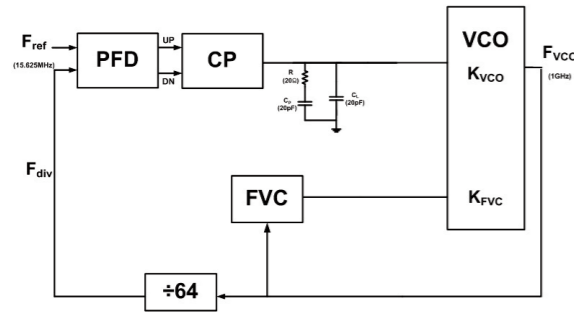
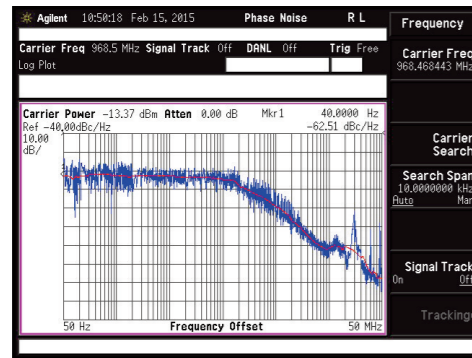


그림 15. 크기를 크게 줄인 두 개의 부궤환 루프를 가진 PLL(전체 capacitance : 65pF).



Integrated RMS jitter = 46ps.

그림 16. 측정결과(전체 capacitance : 65pF).

#### 4. 결론

두 개의 부궤환 루프를 가진 PLL은 기존 하나의 부궤환 루프를 가진 PLL에 비해 우수한 잡음 특성의 PLL로, 또는 작은 크기의 PLL로 구현될 수 있다는 것을 보여주고 있다. 또한, 이미 설계되어있는 PLL에 VCO+FVC 부궤환 루프를 추가하면 되므로 기 설계된 PLL 특성 개선이 가능하다.

꽤 오래 시간 동안 연구를 하였고, 현재도 진행하고 있지만 내/외부 루프 필터 종류, 내/외부 루프의 전달 특성과 안정도 판별 등등 관한 연구가 많이 부족하다. 산업계에서 원하는 특성을 가진 PLL 설계는 가능하지만, 이를 뒷받침할 많은 이론적인 연구가 필요하다.



최영식 교수  
소속 : 부경대학교 전자공학과  
주 연구분야 : PLL/DLL  
E-mail : choiys@pknu.ac.kr

#### 참조논문

- [1] Floyd M. Gardner, "Charge-Pump Phase-Lock Loop," IEEE J. Tran, on Communications, vol. COM-28, NO, 11, pp. 1849-1858, Nov., 1980.
- [2] Young-Shig Choi, "Phase-Locked Loop with Two Negative Feedback Loops," U.S. Patent, 8 547 150, Oct. 1, 2013.

# JICAS 논문 모집 안내

반도체설계교육센터(IDEC)을 통해 매년 300여 개의 칩을 통한 연구결과물이 배출되고 있습니다.

- 이처럼 IDEC 지원을 통해 나온 결과물의 관리체계 확보를 통해 연구의 질적 수준 향상을 유도하고 설계자들의 연구경쟁력 제고 및 연구성과의 공유 활성화, 그리고 나아가 국내/외 우수학술지와의 경쟁을 통한 국제 경쟁력 강화에 이바지하고자 저널지를 준비하려 합니다.
- 이에 IDEC MPW 지원을 받는 WG(WORKING GROUP) 소속을 대상으로 IDEC 저널 2호 논문을 모집하오니 연구 발표를 희망하시는 분들의 많은 참여 부탁드립니다.

**제목** | JICAS (IDEC JOURNAL OF INTEGRATED CIRCUITS AND SYSTEMS)  
**대상** | WORKING GROUP 소속 교수 및 학생  
**분야 및 주제** | IDEC MPW 지원을 통해 나온 연구결과물로 주제는 자유  
**분량 및 형식** | A4용지 12장 내의 국문 또는 영문 논문으로 JICAS 논문집필요령에 따라야 함  
 (\* 첨부 참조: JICAS 저널 규정, 논문집필요령, 논문양식)

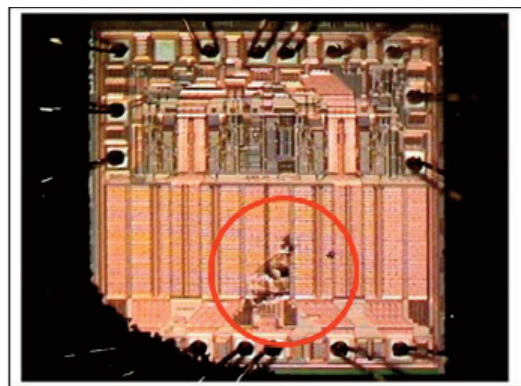
**제출 시기** | 2015년 10월  
**심사** | 논문 편집위원회 심사  
**게재** | 2015년 12월에 발간하는 2호에 게재.  
**신청 및 논문 제출방법** | KIMSKY1230@DEC.OR.KR 로 신청 및 접수  
**문의** | 김하늘 주임연구원 (042-350-8535, KIMSKY1230@DEC.OR.KR)



# 내방사선 소자 및 회로 설계

## 1. 서론

내방사선 회로는 우주 개발, 항공, 원자력 임무 수행에 있어 바탕이 된다. 우주, 지구 고고도, 원자력 발전소의 방사선 환경은 전자부품에 복구불가능한 치명적인 문제를 야기할 수 있다. 그림 1에서와 같이 방사선은 전자부품에 큰 손상을 주어, 수명단축에서부터 폐기까지 이를 정도의 심각한 피해를 입히고 있다. 전자부품이 방사선 환경 속 핵심 임무 수행 중에 이러한 피해가 발생하게 된다면, 임무 실패는 물론이고 나아가 치명적인 인적·물적 피해를 가져올 수 있다. 따라서 전자부품이 방사선 환경에서 정상동작을 보장받기 위해서는 내방사선 반도체 회로 사용을 통한 신뢰성 확보가 필수 불가결하다.



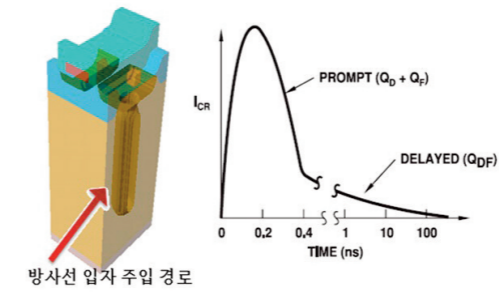
〈그림 1〉 우주방사선에 의해 반도체 칩이 녹아버린 상태

## 2. 방사선 조사에 의한 단위 소자에서의 영향

방사선 환경에서의 전자부품의 오동작은 두 가지 효과로 나눌 수 있다. 짧은 시간동안 발생하는 단위 사건 효과(Single Event Effect: SEE)와, 오랜 시간동안 방사선이 입사하여 고정 전하(Fixed Charge)가 누적됨에 따라 발생하는 총 이온화 선량효과(Total Ionizing Dose effect: TID)이다.

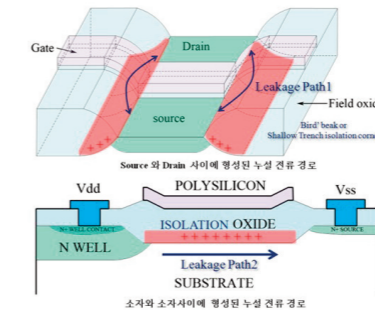
SEE의 경우 에너지를 가지는 입자가 단위소자에 입사하여 발생하는 전자 정공 쌍이 회로에 펄스를 발생시킴에 따라, 메모리 소자의 경우 저장되어 있는 bit가 반전되는 Upset이 일어나거나 과도 전류에 의해 회로가 Burning되어 영구적으로 파괴될 수 있다. 그림 2는 SEE 영향에 의해서 유기되는 전류를 나타낸다. 왼쪽 그림에서와 같이 방사선이 입사함에 따라 핵반응으로 발생한 중이온에 의해 전자 정공 쌍이 발생하고, 발생한 전자 정공 쌍은 오른쪽 그림과 같이 펄스 전류를 형성한다.

TID의 경우 지속적인 방사선 입사로 Oxide에서 전리된 전하에 의해 고정 전하를 형성시켜 단위소자에 누설 경로(Leakage Current Path)를 형성시켜 단위 소자의 성능을 저하시키는 문제점을 야기한다. 그림 3은 누적 방사선에 의해 단위 소자 상에서 형성되는 누설 경로를 나타낸 것으로, 단위 소자에서의 누설 경로는 첫 번째는 Source와 Drain 사이에서 형성되며 두 번째는 소자와 소자 사이에서 형성된다.



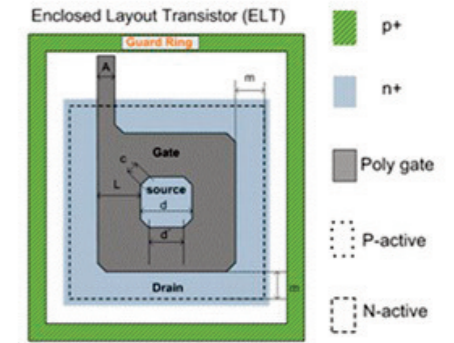
방사선 입자 주입 경로

〈그림 2〉 SEE에 의해 발생하는 펄스 전류



〈그림 3〉 TID에 의한 단위 소자에서의 누설 경로

인한 10nm 이하의 두께를 가지는 Gate Oxide에서는 발생이 최소화 된다고 알려져 있다. Source를 Gate로 감싸는 형태를 가지는 것은 Source와 Drain 사이에 두꺼운 Oxide를 형성시키지 않도록 하여 TID에 의한 고정 전하의 발생을 원천적으로 차단하기 위함이다. 또한, 소자 외각의 Guard Ring은 소자 간에 발생할 수 있는 누설 경로를 차단하여 방사선에 의한 성능 저하를 억제한다. 이러한 ELT 구조는 누설 전류 경로를 원천적으로 차단하여 누적방사선에 대해 매우 강한 특성을 가지고 있다.



〈그림 4〉 ELT Layout

## 3. 내방사선 소자 연구

### 3.1 국외의 내방사선 소자 연구

방사선에 의해 전자부품에서 발생한 피해사례가 수십 건 보고되고 있으나, 전략기술의 특성상 다수의 보고되지 않은 것 까지 감안하면 실제 피해사례는 훨씬 많을 것으로 추정된다. 우주 및 항공, 원자력 선진국에서는 방사선에 의한 전자부품의 열화와 오류로 인해 발생하는 문제점을 인식하고 핵심 전자모듈에 대해 이미 오래 전부터 내 방사선화를 구축하여 적용하고 있다. 선진국 (미국 및 유럽, 일본)에서는 내방사선 전자부품기술을 우주, 항공, 원자력 산업에서 첨단기술의 하나로 도입하여 활용하고 있다. 특히 미국의 경우 국방성 산하 연구지원 조직을 통해 Northrop Grumman 등 방위산업체나 BAE System 등의 업체에서 내방사선 전자부품을 생산하고 있으며, 대표적으로 Vanderbilt Univ,의 Schrimpf 교수팀은 차세대 반도체 소자에서의 방사선 조사에 의한 신뢰성 선행 연구를 수행해 나가고 있다.

소자 레벨에서 누적 방사선 효과에 대한 내방사선 기술은 주로 레이아웃 수정 기법 (Layout Modify Technique)을 이용하여 많은 연구를 진행하고 있다. 레이아웃 수정 기법은 최신의 상용 공정을 이용하면서도 내방사선 기술을 그대로 적용 가능한 장점을 가지고 있어 회로 설계에 용이하다는 점 덕분에, 상용 및 연구용으로 제작되는 내방사선 회로에서 이용되고 있다. 대표적으로 상용화되어 활용되고 있는 내방사선 단위소자 기술로는 Enclosed Layout Transistor(ELT) Layout이 있다.

ELT Layout은 그림 4와 같이 Source를 Gate와 Drain으로 감싼 형태를 가지며, 소자 외각에 Guard Ring을 가지고 있는 구조이다. 최근 연구결과에 따르면, TID를 발생시키는 원인인 고정 전하가 발생하는 곳은 두꺼운 Oxide의 경우가 많으며, 최근 공정의 발달로

### 3.2 국내의 내방사선 소자 연구

국내의 내방사선 소자 연구는 걸음마 단계이다. 항공우주연구원의 위성체그룹에서는 해외 상용 내방사선 소자를 구입하고, 시스템을 구성하여 방사선 조사를 통한 테스트에 머물고 있다. 일부 대학의 연구실 단위로 차세대 반도체 소자에 대해 방사선 조사에 의한 신뢰성 선행 연구를 수행하고 있으나, 내방사선 회로 설계에 있어 요구되는 조건인 전기적 특성 및 공정의 안정성이 미흡하여 회로 설계 적용까지는 추가적인 연구가 필요하다.

내방사선 회로 설계를 수행하기 위해서는 기존의 입증된 레이아웃 수정 기법 (Layout Modify Technique)을 이용하는 것이 가장 적합하다고 판단되어, 본 연구실에서는 ELT Layout의 특허를 회피하면서 내방사선에 대한 강인한 특성을 가지는 소자에 대한 연구를 수행하였다.

앞서 국외에서 이용되고 있는 ELT Layout은 누적방사선에 대해 높은 내방사선 특성을 가지지만, 구조적인 특성에 의해 몇 가지 단점이 발생한다. 아래와 같은 단점들은 아날로그 및 디지털 회로 설계에 있어 제약 조건으로 작용할 수 있다.

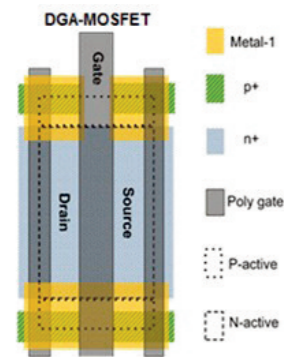
- 구조상 Gate가 Source를 감싸고 있는 형태이므로 W/L ratio Modeling이 어렵다.
- 2.26 이하의 W/L ratio 구현이 불가능하다.
- Guard Ring 구조로 인해 상대적으로 넓은 면적이 필요하다.
- Gate 면적이 증가하므로 상대적으로 큰 Gate Capacitance를 가진다.
- 기존의 단위 소자와 비교하여 Source와 Drain이 구조적으로 비대칭 특성을 가진다.

ELT Layout에 존재하는 단점들을 개선하기 위해 본 연구실에서는 그림 5와 같은 Dummy Gate-Assisted(DGA) Layout을 제안하였다. P-active layer와 p+ layer는 단위소자의 Source와 Drain의 사

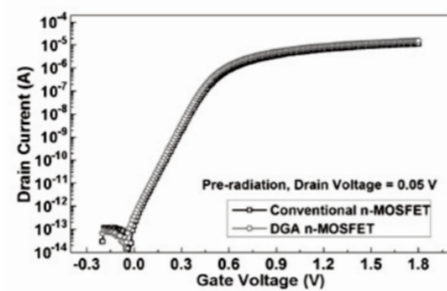


이의 도핑 농도를 높여 방사선에 의한 누설 전류 경로를 차단한다. p+ layer 위에 고정 전하가 발생한다 하더라도 p+ layer에 의해 문턱전압이 높아져 누설 전류 발생을 억제하게 된다. 또한, Source와 Drain 양쪽의 dummy gate를 이용하여 Field oxide와 떨어지게 설계하여 소자 간에 발생할 수 있는 누설 경로를 차단하게 된다.

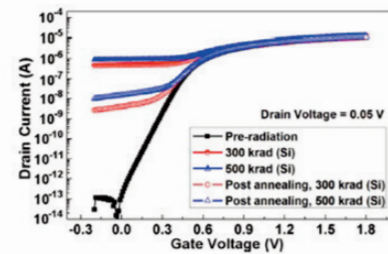
MagnaChip & Hynix의 0.18 $\mu$ m 공정을 이용하여 W/L ratio가 1.2  $\mu$ m/1.2 $\mu$ m인 기존의 단위 소자와 제한한 DGA Layout을 적용한 소자를 제작하여 Co-60을 이용한 감마선 조사 실험을 통해 내방사선 특성을 확인하였다. 그림 6에서와 같이 방사선 조사 전의 기존의 단위 소자와 DGA Layout을 적용한 소자의 전기적 특성이 거의 같음을 알 수 있다. 감마선의 선량률(Dose Rate)은 100Krad/h이고 Gate에만 VDD, Source, Drain 및 Body에는 GND를 인가시키는 Bias 조건하에, 300Krad(Si), 500Krad(Si)의 감마선을 각각의 단위소자에 조사한 후 측정된 전기적 특성은 그림 7, 8과 같다. 그림 7과 같이 기존의 단위 소자는 누설 경로가 형성되고 소자 성능이 저하되어 방사선 환경에서의 정상동작을 보장할 수 없게 되지만, 그림 8과 같이 DGA Layout을 적용한 소자는 방사선 조사전과 비교하여 큰 차이가 없다는 사실을 통해 소자 성능의 저하가 없으므로 방사선 환경에서 정상동작을 보장할 수 있음을 확인할 수 있다.



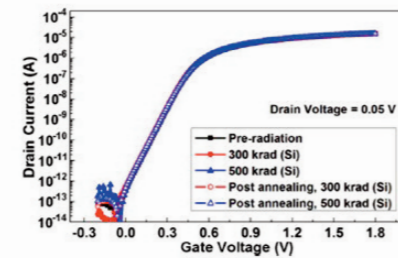
〈그림 5〉 Dummy Gate-Assisted (DGA) MOSFET의 Layout



〈그림 6〉 감마선 조사 전의 기존 단위소자와 DGA Layout을 적용한 단위 소자의  $V_g$ - $I_d$  특성



〈그림 7〉 기존의 단위소자에 300Krad(Si), 500Krad(Si)의 감마선을 조사하였을 때의  $V_g$ - $I_d$  특성

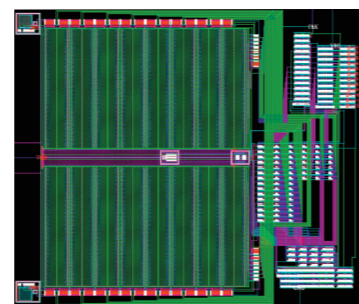


〈그림 8〉 DGA Layout을 적용한 단위소자에 300Krad(Si), 500Krad(Si)의 감마선을 조사하였을 때의  $V_g$ - $I_d$  특성

제한한 DGA Layout은 ELT Layout과 달리 2.26이하의 W/L ratio를 가지는 소자를 이용할 수 있고, Source와 Drain의 대칭성을 확보하였으며, 별도의 Guard Ring이 필요하지 않아 전체 면적을 작게 설계할 수 있다는 장점을 가진다. 이러한 장점들은 내방사선 회로 설계에 유용하며, 레이아웃 수정 기법을 이용하여 상용 공정을 그대로 이용하므로 안정적인 Chip 생산이 가능하다.

#### 4. 내방사선 회로 설계

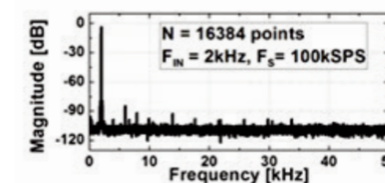
내방사선 회로 설계는 내방사선 소자의 전기적 특성을 가지고 있는 SPICE Model, 공정 Mask 정보를 가지고 있는 Layout Symbol과 안정적인 공정을 위한 Rule(DRC, LPE, Antenna)을 바탕으로 한다. 차세대 소자나 내방사선을 위해 특별한 공정이 요구되는 소자의 경우 전기적 특성 및 공정의 안정성이 일정하지 못하여 앞서 회로 설계 시 필요 요소들을 충족시키지 못한다는 단점을 가지고 있어서 회로 설계에 적용하기에는 한계를 가진다. 앞서 제안한 DGA Layout은 W/L ratio에 따른 기존 단위 소자와의 연관성이 정립되어 있으며, 레이아웃 수정 기법을 바탕으로 설계한 Layout Symbol이 있으므로 내방사선 회로 설계에 적용하기에 용이하다.



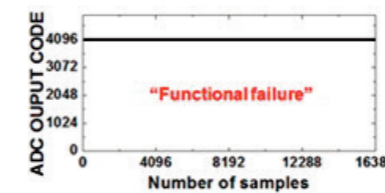
〈그림 9〉 DGA n-MOSFET을 기반으로 설계된 내방사선 12-bit 100kSPS SAR ADC 설계도

본 연구실에서는 그림 9와 같이 MagnaChip & Hynix의 0.35 $\mu$ m 공정을 이용하여 우주 위성체용 내방사선 12-bit 100kSPS SAR ADC를 자체 설계 제작하였다. 그림 10에서와 같이 DGA Layout을 적용한 소자로 제작한 ADC에 2KHz 사인파를 입력하였을 때, 출력되는 16384개의 Code를 바탕으로 FFT Spectrum을 측정된 결과이다. 이를 통해 방사선 조사 전의 결과로부터 내방사선 소자로 설계 제작한 ADC는 정상적으로 동작함을 확인할 수 있다.

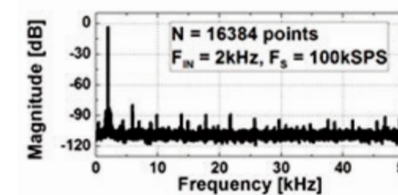
제작한 전자회로가 내방사선 환경에서 정상적으로 동작하는지를 확인하기 위해 Co-60을 이용한 감마선 조사 실험을 수행하였다. 감마선의 선량률(Dose Rate)은 100Krad/h이고 Gate에만 VDD, Source, Drain 및 Body에는 GND를 인가시키는 Bias 조건하에서 300Krad 까지 누적시켜 실험을 수행하였다. 그림 11에서와 같이 기존의 소자를 이용하여 제작한 ADC는 정상 동작하지 않으며, 그림 12에서와 같이 DGA Layout을 적용한 소자를 이용하여 제작한 ADC는 정상 동작함을 확인할 수 있었다.



〈그림 10〉 ADC의 FFT spectrum 측정 (2kHz 사인파 입력) (방사선 조사 전)



〈그림 11〉 기존의 소자로 제작한 ADC의 Output (300Krad 방사선 조사 후)



〈그림 12〉 DGA Layout을 적용한 소자로 제작한 ADC의 FFT Spectrum 측정 (2kHz 사인파 입력) (300Krad 방사선 조사 후)

앞선 실험 결과를 통해 내방사선 소자를 바탕으로 설계한 회로는 300Krad의 방사선이 누적해서 영향을 받더라도 정상적인 임무를 수행하는데 비해, 기존의 소자를 바탕으로 설계한 회로는 동작이 되지 않아 정상적인 임무를 수행할 수 없다. 이는 방사선 환경에서 전자부품이 정상동작을 보장하기 위해서는 내방사선 회로 설계가 필수적임을 알 수 있다.

#### 5. 결론

방사선 환경에서 사용하는 전자부품이 정상적인 임무 수행을 보장하기 위해서는 내방사선 회로 설계를 기반으로 이루어져야 함을 확인하였다. 또한 방사선 환경에서 전자부품이 받는 영향에 대해 고찰하고, 국내외에서의 내방사선 소자 개발에 대한 현황을 알아보았다. 나아가 본 연구실에서 개발한 내방사선 소자를 바탕으로 하여

아날로그/디지털 회로인 아날로그 디지털 컨버터(ADC)를 실제 설계하고 내방사선 환경에서 동작함을 확인해 보았다. 방사선에 따른 단일 사건 효과는 주로 회로적인 기법을 통해 해결하고 있지만, 본 연구 분야의 확대를 위해 단위 소자 레벨에서 단일 사건 및 누적 사건 모두에 대한 내방사선화가 가능해져 내방사선 회로를 쉽게 설계할 수 있을 날이 올 것을 기대해 본다.



이희철 교수  
소속 : 한국과학기술원 전기 및 전자공학과  
주 연구분야 : 적외선 이미지 센서 및 패키징, Readout integrated circuit 설계, 내방사선 소자 및 회로 설계 연구  
E-mail : hclee@kaist.ac.kr  
Homepage: http://irislab.kaist.ac.kr



노영탁 박사과정  
소속 : 한국과학기술원 전기 및 전자공학과  
주 연구분야 : 내방사선 소자 및 회로 설계 연구  
E-mail : nyg@kaist.ac.kr  
Homepage: http://irislab.kaist.ac.kr

#### 참고문헌

- [1] 2011 IEEE NSREC Short Course, "Space Radiation Environments and Their Effects on Devices and Systems: Back to the Basics", Jul. 25, 2011, Las Vegas, USA
- [2] Li Chen and Douglas M. Gingrich, (2005) "Study of N-Channel MOSFETs with an Enclosed-Gate Layout in a 0.18  $\mu$  m CMOS technology." IEEE Trans. Nucl. Sci., Vol. 52, NO. 4, pp 861-867.
- [3] G. Anelli, M. Campbell, M. Delmastro, F. Faccio, S. Florian, A. Giraldo, E. Hejine, P. Jarron, K. Kloukinas, A. Marchioro, P. Moreira, and W. Snoeys, (1999) "Radiation tolerant VLSI circuits in standard deep submicron CMOS technologies for the LHC experiments: Practical design aspects." IEEE Trans. Nucl. Sci., Vol. 46, No. 6, pp. 1690-1696.
- [4] A. Giraldo, A. Paccagnella, and A. Minzoni, "Aspect ratio calculation in n-channel MOSFET's with a gate-enclosed layout." Solid State Electron., Vol. 44, pp. 981-989.
- [5] Min Su Lee and Hee Chul Lee, "Dummy Gate-Assisted n-MOSFET Layout for a Radiation-Tolerant Integrated Circuit", IEEE Trans. Nucl. Sci., Vol. 60, No. 4, pp. 3084-3091, Aug. 2013
- [6] Min Su Lee and Hee Chul Lee, "Aspect Ratio Model for Radiation-Tolerant Dummy Gate-Assisted n-MOSFET Layout", International Scholarly Research Notices, Vol. 2014, Nov. 2014
- [7] MIL-STD-883, Method 1019, Ionizing Radiation (Total Dose) Test method
- [8] Tae Hyo Kim and Hee Chul Lee, "TID Effect on 12-bit 100kSPS SAR ADC Designed with DGA n-MOSFET", IEEE NSS/NPSS 2015, USA, Nov. 2015 (Accepted)



# 케이던스, 차세대 *Digital Design Implementation* 최적의 *PPA* 및 개발기간(TAT) 최대 10배 단축

## 도입

만약 당신이 고사양급(High-End) 어플리케이션을 위한 시스템온칩(SoCs)을 설계하고 있다면, 당신은 전력, 성능, 면적(PPA: power, performance, area) 또는 개발기간(TAT) 관점에서 많은 어려움이 있을 것이다. 당신의 경쟁자들에 앞서 시장에서 가장 낮은 전력의 칩으로 최고의 성능을 달성하는 과정은 쉽지 않고 어려움이 많을 것이다. 더 큰 규모의 디자인, 더 엄격한 PPA 요구조건을 가지는 설계 BLOCK에 대한 Place, Routing, Sign-Off간 나누어지는 Tool Flow는 반도체 공정 노드(process nodes)가 낮아지면서 나타나고 있는 새로운 디자인 도전의 일부에 불과하다.

이 글에서 케이던스는 Placement, Optimization, Routing, Clocking의 혁신을 포함하여 새로운 디지털 디자인 능력에 대해서 얘기할 것이다. 새로운 디지털 디자인 능력은 최신 16/14/10nm 핀펫(FinFET) 디자인에서뿐만 아니라 기존 반도체 공정 노드에서도, PPA는 보편적으로 10%~20%만큼 생산성이 향상됨과 개발기간(TAT)이 최대 10배 단축하는 것에 대해 증명하고 있다.

## 새로운 디자인의 도전, 복잡성의 증가는 새로운 기술을 요구한다.

20nm 이하에서 배선의 길이(dimensions)와 리소그래피(lithography)는 한계에 다다르기 시작하고 디지털 설계자들은 트랜지스터 중간 인터커넥터 상의 두 배 또는 심지어 세 배의 패턴화를 이용하여야 한다. 더욱 많은 mask layer를 이용하는 것 외에 double patterning 결과에 대해 추가적인 Design Rule이 필요하게 되며 Layout 검증을 복잡하게 만든다.

레이아웃 디자이너들은 Mask에 사용되는 Color를 결정하기 위해 20nm이하에서 사용된 모든 IC Implementation 툴은 “컬러웨어(color aware)”가 되어야 한다.

28nm 및 20nm에서 배선 지연(wire delay)은 게이트 지연(gate delay)에 대한 타이밍의 가장 중요한 조건이 된다. 왜냐하면 트랜지스터와 함께 배선의 크기를 변경하지 않았기 때문이다. 설계자들은 local interconnect를 사용하고 있지만 그것들을 관리하기 위해 새로운 Layer, 새로운 Rule, 새로운 연결성 모델을 요구한다. 또한 일반적으로 낮은 반도체 공정 노드에 만들어진 기기들은 off state에서조차 높은 누설 전류를 가지고 있다. 그래서 낭비된 총 전력은 예상했던 것보다 훨씬 더 높을 수 있다.

낮은 반도체 공정 노드는 1,000개의 새로운 디자인 룰을 갖고 있고, 1X layer들에 대한 400개 이상의 새롭게 진보된 Layout rule을 갖고 있다. 해당 반도체 공정에서 Timing Close를 위한 수백의 MMMC(Multi Mode Multi Corner) views가 존재한다. 당신은 metal stacks에서 가변적인 두께의 Metal Layer들에서 배선의 저항 값이 증가되는 것을 감안해야 한다.

물리적 도전과 더불어 증가하는 디바이스 파라시틱(parasitic)과 핀펫 트랜지스터들의 복잡성과 같은 많은 전기적 도전이 있다. 예컨대 핀펫 디자인에서 28nm에서보다 훨씬 더 많은 저항이 있고 파라시틱(parasitic)에서의 증가됨은 더 큰 넷리스트(netlists) 결과물을 만들고 있으며, 이것은 물리적 Implementation 툴의 성능에 영향을 미친다.

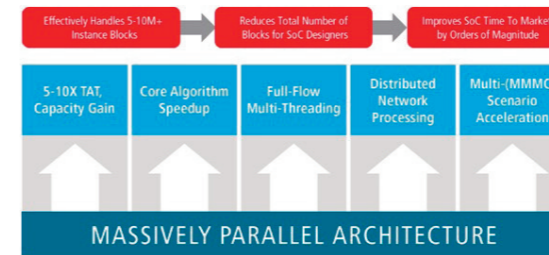
장시간, 끊임 없이 지속되는 디자인에 대한 도전, 전력 감소는 모바일 및 착용형 장치 속으로 들어가는 반도체 칩(ICs)에 있어서 한층 더 중요해졌다. 모든 반도체 공정 노드에서 동적전력(dynamic power)과 누설전력(leakage power)을 줄이기 위한 방법들은 재분석 되어야 한다. 효과적으로 하나의 노드에 대해 작동하는 것은

동작 및 누설전력 성분의 변화를 때문에 또 다른 것에 대해 효과적이지 않을 수 있다.

## 차세대 Digital Design Implementation Solution을 도입

새로운 Cadence® Innovus™ Implementation System은 TAT가 최대 10배정도 단축된 것에 추가하여 PPA가 전형적으로 10%~20% 정도 우위를 갖도록 개선시킴으로 설계자들의 요구조건을 충족시킨다.

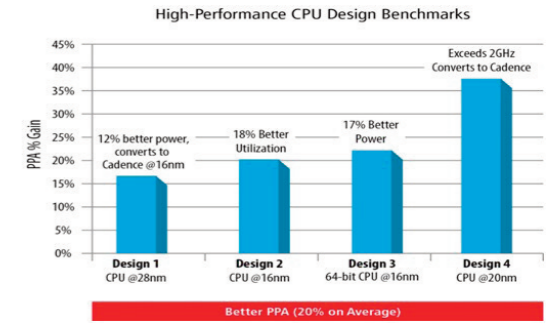
업계 최초로 대량 병렬 솔루션(massively parallel solution)을 제공하고 있는 그 시스템은 10M Instance count 이상을 가진 블록(blocks)을 효과적으로 처리 할 수 있다.



자료1. Innovus™ Implementation System은 업계 최초 대량 병렬 솔루션을 제공한다.

Innovus™ Implementation System은 몇 가지 핵심 역량을 통하여 아래의 결과를 전달한다:

- 매우 큰 규모의 디자인을 처리 할 수 있고 멀티 코어를 가지는 워크스테이션상의 다중 연산(multi-threading) 뿐만 아니라 동일한 네트워크에 연결된 워크스테이션들과 함께 분산 처리를 이용할 수 있는 대량 병렬구조(massively parallel architecture)임
- 새로운 GigaPlace solver-based placement technology 기반으로 최적의 파이프라인 Placement, 배선 길이, 면적의 효율성 및 PPA를 제공하기 위해 slack driven 기술과 토폴로지, 핀 액세스, 컬러웨어를 구현함
- 동작 및 누설 전력을 줄이는 진보된 멀티 스레드의 레이어 어웨어 타이밍(layer-aware timing) 엔진 및 동작 전력 최소화를 위한 최적화 엔진
- 성능을 높이고 전력을 낮추게 하며 크로스 코너의 변동성을 고려하는 유일하게 Clock과 Data path를 동시에 최적화하는 엔진
- 초기에 신호 무결성(Signal Integrity)을 처리하고 라우트 후의 신호 무결성의 상관 관계를 개선시키는, 트랙 어웨어 타이밍 최적화를 갖춘 차세대 Slack Base 라우팅
- 동시에 전기적 및 물리적 최적화를 가능하게 만드는 Full Flow 다목적 기술



자료2. 내장된 프로세서들에 관한 고성능 디자인 벤치마크

## Placement를 위한 새로운 Slack Base 기술

새로운 Giga Place Engine은 Placement가 수행되는 방식을 변경하고 PPA를 개선시킨다. 전통적으로 Placement는 “타이밍 어웨어”(timing aware)가 되어왔고 타이밍 분석 및 최적화와 같은 Implementation 시스템의 다른 엔진과 약간(lightly)” 통합되어 왔다. Giga Place Engine으로 Placement는 Slack Base & slack-driven이 되고 완전히 통합된다. 다시 말하면, Giga Place Engine은 Path의 Slack 프로파일을 구축하고, 이를 기준으로 Timing Slack에 기반한 Placement 조정을 수행함으로써 Timing Driven mode에서 셀(cells)을 Placement 하도록 돕는다.

Giga Place Engine은 정확한 전기적 제약 및 물리적 제약(평면 Placement 기법, 라우트 토폴로지 기반의 배선 길이, 배선 밀집도:Congestion) 모델을 만든다. Giga Place Engine는 케이던스의 Timing Driven 및 Power Driven 최적화 엔진의 수학 모형을 통합하고, 이것들은 Innovus Implementation System에 함께 구현되어 있다. 그 엔진은 전기적 및 물리적 매트릭스를 동시에 반영하고 분석하여 최적화를 가능하게 한다. 더욱 중요한 것은 설계자들의 의도도 전기적 제약조건으로부터 자동적으로 뽑아낼 수 있고, 이것은 결국 물리적 매트릭스에 대한 더 나은 최적화를 달성하도록 도와준다. 글로벌 최적화 전략과 동창적인 수치상 solver는 local minima의 트랩을 피하기 위해 이용되고 이것은 결국 전체적으로 최적 PPA 결과물에 도달 할 수 있게 한다.

## 진보된 타이밍 및 전력 기반의 최적화

초기단계에서 타이밍과 전력의 최적화를 시작하기 위한 다른 기술들이 있다. 그 기술들 중 하나는 라우팅에 대한 더 높은 Metal Layer의 최적화와 관련된다. 왜냐하면 더 높은 Metal Layer는 누설 및 동작 전력을 줄이는 반면 더 낮은 저항 값을 갖고 있고 타이밍을 맞추는데 도움을 준다. Metal Stack의 상위 계층은 하위 계층과 다른 폭과 간격을 갖고 있다. 결과적으로 상위 계층 배선의 Delay는 하위 계층의 배선 Delay보다 10배 이상 적어질 수 있고 이는 상위 계층상 라우팅 길이(routing long)와 Critical Net으로부터 큰 타이밍게인(타이밍 단축; timing gain)을 얻을 수 있다. 다만 상위 Metal Layer에서 사용되는 Power Net 때문에 라우팅 자원이 부족하다는 단점이 있다. 이러한 제한된 자원을 활용하지 못하면 잠재적으로 Routing Congestion와 Routing 문제를 초래할 수 있다.

라우트 어웨어 최적화 Capability를 통하여, Innovus Implementation System의 차세대 멀티스레드 된 advanced Timing 및 Power driven 엔진은 Long Timing Critical Net를 확인 할 수 있고, 상위 계층상 유용한 공간이 존재한다는 것을 확인 하기 위하여 새로운 Congestion 트래킹 인프라에 정보를 확인 할 수 있고, 그런 다음 타이밍을 개선하기 위하여 상위 계층상에서 이러한 네트를 다시 반영 할 수 있다. 그래서 모든 Pre-Route Opti-



mization Flow에서 Critical Layer Assignments를 유지할 수 있다. 이러한 할당은 시스템의 차세대 대량 병렬 글로벌 라우팅 엔진으로 전달되어서 최종 라우팅은 정확한 Layer Assignment를 갖게 될 것이다.

### Concurrent Clocking을 갖춘 더 나은 크로스 코너 가변성

Innovus Implementation System은 정확한 다중 작업, 확장된 Useful Skew 및 플로우 집적화를 갖춘 차세대 clock concurrent optimization engine을 특징으로 삼는다. 이 시스템은 Clock Tree Synthesis과 물리적 최적화를 반영하고, 동시에 Clock을 구축하고 Propagated Clock Model에 직접적으로 Logic Delay를 최적화 한다. 모든 최적화 결정은 Clock Gate, Inter Clock path 및 On Chip Variation Derate를 고려하면서 정확한 Propagated Clock을 기반으로 한다.

Innovus Implementation System은 다른 소프트 및 하드 제약 조건간 Trade-Off가 있을 때 가능한 H-tree와 Topologically 가까운 구조를 전달하는 새로운 FlexH 기능을 소개한다. 그것은 실제 시스템온칩(SoC) 디자인 환경에 대한 H-tree의 Democratization를 제공한다.

### 개발기간(TAT) 최대 10배 단축(gain)을 달성

Innovus Implementation System이 어떻게 디지털 디자인 개발기간(TAT)를 끌어 올릴 수 있는지 더 자세하게 알아보자. 다른 무엇보다도 멀티 CPUs 상에서 동시에 멀티스레드의 임무를 수행할 수 있는 full-flow massively parallel architecture가 있기 때문이다. 그 아키텍처는 정상적으로 8개에서 16개의 CPU인 표준 하드웨어로 최단기간의 개발기간(TAT)를 생산할 수 있는 시스템으로 설계된다. 더 큰 Instance Count를 갖고 있는 디자인을 위해 많은 CPU장치에 걸쳐 개발 기간을 조정할 수 있다. 그 아키텍처는 업 스트림 및 다운 스트림 스태프 및 디자인 플로우를 처리할 수 있고, 런타임 부스트를 제공하고, Placement, 최적화, 클로킹 및 라우팅 엔진간 디자인 Iteration time을 최소화시킬 수 있다.

그 시스템의 advanced Timing & Power Driven 최적화 엔진은 분석된 MMMC timing 결과를 제공한다. MMMC View 수가 증가함으로써, 해당 엔진은 서브-선형-시간단축을 전달한다.

더 작은 프로세스에서 디자인 규칙수의 폭발적인 증가로, 라우팅 및 post-route closure는 장애물이 될 수 있다. 그 시스템의 라우팅 엔진은 이러한 임무가 더 큰 디자인에 대해 필요하다면 100개 이상의 추가적인 CPU를 사용 및 처리될 정도로 설계된다. 처리 속도의 지원을 받아 그 라우팅 엔진은 타이밍, 면적, 전력, 양산 확률 및 Yield의 영향에 기초한 인터커넥트 토폴로지를 동시에 평가하고 최적화한다. correct-by-construction approach 방식으로, 그 엔진은 Double Patterning 및 최초의 DRC 그리고 더 많은 면적에 대한 더 효율적이고 정확한 라우팅 토폴로지를 만들기 위하여 잠재적인 이중패턴화 충돌을 해결할 수 있다.

그 엔진은 결정적으로 멀티 스레드 Backplane과 풀플로우 타이밍 상관 관계를 공급하고 유연한 2D/3D Congestion 모드를 제공한다. 여기에서 설명한 틀이 타이밍 및 전력 사인오프 두 가지 모두를 가속화시키는 반면, 그 틀은 완벽한 사인오프 플로우를 형성하는 보완적인 토폴로 사용될 때 더 빠른 전반적인 디자인 클로저 프로세스에 또한 공헌할 수 있다. 케이던스의 Tempus™의 static timing analysis, Quantus™ QRC extraction 및 Voltus power integrity 기술은 Innovus Implementation Sys-

tem과 통합되기 때문에 물리적 Implementation의 초기단계에서 파라시틱(parasitic), 타이밍, 신호 및 전력 무결성 이슈를 정확하게 모델로 만들 수 있고, 이러한 전기적 매트릭스에 대해 융합을 더 빨리 달성하고, 더 빠른 디자인 클로저를 달성시킬 수 있다.



회사명 : Cadence  
 웹 주소 : <http://www.cadence.com/>  
 한국지사 : 경기도 성남시 분당구 판교로 344  
 엠텍IT타워 9층  
 전 화 : 031) 728-3114  
 Email : [korea\\_crc@cadence.com](mailto:korea_crc@cadence.com)



## CALL FOR PAPERS



# 12<sup>th</sup> International SoC Design Conference

November 2-5, 2015 Hotel Hyundai, Gyeongju, Korea

#### ▶ International Organizing Committee

- **General Chair**  
Jinwook Burm (Sogang University, Korea)
- **General Co-Chairs**  
Kiat Seng Yeo (Singapore University of Technology and Design, Singapore)  
Shyh-Jye (Jerry) Jou (National Chiao Tung University, Taiwan)  
Joongho Choi (University of Seoul, Korea)  
Jun Jin Kong (Samsung Electronics, Korea)
- **Conference Secretary**  
Kyung Ki Kim (Daegu University, Korea)

#### ▶ Technical Program Committee

- **Technical Program Chair**  
Yoon Sik Lee (UNIST, Korea)
- **Technical Program Co-Chairs**  
Yong-Bin Kim (Northeastern University, USA)  
Chua-Chin Wang (National Sun Yat-Sen University, Taiwan)  
Kyunwon(Ken) Choi (Illinois Institute of Technology, USA)
- **Technical Program Vice-Chairs**  
Hyunchol Shin (Kwangwoon University, Korea)  
Hanho Lee (Inha University, Korea)

#### ▶ Host City: Gyeongju, Korea



Gyeongju is a coastal city in the far southeastern corner of North Gyeongsang Province in South Korea. Gyeongju was the capital of the ancient kingdom of Silla (57 BC - 935 AD). A vast number of archaeological sites and cultural properties from this period remain in the city. Gyeongju is often referred to as "the museum without walls". Among such historical treasures, Seokguram grotto, Bulguksa temple, Gyeongju Historic Areas, and Yangdong Folk Village are designated as World Heritage Sites by UNESCO. The many major historical sites have helped Gyeongju become one of the most popular tourist destinations in South Korea.



#### ▶ General Purpose of the Conference

International SoC Design Conference (ISOC) aims at providing the world's premier SoC design forum for leading researchers from academia and industries. Prospective authors are invited to submit papers of their original works emphasizing their own contributions. ISOC 2015 is technically co-sponsored by IEEE CAS Society and accepted papers will be published on IEEE Xplore. We also welcome proposals for special sessions.

#### ▶ Conference Theme

The theme of ISOC 2015 is "**SoC for Internet of Everything (IoE)**". The advent of IoE brings challenges and opportunities, especially for the entire silicon community. We will gather together for better solutions to make IoE possible. SoC solutions for IoE services require new approaches to march into the next level. ISOC 2015 is looking for novel SoC solutions to open the IoE era.

#### ▶ Paper Submission

A complete **2-page manuscript** must be submitted electronically in PDF format (in Standard IEEE double-column format posted on the conference website). Only electronic submission will be accepted. For more information, please refer to the conference website: <http://www.isoc.org>

#### ▶ Important Dates

- Submission of special session proposals: June 30, 2015
- Notification of acceptance of special session proposals: July 10, 2015
- Submission of regular session full papers: ~~July 15, 2015~~ July 29, 2015
- Submission of chip design contest papers: August 14, 2015
- Submission of special session full papers: July 31, 2015
- Notification of acceptance (for all submitted papers): **September 1, 2015**
- Submission of final papers (for all accepted papers): September 15, 2015
- Author and early-bird registration: September 15, 2015

#### ▶ Conference Venue-Hotel Hyundai Gyeongju



- Address: 336, Bomun-ro, Gyeongju-si, Gyeongsangbuk-do, Korea
- Website: [https://www.hyundaihotel.com/gyeongju\\_en/](https://www.hyundaihotel.com/gyeongju_en/)
- Tel: +82-54-748-2233

#### ▶ Topics of Interest

Topics include, but are not limited to:

- **Analog/RF/Mixed-Signal Circuits**
  - Analog Circuits
  - Data Converters
  - High-Speed Interface and Wireline ICs
  - Wireless and RF ICs
- **Power and Energy Circuits**
  - Power Management Circuit
  - Energy Harvesting Circuits
  - Power and Energy Circuits and Systems
- **Digital VLSI Circuits and Systems**
  - Digital Integrated Circuits and VLSI Architectures
  - Memory Circuits & Systems
  - Multimedia Systems & Applications
  - Digital Signal Processing Systems & Applications
  - Circuits & Systems for Communications
  - Processor, Embedded Systems & Software
- **SoC Design Methodology**
  - HW-SW Co-design
  - SoC Testing
  - Design Verification
  - Signal Integrity / Interconnect Modeling and Simulation
- **Circuits and Systems for Emerging Technologies**
  - Sensory Circuits and Systems
  - Biomedical Circuits and Systems
  - Automotive Circuits and Systems
  - IoT/IoE Circuits and Systems
  - Nanoelectronics and GigaScale Circuits and Systems
  - 3-D ICs and SoC Packages

▶ Website : <http://www.isoc.org>  
 ▶ Contact : [secretary@isoc.org](mailto:secretary@isoc.org)



**From Incheon International Airport to Gyeongju**  
 (1) Direct KTX (Korea Train Express) is available to Singyeongju Station.  
 (2) Selected shuttle bus service from Incheon International Airport to ISOC.





# 사람에 대한 사랑, 새로움에 대한 열정

## ‘사람이 먼저다’, ‘같이의 가치’.

카피마다人を 강조하는 광고들이 늘어나고 있다. 현대 사회에서 사람이 그만큼 중요한 까닭이다. 바빠 달려오는 일상 속에서도 그 속엔 언제나 사람이 있었다. 뒤를 돌아보면 수많은 소중한 사람들이 있다. 이를 깨닫는 자 만이 언제나 사람에게서 많은 것을 얻는다. 이를 너무나도 잘 알고 있는 한 연구자가 있다. ‘사람’ 에게서 열정을 얻고, ‘사람’ 을 통해 가치를 실현하고 있는 광운대학교의 이영주 교수를 만나보았다.

문의 광운대학교 전자공학과 Integrated Mobile Systems Laboratory  
전화 02-940-5094 E-mail yilee@kw.ac.kr  
<https://sites.google.com/site/kwimslab>



이영주 교수  
광운대학교 전자공학과

인터뷰를 진행하면서, 이영주 교수는 ‘사람’ 과 ‘새로움’ 에서 삶의 가장 큰 원동력을 찾고 있다는 생각이 들었다. 그의 주변 소중한 인연들이 모여 지금의 이영주 교수를 만들어 냈고, 이는 곧 새로운 연구에 대한 그의 열정을 이끌어 냈다. 그를 이끌고 있다고 해도 과언이 아닌 사람에 대한 사랑, 새로움에 대한 열정이 그를 진정으로 빛나게 했다.

## 인연을 소중히 여기다

이영주 교수는 그 중에서도 KAIST 전기 및 전자공학부에서 많은 후학을 양성하며 분야에 많은 기여를 하고 있는 지도교수와의 특별한 인연을 언급했다. “지금 연구자로서 이 자리에 있게 된 것은 지도교수님의 덕이 가장 컸다고 생각하고 있습니다. processor 설계에 관심이 많았던 학부시절, 특히 지도교수님의 수업을 수강하며 논리 회로 및 컴퓨터 구조의 매력에 심취하게 되었던 것 같습니다.”

분야에 대해 더 깊이 공부를 하고 싶은 열정을 가지도록 이끌어주신 교수님과의 인연은 여기서 끝이 아니었다고 한다. “대학원 진학 과정에서 지도교수님과 인연이 닿게 되었고, 다행히도 저는 원하는 분야에 대한 공부를 할 수 있었습니다. 스승이신 교수님이 아니었다면, 지금 저는 이 자리에 없었을 지도 모를 일이지.”

사람과의 또 다른 인연 중 가장 기억에 남는 순간으로 그는 석, 박사 과정에서의 소소한 추억들을 꼽았다. “연구실 동료들과 밤을 새워가며 공부했습니다. 칩을 설계하기 위해 작은 세미나실에서 칠판을 한가득 메워가며 열정적으로 토론했던 기억이 아직도 생생합니다. 이 과정에서 서로를 응원하고, 도와주며 격려하던 시간들이 지금의 자리에 올 수 있도록 도와준 또 하나의 원동력이 아닐까 싶습니다.”

## 미래를 지향하다

이영주 교수가 연구에서 언제나 중점을 두는 것은 ‘미래’ 와 ‘새로움’ 이다. 연구자로서 필요한 아주 중요한 자질이 아닐 수 없다. 미래에 대응하기 위해 언제나 새로움을 지향하는 그의 연구 분야는 저전력 고성능 SoC 설계 및 최적화와 관련된 연구이다. 그 중에서도 통신 및 스토리지 시스템에 주로 사용되는 forward error-correction을 위한 하드웨어 최적화 기법을 활발하게 연구 중이다. 알고리즘, 아키텍처, 하드웨어의 3가지를 동시에 고민하는 융합적인 연구 과정을 통해 그는 긍정적인 미래를 내다보고 있다.

“반도체 SoC 설계 분야는 모바일 기기들의 발전과 더불어 폭발적으로 성장했습니다. 최근 IoT 및 바이오 메디컬 분야에서 시작되는 혁신들이 궁극적으로는 새로운 산업의 수요를 창출할 것으로 기대되고 있기에, 고성능 SoC 설계 분야에 대한 산업 및 학계의 수요는 지속적으로 증가할 것이라고 기대합니다.”

이러한 미래에 앞으로 하고자하는 연구에 대해 그는 말했다. “반도체 설계분야는 전자공학에서 가장 전통적인 분야이며, 다년간의 노하우와 범국가적인 지원으로 한국 산업의 중추적인 역할을 하고 있습니다. 이러한 성과에 머무르지 않고, 미래를 위한 새로운 기회를 열고 싶습니다. 이를 위해, 제가 현재 주력하고 있는 다양한 연구를 응용할 수 있는 분야를 넓혀가고자 합니다. 특히, 최근 집중하고 있는 통신 및 스토리지 시스템 이외에도 웨어러블, 차량용, 시큐리티 시스템과 같은 미래 지향적인 분야에 관심을 갖고 공부를 진행하고 있습니다.”

미래를 향한 열정은 이에 그치지 않았다. “이와 더불어 새로운 설계 방법론에 대해서도 관심이 많습니다. CMOS 공정의 혁신이 이어지고 있지만, 저를 포함한 많은 연구자들이 복잡한 시스템을 설계하는 과정에서 지난 세기의 방법론을 많이 활용하고 있습니다. 앞으로 기회가 된다면 낮은 동작 전압, 새로운 소자, leakage 전류의 활용 등 이전과 다른 환경에서 전체 시스템의 성능을 향상시킬 수 있는 새로운 설계 방법론을 고민해 보고자 합니다.”

## 냉정과 과감의 지혜

이영주 교수는 이러한 열정 한 편 연구자로서의 고찰 역시 잊지 않았다. 그는 연구를 하며 가장 어려운 점을 털어 놓았다. “모든 연구가 빛을 보는 것이 아니라는 점이 가장 어려운 일인 것 같습니다. 아무리 열심히 하더라도 잘못된 방향, 다른 연구자들의 더 뛰어난 연구들, 시장과 학계의 빠른 변화 등 다양한 이유로 진행했던 연구의 빛이 바래는 경우가 허다합니다. 투자한 시간과 노력이 아깝다 하더라도, 현재의 상황을 냉정하게 판단하고 때로는 과감하게 새로운 연구를 시작할 수 있는 자세로 임하려고 노력합니다.”

인터뷰 마지막까지 그는 지식의 최전선에서 고군분투하고 있는 선후배 연구원에게 감사와 응원의 말을 잊지 않았다. 광운대학교 이영주 교수의 고성능 SoC 연구가 훗날 미래에 큰 빛을 발할 수 있기를 기대해 본다.

