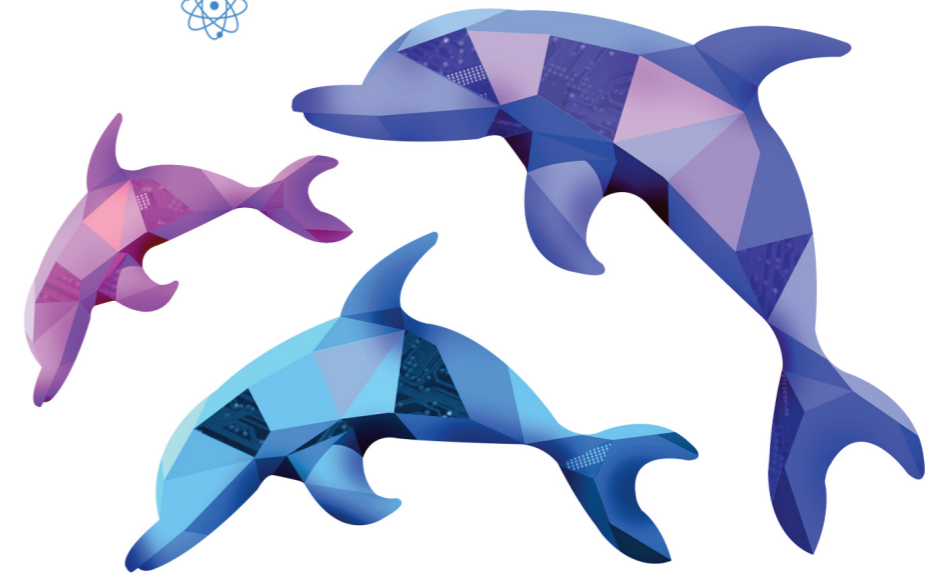




IDEC  
*newsletter*



VOL. 217  
July 2015

IDEC Newsletter | 통권 제217호

◎ 발행일 2015년 06월 30일 ◎ 발행인 박인철 ◎ 편집인 남병규 ◎ 제작 푸울디자인  
◎ 기획 전항기 ◎ 전화 042) 350-8535 ◎ 팩스 042) 350-8540 ◎ 홈페이지 <http://idec.or.kr>  
◎ E-mail [jhg0929@idec.or.kr](mailto:jhg0929@idec.or.kr) ◎ 발행처 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 미래창조과학부(산업통상자원부), 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 에이티세미콘, TowerJazz)의 지원으로 수행되고 있습니다.

MPW (Multi-Project Wafer) 2015년 MPW 진행 현황

공정	회차구분 (공정_년도순서)	모집칩수 ((mmxmm)x 칩수)/회별	정규모집 신청마감	참여칩수 ((mmxmm)x칩수)	DB 마감	Die-out	비고
삼성 65nm	S65-1501	(4x4) x48	2014.12.29	(4x4)x 38	2015.06.15	2015.12.14	DB 검토중
	S65-1502		2015.04.20	(4x4)x 28	2015.10.19	2016.04.19	설계중
	S65-1503		2015.06.22	(4x4)x 28	2016.01.18	2016.07.18	추가모집중 [-6.30]
MS 0.18um	MS18-1501	(3.8x3.8) x25	2014.12.29	(3.8x3.8)x17 (3.8x1.9)x16	2015.03.02	2015.08.03	제작완료
	MS18-1502		2015.01.26	(3.8x3.8)x20 (3.8x1.9)x7	2015.05.11	2015.10.12	칩제작중
	MS18-1503		2015.02.23	(3.8x3.8)x19 (3.8x1.9)x6	2015.07.13	2015.12.14	설계중
	MS18-1504		2015.03.23	(3.8x3.8)x22 (3.8x1.9)x6	2015.09.07	2016.02.01	설계중
	MS18-1505		2015.05.26	(3.8x3.8)x24 (3.8x1.9)x2	2015.12.18	2016.05.09	설계중
MS 0.35um	MS35-1501	(5x4)x20	2015.01.26	(5x4)x18 (5x2)x3	2015.06.08	2015.09.29	설계중
	MS35-1502		2015.07.20	5x4)x9	2016.01.11	2016.04.30	정규모집 [-7.20]
TJ SiGe	TJS18-1501	(2.35x2.35)x4	2014.12.29	(2.35x2.35)x3	2015.04.27	2015.09.15	DB 마감연기 [-8.20]
TJ CIS	TJC18-1501	(2.35x2.35) x4	2015.01.26	(2.35x2.35)x4	2015.06.15	2015.10.23	DB 마감연기 [-8.10]
	TJC18-1502		2015.05.26	(2.35x2.35)x4	2015.11.23	2016.03.28	설계중
TJ BCD	TJB18-1501	(2.35x2.35) x12-16	2014.12.29	(5x2.5)x2 (2.35x2.35)x8	2015.03.02	2015.07.06	제작완료
	TJB18-1502		2015.03.23	(2.35x2.35)x8	2015.08.24	2015.12.28	설계중
	TJB18-1503		2015.05.26	(2.35x2.35)x9	2015.11.30	2016.04.04	설계중

\* 문의: 이의숙 (042-350-4428, yslee@idec.or.kr)

- \* 일정은 사정에 따라 다소 변경될 수 있음.
- \* 회차 표기 방법 변경 : 공정코드-년도 모집순서 (예시) 삼성65nm 2015년 1회차 : S65-1501)
- \* TowerJazz 공정은 sub chip(2.35mmx2.35mm)으로 분리하여 모집
- \* 모집기간 : 모집 마감일로부터 2주전부터 접수
- \* Package 제작은 Die out 이후 1개월 소요됨
- \* 기준일 : 2015. 06. 30

2015년 7월 교육프로그램 안내

수강을 원하는 분은 IDEC 홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

개설 강좌 안내

센터명	강의일자	강의제목	분류
본센터	7월 1-2일	시그마델타 ADC 설계 및 실습	설계강좌
	7월 8-9일	HDL Debugging Training(Verdi3)	Tool강좌
	7월 17일	TFT-LCD 구동 기술의 이해 및 구동 회로 설계	설계강좌
	7월 22-23일	QuestaSim	Tool강좌
	7월 28-30일	기가비트 이더넷제어기 설계와 응용설계	설계강좌
경북대	7월 6일	하이 스피드 인터페이스 SoC 설계	설계강좌
	7월 8-9일	Integrated Circuits Interfacing with Neurons	설계강좌
	7월 10일	Xilinx ISE 기반의 FPGA 동작 실습	설계강좌
	7월 15일	CMOS 이미지 센서 설계	설계강좌
	7월 20-21일	SoC의 Front End 설계	설계강좌
광운대	7월 23-24일	Pspice를 이용한 아날로그 Front end 설계	설계강좌
	7월 29일	Mobile transceiver RFIC 설계	설계강좌
	7월 6-8일	Full-custom 설계 입문	설계강좌
	7월 9-13일	아날로그 집적회로 설계	설계강좌
	7월 21-24일	RF 주파수 합성기 이론 및 설계실습	설계강좌
부산대	7월 29-31일	SoC 설계 기초 및 저전력 설계 기법	설계강좌
	7월 1-3일	CMOS Analog 회로설계	설계강좌
	7월 21-23일	Verilog을 이용한 Digital System 설계	설계강좌
	7월 27-29일	CPU 설계 및 응용	설계강좌
	7월 2일	디지털시스템 전원회로 설계 및 노이즈 대책설계	설계강좌
성균관대	7월 20-21일	Cadence Virtuoso Schematic & Spectre	설계강좌
	7월 30일	RF power amplifier 집적회로 설계 및 실습	설계강좌
전남대	7월 1-3일	임베디드 라눅스 Device Driver 및 안드로이드 플랫폼 개발	설계강좌
	7월 27-28일	VHDL 기초 및 임베디드시스템 실습	설계강좌
충북대	7월 6-9일	Latest Design Trend in Mixed Mode VLSI Design in SoC and Bio Applications	설계강좌

\* 문의 : KAIST IDEC 오기영 (042-350-8536, oky0818@idec.or.kr)

SCIENTIFIC ANALOG 사  
IDEC에 「XMODEL」 Tool 기증

SCIENTIFIC ANALOG, INC(대표 김재하, 서울대학교 전기정보공학부 교수)는 6월 26일(금), KAIST 반도체설계교육센터(IDEC, 소장 박인철)에 「XMODEL」 Tool 50Copy를 기증했다.



XMODEL 기증식  
(좌: 김재하 대표(SCIENTIFIC ANALOG), 우: 박인철 소장(IDEC))

「XMODEL」은 아날로그 및 혼성신호 IC 시스템의 동작 및 성능을 검증할 수 있는 SystemVerilog기반의 사건구동방식(event-driven) 시뮬레이터이다 「XMODEL」은 기존 시뮬레이터들보다 정확도와 실행속도가 10~100배 이상 빠르고 순수한 디지털 시뮬레이터인 SystemVerilog 상에서 동작 비트 에러율 같은 통계적인 분석 가능 아날로그-디지털 co-simulation을 지원할 수 있다.

문의 : 석은주 선임연구원(042-350-8538, eunjuseok@idec.or.kr)

「2015 IDEC Soc Congress」 개최  
일정 변경 안내

2015.06.30(화)  
» 2015.09.22(화)

IDEC 반도체설계교육센터  
IC DESIGN EDUCATION CENTER

## 2015 IDEC SoC Congress

일시 : 2015.09.22(화)  
장소 : KAIST K1빌딩 1층 강당

대학에 설계 연구 환경 지원에 대한 결과를 소개·전시하고 대학과 관계자 분들과 함께 Soc 설계 인력 양성의 현안과 발전 방향에 대해 논의하고자 IDEC Soc Congress(SOC)를 개최합니다. 본 행사를 통해 산업의 근간인 인력양성에 대한 많은 의견을 수렴하여 더욱 나아진 연구 및 교육 환경이 구축될 수 있도록 관계자 여러분의 많은 관심과 참여 부탁드립니다.



# Approximate Computing을 통한 에너지와 정확도의 Trade-off

## 1. 서론

오늘날 IT 기술의 계속되는 성장에 힘입어, IT 기기는 우리 생활의 필수 요소가 되었다. 특히 지난해 전세계 스마트폰 보급률은 24.5%로 컴퓨터(PC)의 보급률을 추월 하는 등 IT 기기의 모바일화가 한층 더 활발해 지고 있으며, 모든 사물이 무선 네트워크에 연결되는 사물인터넷 (IoT - Internet of Things) 시대가 눈앞에 다가오고 있다. 앞으로 IT 기술과 사물인터넷 기술은 우리의 삶과 밀접하게 연관될 것이며, 이는 더욱 더 많은 데이터 처리를 요구할 것이다. 처리해야 할 데이터의 양이 늘어 남에 따라 IT 기기의 에너지 소모는 점점 더 커져서, 높은 에너지 효율과 긴 배터리 수명이 필요하게 되었다. 하지만, IT 기기의 이동성 및 소형화에 비해 전력소모의 감소가 따라가지 못하여 단위 면적당 에너지 소모가 계속 증가하고 있으며, 그 결과 발열로 인한 마이크로프로세서의 동작과 신뢰도에서 많은 문제를 야기하고 있다.

이러한 문제의 해결방법으로 거론 되고 있는 것이 'Approximate Computing' 이다. 영상 및 음성 처리 등 100% 정확한 결과를 필요치 않는 어플리케이션에서 approximate computing을 이용하면 약간의 정확도 손실로 동작 성능 향상과 전력 소모 감소 두가지를 동시에 얻을 수 있다. 본고에서는 이러한 approximate computing에 대한 소개와 하드웨어 설계 측면에서의 최신 연구 동향에 대해 살펴보고자 한다.

## 2. Approximate Computing이란?

역사적으로, 컴퓨터 플랫폼 설계는 '모든 계산 과정은 정확해야 한다'는 원칙하에 정확도를 높이는 데에 초점이 맞춰져 왔다. 그리고, 시스템의 전력소모와 성능의 trade-off 관계를 기반으로 하여 전력소모의 증가를 감수하고 성능향상을 시키던지 혹은 그 반대로 성능저하를 감수하고 에너지 효율을 높이는 식의 개념으로 설계하였다. 하지만 approximate computing을 사용하게 되면 기존의 전력소모와 성능의 2차원 적인 관계가 아닌 전력소모와 성능, 그리고 정확도의 세가지의 변수를 가지고 프로세서 회로를 설계할 수 있다. 즉, 전력소모와 성능의 최적화된 파레토 프론티어 곡선이 정확도 라는 새로운 축으로 확장되어 더욱 높은 성능 혹은 더욱 낮은 전력소모가 가능하다. [그림 1 참조]

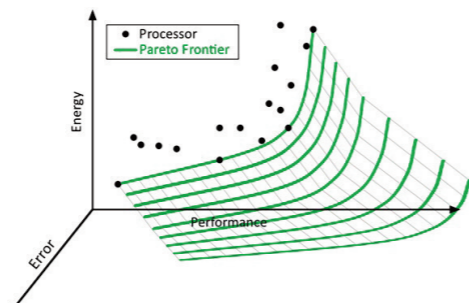


그림 1. 에너지, 성능 정확도 (error) 의 세가지 변수를 이용한 프로세서 회로 설계 [1]

Approximate computing은 다른 목표치 즉, 성능이나 전력 소모와 같은 부분을 향상 시키기 위해 정확도를 손실 시켜 에러가 발생하지만, 그 에러들이 사용자에게 의해 어느정도 무시될 수 있는 분야에서 사용할 수 있다. 특히 사람의 감각과 관련 된 어플리케이션인 영상 및 음성 처리 분야에서는 눈과 귀로 인지 할 수 없는 작은 에러를 무시 함으로서 에너지 절약 또는 성능향상을 기대할 수 있다. 최근에는 그림 2과 같이 다양한 어플리케이션에서 approximate computing의 사용이 시도 되고 있으며, 그 예로 wearable Electronics, 음성인식, 장면인식, 웹 서치, 거짓말 탐지기, 금융 및 데이터 분석, 프로세스 모니터링, 로봇, 위치추적 및 GPS, 오디오, 이미지, 영상 처리 및 압축 등이 approximate computing 이 사용가능한 영역이다.

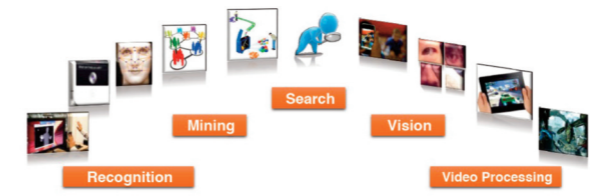


그림 2. Approximate Computing을 적용할 수 있는 다양한 어플리케이션

최근 approximate computing을 소프트웨어 레벨에서 적용하여 에너지 소모를 줄인 연구가 활발히 진행되고 있다.

퍼듀대학의 Chippa 그룹은 에러 복구를 조정하여 효율을 높일 수 있는 Dynamic Effort scaling을 제안하고, recognition and mining (RM) 을 위한 고성능 고효율의 STORM 프로세서에 적용하였다. 그들이 ISLPED 2014 학회에서 발표한 실험 결과는 approximate computing을 통해 결과물의 품질 저하를 최소화하면서 에너지 절감 효과를 보여 주었다.

워싱턴 대학의 Luis Ceze 그룹은 프로세서 컨트롤이 하드웨어 리소스의 대부분(50%이상)을 차지하지만 근사연산을 통하여 얻을 수 있는 이점이 제한된다는 사실에 착안하여, 신경 접근을 통하여 code acceleration을 위한 아날로그 회로에 approximate computing 기법을 적용하였다. 그들이 제안한 SNNAP (systolic neural network accelerator in programmable logic) 은 근사된 결과를 만들어 내면서 별도의 패치나 개별 실행의 각각의 인스트럭션에 관한 디코딩 없이 동작한다.

## 3. Approximate Arithmetic 회로

Approximate computing이 적용되는 어플리케이션에서는 시스템의 성능을 높이거나 전력 소모를 줄이기 위해 단순화(simplified)한 혹은 부정확(inaccurate)한 approximate arithmetic 회로들이 사용될 수 있다. 그리고, 대부분의 arithmetic 연산이 adder 혹은 multiplier 에서 이루어 지므로, approximate computing 위해 지금까지 다양한 approximate adder 와

multiplier의 하드웨어 설계가 제안 되었다.

### 3.1 Approximate Adder

기존 adder에서는 각 bit의 연산을 위해서는 최하위 bit 부터 최상위 bit 까지 carry를 전파시켜 계산한다. 이러한 carry propagation은 adder 회로의 임계경로 (critical path)를 길게 만드는 역할을 하고 이로 인해 adder의 성능 향상과 전력소모 감소에 제약이 생긴다. 최근에 소개된 approximate adder 들은 이러한 carry propagation의 경로를 끊어서 임계경로의 길이를 줄이는 방식을 택하고 있다.

그림 3은 Lu[2] 가 제안한 32-bit approximate adder를 보여준다. 위와 아래줄은 일반적인 adder의 propagate 및 generate 회로가 사용되지만, 가운데 부분의 carry를 처리하는 carry chain의 길이를 k-bit로 고정하였다. Lu 의 adder는 기존의 adder와는 달리 해당 bit를 계산하기 위해 앞의 몇 개의 carry만을 고려한다. 이 구조는 전체 연산 bit 크기에 따라 복잡도가 증가하지만 임계경로의 길이는 항상 일정한 이점을 가지고 있다. 32-bit adder에서 k가 8일때 오류율은 2.2%에 불과 하지만, 임계경로의 길이를 1/4로 줄여서 adder의 연산속도를 크게 향상시킬 수 있다.

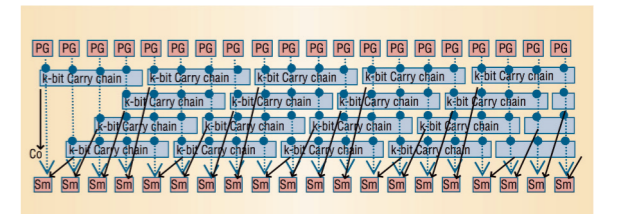


그림 3. 32-bit Approximate Adder [2]

Zhu[3]는 approximate computing에서 오류율 (error rate) 보다 오류의 크기 (error significance)를 낮출 수 있는 approximate adder를 제안하였다. Zhu의 adder는 그림 4에서 처럼 입력을 accurate part와 inaccurate part 두부분으로 나누고, 덧셈 계산을 나눈 지점에서 시작하여 서로 반대방향으로 해 나간다. Accurate part는 일반적인 adder 동작과 동일하게 연산한다. 반면, inaccurate part는 오른쪽에서 왼쪽으로 각각의 input bit를 조사하여 carry 가 생성되는 지점부터 하위 bit들은



모두 1로 바꾼다. 이러한 연산의 근사화 (approximation)를 통해 기존 adder 대비 전력소모 감소와 성능 향상 모두에서 이득을 얻을 수 있는데, RCA대비 66%, CSA 대비 77%, CSL대비 83%, CLA 대비 75%의 PDP (power-delay product) 절감 효과를 얻을 수 있었다.

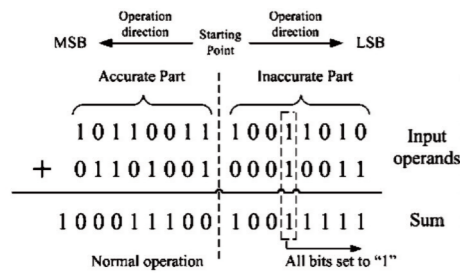


그림 4. Zhu's approximate adder [3]

Approximate computing이 사용될 때, 대부분의 어플리케이션에서는 동작 중에 필요한 정확도가 수시로 변화한다. 하지만, 정확도가 고정된 회로라면 요구하는 최고 정확도에 맞추어 설계를 해야하므로 근사화를 통한 이득이 제한될 수 밖에 없다. 이러한 문제를 해결하기 위해 Kahng[4]은 때에 따라 정확도가 조절 가능한 ACA (accuracy-configurable approximate) adder를 제안하였다(그림 5 참조).

Stage 1에서는 근사된 가산 결과를 만들어 내고 stage 2, 3, 4에서는 stage 1에서 만들어진 결과를 단계별로 수정하는 일을 한다. 시스템에서 높은 정확도를 요구하지 않을 때는 stage 2, 3, 4를 파워게이팅 기술을 통해 전류를 차단하고, 반대로 정확한 결과가 필요할 때는 다시 이들을 하나씩 켜으로써 정확한 결과를 얻을 수 있다. Stage 2, 3, 4를 모두 켜줄 때는 일반적인 adder 대비 10%의 정확도 감소와 함께 51.6%의 전력 감소 효과를 얻을 수 있고, stage 2, 3만 켜줄 때는 7.5%의 정확도 감소와 31%의 전력 소모 감소 효과를 얻을 수 있다. 모든 stage를 동작 시킬 때에는 완전히 정확한 결과를 내보내며, 10%의 전력 손실을 가진다.

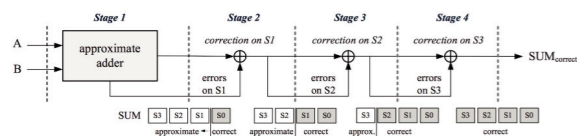


그림 5. 정확도가 조정가능한 Accuracy-Configurable Approximate adder [4]

### 3.2 Approximate Multiplier

Approximate computing을 multiplier 연산에 적용하기 위해 Kulkarni[5]는 단순화된 2x2 multiplier를 제안하였다. 근사화함으로써 전력소모를 줄였다. 그림 6은 Kulkarni가 제안한 단순화된 multiplier(a)와 기존의 multiplier (b) 그리고, 곱셈 연산의 결과표(c)를 보여준다. 연산 결과에서 볼 수 있듯이, 단순화된 multiplier는 총 16가지 연산결과에 대해 한번만 잘못 된 결과를 만들어 내지만 전체 회로의 전력사용을 40%가량 줄일 수 있다. 이를 바탕으로 JPEG 이미지 인코더를 디자인한 후 공급 전압을 낮춘 결과를 기존 multiplier 비교 했을 때, 같은 전력 소모사용 대비 최소 2배에서 최대 8배까지의 SNR향상을 보였다.

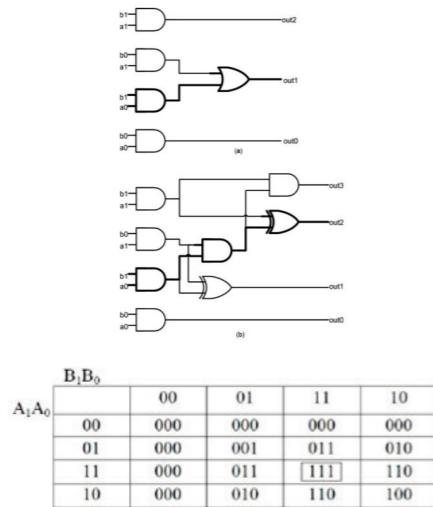


그림 6. (a) 근사화된 2x2 multiplier와 (b) 기존의 2x2 곱셈기 및 (c) 연산 결과표

FFT를 비롯한 많은 DSP 응용의 VLSI에서는 두 곱셈의 결과에서 처리할 수 있는 상위 bit들만 남기고 하위 bit 들은 버리는 fixed-width 곱셈기가 주로 사용된다. Cho[6]는 Fixed-width 곱셈에서 approximate 연산을 하는 multiplier를 제안하였다(그림 7. 참조). 제안된 multiplier는 먼저 기존의 partial product를 더하기 위한 adder 구조를 3부분으로 나눈다. 제일 오른쪽에 있는 LP<sub>minor</sub> 부분을 무시하고 input 패턴으로부터 carry를 예상하여 다음 stage에 넘겨준다.

이렇게 생성된 가상의 carry 를 더하여 바로 결과를 만들면 오차가 많이 나기 때문에 가운데 LP<sub>major</sub> 부분에서는 가상의 캐리와 partial product 들을 더해서 다음 stage로 넘어갈 캐리를 만들고, 왼쪽 MP 부분에서는 이 캐리와 partial product들을 이용하여 최종 결과를 만들어 낸다. 그 결과 기존 곱셈기 대비 35%의 면적과 전력소모 감소 효과를 얻을 수 있었다.

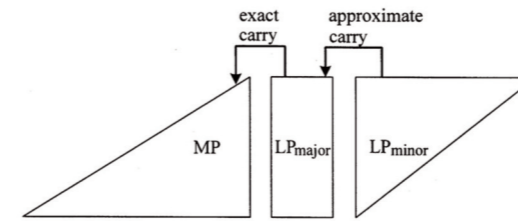


그림 7. 근사화된 fixed-width modified Booth multiplier 구조

### 4. 결론

오늘날 사물 인터넷 (IoT) 및 웨어러블 기기에서 가장 강조되는 부분은 배터리 사용 시간으로, 이를 연장하기 위해 에너지 효율을 고려한 저전력 설계가 절실히 필요하다. Approximate computing은 정확도와 에너지의 trade-off 관계를 이용하여 어플리케이션이 요구하는 정확도에 맞추어 전력 소모 감소를 극대화 할 수 있다.

또한, approximate computing은 최근 활발히 연구되고 있는 초저전압 (NTV: Near-Threshold Voltage) 동작과 함께 쓰일 수 있다. NTV 는 IC의 동작 전압을 임계 전압 근처까지 낮추어 전력 소모를 기존의 10분의 1 가량으로 줄일 수 있지만, 공정/ 온도/ 전압 변화에 따른 회로 딜레이 변화가 극심하여 높은 설계 마진이 필요하다. Approximate computing은 출력 결과에 약간의 오류를 허용하므로, 극심한 딜레이 변화 (variation)에도 높은 설계 마진없이 효율적으로 설계가 가능하여 NTV 조건에서 잘 적용될 수 있다.

본고에서는 approximate computing에 대한 기본적인 소개와 함께 최근 연구논문들로부터 제안된 approximate 회로들을 소개하였다. Approximate computing을 이용한 회로 설계는 다가오는 IoT 시대를 대비하기 위해 꼭 필요한 기술로 앞으로도 더욱 다양한 방향의 관련 연구들이 진행되리라 예상된다.



강석형 교수  
소속 : 유니스트 전기전자컴퓨터공학부  
연구분야 : Low power SoC design, Computer-aided design  
Email: shkang@unist.ac.kr  
홈페이지: http://soc.unist.ac.kr/



강예성 석박통합과정  
소속 : 유니스트 전기전자컴퓨터공학부  
연구분야 : Low power SoC design  
Email: yeskang@unist.ac.kr

### 참고문헌

- [1] H. Esmailzadeh, "Approximate Computing: A Path beyond the Tyranny of Digital Computing"
- [2] S.-L. Lu, "Speeding up processing with approximation circuits", Computer, Mar 2004.
- [3] N. Zhu, W. L. Goh, W. Zhang, K. S. Yeo, and Z. H. Kong, "Design of low-power high-speed truncation-error-tolerant adder and its application in digital signal processing", IEEE TVLSI, Aug 2010.
- [4] A. Kahng and S. Kang, "Accuracy-configurable adder for approximate arithmetic designs", DAC, June 2012.
- [5] P. Kulkarni, P. Gupta, and M. Ercegovac, "Trading accuracy for power with an underdesigned multiplier architecture", VLSI Design, Jan 2011.
- [6] K.-J. Cho, K.-C. Lee, J.-G. Chung, and K. Parhi, "Design of low-error fixed-width modified booth multiplier", IEEE TVLSI, May 2004.
- [7] L. Kugler, "Is Good Enough Computing Good Enough?", Communications of the ACM, May 2015.



# 사물 설계 자동화

## 개요

최근 전기자동차는 차세대 운송수단으로 큰 주목을 받고 있으며, 전기자동차 관련 연구 및 투자가 급증하고 있다. 사람들의 이목이 이렇게 전기자동차에 집중되는 이유는 전기자동차의 여러 가지 장점 때문이다. 전기자동차는 내연기관 자동차에 비해 효율이 3배 이상 좋으며, 운행 시 배기가스를 만들지 않기 때문에 친환경적이다. 또한, 전기자동차는 오직 배터리와 모터만으로 움직이므로 유지 및 보수가 간편하다. 전기자동차의 판매량은 계속해서 증가하고 있으며, 향후 십수년 내에 전기자동차는 주요 운송수단으로 자리매김 할 것이다.

전기자동차의 판매량이 계속해서 늘어나고 있지만 전기자동차가 일반 승용차만큼 널리 보급되기까지는 몇 가지 걸림돌이 존재한다. 그 중 가장 큰 걸림돌은 전기자동차의 전기 에너지 저장과 관련된 문제다. 전기자동차의 배터리는 일반 승용차가 사용하는 가솔린보다 에너지 밀도가 낮아 1회 충전시 운행할 수 있는 거리가 일반 승용차에 비해 짧고, 충전에도 일반 승용차에 비해 매우 긴 시간이 필요하다. 이러한 문제로 인해 사용자는 불편을 느끼게 되고, 이것은 전기자동차가 수많은 장점을 가지고 있음에도 불구하고 아직 전기자동차의 수요가 폭발적으로 증가하고 있지 않는 요인이 된다.

하지만, 이러한 문제가 해결되어 전기자동차가 일반 승용차를 모두 대체하여도 문제는 여전히 존재한다. 전기자동차가 일반 승용차를 대체하게 되면 전기자동차 충전을 위해 전기에너지가 막대하게 소요될 것이다. 이런 상황이 오면 전력예비율이 충분하지 못한 국가에서는 충전에 소요되는 전력량을 감당하기 위해 다수의 발전소를 추가로 건설해야 한다.

이처럼 전기자동차 보급률 증가로 인해 늘어난 충전 수요는 전기에너지 대란을 초래할 수 있다. 전기자동차를 에너지 관점에서 효율적으로 설계하는 것과 전기자동차의 특성을 고려한 최소 에너지 주행 기법은 자율주행 전기자동차가 주를 이루는 미래 교통의 지속 가능성을 보장해주는 최소한의 안전장치이며, 이와 관련된 기술 확보는 전기자동차 시대의 주역이 되는데 필수적이다.

전기자동차의 전력소모는 차량 자체의 규격 못지않게 주행 방법에 따라서 크게 좌우된다. 특히, 자율주행이 널리 보급되는 시점에서는 최소 에너지 주행 기법의 개발은 배터리 원천기술 개발과는 달리 짧은 연구기간 내에 전기자동차 전력소모를 획기적으로 줄일 수 있다는 측면에서 아주 중요하다. 전기자동차의 최소 에너지 주행을 주어진 목적을 달성하는 (제한시간 목적지 도달) 설계단계의 최적화와 차량무게, 도로경사, 교통상황 등을 모두 고려한 차량 순간 가속도 및 속도 결정 등의 주행단계의 최적화로 정의할 수 있다.

이 문제는 실제로 아주 복잡한 수준의 최적화 문제가 되나, 사물 설계자동화를 통해 저전력 컴퓨터 구조설계, 저전력 태스크 스케줄링과 비슷한 IT 기반 접근 방법을 통해서 체계적으로 풀이될 수 있다. 이러한 접근의 필수 단계가 전기자동차의 사양과 실시간 주행조건에 따른 전력소모를 예측할 수 있는 모델링과 시뮬레이터 개발이다. 정확한 전력소모 시뮬레이션을 통해서 주어진 임의의 주행미션을 만족하는 최소 에너지 주행기법을 체계적으로 도출하는 연구의 필요성이 크게 강조되어야 한다.

마지막으로 전기자동차는 그 사용목적에 맞게 최적 설계할 필요가 있다. 주행 기후, 도로 상태, 사용자의 사용주기, 주행 거리 등 주행 환경에 따라 그에 맞는 차체 크기, 배터리 크기, 모터 성능이 요구되며, 여기서 최적 설계가 진행되어야 주어진 사용패턴에 따른 에너지 소비를 최소화할 수 있기 때문이다. 특히, 전기자동차의 전력소모 모델은 차체의 물리 특성뿐만 아니라 배터리 특성, 모터 특성까지 고려해야하기 때문에 궁극적으로는 에너지 시뮬레이터 개발, 최소 에너지 주행기법, 설계 최적화가 모두 통합적으로 설계되어야 한다.

전기자동차 최소에너지 주행 최적화 문제를 해결하기 위해 사용하는 사물 설계자동화(Design Automation of Things) 기법이란, 반도체 설계, 저전력 시스템 설계 및 컴퓨터 시스템 설계 분야에서 이미 충분히 검증된 설계 자동화 기법을 다른 응용에 적용하는 시도를 말하는 신조어이다. 사물 설계자동화 기법은 주어진 사물에 대한 체계적인 모델링을 기반으로 다양한 실험에 대한 검증은 빠르고 정확하게 할 수 있고, 빠른 검증 기법을 토대로 복잡하고 검증에 상당한 시간이 걸리는 문제들을 다양한 최

적화 알고리즘을 통해 최적에 근접한 값으로 빠르게 풀어낼 수 있게 된다. 이러한 사물 설계자동화 기법은 실험적으로 접근하는 최적화 시도에 비해 빠른 시간에 최적 해법에 근접한 결과를 얻어낼 수 있다는 강점을 보이며, 시스템 이론에 비해 최적 해법에 대한 현실적인 검증이 가능하다는 특징이 있다.

예를 들면, 전기자동차의 최적주행 프로파일을 얻기 위해서는 주행 환경, 주행 기법 등을 바꿔가면서 수많은 실험을 수행해야하나 물리적, 시간적 한계로 인해 최적 주행 프로파일을 얻는 것은 현실적으로 어렵다. 사물 설계자동화 기법을 이용하면 이러한 한계를 효과적으로 극복할 수 있다. 사물 설계자동화 기법은 전기자동차의 수학적, 물리적 특성을 모델링하고, 주어진 주행환경, 전기자동차 특성, 주행 특성 정보에 따른 에너지 소비를 수식화할 수 있다. 또한, 이 전기자동차 모델을 통해 다양한 주행 환경, 주행 기법에 대한 결과들을 단시간 내에 검증할 수 있게 되며, 이 검증기법을 기반으로 최적화 알고리즘을 통해 전기자동차의 최적 주행 기법을 도출해 낼 수 있게 된다.

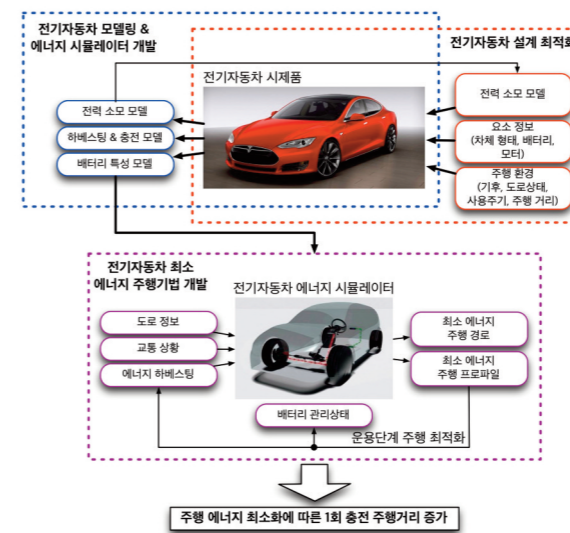


그림1. 사물 설계자동화를 이용한 전기자동차 통합 최적화의 개요.

## 국내·외 동향

전 세계적으로 이슈인 환경 문제와 에너지 문제에 대해 많은 국가들이 전기자동차 기술을 새로운 해결 방안으로 제시하고 있다. 많은 국가들이 전기자동차 생산에 대한 지원을 늘리고 전기자동차 연구에 연구비를 투자하고 있다. 이와 더불어 다수의 자동차 회사 및 전기자동차 회사들이 하이브리드 자동차 및 전기 자동차를 출시하고 있다. 그리고 그 판매량이 점차 증가하고 있어 전기자동차가 향후 십수년 이내에 주된 운송수단으로 자리 잡을 것이라 예상된다.

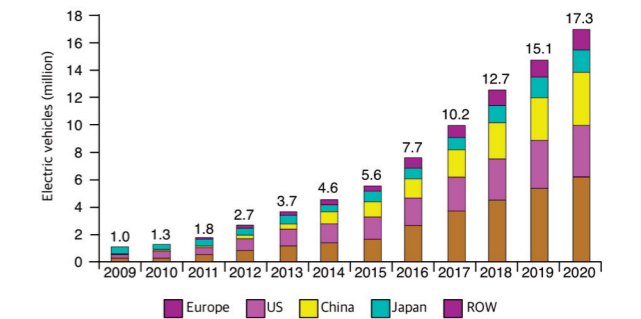
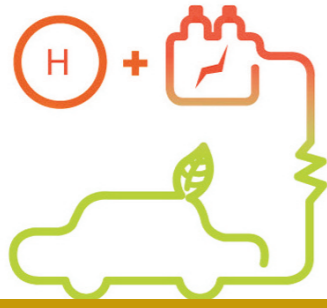


그림2. 전기자동차의 예상 판매 대수 추이.

2009년, 전 세계에서 판매된 전기자동차(하이브리드 포함)는 총 73만대이고, 누적판매량은 2천7백만대이다. 한 전기자동차 시장 예측 자료에 의하면, 세계 전기자동차 시장은 연평균 33%씩 증가하는 추세이고, 2020년에는 연간 1천7백만대가 팔릴 것으로 예상된다(그림2). 미국은 배터리 및 전기자동차 생산 설비 등 총 48개의 프로젝트를 확정하고 전기자동차 및 배터리 연구에 약 24억 달러의 보조금을 지급하기로 발표하였으며, 일본은 총 210억 엔을 투자하며 차세대 배터리 개발 프로젝트를 시작하였고, 독일은 이미 2011년까지 전기자동차의 기술개발에 5억 유로를 지원하였고 인프라 및 배터리 개발에 2억8천 유로를 지급하기로 계획하였다. 우리나라의 경우 2020년까지 전기자동차 개발에 15조를 투입하기로 하였다 [1].



세계적 프론티어 연구팀의 연구동향에 따르면, 전기자동차의 판매량이 점차 증가함에 따라 전기자동차 관련 인프라 구축에 대해서도 논의가 요구된다. 예를 들어 전기자동차를 충전할 충전스테이션의 보급과 전기자동차의 부품 수급, 전기자동차 충전을 위한 표준화 등이 있다. 유럽에서는 Green eMotion, European Electro-Mobility Observatory, Eurelectric, Electromobility plus 등 다양한 그룹들이 향후 전기자동차의 주행 환경을 위해 어떤 일을 해야 할 지에 대해 논의하고 있다. 유럽 내 각 기업 연합, 국가 정책 담당자, 연구센터의 대표자들이 모여 전기자동차 관련 표준화, 환경문제, 사회문제 등에 대해 논의한 내용은 다음과 같다.

- 전기자동차 부품의 표준화 : 높은 전기자동차 비용의 주원인을 표준화되지 않은 부품 및 배터리로 보고, 표준화를 통해 부품별 규격을 정하고 동일 부품의 생산량을 증가시켜 규모의 경제를 실현함. 규모의 경제를 통해 결과적으로 전기자동차의 생산 비용이 줄어들고 소비자의 구매력이 향상됨.

- 충전방식의 표준화 : 전기자동차를 이용하여 여러 나라에 방문하는 경우 하나의 전기자동차 충전 방식으로 모든 나라에서 충전을 가능하게 함.

- 전기자동차 데이터의 표준화 : 스마트 그리드를 통해 전기자동차 충전시간 및 위치를 관리하여 다른 나라에서 온 전기자동차의 충전 관리 역시 가능하게 만들.

- 전기자동차 요소 부품 개발 : 인피니온 사에서는 반도체 제작 기술을 활용하여 전기자동차 관련 제품을 판매 중임. 현재 인버터, 배터리 충전기, 배터리 관리 시스템을 판매하고 있고, 전기자동차 제작 해법까지 제공하고 있음.

- 네트워크 해법 개발 : 보쉬사에서는 현재 약 4억 유로를 투자하여 전기자동차 요소 연구 중에 있으며, 전기모터, 회생제동 시스템뿐만 아니라 네트워크 해법도 개발 및 판매.

- 사물 설계자동화 기반 최적화 연구 : 기존 저전력 회로 설계 및 컴퓨터 시스템에서 검증된 모델링 및 시뮬레이션 방법을 통해 전기자동차 관련 분야의 최적화를 이뤄낼 수 있으며, 이에 대한 논의는 세계적으로 이제 막 거론되고 있음 [2].

국내의 전기자동차 업체의 연구동향에 따르면, 현재 국내외의 전기자동차 관련 기업들에 의한 전기자동차 연구가 꾸준히 진행되고 있다. 현재까지 진행되고 있는 전기자동차 관련 연구는 주로 내연기관 자동차를 대체하기 위한 성능 및 주행거리 향상에 초점이 맞춰져 있다 [3]. 국내의 경우에는 배터리 연구가 주로 수행되고 있으며, 국외의 경우에는 전기자동차의 각종 핵심 부품 및 전기자동차 제작 해법에 대해 광범위하게 연구하고 있다. 하지

만, 전기자동차가 소비하는 에너지를 줄이기 위한 연구나 전기자동차에서 사용되는 배터리의 수명 및 효율에 대한 연구는 많이 진행되고 있지 않으며, 전기자동차 사용 용도에 따른 사물 설계자동화 기법에 대한 연구 또한 아직 시도되지 않고 있다.

- 전기자동차의 구성 요소기술 최적화 : 인피니온 사의 전기자동차 인버터, 배터리 충전기, 배터리 관리 시스템.

- 전기자동차 제작 솔루션 : 보쉬사의 전기모터, 회생제동 시스템, 네트워크 솔루션.

- 전기자동차 성능 개선 : 국내 상당 기업들은 전기자동차의 주행거리를 늘릴 수 있는 배터리 개발에 주력하고 있음. LG화학은 프랑스 르노그룹과 배터리 개발 협력을 시작. 삼성SDI는 포드와 협력하여 차세대 자동차용 리튬이온 배터리 개발 진행. SK이노베이션은 중국 베이징자동차와 합작으로 배터리 공장을 짓고 기아차와 기술제휴를 맺음.

- 전기자동차 핵심부품 기술 개발 : 현대 중공업은 배터리, 충전장치, 전자제어시스템을 연구. LS 산전은 전기자동차의 동력을 연결하는 전기자동차용 릴레이, 인버터를 개발. 현대모비스, 만도는 시뮬레이션, 모의시험 등을 통한 성능 통합 평가 시스템을 개발.

사물 설계 자동화의 필요성

테슬라 뿐 아니라 GM, 닛산, BMW 등의 주요 자동차 회사가 앞다투어 신제품 전기자동차를 출시하면서 전기자동차에 대한 수요와 기대가 급증하였다. 그림 2에서 볼 수 있듯이 전기자동차 시장은 연평균 33%씩 증가할 것으로 예상되고 2020년 전기자동차 연간 판매량은 1천7백만 대로 예상된다. 하지만, 연 1만5천킬로미터(한국 승용차 연평균 주행거리 2만 킬로미터)를 주행하는 GM 볼트급 전기자동차 1대가 소모하는 전력은 1인 가정용 전기에너지 사용의 1~3배(국가별로 차이)에 달하고 이에 따라 전기에너지 소모는 급증하게 된다.

예를 들어, 70%의 내연기관 승용차가 동급 전기자동차로 대체되는 경우 미국은 10%, 한국은 9%의 화석연료 또는 미국은 34%, 한국은 24%의 핵연료를 더 사용하여야 한다. 특히, 모든 승용전기자동차가 2~3시간 내 충전을 마칠 수 있는 레벨 3 충전기를 통해서 동시에 충전을 하려고 한다면, 한국의 경우 발전 설비를 60% 이상 추가로 건설해야 한다.

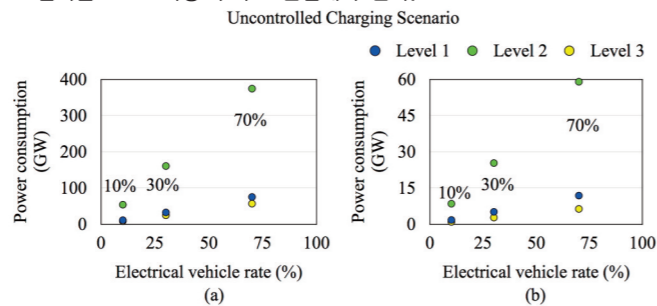


그림 3. 전기자동차 충전 시나리오에 따른 미국(a)과 한국(b)에서 전기자동차 대체 비율에 따른 충전방식 별 전력 소비 그래프.

그림 3은 전기자동차가 전체 승용 차량의 10%, 30%, 70%를

대체한다고 가정했을 때, 충전 방식 별 전력 소비 그래프를 나타내고 있다. 전체 승용자동차의 70%가 전기자동차로 대체되고 가장 일반적인 레벨 2 충전방식을 사용하는 경우, 전체 전력 생산량의 35%를 전기자동차 충전에 사용하게 된다. 이 수치는 충분히 발생할 수 있는 전기자동차 충전 시나리오를 적용한 것으로 전기자동차 사용에 의한 발전소 추가 건설이 필수불가결하다는 것을 의미한다. 따라서 전기자동차의 체계적 전력소모 절감을 위한 모델링, 전력 소모 시뮬레이터 개발, 주어진 주행 환경 및 사용 환경에서의 최소 에너지 구조를 도출하고 최소 에너지 주행 기법을 도출하는 연구는 아주 중요하다고 할 수 있다 [6].

에너지소모가 차량 무게에 정비례하는 경향은 내연기관 차량보다 전기자동차에서 더욱 두드러지게 나타난다(그림 4). 따라서 전기자동차용 소재의 경량화와 배터리 원천기술 개발은 매우 중요하다. 그러나 이런 연구는 이미 많은 자원이 투자되어 연구되고 있으며 단기간 내에 획기적인 발전을 기대하기는 쉽지 않은 실정이다. 이러한 상황에서 주어진 주행 환경 및 주행 목적(주행 시간, 주행 경로, 배터리 상태)에 최적화된 최소 에너지 주행 기법을 도출하는 연구는 자율주행과 전기자동차가 널리 보급되는 상황에서 가장 중요하게 고려될 수 있는 기술이다.

이와 같은 최적화 문제는 저전력 컴퓨터 시스템 설계 단계에서 설계 자동화 기법을 통해 많이 다뤄진다. 설계 자동화 기법은 임의의 주어진 조건에 대해 결과를 도출할 수 있는 모델링 및 시뮬레이터를 개발하고, 이를 통해 다양한 설계공간을 탐색 및 최적화 알고리즘을 사용함으로써 주어진 목적에 부합하는 최적에 근접한 결과를 얻는다. 이와 같이 다양한 사물에 대해 설계 자동화 기법을 적용하는 연구(사물 설계자동화)는 매우 효과적으로 복잡한 문제를 풀 수 있으며, 예제 1, 2, 3, 4 에서 그 가능성을 확인할 수 있다.

사물 설계자동화 기법을 활용하여 전기자동차 최소 에너지 주행 기법을 도출하기 위해 가장 중요한 요소는 전기자동차의 주행 조건에 따른 시뮬레이션 결과의 정확성이다. 시뮬레이션 결과가 정확하다는 확신이 있어야 도출된 최소 에너지 주행 기법에 대한 신뢰도가 생긴다. 따라서 정확한 모델링을 위해 실제 전기자동차 시제품을 만들고 충분한 주행 결과로부터 추출된 정확한 전력소모 모델을 구축한다. 그리고 전기자동차 전력소모 모델을 토대로 에너지 시뮬레이터를 구축하고, 시뮬레이터를 이용해 다양한 조건의 설계 공간을 탐색한다.

이러한 과정을 통해 매우 효과적으로 최소 에너지 주행 기법을 도출할 수 있다. 이처럼 정확한 전력소모 시뮬레이션을 통해서 주어진 임의의 주행미션을 만족하는 최소 에너지 주행기법을 체계적으로 도출하는 연구는 앞으로 다가올 전기자동차가 주요 교통수단이 되는 상황에서 핵심 기술이 될 것이다.

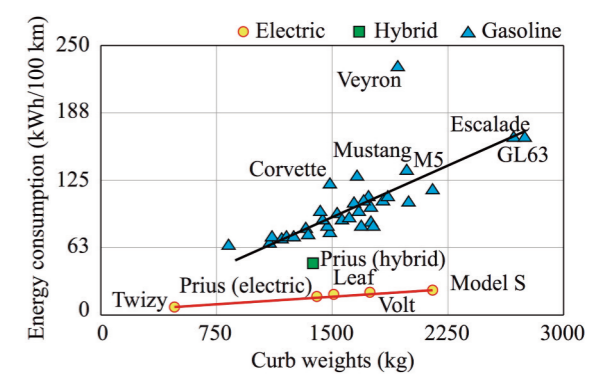


그림 4. 자동차 무게와 에너지 소비 관계 [4], [5].

전기자동차 최소 에너지 주행기법 연구는 현재 관련 업계에서 진행되고 있는 배터리 원천기술 개발과는 달리 짧은 연구기간 내에 획기적으로 에너지를 절감할 수 있는 기법이다. 하지만, 전기자동차의 에너지 최적화를 위해서는 기존의 내연기관 자동차를 기반으로 수행했던 연구와는 전혀 새로운 방향으로 진행해야 한다. 먼저 전기자동차의 에너지 소비 모델은 기존의 내연기관 자동차와는 다르게 모터 특성, 배터리 특성, 차체의 물리 특성을 모두 고려하기 때문에 이에 대한 충분한 지식을 가지고 최소 에너지 주행 기법을 연구해야 한다. 모터 효율이나 고전류 사용 시의 배터리 특성(rate capacity effect)이 전기자동차 전력소모에 상당한 영향을 끼치기 때문에 이에 대한 지식을 가지고 주행 최적화를 진행해야 한다. 두 번째로 전기자동차의 자율주행이 향후 새로운 기술로 부상하게 되는 경우, 주요 이슈는 교통량 및 주행 성능을 위한 연구가 아닌 주행 에너지 절감이 될 것이기에 최소 에너지 주행 기법의 품질 여부를 전기자동차의 핵심 요소로 고려해야 한다. 특히, 전기자동차 운용 단계에서의 최소 에너지 주행기법은 현재의 배터리 잔량, 주행 경로 상태, 교통 상태를, 충전스테이션을 모두 고려해야 의미가 있다.

전기자동차의 통합 최적화는 전기자동차, 배터리 관리 시스템, 사용자 요구, 자율 주행, 최적 주행이 모두 결합된 시스템이 되어야 하며, 교통기술과 정보통신기술(ICT)을 접목한 융합연구이다. 현재 선진국에서는 본 연구분야에 대한 개념정비 및 요소기술 개발을 시작하는 태동단계에 있으며, 현 단계에서는 요소기술의 기능 구현에 매진하고 있다. 전기 자동차 시장은 막대한 자본이 투입되고 있고 매년 큰 상승폭으로 성장하는 시장이다. 전기자동차 보급이 널리 이뤄졌을 때 추가적인 전력소모가 막대하다는 점을 고려하면, 미래교통기술의 궁극적 목표는 운송수단에서의 에너지 절감을 통해서 차후 발생할 전력 에너지 대란을 막고 환경을 보존하는데 목표를 두어 인류에게 지속가능한 운송수단을 제공하는 것이 되어야 한다.

모든 시스템 통합 및 최적화가 개별 요소들의 단순 합만으로 가능하지 않듯이, 전기자동차, 배터리 관리 시스템, 사용자 요구, 자율 주행, 최적 주행 등 개별 요소 기술을 단순 집적하는 것으로는 전체 에너지 최적화를 달성할 수 없다. 운송수단에서 얻을 수 있는 궁극의 에너지 최적화는 전기자동차와 배터리 시스템을 설계하는 디자인 단계에서의 최적화 뿐 아니라, 자율 주행, 사용자 요구사항, 운용기법 등 운용단계 최적화, 나아가서 이 둘을 통합하여 최적화하는 것을 의미한다.

이는 규모가 아주 크고 깊은 여러 학문분야의 요소를 통합 최적

화하는 방대하고 복잡한 문제이나, 달성했을 때의 파급효과는 인류의 미래를 좌우하는 결과를 가져온다. 요소기술 개발이 모두 끝난 후에 이러한 조직적 최적화 기법연구를 시작하게 되면 전기자동차의 통합 최적화 분야에 대해 설계 및 운용을 선도하는 것이 불가능 할 뿐더러 경쟁력 또한 떨어지게 된다. 이러한 디자인 단계 및 운용 단계의 통합 최적화는 반도체 및 컴퓨터시스템 설계자동화시에 이루어지는 최적화 기법과 유사하다. 그 중 반도체 및 컴퓨터시스템 설계 시 상세 설계 전에 이루어지는 선단계 평가(Early-stage evaluation)는 반도체 및 컴퓨터시스템 설계에 있어서 아주 중요한 개념으로 자리를 잡았다. 이 선단계 평가는 요소기술의 상세설계 사양을 도출하는 중요한 역할을 하여, 최적화된 요소기술 개발의 근간이 된다.

사물 설계자동화 기법은 단시간내에 전기자동차에서 소비하는 전체 에너지를 조직적으로 최적화(선단계 평가)를 하여 최적화된 구현을 하고, 구현이 끝난 후 운용단계 최적화를 효과적으로 달성하는 도전적인 연구이다. 이를 위하여 전기 자동차, 전력 계통, 에너지 저장장치, 교통 체계, 사용자 요구사항 등 다양한 학문분야의 도메인지식(Domain knowledge)을 바탕으로, 독창적이고 선도적인 시도를 한다.

**예제 1) 전기자동차 에너지 소모의 정확한 시뮬레이션을 위한 모델링에서 고려해야 하는 사항**

주어진 시간(deadline)안에 목적지에 도달하는 속도 프로파일은 많이 존재하나, 최소 에너지 조건으로 주어진 목적지에 도달하는 속도 프로파일을 도출하는 것은 간단한 문제가 아니다. 최저 에너지를 소모하는 운전 프로파일은 정확한 에너지 모델링에 기반한 최적화기법(dynamic programming)을 통해서 도출할 수 있다. 전기자동차의 평균 에너지 소모는 무게에 정비례하나(그림 4) 실제 운전에서는 전기자동차의 평균 에너지 소모보다는 특정한 주행코스를 주행할 때의 에너지 소모에 초점을 두어야 한다. 이때, 전기자동차의 에너지 소모는 단순 무게에 비례하는 것이 아니라 다른 많은 변수에 의해서 좌우된다. 일반자동차의 역학 모델에 근거하면 무게와 도로 기울기, 가속도, 속도, 등이 순간 전력 소모를 결정한다.

하지만 전기자동차의 전력 소모는 전기자동차의 역학 모델 뿐 아니라 전기자동차를 구성하고 있는 모터, 전력 변환기, 배터리 등에서도 일어난다. 경사 및 가속에 따라 모터에 걸리는 부하(토크)가 변하며, 모터 효율은 모터에 걸리는 부하와 모터의 회전 속도에 따라 결정된다(그림 5). 특히, 큰 토크가 걸릴 때는 더 큰 전력을 소모하고 작은 회전수일 때와 큰 회전수일 때 역시 큰 전력을 소모한다. 순간 전력소모는 배터리 특성과 전력변환기 효율에 크게 영향을 받는다.

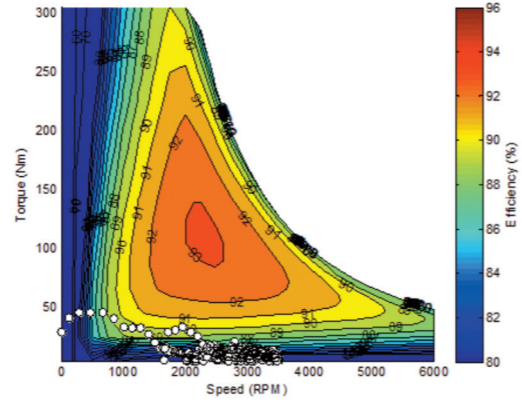


그림5 . 모터의 각속도와 토크에 따른 효율 그래프.

전기자동차의 역학 모델뿐만 아니라 모터, 전력 변환기, 배터리의 전력 소모 프로파일 모두 전기자동차 무게, 도로 기울기, 가속도, 속도에 영향을 받는다. 전기자동차의 전력 소모 모델은 앞서 언급한 모델을 모두 통합한 형태이므로 전기자동차 무게, 도로 기울기, 가속도, 속도의 매우 복잡한 함수가 된다. 즉 변하는 주행 경로 및 프로파일에 따라 전기자동차의 최소에너지 주행은 매우 크게 변화한다.

전기자동차의 주행 최적화는 주어진 주행 경로뿐만 아니라 사용자의 요구에 의해서도 크게 변화한다. 주어진 시간 내의 주행, 주어진 에너지 내의 주행과 같이 동일한 주행 경로에 대해서도 기존의 최적화된 주행 프로파일은 크게 바뀐다 [6].

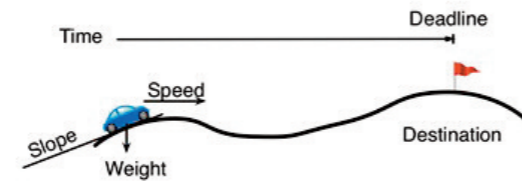


그림6. 주어진 주행 경로 및 주행 시간에 따른 최적 프로파일.

**예제 2) 전기자동차 모델링을 위한 데이터 수집, 분석 및 모델링과 검증**

전기자동차 배터리사용 모델링은 전기자동차 전력소모 모델링과 전기자동차 에너지 하베스팅 모델링으로 크게 나뉘질 수 있다. 전기자동차의 전력소모를 모델링을 하려면 전기자동차의 현재 운행 상황(무게, 속도, 가속도, 땅의 기울기)가 역학적 에너지 소모, 모터의 에너지 소모, 전력 변환기에서의 에너지 소모가 어떠한 영향을 주는지 알아야한다.

전기자동차의 역학적 에너지 소모의 경우 전기자동차의 속도, 가속도 땅의 기울기에 비례한다. 모터의 에너지소모의 경우 속력이 매우 작을 경우와 클 경우 크게 증가하고 모터에 걸리는 부하가 커질수록 매우 크게 증가한다. 전력소모 모델의 형태를 결정하고 난 뒤에는 다양한 환경에서 수많은 주행 데이터를 모으고 그 데이터를 다변수 회귀 분석의 방법으로 분석하여 전력소모 모델의 계수를 구할 수 있다.

전기자동차의 에너지 하베스팅에는 태양전지 에너지와 회생제동에 의한 에너지를 얻는 방법이 많이 사용되고 있다. 그 중 회생제동에 의한 에너지는 모터에 회전방향과 반대되는 부하가 걸릴 때 발생한다. 모터에 반대 방향의 부하가 걸릴 경우 모터에 역전압이 걸리면서 발전기의 역할을 하게 된다. 그러므로 회생제동을 통해 얻어지는 전력은 모터의 회전수에 비례한다(그림 7) [6].

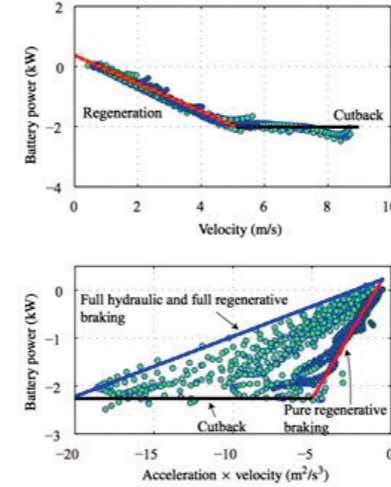


그림7. 회생제동에 의해 얻어진 속도에 따른 전력 그래프(위)와 가속도와 속도에 대한 그래프(아래).

다시 한 번 말하면, 전기자동차의 전력소모 모델과 에너지 하베스팅 모델을 통해 전기자동차의 배터리소모 모델을 구할 수 있다. 그림 8은 임의의 주행 경로를 주행했을 때의 전력 소모 그래프를 배터리소모 모델을 통해 구한 후 측정된 소비 전력과 비교한 그래프이다. 위 모델의 경우 전기자동차의 회전 주행과 고속방지턱을 모델링하지 않았고, 부정확한 주행 경로의 기울기 및 속도 측정 값으로 인해 어느정도의 오차를 가지고 있다. 예측된 배터리소모와 측정된 배터리소모의 누적 오차는 약 8%이며, 실제 그래프를 보면 상당히 정확하다는 것을 알 수 있다 [6].

**예제 3) 정해진 거리를 주행하는 경우 가속도와 항속속도에 따른 배터리 에너지 소모 비교**

그림 9는 정해진 거리를 주행하는 기본적인 방법을 나타낸 것으로 가속, 항속, 감속의 세단계로 이루어져있다. 무게 500킬로그램, 최고모터 전력 8kW의 전기자동차로 주어진 거리를 그림 9와 같은 주행 방법으로 주행 할 때의 에너지를 설계 공간 탐색을 통해서 항속 속도, 가속도를 축으로 가지는 3차원 그래프를 그려보면 그림 10과 같다. 그림 10을 보면 같은 거리를 주행하는 주행 프로파일 간에도 총 에너지 소모는 5배 가까이 차이가 나는 것을 알 수 있다.

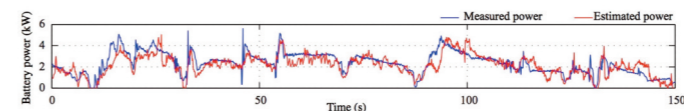


그림8. 주행 경로 소비전력 시뮬레이션 결과와 실제 측정된 소비 전력.

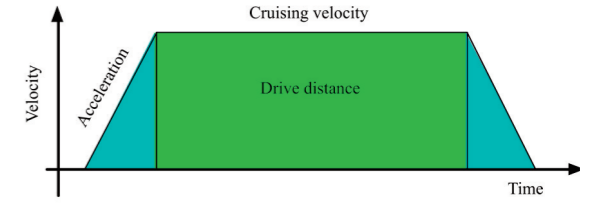


그림9. 가속/항속/감속으로 이루어진 주행 프로파일.

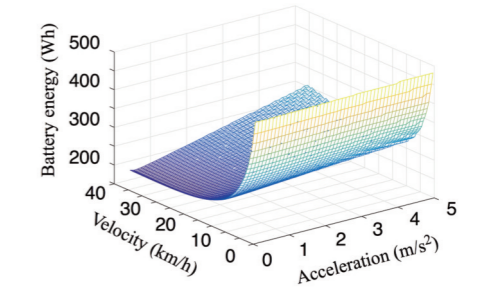


그림10. 같은거리를 주행할 때 가속도와 항속속도에 따른 배터리 에너지 소모.

**예제 4) 선단계 평가를 통한 전기자동차 최적 설계 가능성 검토**

평균 주행정보를 바탕으로 최적의 요구 출력을 갖는 모터를 전기자동차 설계단계에서 설계하면 불필요한 무게와 비용 및 에너지 낭비를 줄일 수 있다. 불필요하게 큰 모터를 사용하면 무게 상승, 에너지의 추가 소모(비효율적인 토크 영역에서의 운용)를 야기하며, 모자란 출력의 모터를 사용하면 역시 비효율적인 영역에서 모터가 동작하거나, 주어진 시간 안에 운행을 마칠 수 없게 된다.

전기자동차의 경우 배터리의 용량에 따라 최대 주행거리가 크게 달라진다. 배터리의 용량이 커질 경우 최대 주행거리는 늘어나나 배터리의 무게가 그에 비례하여 증가하고, 배터리 무게의 증가는 주행 연비 저하를 야기한다. 반면, 고출력이 필요한 운행 조건에서는 배터리로부터 큰 전류를 생산해야 하기 때문에, 배터리 용량이 큰 것이 효율 측면에서 유리하다(Rate capacity effect). 그러므로 사용자의 주행정보에 따라 배터리 용량은 전기자동차 전력소모 및 비용에 큰 영향을 끼친다. 이러한 배터리 용량은 선단계 평가를 수반하는 전기자동차 최적 설계를 통해 결정되어야 한다.

모터 용량과 배터리 사양을 바꾸면 같은 속도 프로파일에서 주행 효율이 달라지고, 이에 따라서 최적 프로파일도 달라지므로 1)번 예제와 함께 반복(iteration)을 통해서 최적 모터와 배터리 사양을 도출해야 한다. 최적화되지 않은 모터와 배터리를 사용하는 경우 에너지소모가 수백%까지 달라질 수 있음을 확인 할 수 있다(그림 12) [6].



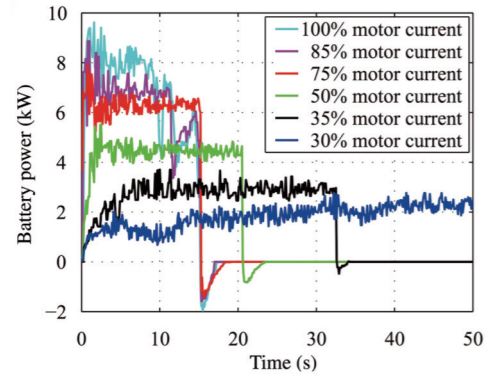


그림11. 같은 주행 프로파일에서 모터의 허용 전류에 따른 주행 시 소비 전력.

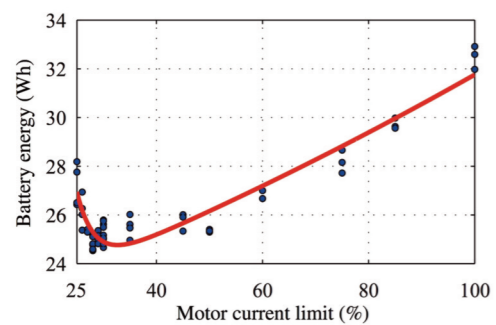


그림12. 모터의 허용 전류에 따른 주행 에너지.

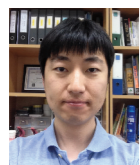


참고문헌

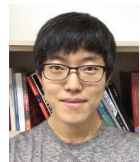
- [1] "Global Electric Vehicle(HEV/PHEV/BEV) Market Analysis and Demand Forecast by Factor (2000~2020)," Solar & Energy, 2012.
- [2] NSF Computing community Consortium Workshop on Extreme Scale Design Automation Challenges and Opportunities for 2025 and Beyond: Section 4.3 Design Automation of Things, 2014.
- [3] 전기자동차 보급 및 충전 인프라 구축사업 보조금 업무처리 지침, 2014년.
- [4] www.fueleconomy.gov
- [5] www.nextgreencar.com
- [6] Naehyuck Chang, Donkyu Baek and Jeongmin Hong, "Power Consumption Characterization, Modeling and Estimation of Electric Vehicles," in Proceedings of IEEE/ACM International Conference on Computer-Aided Design (ICCAD), 2014.



**장래혁 교수**  
 소속 : 한국과학기술원 전기 및 전자공학부  
 주 연구분야 : Low-power embedded systems, hybrid electrical energy storage systems, next-generation portable energy sources including photovoltaic cells and fuel cells, energy efficiency in large-scale systems, electromobility and electric vehicle, electronics design automation for emerging applications  
 E-mail : naehyuck@cad4x.kaist.ac.kr  
 Homepage: http://www.cad4x.kaist.ac.kr



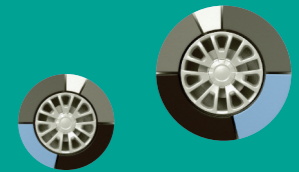
**백돈규 박사과정**  
 소속 : 한국과학기술원 전기 및 전자공학부  
 주 연구분야 : Low-power embedded systems with photovoltaic cells, hybrid electrical energy storage systems, electric vehicles  
 E-mail : donkyu@cad4x.kaist.ac.kr  
 Homepage: http://www.cad4x.kaist.ac.kr



**홍준기 석사과정**  
 소속 : 한국과학기술원 전기 및 전자공학부  
 주 연구분야 : Electric vehicles, battery management system  
 E-mail : joonki@cad4x.kaist.ac.kr  
 Homepage: http://www.cad4x.kaist.ac.kr



# 제5회 지능형 차량용 전자 Workshop 2015



**준비위원**  
 김재석 교수(연세대), 위재경 교수(송실대),  
 최중호 교수(서울시립대), 조중휘 교수(인  
 천대), 신현철 교수(한양대)

**후원**  
 대한 전자 공학회 반도체 소사이어티  
 자동차 전자 연구회  
 SOC 설계 연구회  
 자동차 부품 연구회

한양대학교 IDEC센터는 지능형 차량용 전자 기술 및 반도체 설계 관련 강자를 통해 산업계 인력 재교육과 대학의 인력 양성사업을 보강하여, 대학, 산업계, 연구소 인력이 정보교류와 연구 개발 협력에 참여할 수 있는 기회를 제공하고 국제 경쟁력을 가진 star engineer 와 researcher를 양성하여 산학연 모두에게 도움이 되고자 합니다. 이에 본 센터에서는 국내외에서 연구 및 개발되고 있는 지능형 차량용 전자 및 운전자 보조시스템 관련 기술에 대한 현황을 소개하고, 정보교류 및 산학연협력 관계를 증진시키기 위하여 발전 방향에 대하여 토론하는 장을 마련하고자 [제5회 지능형 차량용 전자 Workshop 2015] 을 개최합니다. 이번 워크샵에서는 지능형 차량용 전자 기술 분야에 대하여 현재 우리 기술의 경쟁력을 돌아보고, 산학연 전문가들이 그 간 연구해 오신 결과를 공유함과 동시에 관련 기술 분야의 향후 연구 방향 및 전략을 세우고, 산학연간 교류의 활성화를 촉진하는 좋은 기회가 될 것입니다.

본 워크샵에 참석 및 발표하시는 여러분께 진심으로 감사드리며, 짧은 시간이나마 알찬 성과가 있는 워크샵이 되길 기원하며, 여러분을 정중히 초대합니다..

2015년 6월  
 한양대학교 IDEC 센터장 신현철

| 세부 프로그램

시 간	주 제	발 표 자
09:00~09:20	사전등록 확인 및 참가자 등록	
09:20~09:50	정부의 스마트카(자율주행 자동차) R&D 추진 전략과 지원정책	한국산업기술평가기관리원(KEIT) 조광오 책임
<b>세션 I</b>		<b>좌장 : 연세대 김시호 교수</b>
09:50~10:20	안전운전을 위한 운전자 및 운전 스타일 모니터링 방법	카톨릭대 강행봉 교수
10:20~10:50	Stochastic computing	서울대 최기영 교수
10:50~11:20	Functional Safety를 고려한 차량용 SoC 설계 기술	한국전자통신연구원 엄낙웅 박사
11:20~11:50	Diagnosis interface for automobile semiconductor devices	한양대 박성주 교수
11:50~12:20	자율주행차량 기술 및 Vision SoC 개발 동향	전자부품연구원 민경원 책임
12:20~13:20	<b>중 식</b>	
<b>세션 II</b>		<b>좌장 : 서울대 최기영 교수</b>
13:20~13:50	자율주행차량 및 ADAS 기술 동향	엔맨드솔루션 문희창 대표
13:50~14:20	차량 및 보행자 인식 비전기술	한양대 신현철 교수
14:20~14:50	다중카메라 기반 영상 합성 및 영상 인식 엔진 기술	한국전자통신연구원 석정희 박사
14:50~15:20	자율 주차를 위한 위치 인식 및 선서	연세대 김시호 교수
15:20~15:30	<b>휴 식</b>	
<b>세션 III</b>		<b>좌장 : 한양대 신현철 교수</b>
15:30~16:00	자율 주행 기술 동향	현대 모비스 신광근 이사
16:00~16:30	IT를 이용한 Car Life의 발전 방향	현대자동차 송복구 이사
16:00~16:30	지능형 차량용 비전 기술	한양대 신현철 교수
16:30~17:00	자율 주행 자동차 시스템 양산 및 국제표준 추진 현황	자동차부품연구원 유시복 센터장
17:00~17:30	발표자, 준비위원 회의 및 석식	

| 워크샵 개요

- 행사명 : 제5회 지능형 차량용 전자 Workshop 2015
- 일 시 : 2015. 07. 02 (목)
- 장 소 : 한양대학교 에리카 캠퍼스 제1학술관 202호 (경기도 안산시 상록구 한양대학교 55)
- 주 관 : 한양대학교 IDEC 센터
- 담 당 : 한양대학교 IDEC 행정팀 오경주  
 ☎ 031-400-4079 / E-mail : ipc@hanyang.ac.kr

| 등록안내

- 등록비(사전등록 2015.06.25 까지) 점심제공  
 사전 : 학생 50,000원 일반 100,000원  
 현장 : 학생 60,000원 일반 120,000원  
 (단체 할인 문의 : 031-400-4079)

| 행사장 오시는 길

버 스 안산 시외버스터미널에서 하차하여 학교 셔틀버스 (예술인 아파트 앞) 이용  
 지하철 4호선 한대앞역에서 하차하여 학교 셔틀버스 이용.

| 기타 안내

- 본 워크샵(세미나)는 고용노동부 지원교육 현금 대상에 해당되지 않습니다.
- 발표자료는 책자로 제공되나, 파일형태로 제공되지 않습니다.
- 일부 출판본과 발표자료가 상이할 수 있습니다.

• 사정에 따라 프로그램이 변경될 수도 있습니다..





# “사람이 빅데이터이다!” 빅데이터 Insight를 통한 HR전략

Insight라는 용어는 이제 생소하지 않을 만큼 최근 많이 활용되고 있는 단어 중에 하나이다. 특히 HR 분야와 마케팅 분야에서 많이 활용되고 있다. 그래서 인사이트는 사람 중심의 인재상을 표방하는 기업들에게 매우 매력적인 목표가 되었다. 그러나 HR Insight에 대한 체계적인 교육 방법과 훈련 방법은 의외로 많이 알려 진 바 없다.

필자는 10년간 경제 빅데이터를 완성하면서 “데이터의 가치” 를 만드는 과정 속에서 발견한 HR Insight 를 순수하게 자체적인 새로운 개념으로 정리하였다. 이렇게 정리된 인사이트 개념에 대하여 알아보도록 하겠다.

먼저, HR Insight 전략을 설명하기 전에 왜 “사람이 빅데이터이다!” 인가에 대하여 이해 할 필요가 있다. “사람이 빅데이터이다” 라는 새로운 논리는 “빅데이터 = HR” 이라는 공식으로 만들어 졌다.

빅데이터와 인사이트, 그리고 HR(인재)과의 관계성을 다음과 같은 도표를 통하여 설명하도록 하겠다.

빅데이터	HR
이 빅데이터이다.	HR 은 이이다.
= 빅데이터	HR =
빅데이터 =	=
∴ =	∴ =
<b>∴ Big Data = HR</b>	

(JPD Insight HR 창시자, JPD 장수진)

노랑색과 파란색 박스에 들어갈 낱말은 무엇일까? 먼저 정답부터 공개하자면 노랑색은 “사람”, 파란색은 “Value” 이다.

이와 같은 논리는 “빅데이터의 가치는 사람에 의해서만 탄생한다” 라는 실험적 결과에 의하여 정리된 사실이다. 몇몇 전문가는 데이터에 가치가 있다고 주장하기도 하지만, 필자의 경험을 통하여 얻은 단순한 진리는 다음과 같다.

“데이터는 정보의 기초 데이터일 뿐, 가치는 어디에도 없다” 라는 명확한 결론을 얻어냈다. 데이터 속에서 가치를 찾거나 가치를 만드는 것은 사람의 역량이며, 창의적 인재의 몫이다. 그림에서 설명하였듯이 “빅데이터= Value” 는 빅데이터 분석의 결론이 가치있는 빅데이터일 때 가능하며, 가치가 없는 방대한 데이터는 쓸모 없는 “빅쓰레기” 라 단정지어도 좋다.

이러한 논리를 HR(인재)에 적용해 보면 빅데이터와 매우 흡사하다. HR은 사람을 의미하며, 여기서 말하는 사람은 인재를 뜻한다. HR에서 직무 자체의 진정한 가치를 모르고 일을 한다는 것은 그 결과와 가정을 보지 않아도 예견할 수 있기 때문에 HR은 빅데이터와 동일하다.

그래서 “빅데이터= HR” 이며, 공통적 핵심 요소는 “사람” 이며, “Value” 이다.

사람(인재), 즉 HR의 인재란 무엇인가? 과거의 기준에서 본다면, 지식적 수준이나 기술이 뛰어난 사람들의 조직이었다면 현재와 같이 불확실성의 예측 불허의 현실을 감안한다면, 통찰력은 새로운 강력한 경쟁력이 될 것이다.

조직과 개인, 개인과 조직의 인사이트를 얼마나 보유하고느냐에 따라서 기업의 지속 가능한 경쟁력을 평가할 수 있으며, 창의적 조직으로 발전할 수 있는 기준은 개인과 조직의 인사이트 역량에 달려있다.

그렇다면 인사이트 구조와 역할에 대해서 알아보겠다.



인사이트(통찰력)의 사전적 의미를 알아보면 “밝은 통, 살필 찰” 이다.

어떤 사물이나 상황을 꿰뚫어 볼 수 있는 능력을 의미한다. 여기서 중요한 낱말이 “ 꿰뚫다” 라는 말이며, 이 내용에 주목할 필요가 있다.

“상황을 꿰뚫어 보다”라는 의미는, 보이는 것과 보이지 않는 것을 파악할 수 있는 능력이다.

눈뜨고도 보지 못하는 어리석은 직무 담당자라면, 눈에 보이는 것만 처리하던가, 아니면 더 답답한 담당자는 보이는 것조차 볼 수 없는 담당자로 나눌 수 있다.

그러나 그와 정 반대로,

보이지 않는 것에 대한 담당자의 역량은 다시 두 가지 분류로 나눌 수 있다.

첫째는 보이지 않으니 당연히 볼 수 없는 일반적인 업무 담당자를 의미하지만 보이지 않음에도 불구하고 연관된 문제와 해결책까지 찾아내는 적극적이고 책임감 강한 문제 해결 능력이 뛰어난 책임자 같은 담당자를 우리는 주변에서 가끔 볼 수 있다.

앞에서 설명한 4가지 분류의 담당자 중에서 보이지 않아도 찾아내는 통찰력이 있는 사람이 곧 미래의 인재상이다.

나머지 3가지 형태의 담당자에게 기업과 조직의 가치는 물론이고, 지속 가능한 경쟁력을 기대하는 것이 무리다.

그래서 HR Insight는 담당자의 역량을 중시하며, 그 역량의 중심에는 인사이트(통찰력)가 자리하고 있다. 결국 인사이트는 가치 창출을 위한 중요한 지렛대 역할을 하게된다.

HR의 책임자의 역량을 함양하기 위해서는 인사이트 교육과 훈련을 검토해야만 한다.

빅데이터 분석에서 가치를 창출하는 것은 매우 중요한 결론이다. 가치관 기술의 영역이 아니며, 그 가치는 인재의 자질의 능력에서 탄생됨을 앞에서 설명하였다.

기업의 인재 발굴과 인재 육성은 직무의 전문적 인재(사람)와 통합적 사고를 위한 Insight 교육이 병행될 때, 가치 경영을 실현화 할 수 있다. 개인과 조직이 지속 가능한 경쟁력을 보유하기 위한 가장 강력한 무기는 바

로 “통찰력” 이다. 이것이 빅데이터의 가치를 만들기 위한 전문가의 기본적인 자질이며, 일반 업무에서도 직무 책임자의 통찰력은 중요한 인적 자원의 중요 요소이다.

빅데이터 마인드셋이란? 데이터를 보고 판단하는 객관적, 입체적 판단 능력을 의미한다. 빅데이터의 숨은 가치와 의미를 발견하기 위해서는 통찰력이 필수적인 기본 요소이며, 이는 단순히 빅데이터 업무에만 해당하는 것이 아니라, 기업 내부의 모든 조직 구성원의 업무 판단 능력에도 동일하다

인사, 회계, 경영, 영업/마케팅, 개발 및 전략, 홍보 등 어떤 업무도 데이터 없이 독립적인 업무는 존재하지 않기 때문에, 업무와 관련된 통찰력은 조직 경쟁력에 큰 영향을 차지한다.

휴가 계획서 하나도 자신이 필요에 의해서 계획을 세우기 보다는 팀과 연관된 업무 조율을 고려해서 계획을 잡아야 하지만, 간혹 회사 일정이나 부서별 일정을 배제하고 이기적인 계획 수립을 확정하는 사례들도 종종 일어난다. 이런 작은 행동 하나가 실수라고 하기에는 깊은 성찰과 신중한 의사 결정 시스템에 문제점을 예시하는 것과 같다.

그렇기 때문에 개별 업무뿐 아니라, 타 부서와의 유기적인 업무 협업에서도 통찰력은 개인의 역량뿐 아니라, 조직 역량에 직접적인 영향력을 미치는 중요한 자산이라고 볼 수 있다.

조직 구성원의 객관적 판단이 편견으로 가득 찬 경우에는 협업에 의한 경쟁력이나 가치의 결과물을 창출해야 할 때, 완성도의 취약성은 그대로 드러나게 된다. 특히 관리자급 이상의 직책을 가진 임원이 자신의 편견이나 경험, 그리고 직감을 중시할 때, 합리적 결정보다는 주관적 편견에 의존할 확률이 매우 높기 때문에 문제의 심각성은 더욱 커진다. 이는 합리적 조직 운영이나 내부 결속력을 저하시키는 또 다른 이유가 되며, 조직 경쟁력은 보이지 않게 무너지게 된다.

특히 제품 마케팅이나 개발팀에서 이러한 상황이 발생되면, 경쟁사 제품의 철저한 검증과 비교 분석보다 그 동안의 과거 경험에 의한 판단에 집중하기 때문에 경쟁에서 패하는 경우도 실제 쉽게 찾아 볼 수 사례가 많다.

지금 모든 기업들은 생존 경쟁에서 살아 남아야 하는 절대 절명의 순간이며, 동시에 미래를 준비할 수 있는 강력한 창조적 조직을 시대가 요구하고 있다.

생존과 미래를 동시에 준비하려면, 개인의 역량과 조직의 역량이 과연 어떻게 변화되어야 하는가?

2008년 서브프라임 사태 이전에는 글로벌 경제가 대부분 일정한

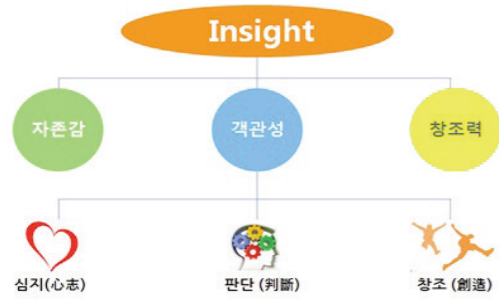
성장률을 보여왔고, 미래는 충분히 밝았지만, 항상 예측 가능한 시대였다. 그러나 2008년 이후 모든 경제 환경은 예측 불허의 상태로 변화했고, 상상할 수 없는 국가와 기업의 재앙들을 너무나 많이 목격하였다. 그로 인하여 기업의 혁신적 변화는 선택이 아니라 필수 조건이 되었고, 국가와 경제, 사회와 문화 등 거의 모든 분야에서 불규칙적으로 변화하는 상황에서 대처하지 못한 기업의 말로를 지켜 보았다.



그렇기 때문에 기업은 과거와 달리 미래를 준비하는 창의적 인재 개발이 더욱 절실 해졌으며 지속 가능한 경쟁력을 확보하기 위한 혁신적 통찰력의 개발 프로그램은 여러 방법 중에 하나이다.

그렇다면, 창조적 Insight(인사이트)를 조직 내에서 구성원들에게 어떻게 배양하고 향상시킬 수 있을까?

먼저 인사이트의 구조에 대하여 알아볼 필요가 있다. 필자는 “Big D.School”이라는 Design Thinking 개발 방법론에 의하여 발견된 Insight의 구성 요소에 대하여 설명하겠다.



• 인사이트는 3가지 구성 요소로 나눌 수 있다.

1. 자존감
2. 객관성
3. 창조력

이 3 가지 요소의 첫 번째 자존감은 “심지”를 뜻한다. 심지는 마음을 의미하며, 두 번째 요소인 객관성은 판단 기준과 판단 능력을 의미한다. 세 번째 요소인 창조력은 창의적 발상을 결과물로 만들어 내는 힘(능력)을 의미한다. 이 3가지의 요소가 유기적으로 융합해야만 하나의 통찰력이 완성된다.



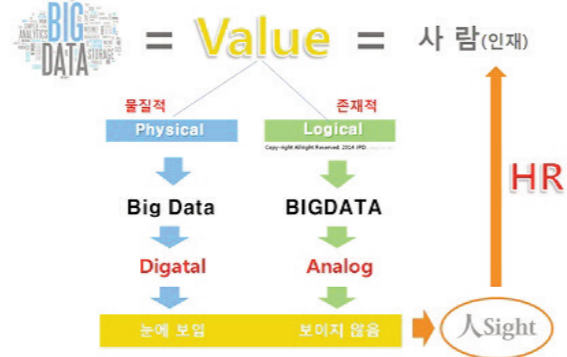
좀 더 자세히 설명하자면, 자존감은 내면의 존재하여 겉으로 드러나지 않지만, 객관적 판단이나 창조력은 겉으로 드러나서 평가하거나 분별할 수 있다. 겉으로 드러나지 않는 자존감은 인재의 기본적 소양이며, 중요한 창의적 기본기에 해당한다. 이것을 우리는 흔히 태도라는 행동으로 간접적인 평가를 하기도 한다. 그래서 HR Insight 교육과 훈련에서 자존감의 재발견은 창의적 인재를 만들기 위한 기초 공사와 같다. 기초 공사가 잘 되어야만 객관적 판단이나 창의적 행동력에 의한 의미 있는 결과를 기대할 수 있다.



HRD(인적자원개발)에서 Insight는 분명 새로운 트렌드이다. 현재 HR 분야에서 유사한 인사이트 교육이 이루어지고 있지만, 마케팅 등과 같이 직무 활용에 필요한 도구로 활용하고 있는 것으로 알고 있다. 그러나 진정한 인사이트 교육의 목적은 통찰력을 백화점식으로 나열하여 소개하는 것이 아니라, 개인 내면의 자존감과 객관성의 판단의 기준을 명확히 인지시키고 훈련하여 통찰의 본질을 체득하게 하는 기본적인 교육 프로그램이다. 이 과정을 넘어야만 전천후 활용이 가능한 창조적 인재 육성이 가능하다는 의미이다.

개인의 통찰력을 향상시킨다는 것은 직무 능력뿐 아니라, 연관된 업무의 이해도가 높고, 업무의 확장성을 예측 가능하도록 도와 준다. 통찰력은 스스로 만들어 지기 보다는 전략적 교육과 창의적 학습법에 의하여 스스로 재발견됨으로써 발전 가능한 요소이다. 그래서 능동적 발전 가능성이 매우 높다.

인사이트 교육과 훈련을 위한 실증적 사례를 근거로 설명하자면 다음과 같다.

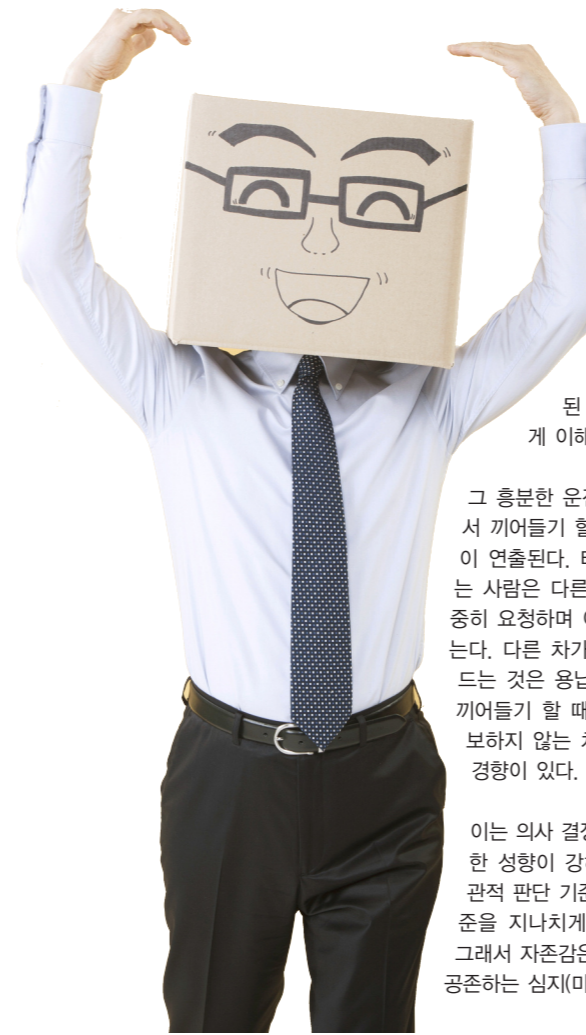


인사이트의 자존감이란, 자신을 존중하는 마음, 즉 자신의 흔들리지 않는 굳건한 소신이나 자아 영역을 의미한다. 자신을 믿고 존중할 수 있는 객관적 신의를 말한다.

- 자존감 : 스스로 자신을 존중하는 마음 (소신, 자아)
- 자존심 : 스스로 자신을 존경하는 마음 (타인의 시각을 존중하는 마음이 더 큰 마음)

**첫 번째, 인사이트의 요소는 자존감이다.** 자존감의 특성은 자신을 존중하는 굳건한 소신이나 자아의 영역을 의미한다고 설명하였고, 자존감의 특성은 쉽게 드러나지 않는다. 사람 내면의 깊은 심지를 의미하기도 하는데 이러한 성향은 매사에 신중하며, 남에게 관대하지만 자신에게는 매우 혹독한 가치 기준을 적용하는 것이 큰 특징이다.

그와 반대 개념이 자존심인데, 자신의 소신보다는 타인 관점에서 자신을 비교 판단하고 타인의 관점을 중시한다. 스스로 자존심을 얼마나 중시하느냐에 따라 자존감의 역량을 판단할 수 있다.



자존감과 자존심을 이해하기 쉬운 사례 중에 교차로에서 자동차 차선 끼어들기 하는 차량에게 경적을 심하게 울리면서 끼어들지 못하게 하는 흥분된 운전자를 연상하면 쉽게 이해가 된다.

그 흥분한 운전자가 다른 교차로에서 끼어들기 할 때는 정반대의 상황이 연출된다. 타인에게 배려하지 않는 사람은 다른 차량에게 양보를 정중히 요청하며 여유롭게 기다리려 않는다. 다른 차가 자신의 차량에 끼어드는 것은 용납하지 않지만, 자신이 끼어들기 할 때는 더욱 난폭하고 양보하지 않는 차량을 쉽게 비난하는 경향이 있다.

이는 의사 결정이 주관적 편의에 의한 성향이 강하며, 의사 결정의 객관적 판단 기준보다 자신의 판단 기준을 지나치게 신뢰하는 경우이다. 그래서 자존감은 배려와 소신이 함께 공존하는 심지(마음)에 해당한다.

인사이트는 자신과 자신의 업무 소신에 비례하며, 미래 역량을 고민하지 않는 사람에겐 인사이트는 손에잡히지 않는 그저 구름과 같다. 인사이트 없는 직무 담당자의 어떤 결과물도 가치를 기대할 수 없다는 논리이다.

**두 번째, 인사이트의 요소는 객관성이며, 어디에도 치우치지 않는 중도적 판단 능력을 말한다.**

중도적 판단 능력은 직무에 있어서 대단히 중요한 능력이다. 객관적 판단 능력이 무게 중심을 잃게 되는 가장 흔한 경우가 인맥(학연, 지연, 동향)에 의하여 쉽게 무너진다.

개별 직무의 대부분은 객관적 판단력과 통찰력을 요구하며, 조직 전체에서 개인의 판단 능력은 중요한 의사 결정 시스템 중에 하나이다.

개인 의식과 판단을 담당하는 객관성은 기업의 경쟁력에 보이지 않게 중요한 영향력을 끼친다. 그렇기 때문에 기업 조직 내부에서 존재하는 인맥은 긍정적 효과도 있지만, 큰 틀에서 본다면 조직 목표의 정당성보다는 인맥간의 편견과 대립으로 부정적 결과를 초래하는 경우도 있다.

흔히 조직내 인맥으로 뭉쳐 진 소규모 집단은 공동의 목표보다는 자신들의 명분을 더욱 중시하기 때문에 미래의 경쟁력의 큰 저항 요인이 되기도 한다.

기업 경쟁력이 “지속 가능한 경쟁력”으로 변화되기 위해서는 “공동의 목표”를 반드시 공감해야만 하며, 능동적 협력이 가능한 창조적 인재들로 구성되어야 한다.

인맥에 의한 별도 조직의 명분은 기업 공동 목표보다 항상 우선시 되는 경향이 있다. 그래서 건전한 견제나 비판보다 부정적 편견의 동조화 현상이 쉽게 나타나서 본질적 조직 목표를 망각하고 대립을 조장하기도 한다.

그래서 “인사이트는 조직과 개인의 중대한 객관적 판단 기준의 지렛대”이다.

결국, 냉철한 객관적 판단 능력은 조직 내부에서 “누가 옳느냐보다 무엇이 옳느냐”를 중시해야만 한다.

**세 번째, 인사이트 요소는 창조력이다.**

빅데이터 HR 인사이트의 창조력은 창의적 발상을 아이디어 수준에서 실천으로 옮기는 능력을 말하며, 도전과 실험 과정을 거쳐 창조적 결과를 만들어 내는 전 과정을 말한다.

직무와 관련된 아이디어는 창의적 발상으로 변화하는데, 10배의 고뇌의 노력을 필요로 하며, 창조적 결과는 창의적 발상의 100배의 노력을 요구한다.

그래서 창조적 교육과 훈련은 실천적이어야 하며, 생활 속에 체득화 되지 않는 교육과 훈련은 통찰력에 아무런 도움을 줄 수 없다.

그런데 창조적 교육을 과연 누가 담당하고 있는가? 창조적 학습 방법론을 이론적 배워서 실천 기업에창조적 교육을 주관하고 있다. 해외 사례 기술 과정을 습득한 학습 전달자가 기업의 현장 인력 교육의 프로그램을 전달만 해서 HR 창조적인 인재를 육성한다면, 그 프로그램은 과연 누구의 것이며, 누구를 위한 것인가? 라는 의구심이 생기는 대목이다. 지금까지 HR 인사이트의 구성 요소에 대하여 알아보았다.

이젠 인사이트를 구성하는 요소간에 역할과 기능에 대하여 설명하겠다.

빅데이터와 Value, 그리고 사람(인재)은 동일한 가치를 가지고 있다고 설명한 바 있다.

공통적 핵심 요소는 Value이며, 물리적 가치와 논리적 가치로 구분할 수 있다. 물리적 가치는 숫자와 같은 디지털화 된 계산 값과 결과를 나타내고, 논리적 가치는 계산할 수 없는 전략, 본질, 경험, 창조적 가치 등 아날로그화 된 가치정보를 의미한다. 그래서 인사이트는 물리적 개념을 초로 하지만 눈에 보이지 않는 논리적 개념을 매우 중시한다.

인사이트의 사전적 의미에서도 살펴보았듯이, 어떤 상황을 꿰뚫어 볼 수 있는 능력이 바로 인사이트이며, 이것이 모든 가치를 만드는 원동력이다.

기업에 특별한 인사이트를 조직과 구성원에게 배양하고자 한다면, 기본 소양인 개인의 자존감을 명확히 인지 해야만 하고, 객관성을 판단할 수 있는 기준과 오해를 구분할 수 있는 능력을 훈련해야만 한다. 본질과 현상을 구분할 수 있는 판단의 훈련이 필요하다는 의미이다. 마지막 창조력은 창의와 창조에 대한 집중 토론과 훈련을 통하여 창조의 발견을 경험하게 하는 교육 프로그램이 필요하다. 겉으로 보이는 외형적 성공 사례보다 자기 주도 발견 프로그램을 만들어야 한다.

기업들이 손쉽게 선진국의 조직 혁신 문화를 도입하고자 얼마나 오랫동안 다양하게 시도 해 왔는가? 그러나 혁신 조직을 만들기도 하였고 충분한 교육을 해 왔지만 정작 혁신 프로그램은 오래 지속되지 못 해왔다. “그 이유는 무엇인가?”

그것은 인사이트와 같이 본질적 교육보다는 외국 기업의 성공 사례의 프로세스(과정)만을 모방하여 도입함으로써, 교육생인 구성원 마음 속 깊은 곳까지 공감할 수 없는 기능적 학습 프로그램으로 인식된 경우가 매우 많

왔기 때문이다.

외국 기업의 HR 구성원은 국내 기업의 구성원과 교육, 생활, 문화, 사고 등 거의 모든 것이 다르다. 그뿐 아니라, 기업 문화는 더욱 다르고 이질적 환경에서 성공한 사례이다. 본질적인 변화로 성과를 만들기 위해서는 기업 내부의 본질적 변화의 기본기를 먼저 견고히 다져야만 하며, 그 기반 위에 새로운 혁신 프로그램인 창의적 인재 교육 프로그램을 재 탄생 시켜야 한다. 그러나 지금껏 혁신 HR 혁신 프로그램은 외국의 성공사례만 모방하여 거창한 목표와 목적만을 그대로 옮겨서 HR 교육 훈련을 주도하였다.

언제까지 HR 전문가들은 외국 사례에 목을 맬 것인가? 진짜 전문가는 보고 배우는 선수가 아니다. 우리환경에 맞춤형 인사이트 교육 프로그램을 만들어 내야 한다. 인사이트는 기업에만 필요한 것이 아니라 HR 교육 전반에 필요한 시대적 요소이다.

미국의 우수 품종 오렌지 나무를 한국에 들여와서 바로 심고, 물만 주면 좋은 품종의 오렌지 결실을 만들 수 있다는 믿음과 같다. 사전에 국내 토양과 나무의 환경을 고려하여 적응할 수 있는 기본적 체질 변화의 시간이 필요하고, 과정 역시 실패가 있어도 연구와 도전 의식이 필요하다.

그러나 지금까지 기업이나 산업, 국가 모두가 선진 문화를 짧은 시간내 도입하려 노력하였고, 지나친 성과를 중시해 왔다. 성장과 모방을 통하여 선진국을 따라잡아야 했던 과거에는 가능했던 상황들이 지금의 글로벌 환경에서는 창의적 인재와 창의적 조직만이 살아남을 수 밖에 없는 불규칙, 불확실성의 시대로 접어들었다. 눈에 보이는 결과와 눈에 보이는 과정만으로 외형적 경쟁에서는 살아남을 수 없다는 것이 현실화 되었고, 이제는 누가 더 창의적 사고를 가지고 변화해서 대처하느냐가 중요한 기준이 되었다.



장수진 소장  
소속 : JPD 빅데이터 연구소  
E-mail : jpdjsj@naver.com

“사람이 빅데이터이다!”



## 실바코, IDEC 에 TowerJazz PDK 제공

TCAD, EDA 소프트웨어의 선도 기업인 SILVACO, Inc. (이하 SILVACO)는 반도체설계교육센터 (IDEC)에 TowerJazz 공정에 필요한 SILVACO PDK를 제공합니다.

- TS18SL (Mixed Signal CMOS 0.18um)
- TS18PM (Power Management 0.18um)
- TS18IS (CMOS image sensor 0.18um)
- CA18HD (CMOS 0.18um)
- SBC18HA (SiGe 0.18um)

프로세스 디자인 키트(PDK)는 칩 설계 플로우에서 EDA 툴과 함께 사용하는 파운드리용 데이터와 스크립트 파일을 정리한 것입니다. PDK는 주로 Spice 모델, Schematic symbol, Script Files, 파라미터화된 셀 (P-Cell) 및 룰 파일로 구성되어 있습니다. PDK의 사용으로 설계자는 칩 설계를 쉽게 시작할 수 있으며, 스키매틱 작성에서 테이프 아웃까지 디자인 플로우를 원활하게 수행할 수 있습니다. Silvaco에서 제공되는 PDK를 실행하기 위해서는 스키매틱 에디터인(Gateway), 회로 시뮬레이터(Smartspice), 레이아웃 에디터(Expert)를 사용하게 됩니다. 레이아웃 디자인에 대한 검증은 Guardian DRC/LVS/LPE를 사용합니다. 또한, Full-Chip 기생 성분 RC 추출을 위한 Tool로서 Hipex를 지원함으로써 Front-End부터 Back-End까지 설계할 수 있도록 Full package를 지원합니다.

#### About Silvaco, Inc.

SILVACO는 TCAD, 회로 시뮬레이션 및 IC CAD 소프트웨어 툴을 제공하는 선도 기업입니다. SILVACO의 툴은 반도체 공정을 개발하는 펌과 아날로그/믹스드 시그널/RF 집적 회로를 개발하는 디자인 하우스에서 사용됩니다. SILVACO는 Third-Party tool에 대한 설계 플랫폼에 대하여 인터페이스와 함께 완벽한 PDK 기반 설계 플로우를 제공합니다. SILVACO는 전 세계 주요 지역에 사업 거점을 두고 있습니다.

#### Tower Semiconductor, Ltd. and Jazz Semiconductor, Inc.

Tower Semiconductor Ltd.(NASDAQ: TSEM) (TASE: TSEM)는 순수 독자적인 전문 웨이퍼 파운드리로서, 미국에 Analog-Intensive Mixed-Signal (AIMS) 파운드리 솔루션의 선도 업체인 Jazz Semiconductor를 자회사로 두고 있습니다. Tower와 Jazz는 1.0~0.13um IC를 제조하며, 테크니컬 서비스와 설계 지원을 제공합니다. Digital CMOS 공정 기술 외에, 고급 mixed-signal, RF CMOS, Power Management, CMOS 이미지-센서, 비휘발성 메모리 기술 및 Flash MTP, OTP 솔루션을 제공합니다. 모뎀형 AIMS 기술에 대한 Jazz의 포괄적인 공정 포트폴리오는 RF CMOS, Analog CMOS, Silicon, SiGe BiCMOS, SiGe C-BiCMOS, Power CMOS, High Voltage CMOS 등을 포함합니다. 세계 정상급의 고객 서비스를 제공하기 위해, Tower는 이스라엘에 두 곳의 제조 설비를 두고 있습니다.

# Scientific Analog 사

## XMODEL Tool

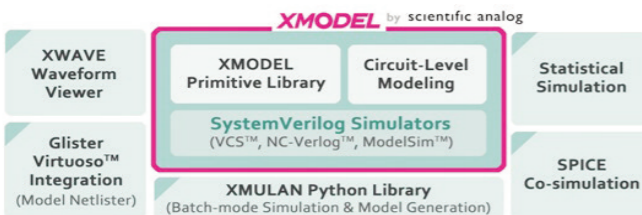
### Mentor사 FloEFD

**A. 목적**  
(시뮬레이터) 아날로그 회로의 동작을 SystemVerilog상에서 모델링하고, 이를 포함한 혼성신호 시스템 IC의 동작 및 성능을 빠르고 정확한 시뮬레이션을 통해 검증함.

**B. 구분**  
(모델기반의 혼성신호 시스템 시뮬레이터) Scientific Analog사의 XMODEL은 모델을 기반으로 아날로그 및 혼성신호 IC시스템을 검증하는 시뮬레이터라는 점에서 기존의 시뮬레이터들인 Verilog-AMS, Matlab/Simulink, CppSim과 유사한 목적과 기능을 가지나, 정확도와 실행속도가 10~100배 이상 월등하다는 점, 순수한 디지털 시뮬레이터인 SystemVerilog상에서 동작한다는 점, 비트에러율 같은 통계적인 분석이 가능하다는 점, 아날로그-디지털 co-simulation을 지원한다는 점 등이 차별성을 갖는다.

**C. Supported Platform and O/S System**  
● Linux RedHat Enterprise 64-bit Release 5.0 이상

**D. 특성 및 기능**  
Scientific Analog사의 XMODEL은 아날로그 및 혼성신호 IC 시스템의 동작 및 성능을 검증할 수 있는 SystemVerilog 기반의 사건구동방식(event-driven) 시뮬레이터이다. XMODEL의 정확하고 빠른 시뮬레이션 성능은 아래의 경우에 가장 효과적으로 발휘된다.



### XMODEL이 꼭 필요한 경우

**A** 디지털과 아날로그가 섞여 구성되어 있는, 크고 복잡한 혼성신호 시스템의 동작 및 성능을 검증하고자 할 때 (예: 디지털 PLL의 locking 여부 및 지터 성능 측정). 그러나 Verilog-A/MS로는 속도가 여전히 느릴때.

**B** 혼성신호 시스템의 아키텍처를 결정하기 위한 시스템레벨 성능 분석을 하고자 할 때 (예: equalizer 구성에 따른 고속직렬인터페이스회로의 eye opening margin 및 BER 성능 측정). Matlab/Simulink, StatEye 등의 시스템 모델링 툴이 있지만, 구현에 보다 가까운 Verilog 기반의 모델링 및 시뮬레이션을 원할 때.

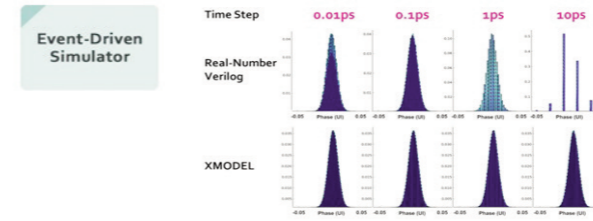
**C** 아날로그 회로의 특성을 보상하는 각종 디지털 콘트롤러 회로들을 Verilog-AMS의 사용 없이 Verilog 또는 SystemVerilog 기반의 시뮬레이터로만 검증하고자 할 때 (예: 고속직렬인터페이스의 equalizer adaptation 디지털 엔진을 UVM 환경에서 검증하고자 할 때). 그러나 Real-Number Verilog로는 원하는 정확성이나 속도를 얻을 수 없을때.

**D** 모델기반의 시뮬레이터를 사용하기 위한 모델을 작성하는데 어려움을 느낄때. 특히 Real-Number Verilog에서 필요한 discrete-time filter 변환이 번거롭게 느껴지거나 Matlab/Simulink, CppSim에서 switched-capacitor 필터, 비선형 증폭기, injection-locked oscillator 등의 모델링이 어렵게 느껴질때.

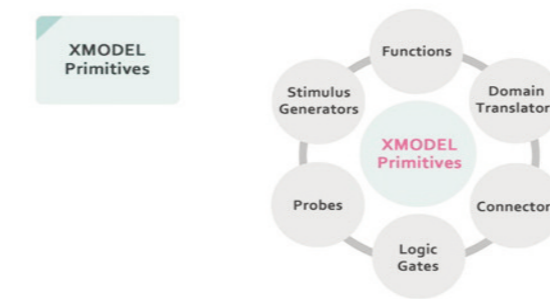
위와 같은 경우에 사용하기 위해 다른 모델 기반의 아날로그/혼성신호 시뮬레이터들에 비해 XMODEL이 가지는 특징적인 기능은 아래와 같다.

### XMODEL만의 특징적인 기능

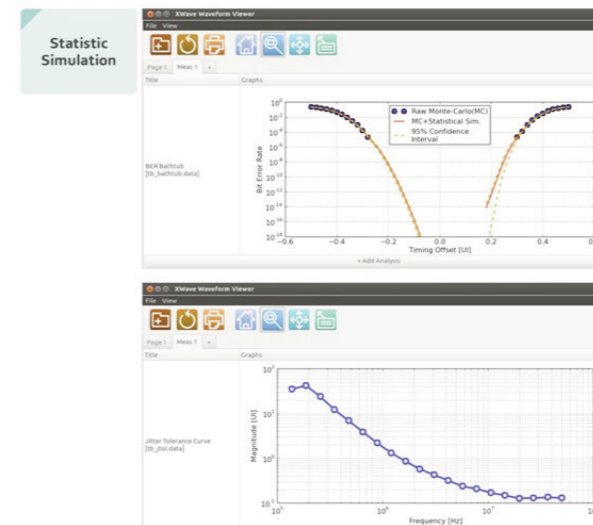
1. 사건구동방식 알고리즘을 통한 time step 크기와 무관하게 빠른 시뮬레이션 속도 및 정확성.



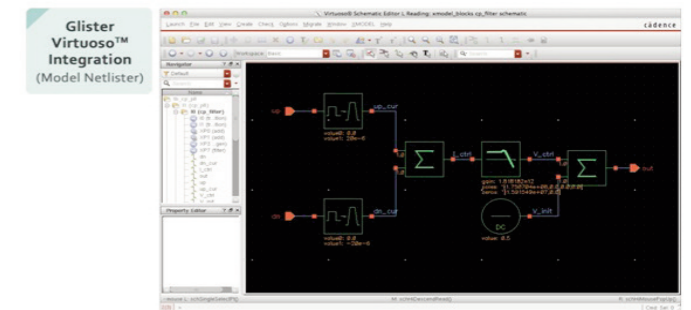
2. 풍부한 primitive 라이브러리와 예제를 활용한 각종 아날로그 회로의 손쉬운 모델링 및 검증 testbench의 작성.



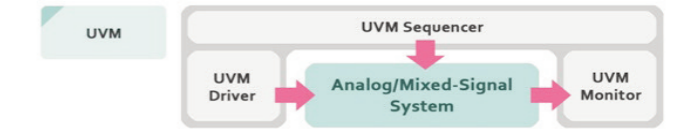
3. Statistical simulation 기법을 활용한 통계적인 시스템 성능 수치의 검증 (예: 90여번의 BER 시뮬레이션을 수행해야 얻을 수 있는 CDR의 Jitter Tolerance (JTOL) 특성을 단 15분만에 얻을 수 있음).



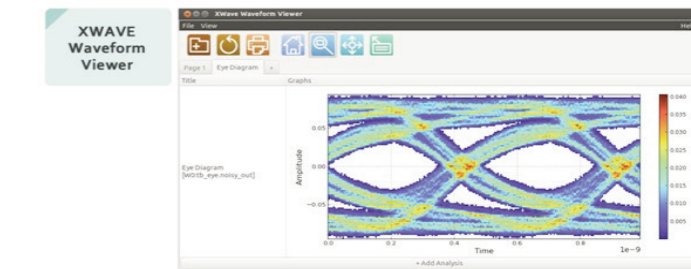
4. Cadence Virtuoso Schematic Editor의 GUI 환경을 활용한 직관적인 아날로그 모델 기술.



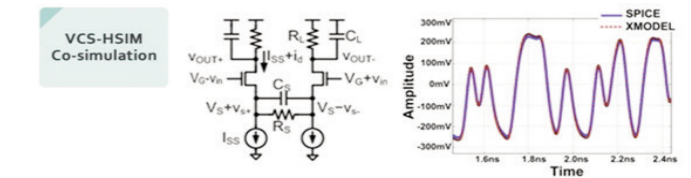
5. UVM 등 digital verification 환경을 활용한 아날로그/혼성신호 시스템의 효과적이고 철저한 검증.



6. XWAVE 전용 파형 뷰어를 활용한 각종 통계적 시뮬레이션 결과의 표현 (예: statistical eye diagram).

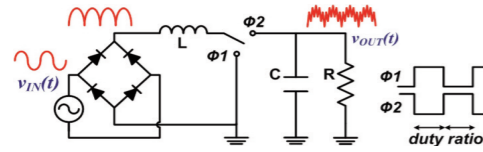


7. 트랜지스터레벨 회로 모델과의 co-simulation 기능을 활용한 회로-모델 간 검증.



8. Switched-capacitor filter, DC-DC converter, injection-locked oscillator 등 signal-flow 모델로 기술하기 어려운 회로들을 위한 모델 생성 및 circuit-level modeling 기능.

Circuit-Level Modeling



XMODEL은 현재 다음과 같은 요소로 구성되어 있다.

XMODEL 구성 요소

1.XMODEL

Primitive Library SystemVerilog 상에서 아날로그 및 혼성신호 회로의 동작을 손쉽게 표현하고, 이를 빠르고 정확한 사건구동방식으로 시뮬레이션할 수 있게 해주는 각종 primitive 모듈들.

```

module tb_channel_eq ();
    parameter real ref_freq = 1.0; // transmitter clock frequency
    parameter real f2_freq = 100; // transmitter clock filter
    parameter real tr_rise = 10; // transmitter rise/fall times
    parameter real value1 = 0.1; // transmitter m-level
    parameter real value2 = 0.1; // transmitter l-level

    input tx_clk, tx_prbs;
    output out_drv, out_ch, out_eq;

    // transmitter
    clk_gen #(freq.ref_freq, f2_freq, 0.2, 0.01) clk_tx(tx_clk);
    prbs_gen #(tx_clk, out_tx_prbs);
    transition #(rise_time, fall_time, value1, value2);
    transition #(tx_clk, out_drv);

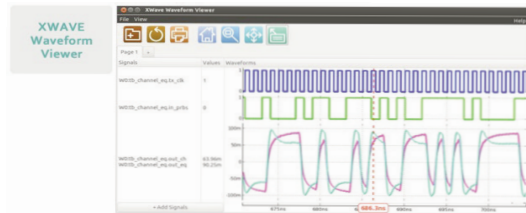
    // channel
    filter #(filename: "channel_eq");
    channel #(in_drv, out_ch);

    // equalizer
    filter #(gain(0.0), poles({0.01, 0.0, 0.0, 0.0}), zeros({0.01, 0.01, 0.01, 0.01}), equalizer #(in_ch, out_eq));

    // probing
    $display($time/$sec);
    $monitor($display($time/$sec));
endmodule
    
```

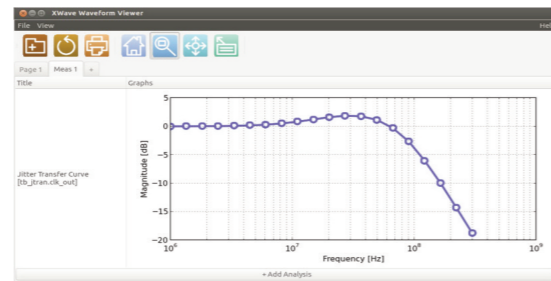
2.XWAVE

Waveform Viewer SystemVerilog 시뮬레이션 후, 그 파형 결과를 GUI 환경에서 확인하고 분석할 수 있는 XMODEL전용 파형뷰어.



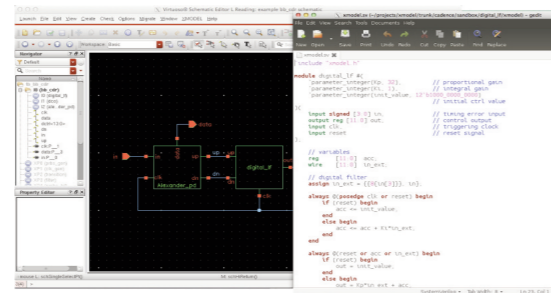
3.XMULAN

Python Library 반복적인 XMODEL 시뮬레이션을 수행할 경우, 이를 Python 스크립트를 사용해 자동화하고, 그 결과를 수집 및 후처리하기 위한 Python 라이브러리, 회로설계 또는 그 시뮬레이션 결과로부터의 모델 생성 및 추출을 하는데도 활용할 수 있다.



4. GLISTER

Model Netlist Cadence사의 Virtuoso Schematic Editor 환경에서 GUI 인터페이스를 활용해 XMODEL기반의 모델들을 기술하고, 이를 이용해 XMODEL 시뮬레이션을 수행할 수 있게 해주는 Cadence Virtuoso 플러그인. 트랜지스터 수준 회로와의 co-simulation을 위한 시뮬레이션 netlist도 자동 생성해준다



scientific  
analog

회사명 : scientific analog  
 웹주소 : <http://www.scianalog.com/>  
 Email : [info@scianalog.com](mailto:info@scianalog.com)

# 2015년 IDEC MPW 지원 내역 및 일정

2015년 MPW 지원 내역

- 6개 공정 16회 진행
- 아래 지원 내역은 공정사의 사정에 따라 변경될 수 있음.

회사	공정 [μm]	공정내역	size	칩수/1회	모집 회수	Package 사용 가능 pin 수 (Design)	Package type 실제작 pin 수	
							LQFP	BGA
삼성	65nm RF CMOS	CMOSRF 1-poly 8-metal	4mmx4mm	48	3	208pin		
매그나칩/ SK하이닉스	0.35μm MOS	CMOS 2-poly 4-metal (Optional layer(DNW, HRL,BJT,CPOLY) 추가)	5mmx4mm	20	2	144pin	208pin	364pin
	0.18μm MOS	CMOS 1-poly 6-metal (6 metal을 Thick metal (TKM)로만 사용 가능) (Optional layer (DNW, HRL,BJT,MIM) 추가)	3.8mmx3.8mm	25	5	184pin		
Tower-Jazz	0.18μm CIS	CMOS 1-poly 4-metal	5mmx5mm	1	2	지원하지 않음		
	0.18μm BCD MOS	CMOS 1-poly 3-metal (MT)	5mmx5mm	3~4	3			
	0.18μm SiGe	SiGe BiCMOS 1-poly 6-metal	5mmx5mm	1	1			

2015년 MPW 진행 일정

- 회차 표기 방법 변경 : "공정코드-년도모집순서"(예시)삼성65nm 2015년 1회차 : S65-1501)
- 아래 일정은 공정사의 사정에 따라 변경될 수 있음.

회차구분 (공정_년도순서)	우선모집	정규모집	제작칩수	DB마감 (Tape-out)	Die-out	공정	공정사	
MS18-1501		2015.12.29.	25	2015.03.02.	2015.08.03.	0.18μm (CMOS)	매그나칩/ SK하이닉스	
MS18-1502		2015.01.26.	25	2015.05.11.	2015.10.12.			
MS18-1503	2015.01.26.	2015.02.23.	25	2015.07.13.	2015.12.14.			
MS18-1504	2015.04.26.	2015.03.23.	25	2015.09.07.	2016.02.01			
MS18-1505	2015.02.23.	2015.05.26.	25	2015.12.07.	2016.05.09			
MS35-1501		2015.01.26.	20	2015.06.08.	2015.09.29.	0.35μm (CMOS)		
MS35-1502	2015.05.26.	2015.07.20.	20	2016.01.11.	2016.04.30.			
S65-1501		2014.12.29.	48	2015.06.15.	2015.12.14	65nm (RF CMOS)	삼성	
S65-1502	2015.02.23.	2015.04.20.	48	2015.10.19	2016.04.19			
S65-1503	2015.04.20.	2015.06.22.	48	2016.01.18.	2016.07.18			
TJB18-1501		2014.12.29.	2	2015.03.02.	2015.07.06.	0.18μm (BCD)	TowerJazz	
TJB18-1502	2015.01.26.	2015.03.23.	4	2015.08.24.	2015.12.28			
TJB18-1503	2015.02.23.	2015.05.26.	4	2015.11.30.	2016.04.04.			
TJC18-1501		2015.01.26.	1	2015.06.15.	2015.10.23.			0.18μm (CIS)
TJC18-1502	2015.02.23.	2015.05.26.	1	2015.11.23.	2016.03.28.			
TJS18-1501		2014.12.29.	1	2015.04.27	2015.09.15.	0.18μm (SiGe)		

- 모집 : 우선과 정규모집으로 구분. 정규모집까지 마감되지 않는 공정에 대해서는 추가 모집 진행 (\* 신청접수 기간 : 모집 마감일로부터 2주전부터 접수)
- 선정결과 : 모집 마감 후 15일내 개별 통보
- Package 제작 : Die out 이후 1개월 소요됨.
- TowerJazz 공정은 sub chip(5mmx2.5mm 또는 2.35mmx2.35mm)로 분할하여 모집
- 문의처 : [yslee@idec.or.kr](mailto:yslee@idec.or.kr)(Web site : <http://www.idec.or.kr>)



# 차세대 VLSI를 위한 광전자 집적회로 기술(1)

## 광학배선

반도체 기술은 트랜지스터의 축소화를 핵심적인 사안으로 삼아 개발이 이루어져 왔다. 새로운 반도체 기술의 성패 여부는 결국 집적회로의 성능을 통해 검증이 이루어져야 하는데 근래 VLSI(very-large-scale integration)의 폭발적인 집적도 향상으로 인한 배선의 복잡성과 원치 않는 비이상적 효과들로 인해 트랜지스터 레벨에서의 개발 효과가 드러나지 못하는 문제점이 발생하고 있다. 즉, 배선이 VLSI의 성능을 좌우하는 보다 중대한 요인으로 작용하게 되었는데, 이러한 문제 상황을 극복하기 위해 광학 기술을 반도체 기술과 접목하려는 시도가 이루어지고 있다. 광학 배선 기술은 단순히 기존의 금속 배선을 광도파로 대체하는 것만을 의미하는 것이 아니라 광·전자 신호 간 변환을 위한 요소들의 최적 설계, 공정 호환성, 열 안정성, 적절한 축소화 수준에서의 CMOS 회로와의 집적가능성 등이 뒷받침되어야 한다. 본 연재에서는 차세대 VLSI를 위한 광전자 집적회로 기술이라는 주제로 3회에 걸쳐 광학배선의 개요, 광학배선을 위한 구성 요소, 단일칩상 집적을 위한 전자소자 등의 내용을 다루고자 한다.

### 1. 반도체 기술의 발전 및 금속 배선 기술의 한계

처리 속도의 향상, 발열의 감소, 구동 전력의 저전력화를 위해 트랜지스터의 축소화가 계속적으로 이루어지고 있으며 반도체 기술의 발전은 사실상 그러한 스케일링(scaling) 기술 발전의 역사라고 해도 과언이 아닐 것이다. 위와 같은 반도체 기술의 목적들을 달성하기 위해 스케일링과 더불어 기반 물질, 최신 반도체 공정 기술, 새로운 구조의 반도체 소자 개발이 순환적·상호보완적으로 이루어져 왔다. 2003년 세계 반도체 기술 로드맵(ITRS)에서 ERD(emerging research device) 칩터가 최초로 등장하여 공정 개발에서 소자 개발로의 인식 변화가 시작되었다. 2005년 ITRS에서는 ERD 칩터 안에서 ERM(emerging research materials)가 다루어짐으로써 기반 물질의 중요성 재확인과 新/舊 물질들의 재평가 및 탐색의 중요성이 재인식되었다(그림 1).

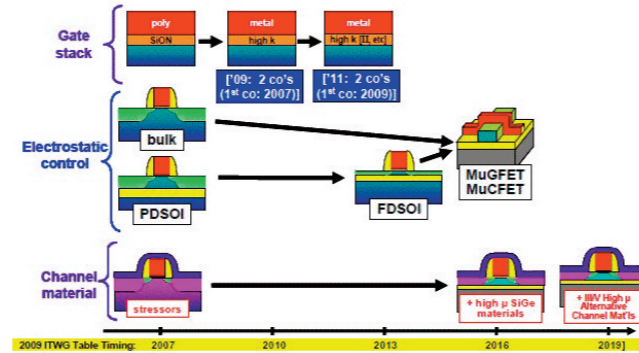


그림 1. ERD/ERM을 통한 반도체소자 개발.

2007년에는 ERM을 독립된 칩터로서 본격적으로 다루기 시작하였고 2011년 ITRS의 PIDS(process integration, devices, and structures)에서 Ge과 III-V의 도입을 명시하기 시작하여 Si 기반의 이종집적(heterogeneous integration) 반도체 기술 연구를 본격화하였다. 표 1에서 보는 바와 같이 2013년부터는 기존의 LOP(low operating power), LSTP(low standby power)를 LP(low power)로 통합하여 기술 요건을 제시하기 시작하였는데 LP 기준은 완화하는 한편, HP(high performance) 기준은 보다 적극적으로 LP에 접근하도록 설정하고 있는 것이 최신 반도체 기술의 동향이다[1].

Technology	Requirements	2009	2011	2013
HP	$V_{DD}$ [V]	1	0.9	0.86
	$I_{D,sat}$ [ $\mu A/\mu m$ ]	1210	1320	1361
	$\tau$ [ps]	0.82	0.64	0.9
LOP	$V_{DD}$ [V]	0.95	0.72	0.86
	$I_{D,sat}$ [ $\mu A/\mu m$ ]	700	531	490
	$\tau$ [ps]	1.24	1.28	2.67
LSTP	$V_{DD}$ [V]	1.05	0.93	
	$I_{D,sat}$ [ $\mu A/\mu m$ ]	536	369	
	$\tau$ [ps]	1.88	2.25	

표 1. 최신 ITRS에서의 LP 및 HP을 위한 기술 요건 변화.

VLSI(very-large-scale integration)의 성능은 트랜지스터의 성능에서 시작되므로 이러한 반도체 기술의 개발이 차세대 VLSI의 근본임은 아무리 강조해도 지나치지 않을 것이다. 그러나 VLSI의 속도 및 전력 소모가 트랜지스터에 의해서만 결정된다고 단정짓기는 어려운 상황이 되었다. 트랜지스터의 집적도가 높아짐에 따라 배선의 복잡성이 급격하게 증가하였기 때문이다. 배선의 복잡성은 보다 구체적으로는 배선폭의 미세화와 배선간의 근접화로 표현할 수 있는데 이로 인해 집적회로의 RC 지연과 발열 문제가 매우 심각해지고 있다.

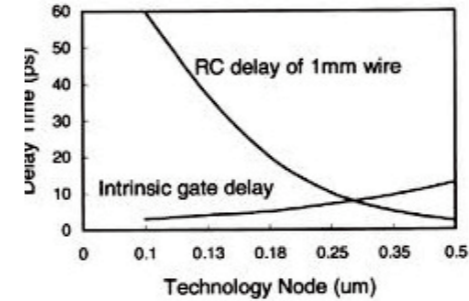


그림 3. 트랜지스터의 게이트 지연 시간 및 단위 길이 당 배선의 RC 지연 비교.

그림 3에서 보는 바와 같이 보다 짧은 게이트 길이의 기술 노드(technology node)를 달성해감에 따라 단일 트랜지스터가 갖는 게이트 지연 시간(intrinsic gate delay)도 짧아지고 있다. 그러나 각 기술 노드에서 결정되는 디자인 룰(design rule)에 따르는 금속 배선의 단위 길이(1 mm) 당 RC 지연 시간은 트랜지스터의 게이트 지연 시간이 감소하는 속도보다 훨씬 빠르게 증가하고 있음을 알 수 있다.

간단한 계산을 해보면 이미 0.25  $\mu m$  트랜지스터의 스위칭 속도는 100 GHz에 육박해야 하지만 최신 CPU의 처리 속도라 하더라도 4 GHz를 넘어서기 어려운데 그 막대한 차이가 바로 금속 배선에 기인한다.

### 2. 차세대 VLSI를 위한 광학 배선 기술

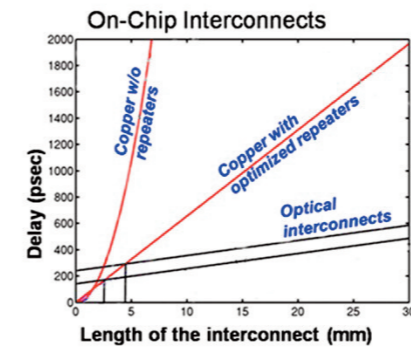
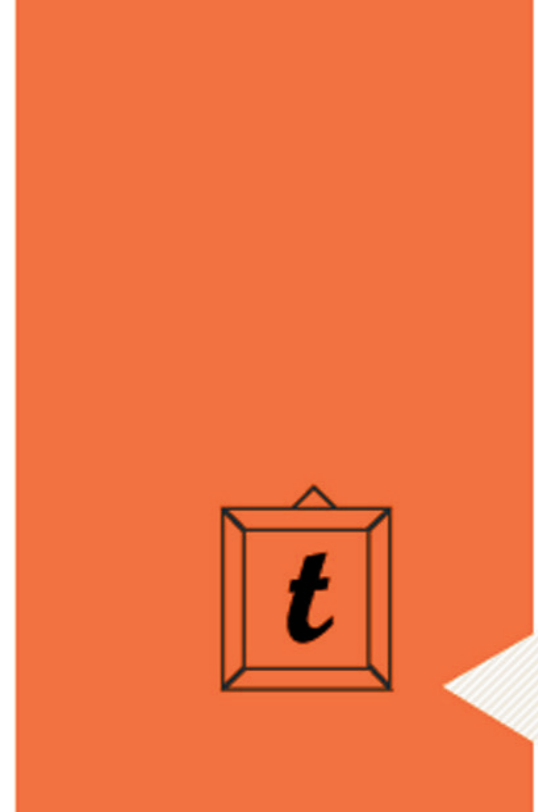
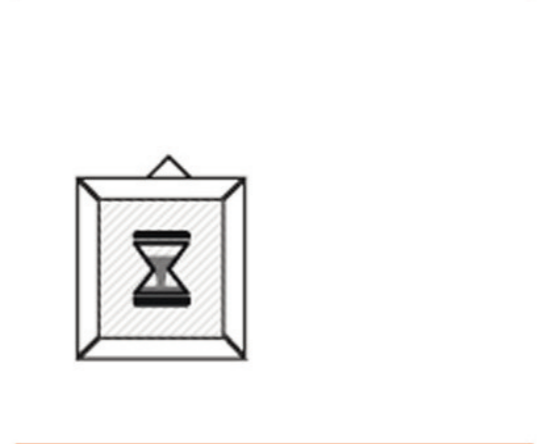
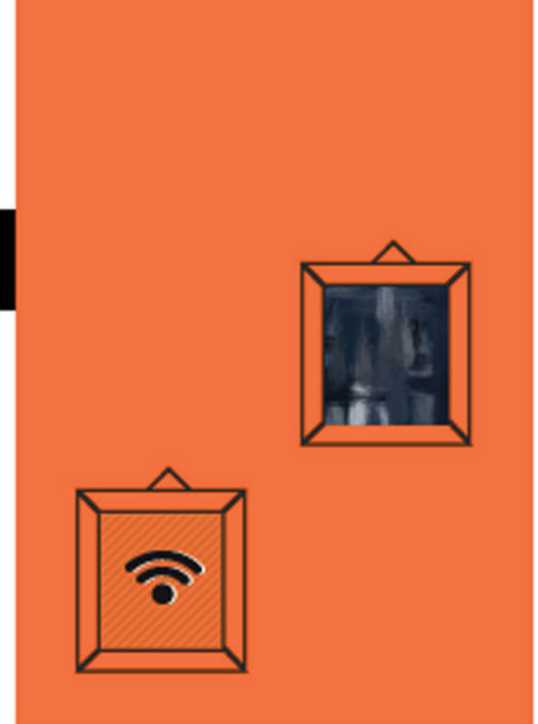


그림 4. 금속 및 광학 배선의 지연 시간 비교.

금속 배선(electrical interconnect)에서 야기되는 VLSI의 전력 및 속도 문제를 해결하기 위해 국내외 대기업에서는 이미 오래 전에 기존의 알루미늄 배선을 상대적으로 비저항이 낮은 구리 배선으로 전환하였고 리피터(repeater)등의 회로적인 접근 방법을 통해 지연 시간을 더욱 줄이기 위해 노력해왔다.



기존의 금속 배선을 광학 배선(optical interconnect)으로 대체하기 위한 연구들이 이루어지기 시작하였는데 광학 배선의 가능성과 필요성을 처음으로 언급한 논문들이 발표된 것은 1980년대 후반이다[2,3]. 여기서 더 나아가 금속 배선의 한계에 대한 실질적이고 본격적인 논의가 1990년대 말 이루어지기 시작하였다[4,5].

그림 4는 구리 배선과 리피터를 결합한 구리 배선, 광학 배선 간의 지연 시간을 비교한 결과이다. 광학 배선은 짧은 배선 길이 영역에 대해서는 그 이하로는 줄일 수 없는 최소한의 지연 시간을 갖는 것으로 나타나는데 입력 신호가 인가된 후 최종적인 전기 신호가 검출되는 데 걸리는 시간을 공정하게 비교해야 하므로 광자(photon)와 전자의 상호 변환되는 과정을 포함하기 때문이다. 그러나 배선의 복잡성이 더해지고 그 결과 전체 길이가 늘어날수록 광학 배선이 갖는 효용은 더욱 커진다 하겠다.

표 2. 광학 배선 기술의 역사 및 기술 동향(IBM, 2005)

	Internet, Wide Area Network	Local Area Network	Rack-to-Rack	Board-to-Board	On Board	On-MCM	On-Chip
Distance	Multi-km	10-2000m	30+m	1m	0.1-0.3m	5-100mm	0.1-10mm
Number of lines	1	1-10	~100	~100-1000	~1000	~10,000	~100,000
Use of optics	Since the 80s and the early 90s	Since the late 90s	2005	2010+	2010-2015	Probably after 2015	Later, if ever

표 2의 내용에서 확인할 수 있는 바와 같이 광학 배선은 광통신 기술의 반도체칩 상 구현으로 이해할 수가 있다. 실제로 이후의 연재에서 보다 자세히 살펴볼게 될 바와 같이 광학 배선 기술을 구성하는 소자 요소들이나 기술 용어들은 광통신에서 기원을 둔 것들이 많다. 현재의 수준은 보드상 광학 연결로서 Intel社가 2013년 8월 발표한 MXC가 상용화된 최신 기술이라고 볼 수 있다(그림 5).

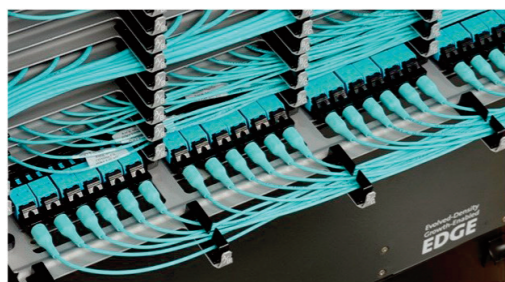


그림 5. MXC, 1.6 Tbps 속도의 서버용 광학 배선.

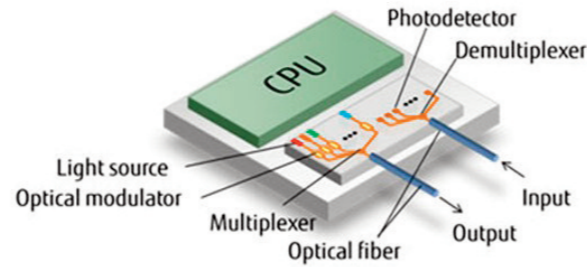


그림 6. 칩간 연결을 위한 광학 배선 기술의 모식도.

그림 6과 같이 다이(die) 내의 기능 블록 간 연결을 광학 배선으로 하는 기술을 모식도로 나타낼 수 있다. 광원이나 멀티플렉서(multiplexer), 광검출기(photodetector), 광도파로(optical waveguide), 광공진기(optical resonator) 등의 구성 요소를 가질 것이며 이러한 요소들은 이후 단계인 칩상에서의(on-chip) 광학 배선에서도 유지가 될 것이다.

광학 배선 기술은 칩상에서의 광학 배선을 구현하여 CPU 내부로 들어가 처리 속도를 획기적으로 향상시키고 전력 소모 및 발열을 극소화하는 것을 도모하고자 하는 최종적인 목표로 삼는다. 그러나 실리콘의 낮은 광효율, CMOS 기술과 광학 소자 기술간의 큰 축소화 기술 격차 등 극복해야 할 과제들이 존재한다[6]. 기술 달성을 위해서는 우선적으로 상기의 요소들을 기존의 반도체 기반 물질과 공정 기술을 통해 구현할 수가 있어야 하는데 실리콘과의 물질 및 공정 호환성이 좋으면서도 실리콘의 광학적 특성을 보완해줄 수 있는 4족 원소를 기반으로 한 광전자 집적회로 연구들이 큰 관심을 끌고 있다.

### 3. 맺음말

다각적인 노력을 통해 이루어져온 반도체 기술을 살펴보고 VLSI의 성능 한계를 극복하기 위해 제안되고 있는 광학 배선 기술의 배경과 필요성을 살펴보았다. 차세대 VLSI 기술 개발을 위해서는 트랜지스터의 기술과 광학 배선 기술 간의 간격을 줄이는 것이 필연적이다. 다음 연재에서는 단일칩상 광학 배선을 구성하는 광학 소자들의 종류와 기술 요건들, 연구 개발 현황을 살펴보고자 한다.



조 성 재 교수  
 소속 : 가천대학교 전자공학과  
 주 연구분야 : 나노전자소자 및 광학소자  
 E-mail : feixcho@gachon.ac.kr



### 참고문헌

- [1] ITRS(international technology roadmap for semiconductors) 2013 Edition, online available at <http://www.itrs.net>.
- [2] J. W. Goodman, F. J. Leonberger, S.-Y.Kung, and R. A. Athale, "Optical interconnections for VLSI systems," Proc. IEEE, vol. 72, pp. 850-866, 1984.
- [3] M. R. Feldman, S. C. Esener, C. C. Guest, and S. H. Lee, "Comparison between optical and electrical interconnects based on power and speed considerations," Appl. Opt., vol. 27, pp. 1742-1751, 1988.
- [4] D. A. B. Miller and H. M. Ozaktas, "Limit to the bit-rate capacity of electrical interconnects from the aspect ratio of the system architecture," J. Parallel Distrib. Comput., vol. 41, pp. 42-52, 1997. (Special Issue on Parallel Computing with Optical Interconnects).
- [5] M. Horowitz, C.-K. K. Yang, and S. Sidiropoulos, "High-Speed Electrical Signaling: Overview and Limitations," IEEE Micro, vol. 18., no. 1, pp. 12-24, Jan/Feb. 1998.
- [6] D. A. B. Miller, "Rationale and Challenges for Optical Interconnects to Electronic Chips," Proc. IEEE, vol. 88, no. 6, pp. 728-749, Jun. 2000.

