반도체설계교육센터
IC DESIGN EDUCATION CENTER

IDEC newsletter

VOL. 215
May 2015

IDEC Newsletter I 통권 제215 호
⊙ **발행일** 2015년 04월 30일 ⊙ **발행인** 박인철 ⊙ **편집인** 남병규 ⊙ **제 작** 푸울디자인
⊙ **기 획** 전향기 ⊙ **전 화** 042) 350-8535 ⊙ **팩 스** 042) 350-8540 ⊙ **홈페이지** http://idec.or.kr
⊙ **E-mail** jhg0929@idec.or.kr ⊙ **발행처** 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 미래창조과학부(산업통상자원부), 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 에이티세미콘, TowerJazz)의 지원으로 수행되고 있습니다.

MPW (Multi-Project Wafer) 2015년 MPW 진행 현황

공정	회차구분 (공정_년도순서)	모집팀수 ((mmxmm)x칩수)/회별	정규모집 신청마감	참여팀수 ((mmxmm)x칩수)	DB 마감	Die-out	비고
삼성 65nm	S65-1501	(4x4) x48	2014.12.29	(4x4)x 38	2015.06.15	2015.12.14	설계중
	S65-1502		2015.04.20	(4x4)x 29	2015.10.19	2016.04.19	추가모집중 (~5.4)
	S65-1503		2015.06.22	(4x4)x 9	2016.01.18	2016.07.18	정규모집예정
MS 0.18um	MS18-1501	(3.8x3.8) x25	2014.12.29	(3.8x3.8)x17 (3.8x1.9)x16	2015.03.02	2015.08.03	칩제작중
	MS18-1502		2015.01.26	(3.8x3.8)x20 (3.8x1.9x7	2015.05.11	2015.10.12	설계중
	MS18-1503		2015.02.23	(3.8x3.8)x19 (3.8x1.9)x6	2015.07.13	2015.12.14	설계중
	MS18-1504		2015.03.23	(3.8x3.8)x22 (3.8x1.9)x6	2015.09.07	2016.02.01	설계중
	MS18-1505		2015.05.26	(3.8x3.8)x5 (3.8x1.9)x1	2015.12.18	2016.05.09	모집예정 (~5.26)
MS 0.35um	MS35-1501	(5x4)x20	2015.01.26	(5x4)x18 (5x2)x4	2015.06.08	2015.09.29	설계중
	MS35-1502		2015.07.20	-	2016.01.11	2016.04.30	우선모집중 (~5.26)
TJ SiGe	TJS18-1501	(2.35x2.35)x4	2014.12.29	(2.35x2.35)x3	2015.04.27	2015.09.15	DB 검토중 (~5.26)
TJ CIS	TJC18-1501	(2.35x2.35) x4	2015.01.26	(2.35x2.35)x4	2015.06.15	2015.10.23	제작중
	TJC18-1502		2015.05.26	(2.35x2.35)x2	2015.11.23	2016.03.28	정규모집중 (~5.26)
TJ BCD	TJB18-1501	(2.35x2.35) x12~16	2014.12.29	(5x2.5)x2 (2.35x2.35)x8	2015.03.02	2015.07.06	칩제작중
	TJB18-1502		2015.03.23	(2.35x2.35)x8	2015.08.24	2015.12.28	설계중
	TJB18-1503		2015.05.26	(2.35x2.35)x4	2015.11.30	2016.04.04	정규모집중 (~5.26)

※ 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)

※ 일정은 사정에 따라 다소 변경될 수 있음.
※ 회차 표기 방법 변경 : 공정코드-년도 모집순서 (예시) 삼성65nm 2015년 1회차 : S65-1501)
※ TowerJazz 공정은 sub chip(2.35mmX2.35mm)으로 분리하여 모집
※ 모집기간 : 모집 마감일로 부터 2주전부터 접수
※ Package 제작은 Die out 이후 1개월 소요됨
※ 기준일 : 2015. 04. 27

2015년 5월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

KAIST 개설 강좌 안내

센터명	강의일자	강의제목	분류
본센터	5월 6-8일	센서 신호 처리용 아날로그 프론트엔드 설계 기법	설계강좌
	5월 11-12일	DFT Compiler	Tool강좌
	5월 14-15일	Sentaurus TCAD training	Tool강좌
	5월 22일	CMOS 공정 및 마스크 레이아웃	설계강좌
	5월 28-29일	Mentor-Calibre xRC	Tool강좌
전남대	5월 8-9일	자동차 전장통신 CAN FlexRay 통신 설계 및 응용	설계강좌
한양대	5월 1일	통신용 디지털 SoC 설계	세미나
	5월 13일	Security Chip Design	세미나

- 강좌일 : 5월 6-8일
- 강좌 제목 : 센서 신호 처리용 아날로그 프론트엔드 설계 기법
- 강사 : 고형호 교수 (충남대학교)

강좌개요
저항/용량/전압/전류 등 각종 센서 출력의 모델링 기법
Correlated Double Sampling 및 Chopper stabilization 기법을 이용한 저잡음 아날로그 프론트엔드 설계 기법
Periodic analysis를 통한 센서 인터페이스 회로 해석 기법
수강대상
센서 신호 처리용 회로 설계 관련 대학원생/산업체 실무자
강의수준 중급 강의형태 이론+실습
사전지식,선수과목
기초 아날로그 회로 설계 지식, Cadence tool (schematic 및 spectre) 기본 사용법

- 강좌일 : 5월 11-12일
- 강좌 제목 : DFT Compiler
- 강사 : 이시원 부장 (Synopsys)

강좌개요
In this workshop you will learn to use DFT Compiler to perform RTL and gate-level DFT rule checks, fix DFT DRC rule violations, and to insert scan using top-down and bottom-up flows. The workshop explores essential techniques to support large, multi-million gate SOC designs including the bottom-up scan insertion flow in the logical (Design Compiler) domain. Techniques learned include: performing scan insertion in a top-down flow; meeting scan requirements for number of scan chains, maximum chain length and reusing functional pins for scan testing, inserting an On-Chip Clocking (OCC) controller for At-Speed testing using internal clocks; and using Adaptive Scan (DFTMAX) to insert additional DFT hardware to reduce the test time and the test data volume required for a given fault coverage.
수강대상 Design and Test engineers who need to identify and fix DFT violations in their RTL or gate-level designs, insert scan into multi-million gate SoCs, and export design files to ATPG and P&R tools
강의수준 고급 강의형태 이론+실습
사전지식,선수과목 Unix / VI editor knowledge is mandatory.
Prior experience with Design Compiler, Design Vision and writing Synopsys Tcl scripts is useful, but not required.

- 강좌일 : 5월 14-15일
- 강좌 제목 : Sentaurus TCAD training
- 강사 : 김명우 과장 (Synopsys)

강좌개요
Sentaurus TCAD의 기본적인 기능을 이용하여 TCAD simulation에 대한 이해를 높이고자 함
수강대상 TCAD User (대학원생)
강의수준 초급 강의형태 이론+실습
사전지식,선수과목
CMOS 공정 및 소자 동작 원리

- 강좌일 : 5월 22일
- 강좌 제목 : CMOS 공정 및 마스크 레이아웃
- 강사 : 조성재 교수 (가천대학교)

강좌개요
기본적인 반도체 소자인 pn 접합 다이오드와 MOSFET의 동작 원리, CMOS process의 단위 공정, CMOS inverter 제작을 위한 마스크 레이아웃과 process integration, 현대 VLSI 기술의 방향의 bottom-up 내용으로 진행한다.
수강대상 학부 4학년 및 대학원생, 관련산업 엔지니어
강의수준 초급 강의형태 이론
사전지식,선수과목
반도체소자(권장)

- 강좌일 : 5월 28-29일
- 강좌 제목 : Calibre xRC
- 강사 : 한정무 과장 (Mentor)

강좌개요
본 교육은 Calibre xRC를 사용하여 Layout상의Parasitic 저항 및 캐패시터를 추출하는 방법 및 Rule file generation에 대하여 교육을 합니다. Calibre xRC의 다양한 기능적인 부분에 대하여 실습과 병행하여 교육 합니다.

2015년 5월 교육프로그램 안내

수강대상 Calibre xRC User
강의수준 초급 강의형태 이론+실습
사전지식,선수과목
Calibre nmDRC/nmLVS에 대한 경험이 필요하나, 기본적인 내용이 포함되어 있어 처음 Tool을 사용하시는 분도 가능

*문의 : KAIST IDEC 오가영 (042-350-8536, oky0818@idec.or.kr)

- 강좌일 : 5월 8-9일
- 강좌 제목 : 자동차 전장통신 CAN FlexRay 통신 설계 및 응용
- 강사 : 김도일 차장 ((주)하이버스)

강좌개요
CAN, FlexRay 개요 및 산업동향, AT90CAN128, S12XF 마이크로컨트롤러, 인터럽트 및 제어 실습, CAN controller 이해, CAN 기초 실습, 통합 네트워크 실습, LabVIEW 활용한 CAN 모니터링, FlexRay 프로토콜, 네트워크 구현, 슬롯 상태 모니터링, 초음파 거리측정기, DC모터 속도 제어기
수강대상 전장 통신에 관심이 있는 대학(원)생
강의수준 중급 강의형태 이론+실습
사전지식,선수과목
AVR, C언어, 마이크로프로세서

*문의 : 전남대 IDEC 김정주 (062-530-0367, tomo135@naver.com)

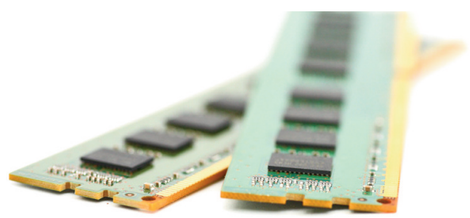
- 강좌일 : 5월 1일
- 강좌 제목 : 통신용 디지털 SoC 설계
- 강사 : 이한호 교수 (인하대학교)

강좌개요
유.무선통신 및 디지털신호처리용 시스템반도체(SoC)를 설계하는데 중요한 다양한 디지털신호처리 (DSP) 및 오류정정코드(FEC) 알고리즘 및 VLSI 아키텍처 설계 방법을 배운다.
수강대상 학부생, 석박사, 일반인
강의형태 세미나

- 강좌일 : 5월 13일
- 강좌 제목 : Security Chip Design
- 강사 : 김동규 교수 (한양대학교)

강좌개요
본 강의에서는 Security SoC의 구현에 필요한 비밀키 암호알고리즘과 공개키 암호알고리즘을 소개하고, hardware적 구현 기법에 대하여 설명한다. 또한, Security Chip의 power분석공격 등의 부채널공격과 Bus probing 등의 hacking기법들을 설명하고, 이에 대한 대응설계 기법을 설명하고자 한다.
수강대상 학부생, 석박사, 일반인
강의형태 세미나

*문의 : 한양대 IDEC 오경주 (031-400-4079, ipc@hanyang.ac.kr)



실바코, IDEC에 TowerJazz PDK 제공

TCAD, EDA 소프트웨어의 선도 기업인 SILVACO, Inc. (이하 SILVACO)는 반도체설계교육센터 (IDEC)에 TowerJazz 공정에 필요한 SILVACO PDK를 제공합니다.

- TS18SL (Mixed Signal CMOS 0.18um
- TS18PM (Power Management 0.18um)
- TS18IS (CMOS image sensor 0.18um)
- CA18HD (CMOS 0.18um)
- SBC18HA (SiGe 0.18um)

프로세스 디자인 키트(PDK)는 칩 설계 플로우에서 EDA 툴과 함께 사용하는 파운드리용 데이터와 스크립트 파일을 정리한 것입니다. PDK 는 주로 Spice 모델, Schematic symbol, Script Files, 파라미터화된 셀 (P-Cell) 및 룰 파일로 구성되어 있습니다. PDK의 사용으로 설계자는 칩 설계를 쉽게 시작할 수 있으며, 스키매틱 작성에서 테이프 아웃까지 디자인 플로우를 원활하게 수행할 수 있습니다. Silvaco 에서 제공되는 PDK를 실행하기 위해서는 스키메틱 에디터인(Gateway), 회로 시뮬레이터(Smartspice), 레이아웃 에디터(Expert)를 사용하게 됩니다. 레이아웃 디자인에 대한 검증은 Guardian DRC/LVS/LPE 를 사용합니다. 또한, Full-Chip 기생 성분 RC 추출을 위한 Tool로써 Hipex 를 지원함으로서 Front-End부터 Back-End까지 설계할 수 있도록 Full package를 지원합니다.

About Silvaco, Inc.

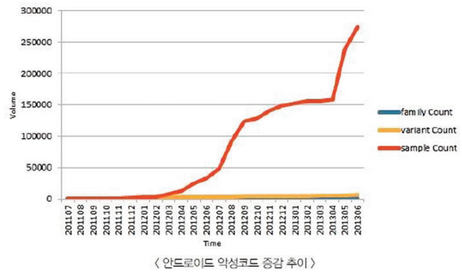
SILVACO는 TCAD, 회로 시뮬레이션 및 IC CAD 소프트웨어 툴을 제공하는 선도 기업입니다. SILVACO의 툴은 반도체 공정을 개발하는 팹과 아날로그/믹스드 시그널/RF 집적 회로를 개발하는 디자인 하우스에서 사용합니다. SILVACO는 Third-Party tool에 대한 설계 플랫폼에 대하여 인터페이스와 함께 완벽한 PDK 기반 설계 플로우를 제공합니다. SILVACO는 전 세계 주요 지역에 사업 거점을 두고 있습니다.

Tower Semiconductor, Ltd. and Jazz Semiconductor, Inc.

Tower Semiconductor Ltd.(NASDAQ: TSEM) (TASE: TSEM)는 순수 독자적인 전문 웨이퍼 파운드리로서, 미국에 Analog-Intensive Mixed-Signal (AIMS) 파운드리 솔루션의 선도 업체인 Jazz Semiconductor를 자회사로 두고 있습니다. Tower와 Jazz는 1.0~0.13um IC를 제조하며, 테크니컬 서비스와 설계 지원을 제공합니다. Digital CMOS 공정 기술 외에, 고급 mixed-signal, RF CMOS, Power Management, CMOS 이미지-센서, 비휘발성 메모리 기술 및 Flash MTP, OTP 솔루션을 제공합니다. 모듈형 AIMS 기술에 대한 Jazz의 포괄적인 공정 포트폴리오는 RF CMOS, Analog CMOS, Silicon, SiGe BiCMOS, SiGe C-BiCMOS, Power CMOS, High Voltage CMOS 등을 포함합니다. 세계 정상급의 고객 서비스를 제공하기 위해, Tower는 이스라엘에 두 곳의 제조 설비를 두고 있습니다.

시스템 보안 모니터링을 위한 정보 추출 기술

점점 다양한 종류의 단말들이 인터넷에 연결되고 이러한 단말들이 제공하는 정보를 통해 새로운 서비스를 제공하는 사물 인터넷 환경이 현실화되어감에 따라 보안 및 프라이버시에 대한 관심이 급증하고 있다. 개인 사용자들의 다양한 개인 정보들이 단말들에 저장됨에 따라 그림 1에서 볼 수 있는 바와 같이 최근 개인 단말을 대상으로 하는 사이버 공격들의 빈도가 크게 증가하고 있다. 이러한 공격은 일차적으로 개별 단말에 저장된 개인 정보 유출을 통한 파밍, 보이스 피싱 등의 공격으로 연결될 수 있으며 이차적으로는 공격자가 일반 사용자의 단말들(PC, 스마트폰 등)을 감염시켜 좀비 단말로 만들어 네트워크를 통한 서버로의 공격에 사용될 수 있다.



〈 안드로이드 악성코드 증감 추이 〉

그림 1 안드로이드 악성 코드 증감 추이

이러한 사이버 공격은 개인 혹은 사회에 매우 큰 금전적 손실을 입히기 때문에, 공격을 막기 위한 적절한 대응책을 마련할 필요가 있다. 사이버 공격의 출발점은 일반적으로 사용자 단말에 대한 악성코드(malware)의 유포 및 감염이다. 따라서 근본적으로 공격을 막기 위해서는 개별 단말 계층에서 악성코드들이 시스템 내부 장치나 자원들(메모리, 파일, 폴더 등)에 무단 접근하거나 사용을 하는 것을 제한하여 시스템을 보호하는 등의 방법으로 시스템 보안(System Security)을 강화해야 한다.

1. 기존의 보안 모니터 기술

최근 이런 추세에 따라 단말 시스템의 보안을 강화하려는 시도가 소프트웨어 및 하드웨어를 기반으로 활발하게 진행되어 왔다. 이들 중 가장 널리 사용되고 있는 방법은 응용 프로그램이나 OS 계층에서 백신이나 침입 탐지 장치(Intrusion Detection System) 등과 같은 소프트웨어 기반 보안 모니터 (Software-based Security Monitor)를 구현함으로써 응용 프로그램들의 취약성을 이용하는 공격들을 탐지하는 것이다. 비록 이와 같은 모니터 구조는 OS 커널의 무결성을 해치는 루트킷 (Rookit) 공격, 즉 OS 커널 자체의 취약점을 이용해 다른 악성코드가 특권모드 (Privileged mode)에서 실행되도록 하거나 커널이 사용하는 객체 자체에 공격을 가해 커널이 보안 모니터에게 제공하는 서비스의 신뢰성을 보장하지 못하게 하는 종류의 공격에 취약하지만, 최근에는 Xen이나 KVM (Kernel Virtual Machine)과 같은 VMM (Virtual Machine Manager)을 사용해 OS 커널을 감시하도록 구현함으로써 이 같은 문제점을 극복하려 하였다 [1, 2]. 하지만 최근 연구결과에서는 VMM 역시 또 다른 소프트웨어 계층이기 때문에 역시 악성코드에 취약할 수 있음이 드러나고 있다 [3, 4]. 또 다른 간과할 수 없는 단점 하나는 소프트웨어 기반 모니터들이 감시 대상 응용들과 동일한 호스트 시스템의 하드웨어 자원 (CPU, 메모리 등)을 공유하며 실행되기 때문에 발생하는 성능 부하이다. 이러한 성능 저하는 전체 시스템에 수십 %의 성능 부하를 유발하는 것으로 알려져 있어 [10] 개인 단말 들 중 모바일 단말과 같이 상대적으로 성능 및 전력 소모에 제한이 큰 단말들이 보안 솔루션을 적극 도입/사용하는 것에 대한 방해 요소로 작용하고 있다.

소프트웨어 기반 솔루션과는 달리 호스트 하드웨어를 직접 수정하거나 호스트 시스템 외부에 보안 하드웨어 모듈을 제공해 보안 모니터링을 시도하려는 하드웨어 기반 모니터링 기법들 역시 최근 활발히 연구되어 왔다 [5, 6, 7, 8]. 그중 외부에 독립적인 보안 하드웨어 모듈을 추가하는 방법은 호스트 CPU의 내부 아키텍처를 수정하지 않고도 보안 모니터를 위한 독립적인 실행 환경과 가속 기능을 제공한다는 점에서 최근 주목을 받고 있다. 이러한 연구들은 기본적으로 호스트 CPU의 외부에 보안 모니터링을 위한 하드웨어 모니터를 부착해 호스트 CPU에서 수행되고 있는 응용 프로그램이 악의적인 동작을 하고 있는지를 호스트 외부에서 관찰할 수 있는 이벤트 (Event) 들, 예를 들어 시스템 버스에 발생하는 트래픽의 종류나 시스템 메모리 내용의 변화들을 바탕으로 판단한다.

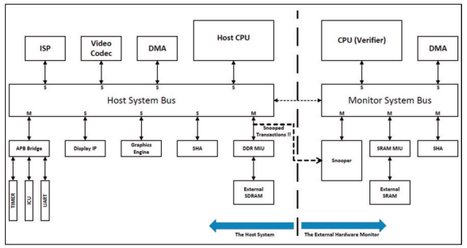


그림 2 Vigilare 시스템

이러한 하드웨어 모니터의 대표적인 예로는 Vigilare 라고 명명된 모니터 하드웨어 시스템이 있다 (그림 2) [6, 8]. Vigilare 시스템에서는 하드웨어 모니터들을 호스트 외부 버스에 SoC 수준으로 부착하여 버스 트래픽을 실시간으로 스누핑 (Snooping) 하도록 구현되어 있다. 이는 SoC 수준에서 모니터를 호스트 CPU와 결합함으로써, CPU 코어 내부를 수정하지 않고 호스트 OS의 무결성을 실시간으로 감시할 수 있어 주기적으로 메모리의 내용을 검사하는 기존의 스냅샷 (Snapshot) 기법보다 보안 및 성능상 이점을 보이는 것으로 알려졌다.

Vigilare 시스템은 그림 3과 같이 두 개의 프로세서 코어를 가진 MPSoC (Multi-Processor SoC) 구조를 기본으로 하여 사용자를 위한 호스트 시스템 (Host system) 과, 이 호스트를 감시하기 위한 외부 하드웨어 모니터 (External hardware monitor)로 나뉜다. 프로세서 기반의 모니터 프로세서를 제공하기 때문에 다양한 보안 알고리즘의 탑재를 가능하게 하였고 보안 모니터링의 성능 극대화를 위해 Snooper 또는 VTMU(Value Table Management Unit)라 불리는 다양한 ASIC (Application Specific Integrated Circuit) 모듈들이 장착되었다.

보안을 위해 두 시스템 간의 버스는 모니터 시스템에서 호스트 시스템으로만 접근 가능하도록 비대칭적 (Asymmetric) 구조로 구현되어 있다. 이 때문에 호스트 시스템 및 이 시스템상에서 동작하는 모든 소프트웨어는 모니터 시스템의 존재를 모른 채 동작할 뿐만 아니라 모니터 시스템에 접근할 수가 없다. 따라서 모니터 시스템은 하나의 독립적이고 안전한 실행 환경을 가진다. 모니터 시스템은 호스트 시스템 버스에 나타나는 메모리 트래픽, 특히 OS 커널의 자료 구조에 대한 쓰기 행위를 중점적으로 감시함으로써 이상 징후를 탐지한다. 이는 주요 커널 자료 구조들에 대한 쓰기 동작들은 일반적으로 잘 알려져 있는 규칙을 지켜가며 이루어진다는 점에서 착안하여 규칙에 어긋나는 메모리 행위들은 공격자에 의한 커널 감염(Compromise) 시도로 간주한다.

예를 들어, OS 커널의 정적 영역 (또는 불가변 영역)은 커널 부트 이후에는 쓰기가 금지된 자료 구조들이다. 만약 해당 영역에 대한 쓰기 행위가 발생한다면 당연하게도 시스템이 공격받고 있다고 간주할 수 있다. 또한 어떠한 자료 구조들의 경우 정상 커널에 의해 쓰기 자체는 이루어질 수 있지만, 쓰여 질 수 있는 값이 제한적인데, 이러한 동적 영역 (또는 가변 영역)에 대해서는 보안 정책상 허용되는 값의 목록을 화이트리스트(white-list)로 저장/관리하며, 실시간으로 쓰이는 값을 모니터링 해 이 목록 외의 값이 쓰이는 행위를 공격으로 간주할 수 있다.

Vigilare 시스템에서는 모니터 측의 CPU (Verifier)를 통해 Snooper 등의 하드웨어 IP에 메모리 트래픽 감시 및 화이트 리스트의 관리를 할당해 실시간으로 보안 모니터링을 수행할 수 있게 하였다. 이러한 하드웨어 IP들은 상시 감시를 1% 이하의 시스템 성능 저하만으로 가능하게 함으로써, 기존의 하드웨어 기반 모니터, 특히 주기적으로 메모리를 검사함으로써 이상 징후를 탐지하는 모니터들이나 소프트웨어 기반 모니터 기술들보다 혁신적인 성능 향상을 보여주었다.

2. 기존 SoC 수준 모니터의 문제점

기존에 소개된 Vigilare와 같은 SoC 수준 보안 모니터는 보안 및 성능 면에서 다른 모니터들에 비해 장점이 있다는 것이 증명되었지만 실제로 사용되는 단말들에 그대로 적용을 할 경우에는 심각한 보안상의 문제점을 발생시킬 수 있다. 앞서 설명한 바와 같이 Vigilare와 같은 보안 모니터는 공격의 징후를 포착하기 위해 시스템 버스에 나타나는 트래픽을 감시하는데, 이는 보안 모니터의 정상 동작을 위해서는 호스트 CPU로부터 발생한 메모리 연산이 모두 시스템 버스에 나타난다는 가정에서 출발한다. 하지만 이러한 가정은 일반적인 호스트 시스템에서는 성립하지 않는데 가장 주된 이유는 시스템 성능 향상을 위해 널리 쓰이는 캐시 때문이다.

호스트 CPU와 메모리 사이에 놓인 캐시는 가장 최근 호스트 CPU가 수행한 명령어나 사용한 데이터를 임시로 저장해 추가적인 접근 시간을 크게 감소시켜 줌으로써 전체 시스템의 성능 개선에 큰 도움을 준다. 하지만 캐시의 존재는 외부에 존재하는 모니터의 관점에서는 보안상 큰 걸림돌로 작용하게 되는데 이는 캐시로 인해 CPU가 수행하는 메모리 접근에 대한 이벤트가 시스템 버스에 드러나지 않는 경우가 늘어나기 때문이다. 특히 이러한 문제는 캐시가 Write-back 캐시 정책을 사용하는 경우 더 심각해지는데 이는 write-back 캐시 정책상 한 데이터에 여러 번 쓰기가 이루어지는 경우 캐시에 저장된 데이터에만 변조가 이루어지고, 메모리에 저장된 데이터는 오직 변경된 캐시의 데이터가 다른 데이터로 교체되는 경우에만 업데이트되기 때문이다. 이 경우 하드웨어 모니터는 캐시의 데이터가 버스로 나올 때까지는 공격의 징후가 있더라도 발견할 수 없다. 그뿐만 아니라 공격자가 외부 모니터의 존재를 인지하고

있다면 캐시의 특성을 이용한 새로운 종류의 공격을 만들어 낼 가능성도 존재하게 된다.

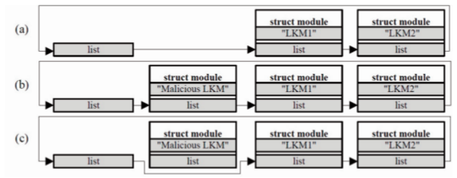


그림 3 동적 커널 모듈 Hiding 공격 예

이러한 위험성을 보이기 위해 우리는 Vigilare와 같은 SoC 수준 보안 모니터 환경에 실제 루트킷 공격, 특히 대부분의 루트킷이 탑재하고 있는 동적 커널 모듈(Loadable kernel module) Hiding 공격이 일어났을 경우 시스템이 어떻게 동작하는지를 보이도록 하겠다. 동적 커널 모듈은 OS 커널의 기능을 OS 수행 도중 손쉽게 확장할 수 있도록 하기 위해, 일정 태스크 (Task)를 수행하기 위해 필요한 커널 코드와 데이터를 가지고 있는 커널 객체로 OS 커널은 이러한 커널 모듈들을 동적으로 커널에 삽입하고 해제하는 등의 관리를 손쉽게 할 수 있도록 특수한 커널 객체 리스트 (그림 3. (a))를 사용한다. 커널 모듈 Hiding 공격은 일반적인 보안 모니터가 악성 행위를 하는 커널 모듈의 유무를 탐지하기 위해 해당 커널 객체의 리스트 (a)를 주기적으로 순회 (Traverse) 하여 수상한 모듈을 발견하는 것으로부터 탐지 프로세스를 시작한다는 것에서 착안해, 악성 커널 모듈이 설치된 직후 (그림 3. (b)) 커널 객체의 리스트를 변조하여 해당 모듈을 리스트에서 없애버리는 방식을 사용한다 (그림 3. (c)). 이러한 공격이 성공적으로 이루어지게 되면 해당 모듈은 커널 모듈의 리스트에서는 없어지지만, 해당 모듈 자체는 여전히 메모리에 상주하고 있기 때문에 공격자는 악성 모듈이 제공하는 기능들을 그대로 사용할 수 있게 된다.

최근 소개된 SoC 수준 보안 모니터는 버스 스누핑 기법을 통해 커널 모듈이 커널 객체 리스트에 추가되는 순간 (그림 3. (b))을 항상 감지할 수 있도록 list 포인터에 대한 쓰기 행위를 감시하는 기법을 채택하였다. 만약 호스트 시스템에 캐시가 없거나 캐시가 write-through 정책을 사용하는 경우 해당 list 포인터에 대한 쓰기 이벤트는 항상 버스에서 탐지가 가능하기 때문에 정상적으로 동작함을 보장할 수 있었다. 하지만 호스트 CPU가 write-back 캐시 정책을 사용하는 경우에는 공격자가 악성 모듈을 설치하기 전에 정상적인 모듈을 설치하거나 list 포인터를 한 번 읽는 방식으로 list 포인터를 캐시에 할당해 버리는 것이 가능하게 되는데 이러한 행위 직후 악의적인 모듈을 설치하게 되면 해당 이벤트는 버스에 나타나지 않게 되어 하드웨어 기반 모니터가 정상적으로 동작하지 않게 된다. 만약 캐시 데이터가 메모리로 write-back 되기 전에 정상적인 모듈을 한 번 더 설치하게 되면 추후 list 포인터가 메모리로 업데이트 될 때에는 악성 모듈이 설치되었던 흔적 자체가 없어지게 되기 때문에 하드웨어 모니터는 악성 행위를 탐지할 수 없게 된다.

이러한 문제를 극복하기 위해 가장 간단하게 생각할 수 있는 방법은 캐시의 내용을 주기적으로 메모리에 업데이트하도록 해 주는 것이다. 하지만 이처럼 주기적으로 데이터를 동기화해 주는 기법은 앞서 살펴본 동적 커널 모듈 Hiding 공격과 같이 동기화 주기 (Period) 안에 악성행위의 흔적을 감출 수 있는 종류의 공격에 취약하다는 단점이 있다. 물론 동기화 주기를 짧게 함으로써 이러한 보안 위협으로부터 조금 더 안전해질 수는 있겠지만, 근본적인 해결책이 될 수는 없고 또한 동기화 주기가 짧아질수록 전체 시스템의 성능이 크게 저하될 수 있다는 문제점이 있다. 따라서 근본적으로 문제를 해결하기 위해서는 캐시에 영향을 받지 않으면서도 성능 저하 없이 호스트 CPU의 내부 수행 정보를 하드웨어 기반 모니터에게 전달할 수 있는 방법이 필요하다.

3. 디버그 인터페이스를 이용한 보안 모니터

이러한 문제를 해결하기 위해 응용 프로그램 디버깅을 위해서 사용되는 디버깅 정보들을 보안 모니터링에 사용한 연구 결과가 올해 발표된 바가 있다 [9]. Extrax라고 불리는 이 연구에서는 기존 하드웨어 기반 모니터의 캐시 문제를 해결하기 위해 호스트 CPU의 내부를 수정하기보다는 이미 대부분의 프로세서 제품군 (Intel, ARM, Microblaze 등)에 탑재되어 있는 디버그 인터페이스를 이용해 디버깅 정보들을 하드웨어 보안 모니터로 효과적으로 전송할 수 있는 방법을 제안하고 실제 하드웨어로 구현해 그 실효성을 보였다.

일반적으로 디버그 인터페이스는 호스트 CPU 측에 존재하며 온 칩 디버그 (on-chip debug) 유닛과 연결되어 호스트에서 발생하는 여러 이벤트를 외부 디버거로 전달하는 역할을 한다. 일반적으로 데스크톱 환경에서 수행되는 외부 디버거는 온 칩 디버그 유닛을 통해 전달받은 정보를 이용해 호스트 CPU에서 수행 중인 응용 프로그램의 수행 상황뿐만 아니라 호스트의 상태 역시 실시간으로 알 수 있어야 한다. 이 때문에 인터페이스가 제공하는 정보는 캐시의 영향을 받지 않으며 정보의 종류는 수행 중인 명령어의 주소, 현재 프로세스의 아이디 (ID), 데이터 명령어가 접근하는 메모리의 주소 및 값 등을 포함한다.

Signal	Description
ETMICTL [20:0]	ETM instruction control bus
ETMIA [31:1]	ETM instruction address
ETMDCTL [10:0]	ETM data control bus
ETMDA [31:0]	ETM data address
ETMDD [63:0]	ETM data write data value
ETMCID [31:0]	Current processor Context ID

그림 4 디버그 인터페이스 예시 (ARM의 ETM)

이 같은 디버그 인터페이스는 대부분의 프로세서 제품군에 존재하지만 Extrax에서는 모바일 환경의 90% 이상을 장악하고 있는 ARM에 탑재되어 있는 Embedded Trace Macrocell (ETM)을 가정을 하였다. 이 Trace Macrocell의 가장 큰 특징은 앞서 언급된 정보 (그림 4 참조)가 호스트 CPU의 성능 저하 없이 실시간으로 제공된다는 점이다. 해당 연구에서는 이 디버그 인터페이스를 하드웨어 기반 모니터와 연결함으로써 인터페이스에서 나오는 다양한 정보들을 보안 모니터링에 사용하려는 시도를 하였다. 하지만 실제 구현에 있어서는 단순히 인터페이스와 모니터를 연결하는 방식으로 시스템을 구현하기 위해서는 여러 가지 문제점이 있었다.

첫 번째로는 기존 하드웨어 기반 모니터가 시스템 버스로 나오는 이벤트를 직접 스누핑하기 때문에 물리 주소 (Physical address) 기반으로 동작하도록 설계되었는데 반해 디버그 인터페이스는 가상 주소 (Virtual address) 기반으로 동작하도록 설계되어 있다. 때문에 디버그 인터페이스에서 나오는 정보가 바로 보안 모니터링에 사용될 수는 없다. 두 번째로, 하드웨어 기반 모니터가 디버그 인터페이스를 통해 받아들이는 메모리 접근 트래픽은 캐시에 영향을 받지 않기 때문에 기존 하드웨어 기반 모니터가 처리하던 버스 트래픽보다 그 양이 훨씬 많다는 점이다. 이처럼 많은 이벤트를 모두 처리하는 것은 모니터 측의 성능 관점에서 부하가 상당히 클 수 있다.

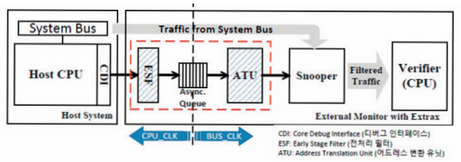


그림 5 디버그 인터페이스를 사용하는 하드웨어 기반 모니터

이러한 문제점들을 해결하기 위해 Extrax에서는 새로운 하드웨어 모듈을 제안하였다. 이 모듈은 그림 5에서 볼 수 있는 바와 같이 호스트 CPU 측의 디버그 인터페이스와 하드웨어 기반 모니터 사이에 위치하며 어드레스 변환 유닛과 전처리 필터라는 서브 유닛들을 갖는다.

1) 어드레스 변환 유닛

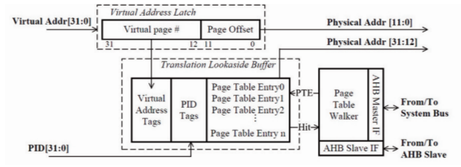


그림 6 어드레스 변환 유닛

가상 주소를 디버그 인터페이스로부터 받게 되면, 하드웨어 기반 모니터는 해당 주소가 보안상 민감한 커널의 객체에 접근하려는 시도인지를 체크해 보아야 한다. 이러한 검사를 수행하는데 있어 가상 주소를 사용하는 것은 일견 가능해 보이기는 하지만 실제로는 보안상의 큰 허점을 가지고 있다. 그 이유는 OS 커널이 메모리 가상화를 구현함에 있어 여러 개의 가상 주소가 하나의 물리 주소를 가리키는 중복 매핑을 허용하고 있기 때문에, 만약 공격자가 새로운 가상 주소를 감시 대상이 되는 커널 객체의 물리 주소에 매핑을 한 후 이 가상 주소를 이용해 접근을 시도하게 되면 이를 하드웨어 기반 모니터가 탐지할 수 있는 방법이 전혀 없기 때문이다.

이 문제를 해결하기 위해 Extrax는 호스트 시스템의 외부에서 가상 주소를 물리 주소로 빠르게 변환할 수 있는 하드웨어 IP를 포함하도록 디자인 되었다. 어드레스 변환 유닛이라 불리는 이 하드웨어 IP는 그림 6에서 볼 수 있듯이 하드웨어 모니터 측과 AHB 버스로 연결이 되어 모니터 측으로부터 직접 초기 설정이 이루어지도록 구현되어 있다. 또한, Translation lookaside buffer (TLB)가 존재해 자주 접근되는 데이터의 경우 페이지 테이블 접근 (Page table walk) 없이 빠르게 주소 변환을 마칠 수 있도록 구현되어 있다.

2) 전처리 필터

어드레스 변환 유닛을 통해 메모리 이벤트의 대상 주소 (Target address)가 물리 주소로 변경되면 이 주소는 하드웨어 모니터 쪽으로 전달되어 모니터링이 이루어지게 된다. 디버그 인터페이스로부터 전달받는 정보는 호스트 CPU로부터 발생한 모든 메모리 이벤트이기 때문에 하드웨어 모니터는 캐시의 영향 없이 커널의 무결성을 체크할 수 있지만, 매우 많은 수의 이벤트를 지속해서 처리해야 한다는 사실은 모니터에게 큰 부담이 될 수 있다. 이 때문에 최신 하드웨어 모니터들은 보안 정책에 따라 실제로 감시가 필요한 커널 객체들의 물리 주소를 지정해 해당 영역에 대한 접근을 제외한 나머지 영역으로의 메모리 접근 이벤트는 모두 필터링해 버리는 기법을 사용한다.

이러한 필터링 기법은 모니터 단에서 적용하는 것보다 어드레스 변환 유닛으로 정보가 전달되기 전에 이루어지는 것이 더 효과적이다. 하지만 디버그 인터페이스에서 나오는 주소는 가상 주소이기 때문에 하드웨어 기반 모니터에서 사용되는 물리 주소 기반 필터링은 가능하지 않다. 이 때문에 어드레스 변환 유닛은 인터페이스에서 나오는 모든 메모리 이벤트의 주소를 지속해서 물리 주소로 변환해야 하며 만약 TLB에서 매칭이 되는 가상-물리 주소 셋 (Virtual to physical address set)을 찾지 못하는 경우 상대적으로 시간이 많이 소요되는 페이지 테이블 접근을 해야만 한다.

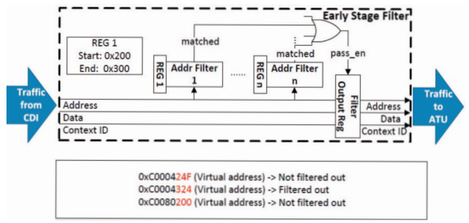


그림 7 전처리 필터

이러한 문제를 해결하기 위해 Extrax는 가상 주소를 이용해 필터링을 수행할 수 있는 하드웨어 IP인 전처리 필터를 디버그 인터페이스와 어드레스 변환 유닛 사이에 위치시키는 디자인을 채택하였다 (그림 5 참조). 전처리 필터는 디버그 인터페이스와 직접 연결되어 가장 우선적으로는 메모리에 대한 읽기 연산을 필터링한다. 이는 커널의 무결성을 해치는 공

격은 항상 커널 객체에 대한 쓰기 연산이라는 사실에 기반을 둔다. 전처리 필터는 이에 추가로 메모리 쓰기 이벤트 중 감시 대상이 되는 커널 객체들에 접근할 가능성이 있는 이벤트들을 제외한 모든 메모리 이벤트들을 가상 주소 기반으로 필터링한다. 이처럼 가상 주소 기반 필터링이 가능한 이유는 가상 주소와 물리 주소의 오프셋 필드는 항상 일치한다는 점에서 착안 (그림 6 참조)해 전처리 필터가 필터링을 주소의 오프셋 필드를 기준으로 수행할 수 있도록 구현되었기 때문이다 (그림 7 참조).

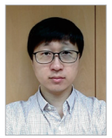
이를 위해 전처리 필터는 하드웨어 모니터의 Snooper 내부에 있는 필터가 보안 정책에 따라 감시 대상이 되는 커널 객체 주소들로 초기화될 때 이 주소들의 오프셋 필드 값을 이용해 설정되도록 구현되었다. 설정이 완료된 후 작동을 시작하게 되면 전처리 필터는 인터페이스로부터 전달받은 가상 주소의 오프셋 필드와 보안 정책에 따라 설정된 감시 대상 주소들의 오프셋 필드를 비교해 일치하는 경우에만 어드레스 변환 유닛으로 전송하도록 동작하게 된다. 이러한 과정을 통해 보안성을 잃지 않으면서도 어드레스 변환이 수행되어야 할 메모리 이벤트의 수를 현저히 줄일 수 있었다.

이와같이 디자인된 Extrax는 호스트 시스템, 모니터 시스템과 함께 FPGA 프로토타이핑 보드 위에서 구현되었으며 리눅스 환경 위에서 실제 루트킷들이 사용하는 공격 기법들에 대해 테스트 되었다. 실험 결과를 통해 제안된 (Extrax가 추가된) 모니터 시스템은 기존 SoC 수준 하드웨어 모니터와 비교하였을 때 새로 추가된 하드웨어 IP들로 인해 약간 늘어나는 면적을 제외하면 성능 면에서는 거의 차이가 없었으며, 반면 기존 모니터에서는 탐지하지 못했던 공격들, 즉 캐시의 존재로 인해 발생한 새로운 유형의 공격들도 모두 탐지 가능한 것을 볼 수 있었다.

4. 결론 및 연구의 의의

점차 개인 단말에서 요구되는 일들의 다양해지고 복잡해져 감에 따라 단말에서 수행되는 응용 프로그램의 복잡도 또한 빠르게 증가하고 있다. 그에 따라 다양한 상황에서 응용 프로그램들을 더 정밀하게 디버깅할 수 있도록 단말에 탑재되는 디버깅용 하드웨어 및 메커니즘 역시 빠르게 발전해 나가고 있으며 이들을 통해 제공되는 정보들 또한 다양해지고 있다. 최근 디버깅을 위해 생성된 정보를 보안 모니터링에 이용하려는 시도가 처음 이루어졌으며 그 초기 결과로 이 정보 중 일부 (메모리 관련 정보들)만을 이용하더라도 기존 하드웨어 기반 모니터가 가지고 있던 심각한 보안상의 문제점을 효과적으로 해결할 수 있음을 보였다. 이러한 결과를 바탕으로 디버그 인터페이스로부터 제공받은 정보들을 효과적으로 이용할 수 있는 방법을 연구한다면 기존 모니터들이 정보의 결핍으로 인해 할 수 없었던 다양한 보안 모니터링을 효율적으로 수행하는데 큰 도움을 줄 것으로 기대된다.

백 윤 흥 교수
소속 : 서울대학교 전기정보공학부 교수
주 연구 분야: 시스템 보안, SoC 설계, 컴퓨터 아키텍처, 컴파일러
E-mail: ypaek@snu.ac.kr



이 진 용 박사과정
소속 : 서울대학교 전기정보공학부 박사과정
주 연구 분야: 시스템 보안, SoC 설계, 컴퓨터 아키텍처
E-mail: jylee@sor.snu.ac.kr

참고문헌

[1] Petroni Jr, Nick L., and Michael Hicks. "Automated detection of persistent kernel control-flow attacks." Proceedings of the 14th ACM conference on Computer and communications security. ACM, 2007.

[2] Hofmann, Owen S and Dunn, Alan M and Kim, Sangman and Roy, Indrajit and Witchel, Emmett. "Ensuring operating system kernel integrity with OSck." ACM SIGPLAN Notices. Vol. 46. No. 3. ACM, 2011.

[3] Wang, Zhi, and Xuxian Jiang. "Hypersafe: A lightweight approach to provide lifetime hypervisor control-flow integrity." Security and Privacy (SP), 2010 IEEE Symposium on. IEEE, 2010.

[4] The Blue Pill, DOI=http://theinvisiblethings.blogspot.com/2008/07/0wing-xen-invegas.html

[5] Petroni Jr, Nick L and Fraser, Timothy and Molina, Jesus and Arbaugh, William A. "Copilot-a Coprocessor-based Kernel Runtime Integrity Monitor." USENIX Security Symposium. 2004.

[6] Moon, Hyungon and Lee, Hojoon and Lee, Jihoon and Kim, Kihwan and Paek, Yunheung and Kang, Brent Byunghoon. "Vigilare: toward snoop-based kernel integrity monitor." Proceedings of the 2012 ACM conference on Computer and communications security. ACM, 2012.

[7] Liu, Ziyi and Lee, JongHyuk and Zeng, Junyuan and Wen, Yuanfeng and Lin, Zhiqiang and Shi, Weidong. Cpu transparent protection of os kernel and hypervisor integrity with programmable dram. Vol. 41. No. 3. ACM, 2013.

[8] Lee, Hojoon and Moon, Hyungon and Jang, Daehee and Kim, Kihwan and Lee, Jihoon and Paek, Yunheung and Kang, Brent ByungHoon. "KI-Mon: A Hardware-assisted Event-triggered Monitoring Platform for Mutable Kernel Object." USENIX Security. 2013.

[9] Lee, Jinyong and Lee, Yongje and Moon, Hyungon and Heo, Ingoo and Paek, Yunheung. "EXTRAX: Security Extension to Extract Cache Resident Information for Snoop-based External Monitors." Proceedings of the 2015 Design, Automation & Test in Europe Conference & Exhibition. EDA Consortium, 2015.

[10] www.av-test.org

최신 연구동향
이식형생체전자처방 (Implantable Bioelectronic Prescriptions)

(그림 출처: IEEE Spectrum Magazine)

인간의 모든 세포는 직간접적으로 전기적인 신호와 연관되어 있는데 그 중에서도 신경과 근육은 가장 직접적으로 전기 신호를 이용하여 상호간의 정보를 전달하고 행동을 조절한다. 전자 기기의 이식을 통해 이러한 전기 신호를 발생, 조절 및 보완하여 의학적인 치유를 이끌어내려는 시도는 지난 수 십 년간 진행되어 왔고, 현재 심장박동기(pace-maker), 제세동기(defibrillator), 인공와우(cochlear implant), 심뇌자극기(deep brain stimulator) 등이 임상적으로 활발하게 이용되고 있다. 이러한 생체 전자공학 기기(bioelectronics device)들은 이미 매년 수 많은 생명을 구하고 많은 환자/장애인의 삶을 풍요롭게 하고 있지만, 최근 수 년에 걸친 신경공학 기기의 급속한 기술적 진보는 기존에 수술이나 약물 치료에 의존해 왔던 수 많은 질병 및 질환에 대해 새로운 개념의 "생체전자 의학적" 치료법을 가능하게 할 것으로 예상된다.

1. 이식형생체전자 처방의 소개

2011년 말 SetPoint Medical이라는 의료기기 회사의 설립자이자 신경외과 의사인 Kevin Tracey 박사는 세계 최초로 류마티스성 관절염 (Rheumatoidal Arthritis) 환자에게 미주신경 자극기 (vagusnerve stimulator) 를 이식하는 임상실험을 하였다. 이는 신경계는 면역 세포와 직접적인 상호 작용이 없다는 기존의 개념과 배치되는 것으로 당시에는 상당히 논란이 많은 실험이었다. 하지만 결과는 매우 긍정적이었다. 총 18명의 환자 중 2/3 이상이 호전된 증상을 보였으며, 일부 환자는 신경자극 즉시 통증과 관절의 부기가 사라지는 현상을 보였다. Tracey 박사는 이를 미주 신경에 가해진 전기자극이 항염증 반응 (anti-inflammatory reaction) 을 유발시키는 것으로 설명하였다. 이렇게 성공적으로 임상 실험을 보인 후 Tracey 박사는 한 인터뷰에서 "나는 이러한 기술이 제약 시장을 대체할 것으로 생각한다 (I think this is the industry that will replace the drug industry)." 라고 말하였다. 현재는 많은 연구자들이 신경계와 교감하는 체내 이식형 생체 전자 기기의 개발하여 감기에서 암에 이르기까지 모든 질병 및 질환의 치료에 활용하려고 노력하고 있다.

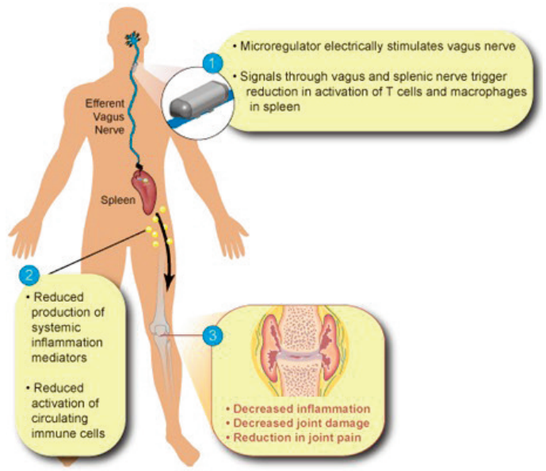
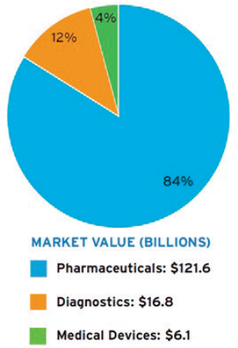


그림 1. 미주신경 자극에 의한 류마티스성 관절염의 치료 (출처: SetPoint Medical, Inc.)

2. 이식형 생체전자 처방의 시장성

류마티스성 관절염이나 크론병 (Crohn's disease) 등 염증성 질환의 경우 일반적으로 진통제, 스테로이드제, 그리고 생물학적치료제 (biologics)를 이용하여 치료하는데, 이러한 약품들은 매우 비싸고 투약이 용이하지 않으며, 효과가 일정하지 않고 간혹 치명적인 부작용을 동반하기도 한다. 반면 생체전자 처방의 경우는 전기적인 신호의 측정과 자극을 통한 신경계와의 교감으로 우리 몸의 자연적 치유 기작을 조절하여 질병을 치료하는 것이므로, 중독이나 거부 반응 같은 부작용에 대해서 자유로울 수 있다. 이러한 개념은 염증성 질환뿐 만 아니라 치료 의학 전반에 걸쳐 매우 폭넓게 적용될 수 있으며, 현재 비만, 당뇨, 위장관 운동성 장애 등 소화기 질환과 전립선 암 등 각종 악성 종양에 대한 연구도 진행 중이다. 특히, 매출액 규모로 세계 7위의 다국적 제약 회사인 글락소스미스클라인 (GlaxoSmithKline, GSK) 社는 제약회사의 미래 사업 방향으로 생체전자 기기를 통한 질병 및 질환의 치료를 제시하였고, 쥐의 임의의 한 기관을 조절하는 신경에 초소형 무선 소자를 이식하여 60일 동안 신경신호를 측정하고 유발하는 것을 목표로 하는 "생체전자 의학 챌린지" 프로그램에 우승 상금 백만 불을 걸고 진행 중이다. 또한, GSK 社는 600억 규모의 예산으로 자체적인 전기제약 연구(electroceutical research)를 수행하고 있으며, 25개 대학의 전기제약 연구자들에게 연구비를 지원하여 20여 종의 다양한 질병에 대한 연구도 진행하고 있다. 이렇게 다국적 제약회사가 전자약물(=생체전자 처방)에 대해 집중적인 투자를 하는 이유는 이러한 전자소자 기반의 치료법이 현재는 시장 규모가 매우 작지만 (그림 2. 신경의학 기술의 경우 참조) 그 성장 속도가 다른 영역에 비해 월등히 빠르기 때문이다.



Imagine a pharmaceutical company 20 or 30 years from now. Moving beyond conventional drugs that interact biochemically with the body, it will have built a big "bioelectronics" business that treat disease through electrical signaling in the brain and elsewhere.

Moncef Slaoui, Head of Research and Development at Glaxo Smith Klein (GSK)

그림 2. 전세계 신경의학 기술영역별 시장 규모 및 시장 점유율과 거대 다국적 제약회사 GSK의 기술개발 담당이사인 MoncefSlaoui 박사의 미래 생체전자 시장에 대한 전망 (출처: MaRS Report –Neurotechnology 2009).

3. 이식형 생체전자 처방의 연구 로드맵

2015년 상반기에 미국 국립보건원 (National Institutes of Health, NIH)과 국방고등연구사업국 (Defense Advanced Research Projects Agency, DARPA)은 생체전자의학에 관련하여 각각 독립적으로 과제제안의뢰서(request for proposal, RFP)를 공지하였다. NIH는 최근에 구성된 SPARC (Stimulating Peripheral Activity to Relieve Conditions) 프로그램의 일환으로 말초신경에 의한 인체기관의 기능적 조절을 이해하기 위한 기술의 개발을 목표로 하는 과제를 공모하였는데, 이는 뉴로모듈레이션에 의한 말단 장기의 기능적 조절이 많은 질병이나 질환의 치료에 응용될 수 있지만, 그 활동 기작에 대한 이해가 미흡하다는 단점이 있으므로 이를 혁신적인 생체전자 기술의 개발을 통해 해결한다는 목적을 가지고 있다. 인체의 장기들이 어떻게 신경계와 교감하고 있는지에 대해서 정확한 기전이 알려지지는 않았지만, 대략적인 연결 관계는 그림 3에서처럼 비교적 잘 알려져 있다.

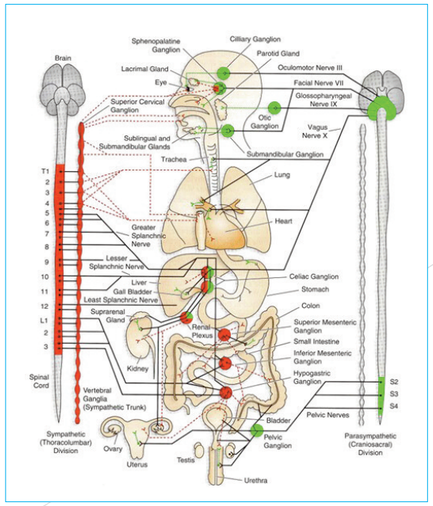


그림 3. 신경-기관 연결성의 개략도 (출처: NIH SPARC 프로그램)

한편, DARPA의 과제제안의 뢰서는 일명 "전기처방 (Elec-tRX)" 이라고 명명된 것으로, 역시 말초신경의 신호 측정과 조절을 통해서 인체 장기의 기능을 순응적으로 조절할 수 있는 이식형 생체전자 시스템을 개발하는 것을 목표로 하고 있다 (그림 4). 우선 최소침습적 (minimally-invasive) 이식형 전자기기를 통해 표적 장기의 생리학적인 건강 상태를 측정하고, 이를 바탕으로 환자의 질환 정도를 진단하여 이에 맞는 전기적인 자극의 강도 및 패턴을 결정하는데 이를 전기적 처방전 (electrical prescription) 이라고 명명한다.이러한 전기적 처방전에 따라 말초신경에 전기적 자극을 가해주어 표적 장기를 정상적인 상태로 돌려 놓는 것이 이 프로젝트의 골자이다 (그림 5).

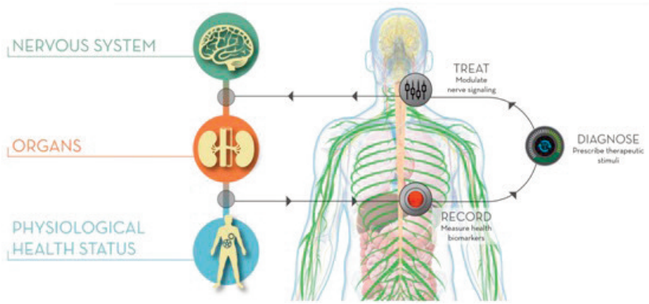


그림 4. DARPA ElectRX 프로그램에서 목표로 하는 이식형 생체전자 시스템의 개요 (출처: DARPA)

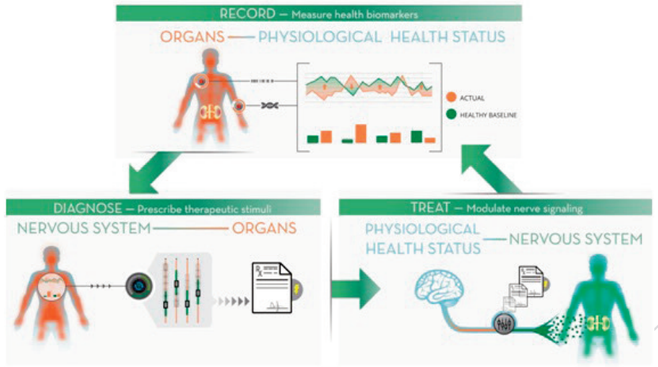


그림 5. 전기처방전 (electrical prescription)의 개념 및 구현 전략 (출처: DARPA)

4. 이식형 생체전자 처방의 기술적 이슈들

전기제약 (electroceutical), 전기처방전 (electrical prescription), 혹은 생체전자 의학 (bioelectronicmedicine) 등으로 기술되는 질병 및 질환의 전기적인 치료법이 치료 의학에서 얼마나 중요한 역할을 할 것인가는 신경과 기관, 그리고 질환 사이의 연결 고리를 정확하게 이해하는 것에 달려있지만, 이에 못지 않게 중요한 것이 이식형 전자기기에 대한 기술적인 발전이다. 지난 30여년간 이식형 전자기기는 일반 전자기기에 비해 상대적으로 느린 발전을 보여 왔는데, 이는 이식형 전자기기 만이 갖는 특이적 이슈들 때문이다. 첫째, 이식형 전자기기는 인체 내의 생리환경에서 장기간 작동해야 하므로 매우 높은 수준의 밀봉 상태를 수십 년간 유지해야 한다. 게다가 신경 신호 측정이나 신경 자극을 위해서 시스템의 일부가 전기적으로 체액에 노출되어야 한다. 둘째, 체내에 이식된 소자가 전력을 과도하게 사용하면 소자의 온도가 올라가게 되고 이는 소자 주변 생체 조직의 괴사나 주변 기관의 비정상적 행동을 유발할 수 있다. 따라서, 이식형 전자기기는 전력 소모가 매우 적어야 한다. 이는 특히, 이식이 어려운 신체 부위에 적용되는 매우 작은 전자소자의 경우에 더욱 심각한 문제를 초래할 수 있다. 셋째, 모든 전자기기를 작동시키기 위해서는 전기에너지가 필요하기 때문에 성공적인 이식형 전자기기를 위해서는 충분한 량의 전기 에너지를 안전하고 지속적으로 공급해 줄 수 있는 방법이 요구된다. 현재까지는 배터리나 자기유도에 의한 전력전송 등이 그 주류를 이루어 왔으나, 최근에는 초소형 초저전력 생체전자 기기를 위해서 RF 전자기파나 빛 에너지, 혹은 운동 에너지로부터 전력을 얻는 에너지 수확 (energy harvesting)이나 생체 전지 (biofuel cell)를 이용하는 방법 등 다양한 전력 전송 방식이 시도되고 있다.

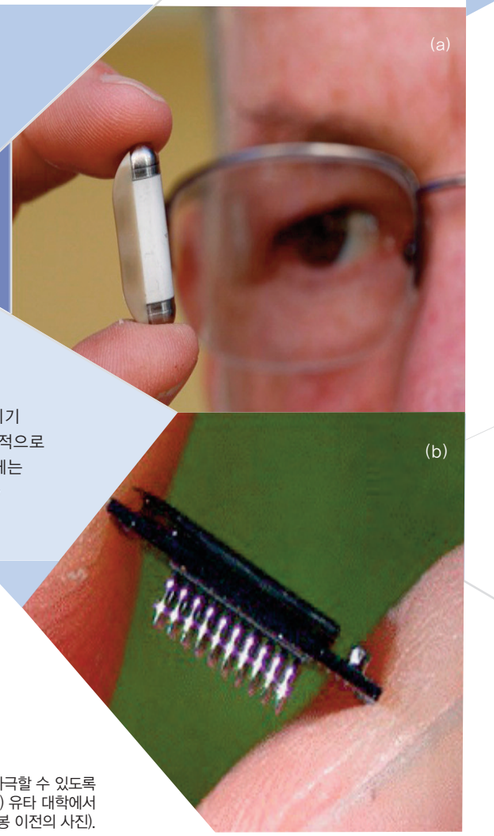


그림 6. 신경 자극 및 측정 시스템의 예: (a) 염증을 줄이기 위해 신경을 자극할 수 있도록 고안된 이식형 마이크로 신경조절기 (출처: SetPoint Medical Company) (b) 유타 대학에서 개발된 초소형 100 채널 무선 신경신호 측정 시스템 (밀봉 이전의 사진).

맺음말

최근 신경의 전기적인 신호에 의해 조절되는 기관과 이에 관련된 질환을 이식형 전자기기로 치료하려는 시도가 전 세계적으로 이루어지기 시작하고 있다. 이식형 미주신경 자극기를 이용한 류마티스성 관절염의 치료는 생체전자 처방 (bioelectronic prescription) 이라는 새로운 개념의 치료의학의 태동을 가져왔고, 이는 GSK와 같은 다국적 제약 회사의 차세대 제약 플랫폼으로 여겨지고 있으며, NIH나 DARPA와 같은 정부 기관의 연구 개발 로드맵의핵심 요소로 자리잡게 되었다. 현재 많은 연구자들이 감기에서 암에 이르기까지 다양한 질병 및 질환의 치유로써 생체전자 처방을 이용하려고 시도하고 있으며, 이러한 생체 전자 처방의 성공적인 적용을 위해서는 완전 이식에 적합한 초소형 초저전력 신경 측정/자극 시스템 설계 및 제작 기술의 개발 또한 필수적으로 따라가야 할 것이다.

송 윤 규 교수
소속 : 서울대학교 융합과학기술대학원
연구분야 : 신경공학, 나노광학, 광전자공학, 바이오센서
E-mail : songyk@snu.ac.kr
홈페이지 : http://www.nnp.snu.ac.kr

참고문헌

[1] Behar, M. Can the nervous system be hacked? New York Times Magazine, May 23, 2014.

[2] Famm, K. et al. A jump start for electroceuticals. Nature 496,159-161 (2013).

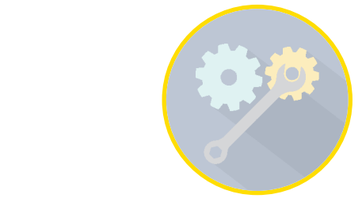
[3] Bioelectronic medicines: a research roadmap. Nature Reviews Drug Discovery 13, 399-400 (2014).

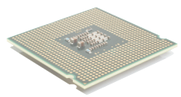
[4] Reardon, S. Electroceuticals spark interest. Nature 511, 18 (2014).

[5] DARPA RFP, https://www.fbo.gov/index?s=opportunity&mode=form&id=2b3daac4b1091fb40886f297013ba0ed&tab=core&_cview=1

[6] NIH RFP, http://grants.nih.gov/grants/guide/rfa-files/RFA-RM-15-002.html

STT-RAM을 사용한 Cache 설계에 대한 연구 동향





1. 서론

스마트폰에 사용되는 어플리케이션 프로세서를 포함해서 요즈음 사용되는 대부분의 프로세서들은 하나 또는 여러 개의 프로세서 코어와 함께 상당히 큰 SRAM cache 메모리가 하나의 칩에 같이 집적되어 있다. 예를 들어, 삼성 Exynos 5422 어플리케이션 프로세서는 여덟 개의 ARM 프로세서 코어를 갖고 있는데 이 중 네 개의 ARM Cortex-A15 코어에는 2MB의 L2 cache를 사용하고 있고 네 개의 ARM Cortex-A7 코어에는 512KB의 L2 cache를 사용하고 있다. 데스크탑PC에 사용되는 Intel Core i7-4765T 프로세서는 네 개의 코어와 8MB의 cache를 갖고 있으며, 서버용 프로세서인 Intel Xeon E7-8890 v2의 경우에는 15 개의 코어와 37.5MB의 cache를 갖고 있다. 대개 성능을 높이기 위해서 메모리 용량이 큰 cache를 사용하고 있으나 그만큼 면적을 많이 차지하고 또한 소비전력도 크며, 특히 누설전류에 의한 소비전력도 크다는 것이 단점이다.

비휘발성 메모리는 전원이 없어도 내용을 잃어버리지 않기 때문에 사용하지 않을 때에는 전원을 차단함으로써 누설전류를 크게 줄일 수 있다는 장점이 있다. 그러나 비휘발성 메모리는 일반적으로 메모리에 데이터를 쓸 때에는 많은 에너지가 소비되고 느리다는 것과 수명이 짧다는 단점이 있다. 따라서 프로세서 코어와 함께 집적되는 cache나 주메모리로도 사용하지 못하고 메모리스틱이나 SSD와 같은 외부 저장장치에 사용되어 왔다. 그 대표적인 예가 플래시메모리이다.

최근에 보다 좋은 특성을 갖는 비휘발성 메모리에 대한 연구가 활발히 진행되고 있다. 여기에는 Phase-change RAM (PRAM, PCRAM), Resistive RAM (RRAM, ReRAM), Ferroelectric RAM (FRAM, FeRAM), Magnetoresistive RAM (MRAM) 등 다양한 종류가 있다. 이 중에서도 MRAM은 Spin Transfer Torque라는 현상을 이용한 Spin Transfer Torque RAM (STT-RAM)으로 발전하면서 여러 가지 좋아진 특성 때문에 많은 연구가 수행되어 오고 있다. 본고에서는 STT-RAM의 동작 원리를 간단히 설명하고, 그것을 효과적으로 cache에 사용하기 위한 방법에 대한 여러 가지 연구들에 대해 살펴보고자 한다.

2. STT-RAM의 동작 원리

STT-RAM은 기본적으로 Magnetic Tunnel Junction (MTJ)을 이용한다. MTJ는 그림 1에서 보는 것처럼 두 개의 강자성체(자화 방향이 고정되어 있는 fixed layer와 바뀔 수 있는 free layer)가 있고 그 사이에 있는 얇은 절연체(주로 산화마그네슘을 사용)를 전자가 터널링으로 투과함으로써 전류가 흐르는 구조로 되어 있다. 그런데 그림 1(가)에서와 같이 두 개의 강자성체가 같은 방향으로 자화되어 있으면 (parallel state) 터널링이 잘 일어나고 따라서 전류가 잘 흘러서 저항이 작게 되고, (나)와 같이 반대 방향으로 자화되어 있으면 터널링이 잘 안 되어 저항이 커진다. 따라서 (다)와 같은 구조로 cell을 만들면, word-line이 선택되었을 때 fixed layer와 free layer의 상대적인 자화 방향에 따라서 bit-line과 source-line 사이에 흐르는 전류의 크기가 다르므로, 그것을 감지하여 저장된 데이터가 0인지 1인지 알 수 있게 된다.

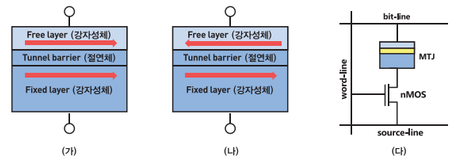
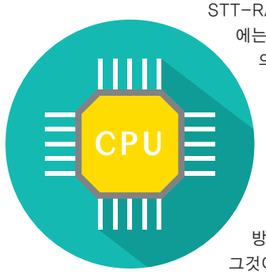


그림 1. (가) Magnetic tunnel junction에서 낮은 저항을 갖는 parallel state.
(나) Magnetic tunnel junction에서 높은 저항을 갖는 anti- parallel state.
(다) Magnetic tunnel junction을 포함하는 STT-RAM cell의 구조.



STT-RAM cell에 0또는 1의 데이터 값을 쓸 때에는 free layer의 자화 방향을 fixed layer의 자화 방향과 같게 하거나 반대 방향으로 바꾸어야 한다. 이 경우 일반적으로 데이터 값을 읽을 때보다는 훨씬 큰 전류를 더 긴 시간 동안 흘려야 하며 따라서 훨씬 많은 에너지를 사용하게 된다.

많은전자가 fixed layer를 통과하면 한쪽 방향의 spin을 가진 전자만 통과하게 되고 그것이 free layer를 지나가면서 torque가 전달되어 free layer의 자화 방향을 fixed layer와 같게 만들어 준다. 반대로 전자가 free layer를 통과하여 fixed layer 쪽으로 가면 마찬가지로 fixed layer와 같은 방향의 spin을 가진 전자는 fixed layer를 통과하게 되지만 반대 방향의 spin을 가진 전자는 반사되어 free layer를 다시 통과하면서 free layer의 자화 방향을 fixed layer의 자화 방향과 반대가 되게 만든다.

그림 1에서는 STT-RAM이수평으로 자화되는in-plain MTJ를 사용하지만 수직으로 자화되는perpendicular MTJ를 사용할 수도 있다. 이 외에도 다양한 변형이 가능하지만 그것에 대해서는 여기에서 다루지 않기로 한다.

3. STT-RAM cache에 대한 연구

STT-RAM은 그림 1(다)와 같이 매우 간단한 cell로 이루어져 있다. 따라서 SRAM에 비해 네 배 정도로 집적도를 높일 수 있으며, 기존의 표준 CMOS 공정에 마스크 몇 장만 더 추가하면 만들 수 있다. 또한 읽는 속도도 이론적으로는 SRAM과 비슷하게 만들 수 있으며, 내구성(endurance)도 10 의 반복 쓰기를 견디는 정도로 다른 비휘발성 메모리에 비하여 상당히 높기 때문에 프로세서 코어와 함께 칩 위에 집적되는 cache로 사용하는 시도가 이루어지고 있다.

특히 비휘발성이기 때문에 누설전류를 많이 줄일 수 있어서 에너지 소비 면에서도 큰 장점을 갖는다.다만 위에서도 언급한 바와 같이 데이터를 쓸 때 많은 에너지와 시간을 필요로 한다는 것이 단점이다. 따라서 대부분의 연구도 이러한 단점을 보완하는 방법을 찾는 데에 집중되어 있다. 여기에서는 다음과 같이 몇 가지 관련 연구 내용을 소개하고자 한다.

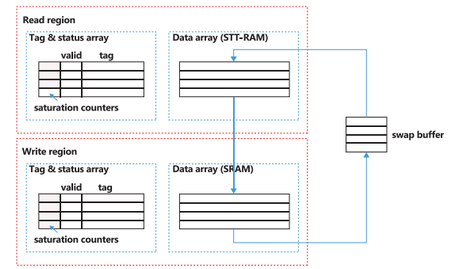


그림 2. Read-write aware hybrid cache의 구조.

3.1 Data-comparison write [1]

이것은 데이터를 메모리에 쓰기 전에 먼저 읽어서 새로 쓰고자 하는 데이터와 비교해 보고 다를 경우에만 메모리에 씀으로써 쓰는 회수를 줄이는 간단한 방법이다. 여기에서는 PRAM에서 bit 단위로 비교하고 쓰는 방법을 제안하고 있지만 같은 방법을 STT-RAM에서 보다 큰 단위로 할 수도 있다. Flip-N-Write [2], read-before-write [3] 등 여러 가지 변형이 있을 수 있지만 여기에서는 더 이상 다루지 않기로 한다.

3.2 Read-write aware hybrid cache [4]

Read-write aware hybrid cache는 소비전력은 크지만 빠른 SRAM과 그 반대인 STT-RAM을 함께 사용하여 시너지 효과를 얻는 방법이다. L2 cache를 그림 2와 같이 작은 write region과 큰 read region으로 나누고, write region은 SRAM으로 만들어서, 쓰기가 주로 일어나는line을 배정하고, read region은 STT-RAM으로 만들어서, 읽기가 주로 하는 line을 배정함으로써 STT-RAM에 쓰는 회수를 줄이는 방법이다.

일단 load miss, 즉 읽기에서 miss가 난 line은 앞으로도 대체로 읽기를 많이 하게 될 것이라고 예측하여 STT-RAM에 배정하고, store miss, 즉 쓰기에서 miss가 난 line은 앞으로도 대체로 쓰기를 많이 하게 될 것이라고 예측하여 SRAM에 배정한다. 그러나 이렇게 예측하고 배정한 것이 잘못되었다고 판단되는 line은 migration 방법

을 통하여 다른 region으로 옮긴다. 예를 들어, STT-RAM에 배정한 line에 연속해서 쓰기가 수행되는 경우에는 (그림 2의 saturation counter를 이용하여 알아냄) 그 line을 SRAM으로 보내고, 이로 인해 SRAM에서 LRU (Least Recently Used) 정책으로 쫓겨나는 line은 STT-RAM으로 보내게 된다. 이와 같이 read region과 write region 사이에 line을 서로 맞바꾸게 되며, 이때 필요하면 그림 2와 같이 swap buffer를 이용하게 된다.

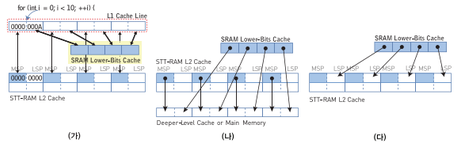
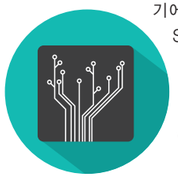


그림 3. (가) Lower-bits cache를 사용하는 계층 구조.
(나) L2 cache에서 evict 되는 경우.
(다) Lower-bits cache에서 evict 되는 경우.

3.3 Lower-bits cache [5]

이것은 위의 data-comparison write 및 hybrid cache의 개념과 함께, 일반적으로 정수 데이터는 LSP (Least Significant Portion)는 자주 바뀌지만 MSP (Most Significant Portion)는 자주 바뀌지 않는다는 점을 이용하는 방법이다. 여기에서는 L1 cache는 SRAM을 사용하고 L2 cache는 STT-RAM을 사용하며, L1 cache와 L2 cache 사이에 lower-bits cache라는 작은 SRAM cache를 두는 구조를 사용한다. L1 cache의 한 line을 L2cache에 쓸 때 MSP는 read-before-write의 방법을 이용함으로써 MSP를 STT-RAM에 쓰는 회수를 줄인다.



LSP의 경우는 L2 cache에 쓰는 대신에 lower-bits cache에 쓰고, lower-bits cache에서 evict 될 경우에만 그 데이터를 L2 cache에 씀으로써 LSP를 STT-RAM에 쓰는 회수도 줄인다. 물론 L2 cache에서 evict되어 그 다음 단계의 메모리, 즉 L3 cache나 주메모리에 write 하는 경우에, LSP가 lower-bits cache에 있으면 그것을 다음 단계의 메모리에 써야 한다.그림 3은 이러한 동작을 보여 준다.

3.4 Write intensity prediction [6]

앞에서 언급한 read-write aware hybrid cache는 예측의 정확도가 떨어지고 그로 인해 migration을 해야 하는 부담도 증가하여 결과가 그다지 좋지 않다는 단점이 있다. STT-RAM과 SRAM의 hybrid cache에서 만일 주어진 cache line에 미래에 쓰게 될 회수가 많을 것인지 미리 예측할 수 있으면 그 line을 SRAM에 할당함으로써 STT-RAM에 쓰는 회수를 줄일 수 있을 것이다.

Write intensity prediction 방법은 어떤 명령어(trigger instruction 또는 줄여서 TI라고 부름)가 miss를 일으켰는데 그 뒤로 해당 line에 쓰는 일이 많아지면 그 명령어(hot TI)가 새로 miss를 일으키는 다른 line들에도 쓰는 일이 많아질 것이라고 예측하여 그 line들을 SRAM에 배정한다. 이 방법은 일반적으로 프로그램이 수행될 때 소수의 hot TI에 의해서 배정받은 cache line들에 쓰는 회수가 전체 cache write중에서 상당히 큰 부분을 차지한다는 관찰에 기반을 두고 있다.

그림 4는 write intensity prediction에 의한 line 배정을 하는 cache의 구조를 보여준다. 각 cache line에는 TI field(instruction 주소의 hash 함수를 저장)와 counter가 추가된다. Counter의 값은 line이 처음 cache에 load 될 때에는 0으로 초기화 되어 있지만 그 line에 새로 쓰게 될 때마다 1씩 증가된다. Counter 값을 기준으로 write intensity predictor는 TI가 hot인지 아닌지 그 state를 관리한다. 새로 cache에 load 되는 line이 hot TI에 의한 것이면 그 line은 SRAM에 배정되고 아니면 STT-RAM에 배정된다.

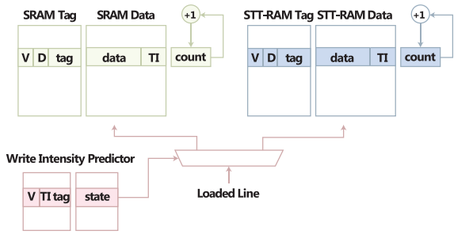


그림 4. Write intensity prediction을 사용한 hybrid cache의 구조.

3.5 Dead write prediction [7]

이것은 STT-RAM에 사실상 쓸 필요가 없는 데도 쓰게 되는 경우(dead write라고 부름)가 많다는 것에 착안하여, 쓸 필요가 없다고 예측되면 쓰지 않음으로써 총 쓰는 회수를 줄이는 방법이다. Dear-write에는 다음과 같은 것이 있다.

Dead-on-arrival fill: 일단 필요해서 cache에 가져오기는 하였으나 더 이상 사용하지 않는 경우로서 STT-RAM에는 쓰지 않고 그 위 계층의 cache로 바로 보내면 된다.

Dear-value fill: 일단 필요해서 cache에 가져오기는 하였으나 바로 새로운 값으로 갱신되는 경우로서 STT-RAM에는 쓰지 않고 그 위 계층의 cache로 바로 보내면 나중에 새로운 값이 STT-RAM에 써진다.

Closing write: 위 계층의 cache에서 write-back 되지만 더 이상 사용되지 않을 line으로서 아래 계층의 메모리로 바로 보내면 된다.

문제는 지금 STT-RAM에 써야 할 line이 이와 같은 dead write가 될 것인지 되도록이면 정확하게 예측하는 것이다.

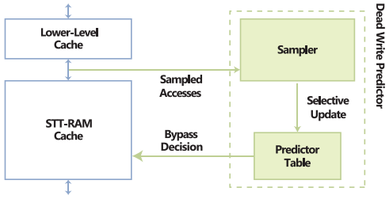


그림 5. Dead write prediction Assisted STT-RAM Cache Architecture

그림 5는 dead write를 예측하여 STT-RAM cache에 쓰는 것을 건너뛰게 해 주는 DASCA(Dead write prediction Assisted STT-RAM Cache Architecture)라는 구조를 보여 준다. 여기에서 dead write predictor 내의 sampler는 STT-RAM cache write를 야기하는 명령어 정보를 보관한다. 여기에서도 명령어 정보로는 위의 write-intensity prediction과 마찬가지로 해당 명령어의 주소를 사용한다.

Predictor table에는 saturation counter를 두어 dead write가 발생하면 counter 값을 하나 증가시키고 아니면 감소시킨다. Counter 값이 특정 값보다 커지면 dead write를 일으키는 명령어라고 판단하고 그 명령어에 의한 STT-RAM cache write는 건너뛴다.

4. 맺음말

STT-RAM은 내구성이나 속도 면에서 비교적 좋은 특성을 가진 비휘발성 메모리로서 SRAM에 비하여 누설전류가 적고 집적도를 높일 수 있기 때문에 cache로 사용될 가능성이 높은 편이다. 그러나 데이터를 쓸 때의 에너지 소비와 시간을 많이 필요로 하기 때문에 이를 줄이고자 하는 노력이 경주되어 왔다. 본고에서는 이와 관련하여 그 동안 이루어져 온 연구 몇 가지를 간단히 소개하였다. 앞으로 보다 안정적이고 특성이 좋은 STT-RAM이 계속 개발될 것으로 예상되며 이에 따라 이를 cache 메모리로 활용하기 위한 시도도 계속 될 것으로 예상된다.

최 기 영 교수
소속 : 서울대학교
주 연구분야 : 컴퓨터구조, 설계자동화
E-mail : kchoi@snu.ac.kr
홈페이지 : http://dal.snu.ac.kr

참고문헌

[1] B.-D. Yang, J.-E. Lee, J.-S. Kim, J. Cho, S.-Y. Lee, and B.-G. Yu, "A low power phase-change random access memory using a data-comparison write scheme," in Proc. In. Symp. Circuits and Systems, 2007.

[2] S. Cho and H. Lee, "Flip-N-Write: a simple deterministic technique to improve pram write performance, energy and endurance," in Proc. Int. Symp Microarchitecture, 2009.

[3] Y. Joo, D. Niu, X. Dong, G. Sun, N. Chang, and Y. Xie, "Energy- and endurance-aware design of phase change memory caches," in Proc. Conf. Design, Automation and Test in Europe, 2010.

[4] X. Wu, J. Li, L. Zhang, E. Speight, and Y. Xie, "Power and performance of read-write aware hybrid caches with non-volatile memories," in Proc. Conf. Design, Automation and Test in Europe, 2009.

[5] J. Ahn and K. Choi, "Lower-bits cache for low power STT-RAM caches," in Proc. Int. Symp. Circuits and Systems, May 2012.

[6] J. Ahn, S. Yoo, and K. Choi, "Write intensity prediction for energy-efficient non-volatile caches," in Proc. Int. Symp. Low Power Electronics and Design, Sep. 2013.

[7] J. Ahn, S. Yoo, and K. Choi, "DASCA: dead write prediction assisted STT-RAM cache architecture," In Proc. Symp. High Performance Computer Architecture, Feb. 2014.

Aldec사 Active-HDL

Mentor사 Capital

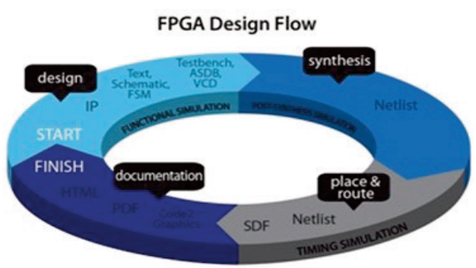
A. 목적
FPGA Design & Simulation

B. 구분
FPGA Design과 Simulation Solution을 제공

C. Supported Platform and O/S System
- Windows 7/Vista/XP/2003 32/64bit Support

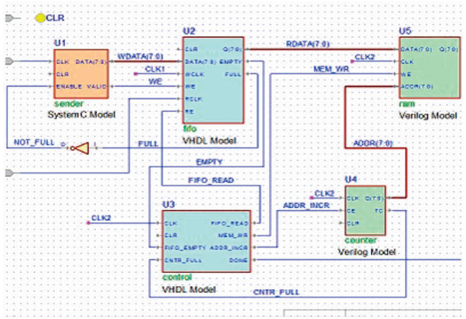
D. 특성 및 기능
Active-HDL은 FPGA 디자인과 Simulation 솔루션과 여러

FPGA 벤더 설계 플로우를 통합했다. Active-HDL은 디자인엔트리, 고성능 Mixed-Language Simulator를 사용자가 사용하기 쉽도록 구성했다. 그리고 현재의 많은 FPGA 벤더들(Xilinx, Altera, Lattice, Microsemi (Actel), Quicklogic, Atmel)을 위한 시뮬레이션, 합성 구현 과정을 하나의 공통 환경에서 제어할 수 있도록 해준다. Active-HDL은 80개가 넘는 많은 EDA 툴들과의 인터페이스를 가지고 있어서 아주 강력한 플랫폼을 만들어준다.



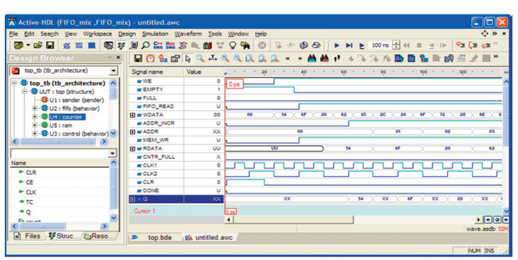
Graphic Design Entry :

Active-HDL은 FSM 다이어그램을 합성 가능한 RTL로 만들어 주며, 내장된 블록 다이어그램 편집기를 이용해서 모든 디자인 모듈들을 Top 레벨에서 연결하고 구조적인 HDL을 생성할 수 있는 기능들을 제공한다. 필요하다면 반대로 Code2Graphics 유틸리티를 이용해서 HDL을 그래픽 형태로 바꿀 수도 있다. 또한, Active-HDL은 예전 디자인들을 불러와, Re-Target하고 시뮬레이션 및 디버깅을 하는 등의 편리한 기능을 제공한다.



High Performance, Mixed-Language Simulation :

Active-HDL은 고성능, 공통-커널, 배치모드 시뮬레이션을 지원하는 Mixed-Language 시뮬레이터 및 VCD, 성능 프로파일러, Memory Viewer, 암호화 IP 그리고 FPGA 벤더 라이브러리들을 포함한다. 복합적인 테스트벤치들을 이용해서 시스템 레벨의 시뮬레이션 모델을 드라이브하고 디자인 레벨 및 시스템 레벨 디자인들을 빠르게 테스트하도록 빠르고 유연한 시뮬레이터 기능을 제공한다.



Debugging and Code Coverage :
Active-HDL은 가속화된 파형, HDL 소스 코드와의 교차 점검, 브레이크 포인트 관리, 테스트벤치와 테스트 입력 생성과 같은 최첨단의 디버깅 기능들을 포함한다. 강력한 Code Coverage 분석기는 디자인의 모든 문구, 라인, 신호, 토글, 브랜치, 경로 그리고 논리적 표현들에 대한 100% 테스트 커버리지를 제공한다.

Top Features

■Common-Kernel Mixed Language Simulator

■Languages :
VHDL, Verilog®, SystemVerilog (Design, Verification & Assertions), SystemC & EDIF

■HDL Design Tools : 다양한 설계 Tool을 제공하여 편리하게 HDL 설계를 가능하게 함 – Design Entry, Design Creation, Code2Graphics™ , Block and State Diagram, Waveform Editor, Stimulus Generation, Language Templates &Auto-Complete, Scripting, Legacy Design 지원.

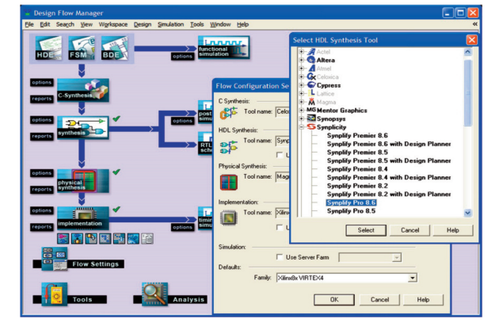
■Design Flow Manager : 유저가 사용하고자 하는 FPGA Tool을 하나의 통합 환경에 등록하여 사용 가능 – FPGA 구현 시 편의성을 극대화함.

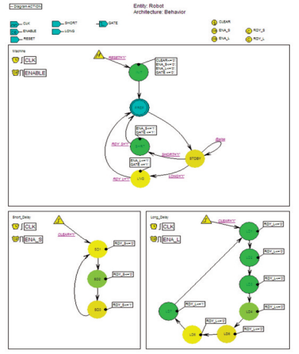
■Debugging : Code Execution Tracing, Waveform/Compare, Memory Viewer, Xtrace, Advanced Dataflow and Profiler.

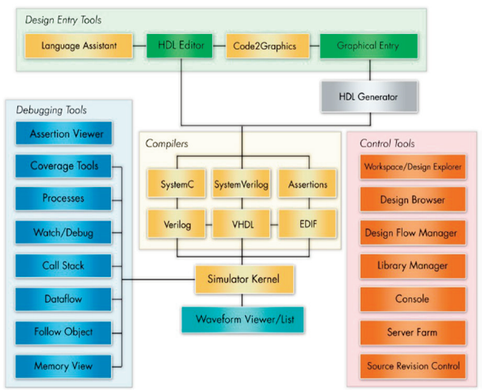
■Coverage : Code Coverage, Toggle & Functional Coverage.

■Additional Interfaces : DSP/HDL Algorithm MATLAB® and Simulink® Interfaces & Zuken CADSTAR PCB Design

■Assertion and Coverage (OPTION) : SystemVerilog PSL & OVA 지원. Dedicated Assertion Viewer, Coverage, Breakpoint editor.







ALDEC
THE DESIGN VERIFICATION COMPANY
회 사 명 : Aldec
웹 주 소 : https://www.aldec.com/en
한국지사 : ㈜ 소어솔루션
전 화 : 031) 717-3560
주 소 : 경기도 성남시 분당구 수내동 16-3
코포모빌딩 605호

ISSCC 2015 참가 후기 및 기술 트렌드

김시호 교수
소속 : 연세대학교 글로벌융합공학부
연구분야 : 지능형 자동차 & VR/AR 시스템
E-mail : shiho@yonsei.ac.kr

ISSCC는 2015년 2월 22일부터 5일간 샌프란시스코에서 개최되었는데, 올해의 Conference Theme은 “SMALL CHIPS for BIG DATA” 이었다. Plenary session에서는 삼성의 김기남 사장, Marvell Technology Group의 S. Sutardja 회장, Willy Sassen 교수의 발표가 있었는데 Silicon system의 큰 흐름을 잘 알려주어서 매우 유익하였다. 김기남 사장은 시스템의 발전 방향인 data driven world를 구현하기 필요한 5nm 이하의 device 기술과 패키지 기술이 준비되어 있으며 실리콘 반도체 산업은 계속 성장할 수 있을 것으로 전망하였다. S. Sutardja는 IC design 혁신의 미래라는 주제의 강연에서 유연한 구성이 가능한 모듈을 집적하는 형태의 Virtual SoC 설계 방식을 제시하였다. 특히 현재 컴퓨팅 시스템의 메모리 구조를 개선하기 위하여 FLC(Final-Level Cache) 구조의 장점을 설명하였다. Willy Sassen 교수는 5nm 설계를 향한 아날로그 기술을 정리하였다. 본 기고문은 ISSCC 참석하였던 전문가들이 분야별로 세션의 주요 기술 동향을 참가 후기 형식으로 정리하였다.

남병규 교수
소속 : 충남대학교
연구분야 : 모바일 AP, 모바일 GPU, 임베디드 CPU, 임베디드 SW, SoC 설계
E-mail : bgnam@cnu.ac.kr

Processors

ISSCC 2015에서 발표된 프로세서의 최근 동향은 높은 에너지 효율을 갖는 설계에 초점이 맞추어졌다. 대부분의 프로세서가 최신 공정을 통한 성능 향상, 아키텍처 개선을 통한 데이터 대역폭 증가를 꾀하면서도 동시에 회로, 아키텍처, 시스템 레벨에서의 전력 관리 기법을 채택하여 에너지 효율성에 대한 향상을 추구하였다.

IBM에서 소개한 시스템 z 마이크로프로세서는 8개의 코어와 64MB eDRAM L3 캐시를 내장하였으며 5GHz로 동작한다. 각 코어는 2개의 벡터 실행 유닛, 2-way SMT를 지원하며 하나의 ‘mega mesh’ 클럭 도메인을 사용함으로써 온 칩 버스 대역폭을 극대화했다. 또한, 수퍼스칼라, 비순차 파이프라인을 통해 6 IPC (instructions per cycle)의 성능을 구현하였다.

Oracle은 SPARC M7 프로세서를 소개하고 전력 관리 시스템에 관해 기술하였다. SPARC M7 프로세서는 32개의 코어와 64MB L3 캐시를 내장하였으며 1.6TB/s의 메모리 대역폭을 제공한다. 온 칩 네트워크를 통해 0.5TB/s의 데이터 대역폭을 제공하며 적응형 클럭킹 스킴 (adaptive clocking scheme)을 공급전압의 잡음을 절반으로 감소시켰다. 또한, 4개의 코어와 8MB L3 캐시로 이루어진 캐시 클러스터마다 동적 파워 미터와 온도 센서를 할당함으로써 DVFS를 통한 고른 전력 분배를 구현하였다.

IBM에서 소개한 마이크로서버는 12개의 코어와 48GB DDR3 DRAM을 내장한 빅데이터 (big data) 응용을 위한 서버 온 칩 (server on a chip)이다. 각 코어는 2-way SMT를 지원하며, 43.2GB/s의 메모리 대역폭을 제공한다. 4개의 코어로 구성된 클러스터마다 전력 관리 시스템을 가지고 있어 독립적으로 각 코어의 전력을 조절하여 전력 소모를 줄였다. 또한, hot-water cooling 기법을 통해 36W의 높은 전력 밀도를 얻었다.

Intel에서 발표한 Xeon 프로세서는 18개의 하스웰 코어와 45MB L3 캐시, 4채널의 DDR 4 2,133MHz 메모리가 내장되어 있다. 온칩 레귤레이터를 통해 코어별로 전압을 조절하고 언코어부분의 주파수 스케일링으로 전력 손실을 줄였다.

KAIST에서는 텍스트, 2D 이미지, 모션 인식 등과 같은 빅데이터 응용을 위한 딥러닝 (deep learning) 프로세서를 제안하였으며, 640x480 해상도에서 20ms의 물체 인식 성능을 구현하였다. 이를 위해, 2차원 메쉬 NoC를 제안하여 온칩 트래픽
을 줄였으며, 레이어 분할과 테스크 레벨 파이프라인 기법을 통해 속도와 처리량을 높였다.

Intel에서는 다이 내의 공정 변이, 전압 드룹, 온도 및 노화에 강인한 적응형 레지스터 파일을 제안하였다. 이를 위해 정확한 타이밍/에러 감지 회로를 구현하였으며, 6 – 13%의 면적 증가, 0.2 – 0.3%의 전력 소모가 발생하지만 최대 GOPS를 21%만큼 증가시켰으며 GOPS/W를 67% 향상시켰다.

AMD는 모바일 성능 향상을 위한 Carrizo SoC APU (accelerated processing unit)를 소개하였다. APU는 4개의 프로세서 코어와 8개의 그래픽스 코어로 이루어져 있으며, L2 캐시에는 워드라인 언더드라이브와 부스트 기법을 이용하여 저전압 동작 특성을 개선하였다. 또한, 적응형 전압 주파수 스케일링 (adaptive voltage frequency scaling, AVFS)를 통해 현재 동작 주파수와 조건에 따른 적정 전압을 공급해줌으로써 전력 소모를 최소화하였다.

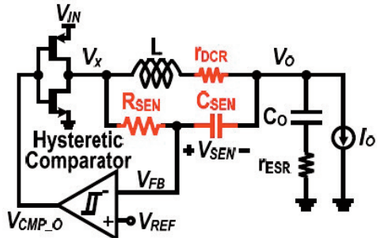
Low-Power Application Processor

ISSCC 2015 AP 세션에서는 제한된 배터리 환경에서 높은 성능을 추구함과 동시에 저전력, 에너지 효율적인 동작을 구현하기 위해 HMP 구조 및 다양한 전력 관리 기법을 채택한 AP들이 발표되었다.

삼성에서는 big-LITTLE 구조의 이종 옥타코어 AP를 발표하였으며 높은 성능이 요구될 때 수행되는 4개의 big CPU와 에너지 효율적인 동작을 수행하는 4개의 little CPU, 그리고 6개의 코어를 가진 GPU로 이루어져 있다. HMP 시스템과 DTM (dynamic thermal management) 시스템을 이용하여 에너지 효율적인 동작을 수행하며, 저전력 플립플롭을 설계하여 GPU의 전력 소모를 감소시켰다.

National Taiwan University에서는 컴퓨터 비전 응용을 위한 깊이 추정 프로세서를 발표하였다. 다중 시점에서의 스테레오 이미지들을 이용하여 30fps의 full HD (1920x1080) 깊이 맵을 추출하였다. 스트라이프 버퍼링 스킴을 통해 DRAM의 대역폭을 줄이고 4-뱅크 인터리빙을 통해 처리량을 높였다. 또한, 깊이 정보의 정확도와 전력소모의 트레이드오프를 다중 시점의 수를 선택함으로써 조절할 수 있도록 하였다.

MediaTek에서도 big-LITTLE 기반의 이종 옥타코어 AP를 발표하였는데, 비순차 수행을 하는 4개의 big CPU들과 순차 수행을 하는 4개의 little CPU들로 구성되어 있다. 함께 집적된 전력 스위치를 통해 CPU의 동작 모드에 따라 바디 바이어스 전압과 공급전압을 조절하여 전력을 관리한다. 또한 ‘fishbone’ 클럭 메시 구조를 통해 클럭 스큐를 최소화함으로써 시스템의 속도를 향상시켰다.



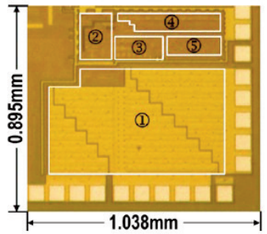
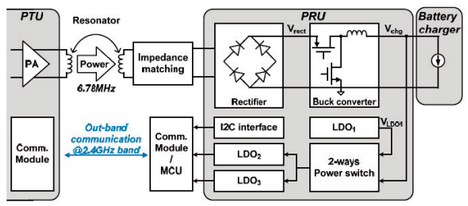


그림 1. Current-mode hysteretic buck DC-DC 변환기.



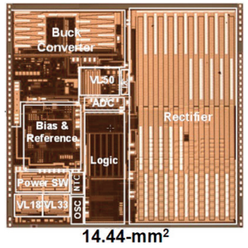


그림 2. 무선충전 시스템의 블록도 및 0.13 um BCDMOS로 제작된 칩 사진

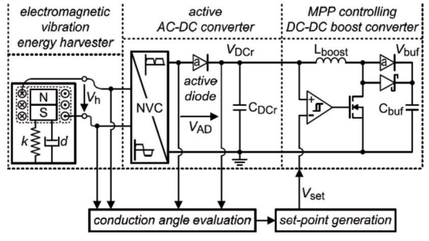


그림 3. Conduction angle제어를 통해 최대 전력트랙킹을 수행하는 진동에너지 하베스팅 시스템의 블록도

Harvesting & Wireless Power session

2015년 ISSCC에 발표된 power IC & energy harvesting 관련 연구는 2개의 세션 (session 12, 20)에서 총 19편의 논문이 발표되었다. 카테고리별로 구분하면 inductor-based DC-DC 변환기가 6편, switched-capacitor DC-DC 변환기가 5편, 무선전력전송이 3편, 에너지 하베스팅이 5편으로 구성되어 있다.

Inductor-based DC-DC 변환기의 연구동향은 높아지는 스위칭 주파수, 다중 전압 지원, 세분된 전력 공급 (granular power delivery), 다양한 넓은 동작 영역에서의 높은 효율 지원으로 볼 수 있다. 무선전력전송 연구 동향은 바이오 응용을 포함한 근거리 inductive coupling 방법 (13.56MHz)과 무선충전을 위한 resonant coupling 방법 (6.7MHz)으로 진행되고 있다. Switched-capacitor DC-DC 변환기 연구동향은 수 Watt에 달하는 전력공급뿐만 아니라 높은 효율과 매우 빠른 transient 응답으로 진행되고 있고, 에너지 하베스팅 연구는 battery-free wireless sensing을 목적으로 maximum power point tracking (MPPT), 에너지 재사용, 다양한 에너지원을 전류소모 없이 감지하는 방법 등이 소개되었다.

성능과 완성도 면에서 다른 논문도 우수하지만 주목할만한 논문은 Session 12.1의 3 us의 load transient를 갖는 current-mode hysteretic buck DC-DC 변환기이다 (그림 1). Hysteretic DC-DC 변환기는 복잡한 보상회로가 필요 없는 장점이 있지만 transient response (recovery time)과 RC 시상 수 (output ripple)에 tradeoff가 존재한다. 본 논문에서는 적은 면적 (3 pF)을 사용하면서도 일정한 스위칭 주파수로 동작하는 recovery time(3 us)이 우수한 새로운 quasi current-mode hysteretic buck DC-DC 변환기를 소개하고 있다. 그 외 87%의 효율을 가지면서 4-phase로 동작하는 time-based buck DC-DC 변환기, 낮은 부하에서 높은 효율을 나타내도록 adaptive pulse 변조를 하는 10 출력 buck DC-DC 변환기, 90%의 peak 효율을 나타내는 single inductor multiple output buck 변환기 등도 소개되었다.

무선전력전송 분야는 최근 핸드폰에 무선충전기능이 도입되는 시점에서 집적된 6W 전력 수신기를 삼성에서 발표하였다 (그림 2). 그 외 부하저항의 보상하기 위해 Q 값을 변조하는 기법, 바이오-implant 응용을 위해 커플링과 부하 범위를 향상시키는 기법 등이 소개되었다.

에너지 하베스팅 분야에서는 Session 12.1의 논문이 간단하면서도 높은 효율 (90%)을 달성하고 있다 (그림 3). 효율적인 에너지 하베스팅을 위해 센싱기능을 집적하여 maximum power point tracking (MPPT)를 수행하게 되는데, 기존 논문들은 복잡하거나 센싱 주기 동안 에너지 하베스팅이 중단되는 단점이 있었다. 이 논문에서는 이러한 단점이 없이 진동 (vibration)을 이용하여 AC-DC 변환이 일어나는 conduction angle을 실제 측정하여 optimal 한 MPPT를 수행하고 있다.

그 외 Internet of Things를 구성하기 위해 0.45 V – 3 V 범위에서 재구성되는 charge pump를 이용한 에너지 하베스팅 기법, electrostatic 에너지를 이용하기 위해 60 V 최대 입력으로 1 uW로 동작하는 cold start 에너지 하베스팅 기법, 0.5 mm2의 능동영역에서 실내의 빛 에너지를 하베스팅하는 기법 등에 관한 논문이 발표되었다.

이처럼 에너지 하베스팅과 에너지 변환기법은 전 세계적으로 매년 계속 좋은 결과들이 발표되고 있어 Internet of Things를 포함하여 앞으로 새로운 응용분야가 개척될 것으로 기대된다.

이종욱 교수
소속 : 경희대학교
연구분야 : 무선전력 전송, 에너지 하베스팅, RFID
E-mail : jwlee@khu.ac.kr

PLL and Clock Generation

예년과 마찬가지로 올해도 PLL 회로는 ISSCC의 여러 분과에서 다루어졌다. RF 및 wireless 분과에서는 무선 시스템을 위한, 주로 LC-oscillator를 이용한 low-phase noise, low-spur frequency synthesizer를 다루고 (Session #9, 25), wireline 분과에서는 high-speed link에 응용될 수 있는 low-jitter PLL, DLL technique 을 다루고 있다 (Session #10). Digital PLL의 상당 부분은 High-performance digital 분과에서 다루고 있다 (Session #14).

먼저 #9.4는 Wifi용 주파수 합성기로서 결과로 나온 -245.5dB FoM이 가장 좋은 기록이라는데 일단 의의가 있다. 이러한 결과는 28nm의 공정의 혜택을 본 이유도 있겠지만, 회사의 design의 완성도를 고려하면 훌륭한 수치이다. 단 새로 주목할 만한 새로운 technique은 non-uniform dithering clock compensation 정도이고, 나머지는 널리 쓰이는 기술 – LMS adaptiver filter를 통해 phase가 compensate이 되는 frequency doubler 및 quantization noise cancelation – 을 적용했다. #10.7에서는 injection locking에서 생길 수 있는 timing error 문제를 DLL을 추가시켜 해결하였다. 기존의 방식들과 다른 접근 방식이나 frequency tracking loop의 문제인 듯, calibration 성능의 지표라 할 수 있는 reference spur가 -40dBc로 그리 좋지는 않다. #10.8에서는 analog fractional-N PLL의 구현에 있어서 q-noise cancelation 을 current DAC을 사용하지 않고 switch-capacitor loop filter를 사용했다는 면이 흥미롭다. Ring-oscillator를 사용했음에도 불구하고 성능이 좋다.

#10.9에서는 analog-digital hybrid PLL에서 Bang-bang PD와 linear PFD를 사용하면서 fractional-N PLL을 설계했는데, q-noise cancelation 기법이 주목할 만하다. #14.4에서는 TDC와 frequency multiplier를 합친 digital PLL을 소개했으며 adaptive filter로 frequency multiplier의 spur를 해결하였다. Reference가 20MHz임에 반해, PLL은 이보다 8배 빨리 동작하므로 loop bandwidth가 reference의 1/10에 제한받지 않는다는 장점이 있다. #14.5에서는 ring-osc를 사용하면서 기존의 ADPLL을 구현하였는데 저전력, 저잡음의 새로운 기술보다는 coarse tuning을 automatic 하게 하는 현실적인 문제를 다루었다. #14.8에서는 Bang-bang PD를 사용하지만, limit cycle을 줄이는 기법을 선보였다. BB-PLL 안에 sigma-delta modulator의 기법을 적용한 것이 매우 참신하다고 볼 수 있다.

#14.9는 sub-sampling PLL에서 fractional-N을 가능하게 한 논문인데 작년에 ISSCC에 소개되었던 delay-line 조절 기법이 아닌, ADC와 DAC를 이용하여 fractional delay를 예측하고 측정한 논문이다. 올해 나온 논문 중 가장 창의성이 있다고 보이며 성능 또한FoM -242dB로 월등하다. #25.1에서는 Frequency-to-digital converter를 사용한 ADPLL인데, 이 그룹에서 과거에 발표했던 구조를 그대로 사용하면서 대신 analog integrator를 switched ring oscillator로 대체하였다. 이로 인해 digital 회로가 더 증가하였으나, phase noise가 증가하는 치명적인 단점을 보유하고 있으며 성능 또한 과거 논문보다 더 나빠지는 결과를 얻었다. 마지막으로 #25.2는 #14.9처럼 ADC를 사용한 PLL이나 구조는 확연히 다르다. VCO의 output에 4-bit FLASH ADC를 달아 phase를 quantize하겠다는 것인데, 성능은 나쁜 편은 아니나(FoM -242dB), reference를 100MHz나 사용했기에 다른 PLL들과 공정한 비교라고 보기는 어렵다. 참고로 올해는 한국에서 두 편의 논문이 발표되었다. (KAIST #14.4, 삼성전자 #14.8)

조성환 교수
소속 : KAIST
연구분야 : PLL and CMOS Sensors
E-mail : chosta@ee.kaist.ac.kr

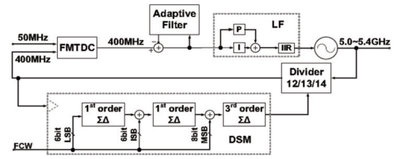


그림 1. #14.4의 frequency multiplied PLL 구조

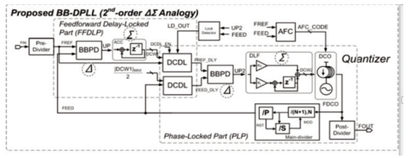


그림 2. #14.8의 BB-PLL 구조

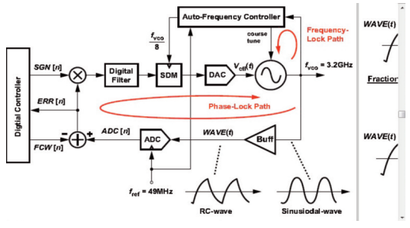
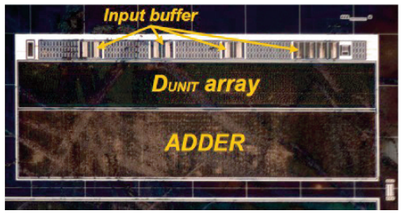


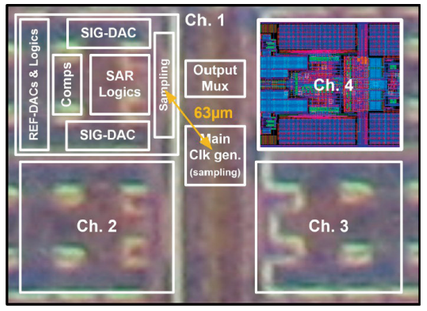
그림 3. #14.9의 ADC/DAC 바탕의 fractional-N PLL 구조

Data Converter (Nyquist-rate ADC)

2015년 ISSCC Data Converter Subcommittee에서는 제출된 총 65편의 논문 중에서 15편을 선정하여 (acceptance rate = 23%) 두 개의 세션을 꾸몄다. Session 15: Data Converter Techniques 에서는 sigma-delta ADC/DAC, time-to-digital converter (TDC), 저전력 reference driving scheme과 고해상도 ADC 등의 다양한 설계기법을 다루었고, Session 26: Nyquist-Rate Converter에서는 새로운 ring amplifier 구조와 calibration 기법 및 에너지 효율적인 고속 데이터 변환기법 들을 소개했다. 발표된 논문 중 절반 이상인 8편의 논문이 SAR ADC를 기반으로 하여, 2000년대 후반부터 진행되어 온 SAR ADC를 바탕으로 한 저전력 ADC 연구 trend가 지속되고 있음을 보여주었다. 파이프라인 ADC도 5편이 발표되었는데 (SAR ADC와의 hybrid 포함), 그중 4편이 12~14b의 고해상도를 갖는 고속 ADC로, 파이프라인 ADC의 고해상도 구현의 적합성이 계속해서 이용/발전되고 있음을 보였다. 한편, 지난해 90GS/s의 초고속 ADC가 발표된 것에 비하여, 올해 발표된 최고 속도 논문은 5GS/s에 그쳐서 (10b resolution), 고속화 측면에서는 기존의 논문을 뛰어넘는 결과를 보지는 못했다.



[칩사진 15.5: PVT-tolerant synthesizable TDC in 14nm FinFET technology]



[칩사진 26.7: 2.6b/cycle-based 10b 1.7GS/s 4x TI SAR ADC with MSHR]

몇 가지 흥미로운 ADC 설계기술들을 살펴보자. MASH delta-sigma modulator (DSM) 구조의 대표적인 단점이었던 analog loop filter와 digital filter의 부정합 문제를 해결하기 위해 과거 Oregon state university에서는 digital filter가 제거된 switched-capacitor (SC) Sturdy-MASH (SMASH) 구조를 제안하였었는데, 이번에 MIT에서는 SMASH 구조를 고속 continuous-time (CT) DSM에 적용할 수 있음을 보였다 (#15.1). CT SMASH DSM 설계에서 문제가 될 수 있는 다중 path 간의 delay 차이를 gm cell 내의 신호 path에 간단한 low pas filter를 둠으로써 해결하였고, DSM으로는 상당히 높은 50MHz 신호대역에서 75dB에 달하는 SNDR을 보였으며, 173dB의 유사사양 최고의 Figure of Merit (FoM)을 얻었다. 한편, 삼성전자에서는 합성 가능한 stochastic TDC라는 새로운 구조를 제안하고 14nm Fin FET 공정으로 구현하여 PVT변화에 매우 tolerant 한 측정결과를 보여 많은 주목을 받았다 (#15.5, 칩 사진 참고). MIT에서 발표한 #15.6 논문은 MDAC에서의 capacitor DAC에 의한 feedback factor 감소 문제를 해결하고자 virtual ground reference buffer라는 새로운 reference driving 기법을 제안하였다. 기존의 global reference driver를 이용하는 대신에, 각 MDAC에서 summing node (virtual ground node)를 입력으로 받는 이득이 1에 가까운 source follower를 통해 capacitor DAC을 구동하게 함으로써 Miller effect의 덕으로 opamp의 summing node에서 DAC capacitance가 보이지 않은 효과를 연출하여 DAC의 해상도에 무관하게 feedback factor가 1에 가깝도록 설계할 수 있음을 보였다. 이 기법을 이용하여 127 fJ/conversion-step의 FoM을 갖는 저전력 12b 250MS/s pipelined ADC를 구현하였다.

University of Michigan에서 발표한 #26.1 논문은 기존의 ring amplifier가 PVT에 민감하게 동작하는 문제와 pseudo differential 구조로 인해 저하되는 common-mode 및 supply rejection의 문제를 해결하기 위하여 차동증폭기 구조를 도입한 새로운 형태의 ring amplifier를 제안하였다. 이를 pipelined SAR 구조의 MDAC에 적용하여 1mW 13b 50MS/s ADC를 구현하였으며, 6.9 fJ/conversion-step의 world record FoM을 달성하였다. University of Macau에서는 #26.5 논문에서 interpolation 기법을 적용한 3b/cycle SAR ADC 구조를 제안하고, 이를 4채널 time-interleaving 하여 5.5mW의 매우 적은 전력을 소모하는 6b 5GS/s ADC를 발표하였다. KAIST에서는 #26.7 논문에서 2.6b/cycle conversion이 가능한 새로운 구조의 SAR ADC를 제안하고, 기존 multi-bit/cycle SAR ADC 구조의 최대 단점이라고 할 수 있는 낮은 해상도 문제를 해결하기 위해 multi-step hardware retirement (MSHR) 기법을 제안하여 매우 compact한 10b ADC core를 구현하였고 (칩 사진 26.7 참고), 이를 4채널 time-interleaving 하여 1.7GS/s의 변환속도를 구현하였으며, 30.4 fJ/conversion-step의 state-of-the-art FoM을 달성하였다.

이상, 2015년 ISSCC에서 발표된 몇 가지 흥미로운 설계들을 소개하였는데, 발표된 ADC들의 전반적 성능 추이는 IEEE Solid-state Circuits Magazine Winter 2015호의 ISSCC trends에 잘 정리되어 있으므로 이를 참고하기를 권한다.

류승탁 교수
소속 : KAIST
연구분야 : Analog, Data converter
E-mail : stryu@kaist.ac.kr

RF and Wireless

올해 ISSCC에서 발표된 RF와 Wireless 관련 세션은 최근 이슈가 되고 있는 고성능 송수신기 회를 위한 최신 회로 기법들을 발표한 Session 2: RF TX/TX Design Techniques, 대용량 고속 송수신을 위해 필요한 송수신기 설계 사례 등을 소개한 Session 9: High performance Wireless, Internet of Everything (IoT) 등을 위해 필요한 저전력 송수신기를 발표한 Session 13: Energy Efficient RF systems, 다양한 무선통신 회로 관련 설계 기법을 소개한 Session 19: Advanced Wireless Technique 등이 있다. 각 Session 별로 주요 사항을 살펴보면 다음과 같다.

Session 2는 송수신기에 사용되는 다양한 블록 회로들을 선보였으며 광대역 송수신기 구조, SOI CMOS를 이용한 70dBm IIP3를 보이는 Duplexer, LTE 대역과 밀리미터 대역의 파워앰프등이 선보였다. 한국 논문으로는 삼성전자에서 CMOS 파워앰프를 집적하기 위해 최근 시도되는 Envelope Tracking (ET) 기법을 위한 Supply Modulator를 발표하였다. 본 기법을 사용한 LTE 대역 파워앰프는 40% 이상의 PAE (Power Added Efficiency)를 보여주었다.

Session 13 에서는 휴대폰에서 사용되는 대역의 고성능 송수신기 회로를 선보였다. 지속해서 성능이 우상향하고 있는 것을 파악되며 점차 휴대폰에서 저전력 멀티밴드 기능들이 가능하여 편리한 사용이 가능하리라 판단된다. 인텔에서는 3G에 사용되는 파워앰프가 집적된 송수신기를 선보였다.

Session 13의 저전력 송수신기 회로에서는 Bluetooth Low Energy (BLE) 라고 불리는 저전력 송수신기에 대한 발표가 많았다. 이는 최근 대두하고 있는 IoT를 위한 저전력 송수신기를 위한 다양한 표준이 경쟁하고 있는 상황에서 BLE 가 업계 및 학계에서 주요 대안으로 떠오르는 듯한 인상을 주었다. Dialog Semiconductor, IMEC 등에서 스마트밴드나 기타 헬스케어 도구의 송수신 모듈로 사용하기에 적합한 8-10mW의 전력소모를 보이는 BLE 송수신기를 소개하여 IoT 분야를 밝은 미래를 점치게 해주었다. 한국논문으로는 KAIST에서 저전력 OOK 수신기를 발표하였고 수신기 전체 전력소모가 227uW 로 매우 적은 전력소모를 보여주어 저전력 센서네트워크를 가능하게 하였다.

Session 19 는 산업체와 대학에서 다양한 무선 통신회로 설계 기법을 선보였다. UCLA에서는 Carrier aggregation에 사용되는 Reconfigurable 한 집적된 고성능 필터를 내장한 Front-end 회로를 선보였고 Columbia 대학에서는 Nyquist rate보다 6.3 배 향상된 Compressed sampling을 이용한 고속 Spectrum scanning 회로를 소개하였다. 한국 논문으로는 연세대학에서 무선 정밀 위치추적 송수신기를 발표하였고 새로운 샘플링 기법을 이용하여 정확도가 1.9mm에 이르러 게임기 등의 정밀 위치 추적이 필요한 기기에서 기존의 멤즈 기반의 위치센서 등을 대치할 가능성을 보여주었다.

김태욱 교수
소속 : 연세대학교
연구분야 : RF 회로, wireless 회로
E-mail : taewook.kim@yonsei.ac.kr

Image Sensors

다양한 형태의 모바일 기기의 보급과 더불어 센서와 센서 인터페이스에 대한 중요성이 점점 더 커지고 있으며, 이번 ISSCC에서는 센서 관련 세션과 관련 논문이 증가한 것을 확인할 수 있었다. Session 6, 11, 27의 세 개의 세션이 배정되었으며, 전체 논문 수도 25편에 이른다.

Session 6에서 주목할 논문은, Sony에서 발표한 6.1 논문으로 20Mpixel, 30fps, 1.3e RN을 구현하였으며, 전력 소모는 530mW에 불과하다. 이러한 수치는 현재까지 보고된 이미지 센서 중 가장 최적화된 성능을 보여주고 있다. 2개의 chip을 pixel 부분과 readout 부분을 다른 node (90/65nm)의 CMOS 공정을 사용하였으며, 이를 TSV를 이용하여 연결하였고, column마다 두 개의 ADC를 사용해 multiple sampling을 구현하였으며, 출력 Data rate를 낮추기 위해 compression을 적용하였다. 발표된 논문은 아이폰6 모델에 적용된 것으로 알려졌다.

Session 6에서 또 다른 주목할 만한 논문은, Shizuoka 대학에서 발표한 6.4 논문으로 200Mfps 의 초고속 이미지 센서로 time-resolving 픽셀을 multi-aperture로 구현하였다. 이러한 초고속 카메라는 기존의 기술로는 20Mfps 정도에 머물러 있었으나, 제안된 기법과 픽셀 구조를 통해 이러한 한계를 10배 이상 극복하였으며, 이를 통해 다양한 초고속 반응 관련 연구를 가능하게 만든 매우 혁신적인 연구라 할 수 있다. 우선 5ns의 짧은 시간에 반응하는 고속 픽셀을 lateral E-field modulation을 통해 구현하였고, 이러한 픽셀을 5x3 aperture, 즉 15개의 서로 다른 aperture, 를 통해 compressed 이미지를 얻고, 이를 decompression 하는 방식을 취한다. 각각의 aperture는 64x108 개의 픽셀을 포함하고 있다. Frame count는 32까지 가능하며, 실제로 plasma가 펼쳐지는 화면을 측정 결과로 제시하였다. 이와 더불어 Session 6에서 2편의 Touch sensor가 발표되었는데 (SHARP와 KAIST), 모두 고성능 pen stylus를 target으로 디자인되었다.

Session 11에서는 다양한 고성능 imaging 시스템이 제안되었는데, 이를 테면 fluorescence, PET, near-IR 등에 적용되었다. 논문 11.1은 KAIST에서 발표한 논문으로 Near-IR spectroscopy를 위해 4ch VCSEL driver와 10ch detector module을 single chip으로 구성하였다. 제안된 chipse을 이용해 brain imaging을 성공적으로 reconstruction 하였다. Fluorescence lifetime imaging을 위해서 lock-in pixel (논문 11.2)과 SPAD pixel (논문11.3)이 제안되었으며, 두 방식 모두 pixel density (256x512, 120x160)를 높이기 위해 analog 방식을 사용하였으며, 이에 따라 column-ADC를 사용한 것이 특징이다. 논문 11.4의 경우 SPAD pixel을 이용하여 매우 완성도가 높은 endoscopic TOF PET을 구현하였다. 430개의 TDC array와 PVT calibration voltage generator 부분은 매우 눈에 띄는 부분이다. Session 2에서는 가속도, 압력, 커패시터, 자기장, 온도를 측정하는 센서와 인터페이스 회로가 소개되는데, 한국에서 발표한 논문이 없었던 점이 아쉬운 점으로 남는다. 발표된 논문 중 4편이 MEMS 기반의 센서 (gyroscope, accelerometer, pressure sensor)가 발표되었으며, 매우 높은 완성도로 자동차용 센서로 가능한 수준의 결과를 제시하였다. Capacitor를 디지털로 변환하는 몇 가지 방식 새로운 방식이 제안 (27.5, 27.6, 27.7) 되었고, 온도 센서와 자기장 센서는 thermal monitoring이나 contactless current sensing에 적용 가능한 방법이 소개 되었다.

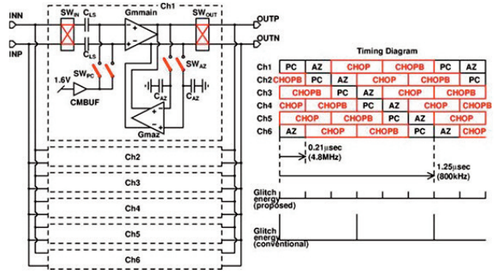
채영철 교수
소속 : 연세대학교
연구분야 : Sensor Interfaces, Delta-Sigma ADCs, CMOS Imagers
E-mail : ychae@yonsei.ac.kr

Analog Techniques and Biomedical Circuits/Systems

Analog Techniques

올해 Analog Techniques 분야의 논문은 총 10편으로 session 5에서 발표되었다. Internet of things와 wearable devices가 주목을 받는 추세에 맞추어 초저전력 reference 및 oscillator 회로 설계 기술들이 다수 소개되었으며, 전통적인 고성능 instrumentation amplifier 및 filter 회로들도 발표되었다.

미국 Analog Devices에서는 industrial instrumentation 등에 널리 사용되는 30V 전원 동작 precision operational amplifier에 관한 논문을 발표하였는데, 2002년 ISSCC에서 역시 Analog Devices에 의해 소개되었던 기술과 유사하게 auto-zeroing과 chopping 기술을 함께 사용함으로써 modulated chopping ripple을 줄이는 한편, 아래 그림 1과 같이 6개의 input transconductance stage들을 병렬로 연결하여 interleaved clock으로 구동함으로써 input switching에 의한 glitch들의 spectral energy를 amplifier의 unity gain bandwidth 이상의 주파수 대역으로 올리는 기술을 소개하였다. 이렇게 함으로써 원하지 않는 output ripple 및 glitch들을 효과적으로 제거하면서도 post-filter에 의한 signal bandwidth의 제약도 피할 수 있음을 보였다. National Taiwan University에서는 하나의 active amplifier와 orthogonal frequency chopping 기술을 사용하여 2채널 capacitively-coupled instrumentation amplifier를 구현함으로써 면적과 전력 소모를 최소화하는 기술을 선보였다. 0.35μm CMOS 공정을 이용하여 구현할 때 2채널 amplifier 전체가 0.061mm^{2}의 면적을 차지하고, 3V 전원 동작 시 27μA의 전류를 소모하는 한편, 26nV/$\sqrt{}$Hz의 input-referred noise와 3.74의 noise efficiency factor를 얻었다. 특히 0.55%의 좋은 gain matching 성능과 -83.2dB의 뛰어난 채널 간 crosstalk 성능을 보였다.

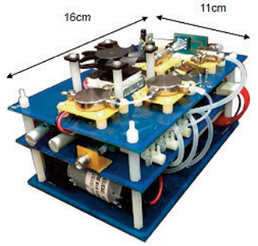


30V 전원 동작 precision operational amplifier의 input transconductance stage 병렬 구성과 timing diagram [Analog Devices]

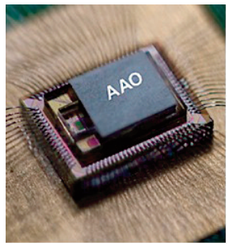
3편의 bandgap reference 회로 논문이 발표되었는데, 미국 PsiKick과 한국 포항공대에서 발표한 2편의 논문은 각각 32nW와 29nW만을 소모하는 초저전력 설계 기술을 소개하였고, 오스트리아의 Infineon Technologies에서 발표한 논문은 single-point-calibration만으로 -40oC부터 +120°C까지의 온도 범위에서 ±0.08%의 3σ inaccuracy 및 7ppm/°C의 temperature drift 성능을 갖는 digitally assisted precision bandgap reference 설계 기술을 다루었다. PsiKick에서 발표한 논문을 살펴보면, 2x charge pump 기반의 bandgap core와 switched capacitor network을 이용한 voltage scaling 및 summation, current-controlled ring oscillator와 clock voltage doubler 등의 기술을 사용함으로써 0.5V의 낮은 전원 전압에서도 동작하며 32nW만을 소모하는 bandgap reference 회로를 0.13μm CMOS 공정을 이용하여 0.0246mm2의 작은 면적 안에 구현하였다. 0oC부터 +80oC까지의 온도 범위에 걸쳐 75ppm/°C의 temperature drift 성능과 2%의 untrimmed 3σ process variation을 얻었다.

Oscillator 회로에 관해서는 2편의 논문이 발표되었는데, 미국 Texas Instruments에서 발표한 논문은 하나의 crystal을 사용하여 24MHz crystal oscillator와 31.25kHz sleep timer를 모두 구현함으로써 wireless node의 크기를 크게 줄일 수 있도록 하는 dual-mode crystal oscillator 설계 기술을 소개하였다. 24MHz crystal oscillator 모드 동작 시 445μW를, 31.25kHz sleep timer 모드 동작 시에는 37μW를 소모하는 한편, RC oscillator 방식의 sleep timer와 비교할 때 온도 변화와 전원 전압 변화에 대하여 뛰어난 frequency stability를 확보함으로써, 전반적으로 우수한 sleep timer FOM을 얻을 수 있음을 보였다. 싱가포르의 Institute of Microelectronics와 한국의 DGIST, KAIST가 함께 발표한 논문에서는 SoC 환경에서 digital noise에 의해 전원 및 ground가 심각하게 영향을 받는 상황에서도 잘 동작할 수 있도록 power supply noise rejection 성능을 크게 향상시킨 CMOS reference clock oscillator 회로 기술을 소개하였다. Fully differential supply/ground-regulating frequency-locked loop 구조와 함께 전원 전압에 무관한 period reference를 갖는 differential period detector, 그리고 virtual 0V reference를 형성하는 differential integrator를 사용함으로써 decoupling capacitor를 사용하지 않고도 -22dB의 worst-case power supply noise rejection 성능을 얻었는데, 이는 기존의 상용 부품과 비교하여 40dB 이상 향상된 것이다.

(a)



(b)



(c)

〈그림 〉 (a) Palmtop dielectric spectroscopy system [Case Western Reserve University], (b) Portable gas chromatography system [National Taiwan University], (c) CMOS lab-on-a-chip for rapid blood screening test [National Taiwan University, National Taiwan University Hospital, Chang Gung University]

제민규 교수
소속 : DGIST(대구경북과학기술원)
연구분야 : Microsystem integration (biomedical devices, wireless sensor nodes, wearables), Smart sensor interface IC solutions, Low-power wireless IC solutions
E-mail : minkyu.je@dgist.ac.kr

Biomedical Circuits and Systems

Session 21에서는 총 9편의 personalized biomedical 응용을 위한 회로 및 system-on-chip에 관한 논문들이 발표되었는데, 그 응용 분야에 따라 살펴보면 각종 질병의 조기 진단에 사용할 수 있는 point-of-care 진단 system에 관한 논문이 3편, ExG signal acquisition에 관한 논문이 2편, mental health management를 위한 closed-loop transcranial electrical stimulation system에 관한 논문이 2편이었으며, glaucoma 환자의 circadian/cardiac intraocular pressure를 측정할 수 있는 implantable lens에 관한 논문과 body-channel communication에 관한 논문도 소개되었다.

네덜란드의 Eindhoven University of Technology는 3nW의 극소전력만을 소모하는 ECG signal acquisition front-end IC를 발표하였는데, 이는 기존에 발표된 최소전력 수준에서 7배가량 더 향상된 것으로, 1mm3 크기의 solid-state thin-film battery로 구동 시 10년 이상의 수명을 얻을 수 있다. 65nm 공정으로 구현한 IC 내부에는 amplifier와 ADC, 그리고 biasing 및 clock generation을 위한 회로들이 포함되어 있다. 0.5V부터 0.7V까지의 전원 전압 범위와 0oC에서 85oC까지의 온도 범위에서 안정적으로 동작하며, 10-bit resolution, 1kS/s sampling rate, 2.1 noise efficiency factor의 성능을 나타낸다. ADC는 2013년 ISSCC에서 같은 저자가 발표한 설계를 기본으로 하였으며 1.5fJ/step의 FOM을 얻었다. 미국의 University of Virginia와 University of Michigan이 함께 발표한 논문에서는 harvester로부터 전력을 공급받아 동작하는 fully integrated system-on-chip을 소개하였다. 4채널 ExG acquisition을 위한 front-end 회로는 물론, 75% end-to-end peak conversion efficiency를 갖는 PV/TEG harvesting을 위한 power management 회로, 7.8kb/s 400MHz-2.4GHz wake-up receiver, 187.5kb/s 4GHz UWB transmitter, 그리고 fine-grain power gating과 clock gating을 구현한 MCU/DSP versatile digital 회로를 모두 포함하며, 0.13μm 공정을 이용하여 13.5mm2 면적 상에 구현되었고 전체 전력 소모는 6.5μW이다.

미국의 Case Western Reserve University는 용액 내 biomolecule들의 characteristic relaxation behavior 분석에 사용할 수 있는 microfluidic-CMOS platform을 발표하였는데, 3D capacitive sensor와 0.35μm 공정으로 구현한 fully integrated RF amplitude/phase analyzer IC로 구성되며, 이를 이용하여 9MHz부터 2.4GHz 대역에서 동작하는 palmtop dielectric spectroscopy system을 제작하였다. Sample 용액이 갖는 complex relative dielectric permittivity의 real part와 imaginary part를 모두 정확하게 측정할 수 있음을 보였다. 대만의 National Taiwan University는 lung cancer의 조기 진단을 위해 환자의 날숨에 존재하는 volatile organic compounds를 15ppb의 높은 sensitivity로 감지할 수 있도록 한 portable gas chromatography system을 소개하였다. CMOS gas detector, readout front-end, 그리고 MCU를 포함하며 0.35μm 공정으로 구현한 system-on-chip과 함께, MEMS 기술로 구현한 pre-concentrator 및 separation column을 사용한다. 대만의 National Taiwan University, National Taiwan University Hospital, 그리고 Chang Gung University가 함께 발표한 논문에서는 CMOS lab-on-a-chip을 개발하여 point-of-care blood screening immunoassay를 할 수 있도록 한 내용을 소개하였다. Lab-on-a-chip에서는 nanoporous aluminum oxide membrane을 통한 blood filtration, target molecule과 antibody의 conjugation, magnetic bead attachment, electrolytic pumping을 이용한 sample의 이동 및 magnetic force를 이용한 flushing, 그리고 hall-sensor array와 그 readout 회로를 이용한 detection이 모두 이루어지며, 이러한 일련의 동작들은 내장된 MCU에 의하여 제어된다.

UAE의 Masdar Institute of Science and Technology는 epilepsy 환자로부터 16-channel EEG 신호를 측정하고 dual linear support vector machine을 이용하여 분석함으로써 seizure detection을 할 수 있고, 감지 시 voltage-mode transcranial stimulation을 통해 seizure suppression까지 수행할 수 있는 system-on-chip을 발표하였다. 한편, 한국의 KAIST에서는 multi-modal closed-loop mental health management system을 소개하였다. EEG, HEG(hemoencephalography), HRV(heart rate variability)를 모두 함께 측정하고 support vector machine을 이용하여 분석함으로써 classification의 정확도를 높이며, 이를 transcranial electrical stimulation과 함께 사용함으로써, 사용자에게 실시간 feedback을 제공하는 한편, stimulation parameter들을 reconfiguration 할 수 있도록 하였다.

Digital trend

2015년 ISSCC에 발표된 다양한 논문들 가운데, 디지털 분야 논문들은 신호처리 / 프로세서 / 저전력 circuit으로 크게 구분할 수 있다. 본 글에서는 이 가운데 신호처리 관련 디지털 논문들을 소개하고자 하며, 올해에는 크게 메모리 / 모바일 비전 / 이동통신 / 바이오메디컬과 관련한 논문들이 다수 발표되었다.

메모리 분야에서는 NAND Flash의 미세화로 인한 BER (Bit Error Rate)증가와 관련하여 ECC (Error Correction Code)를 적용한 논문이 #7.7에 발표되었다. 이미 많은 상용업체가 BCH Code보다 강력한 오류정정능력을 갖춘 LDPC를 사용하고 있으나, 이 경우에는 Read Latency가 크게 증가한다는 단점이 있다. 이를 위해서 해당 논문에서는 TLC (Triple Layer Cell) NAND Flash를 위한 quick LDPC를 제안하고 있으며, 해당 연구진이 2014년 발표한 advanced error-prediction LDPC (AEP-LDPC)보다 83%가량 짧은 read latency를 보여주었다. AEP-LDPC는 기존의 soft-input LDPC에서 요구되는 analog Vth값을 요구하지 않음으로써 read latency를 1ms 정도로 줄일 수 있으며, Quick LDPC는 sensing 횟수를 더 줄여줌으로써 이를 146us 정도로 줄일 수 있게 되고, 이를 통해 write/erase (W/E) cycle을 100% 증가시킬 수 있게 됨을 보였다.

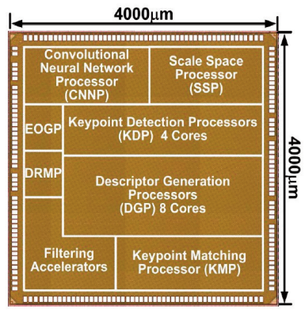


Figure 1 OR Processor in Paper #18.1

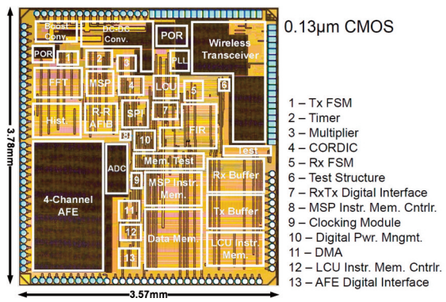
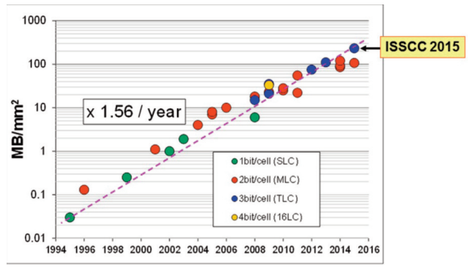


Figure 2 IoT SoC in Paper #21.3

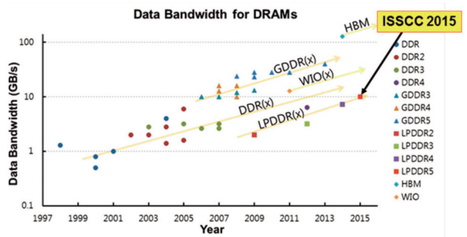
세션 #18에서는 human-machine interface 및 vehicular application을 위한 object-recognition 관련 논문들이 다수 발표되었으며, 특히 KAIST에서는 HMD (Head-Mounted Display)를 위한 SoC를 발표하여 많은 주목을 받았다. 해당 논문에서는 음성 및 제스처와는 달리 사용자의 의도를 숨길 수 있는 UI (User Interface)로써 사용자의 시선을 추적하는 저전력 Gaze Image Sensor (GIS)를 아날로그 회로 기술 및 Logarithmic Digital Processor에 기반을 두어 제안하였고, 물체 인식을 위해서 멀티코어 기반의 Object Recognition Processor (ORP)를 제안하고 저전력 동작을 위해 DVFS (Dynamic Voltage and Frequency Scaling) 기법을 적용하였다. GIS와 ORP를 3D stacking한 IC가 평균 소비 전력 75mW로 구동됨을 보였고, 이를 실제 HMD에 적용하여 "EyeClick" 시스템을 제안하였다. 또한, Toshiba에서는 2012년 ISSCC에 발표한 ADAS (Advanced Driver Assistance System)을 위한 이미지 인식 IC를 보다 발전시켜서 보행자 검출, 차량 검출, 장애물 검출, 차선 검출, 신호등 인식 및 교통표지판 인식 등이 HD급 카메라와 함께 동작 가능한 SoC를 제안하였다. 해당 SoC에는 3-way VLIW에 기반을 둔 processor가 4개씩 들어있는 클러스터를 2개 포함함으로써 flexibility를 높이고, 14개의 하드웨어 가속기 등을 통해서 이미지 인식의 성능을 높일 수 있었고 여기에는 필터와 CoHOG (Co-occurrence Histograms of Oriented Gradients) 가속기, 이미지로부터 histogram을 획득하기 위한 가속기, object-classification을 위한 다수의 프로세서 등이 포함되어있다. 이를 통해 어두운 밤에도 잘 동작하며 GPGPU 및 CPU에서 동작하는 것 대비 높은 성능 개선을 얻을 수 있음을 보였다. 이외에도 HEVC, H.264, MPEG-2/4, VC-1등 총 14개의 비디오 표준을 포함하는 4K HEVC Codec 하드웨어가 MediaTek으로부터 발표되었고, 1Gbps 이상의 고속의 통신 시스템을 위한 MMSE-Nonbinary LDPC Iterative Detector-Decoder가 4x4 MIMO시스템과 함께 소개되었다.

세션 #21에서는 최근 점차 많은 주목을 받는 바이오메디컬분야의 논문들이 소개되었고, 해당 논문들은 통신모듈을 결합한 SoC에서부터 머신러닝에 기반을 둔 SoC까지, 다양한 특성을 갖추고 있다. #21.3논문은 IoT (Internet of Things)를 위한 노드에 활용될 수 있는 SoC를 제안하고 있으며, 특히 배터리 없이 동작하기 위해 Energy Harvesting 회로를 포함하고 있다. 그리고 이와 같은 IoT 노드들이 일반적으로 Rx보다 Tx의 비중이 더 높은 Asymmetric한 통신 특성이 있음에 기반하여 Tx는 OOK modulation에 기반한 UWB방식을 채택하였고, Rx는 OOK modulation에 기반을 둔 15-bit Kasami code를 활용한 CDMA Wakeup Receiver를 채택하였다. 내부적으로는 Open MSP430 및 LCU (Lightweight Control Unit)에 기반을 둔 2개의 on-chip bus와 Standard Cell 및 Custom Cell을 활용한 ADPLL, 그리고 4-channel / programmable FIR filter, CORDIC, 16-point FFT/IFFT, heart rate (R-R) AFIB detection 등을 갖춘 programmable peripherals을 통해 다양한 응용시스템을 효율적으로 지원 가능하도록 되어있다. 한편, Masdar Institute of Science and Technology에서 발표한 #21.8논문에서는 비침습적 방식으로 환자 맞춤형 seizure detection을 위한 SoC를 제안하였고, 이는 16개의 채널을 가지는 AFE (Analog Front End)에서부터 머신러닝 알고리즘에 기반을 둔 DBE (Digital Back End), 그리고 PVTES (pulsating voltage transcranial electrical stimulation)을 통한 전기자극에 이르기까지 closed-loop형태를 가지고 있다. 특히, Dual-Detector Architecture (D2A)에 기반을 둔 linear-SVM (LSVM)을 통한 머신러닝구조를 사용하여 Non-linear SVM대비 적은 용량의 메모리로 MIT-Children's Hospital Boston EEG database 기준 95.7% sensitivity와 98% specificity를 1초의 latency로 구현하였다.

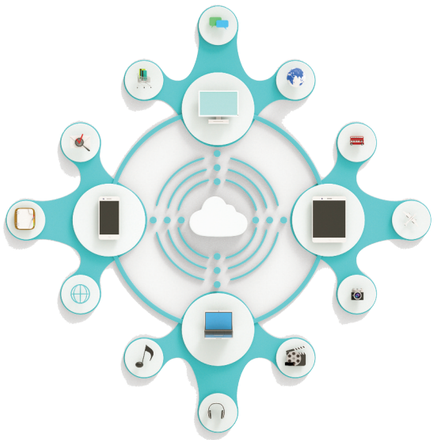
김지훈 교수
소속 : 충남대학교
연구분야 : SoC / Processor / VLSI
E-mail : jihoonkim@cnu.ac.kr



Trends in the density of NAND flash memory



Trends of Data Bandwidth for DRAMs



Memory Circuits

Overall

스마트폰과 타블렛 PC 등 계속 증가하고 있는 mobile 용 제품들의 요구에 맞추어 메모리 관련 논문들은 지난해와 마찬가지로 다양한 대용량 메모리 및 고속 I/O 기술들이 Non-Volatile Memory (NVM) Solution Session 및 Embedded Memory & DRAM I/O Session을 통해 선보였다.

NAND flash memory 논문들은 작년 대비 chip 당 용량은 동일하지만, 구현 면적을 줄임으로써 대용량 반도체 storage 제품 시장의 확장을 예고했다. SRAM의 경우 작년에 처음 등장했던 FinFET 기술을 사용한 논문들이 발표되어 technology shrink를 위한 주류기술의 이전을 암시했다. Emerging memory 중에서는 작년에는 ReRAM 논문들이 많이 발표되었던 반면, 올해에는 STT-MRAM 관련 기술들이 주로 소개되어 대비를 이루었다.

NVM

NAND Flash memory는 ISSCC를 통해 지난 20여년 간 약 1.6배씩의 단위면적당 용량 증가를 보여주고 있다. 또한, 작년부터 시작된 2D NAND와 3D NAND의 경쟁은 올해에도 계속되었다. 2D NAND flash 영역에서는 그동안 축적해온 2D 공정 기술을 바탕으로 최신 15nm 공정 기술을 접목하여 세계 최소 chip size의 64Gb MLC NAND flash memory를 발표했다. 이에 반해 3D에서는 작년에 발표된 24단 stack wordline 기반 NAND flash에 이어 올해에는 32단 stack wordline 기반의 3D TLC NAND flash를 발표했다. 특히 NAND flash memory의 취약점 중의 하나인 쓰기 속도를 기존 2D NAND flash보다 훨씬 개선했다는 점이 특징으로 꼽힌다.

NVM solution session에서는 메모리 반도체 외에 고속 SSD용 NAND Package를 위한 interface chip 기술도 발표되어 시스템적인 관점에서의 메모리 장치의 구현에 대한 접근까지도 ISSCC를 통해 다루어졌다.

Embedded memory and DRAM I/O

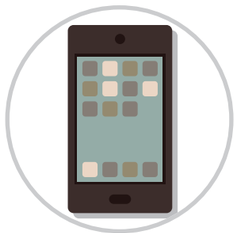
스마트 와치에서부터 클라우드 시스템에 이르는 가전 및 컴퓨터 제품의 구현에서 빼놓을 수 없는 것이 고성능 embedded SRAM이다. 이를 위해 동작 가능 전압의 하강, 누설전류 및 동작전력의 감소 등 다양한 방면의 노력이 진행되고 있다. 작년에 이어 올해에도 선보인 14-nm FinFET SRAM은 2세대 공정 기술을 접목함으로써 더욱 작은 cell size를 선보였다. Read/write-assist 회로 기법 및 variation-tolerant sensing 기법을 통해 동작 전압을 더욱 낮추는 기술 및 cell array와 제어 회로 간의 전압원을 다르게 함으로써 더욱 넓은 동작 영역을 확보하는 기술 역시 소개되어 점점 낮아지는 Chip 내 동작 전압에 대응하는 움직임들을 볼 수 있었다.

Main memory와 Processor 간의 성능 격차를 줄이기 위해 DRAM의 data rate를 높이기 위한 기술들은 계속해서 발전해 왔고 올해에는 LPDDR4에서 10Gb/s/pin을 지원하기 위한 기술이 발표되어 DRAM의 data bandwidth trend를 이어나갔다.

최성대 박사
소속 : SK Hynix
연구분야 : NAND flash memory
E-mail : sungdae.choi@sk.com

Low voltage/Low power digital technique

최근 임베디드 AP (Application Processor)의 성능은 범용 컴퓨팅의 요구 증가를 충족시키기 위해서 계속 향상되고 있다. 하지만 모바일 디바이스에서 멀티미디어 전용 가속기는 새롭게 떠오르는 애플리케이션을 위해서 성능과 에너지 효율에서의 매우 큰 향상을 요구하고 있고, 최근 이슈가 되고 있는 사물인터넷(IoT: Internet of Things)을 위한 센서 노드에서도 낮은 에너지와 충분한 계산 능력을 요구하고 있다. 따라서 에너지 효율은 소규모 임베디드 마이크로컨트롤러 뿐만 아니라 멀티코어 플랫폼(multicore platform)을 위한 주된 설계 요구 조건이 되고 있다. 특히, 배터리 전력을 최대한 일정하게 유지해야 하는 모바일 디바이스가 미래 실리콘 집적회로에 대한 큰 요구 조건으로 예상되기 때문에 microWatts(μW)에서 동작하는 초저전력 회로가 이번 ISSCC 2015에서 많은 관심을 받았고, 아날로그에서 디지털 회로, RF 회로, 그리고, SoC 프로토타입까지 전력 감소를 위한 혁신적인 방법들이 소개되었다.



먼저 저전력 디지털 세션에서는 사물 인터넷을 위한 초저전력 마이크로컨트롤러에서의 저전력 디지털 설계 기술들을 제안한 3개의 논문과 파인-그레인(fine-grain)방식의 DVFS(Dynamic Voltage and Frequency Scaling) 기술을 활용하는 SoC 빌딩 블록에서 구현되는 다양한 방식의 저전력 설계 기술을 제안한 4개의 논문이 발표되었다.

마이크로컨트롤러에서의 저전력 기술을 제안한 3개의 논문에서는 각각 ARM Cortex와 TI 코어에서 IoT 응용 분야에서 배터리 수명을 연장하고, 에너지 수확 (harvesting) 동작을 가능할 수 있도록 동적 전력을 최대한 낮추는 동시에 수면 모드에서 효과적으로 완전하게 상태를 보전하고, 누설 전력을 낮추기 위한 여러 기술을 결합하였다.

ARM 사에서 발표한 논문에서는 65nm CMOS 공정에서 구현된 "11.pJ/cycle subthreshold WSN(Wireless Sensor Nodes) Processing sub-system"이 제안되었고, 제안된 시스템은 250mV에서 850nW의 동적 전력과 900mV에서 66MHz를 가지도록 전압을 스케일링하며, CPU와 RAM의 상태 보전을 위해서 파워 게이팅(power gating)에서 80mW의 전력을 소모한다.

University of Michigan에서 발표한 논문에서는 하나의 게이트(gate)에서 단지 10fW의 동적 전력을 소모하는 DLSL(Dynamic Leakage-Suppression Logic)이라는 기존 CMOS 구조보다 누설 전류를 수백 배 줄일 수 있는 새로운 구조의 기본 논리 회로를 제안하였다. 특히, 0.09mm2 크기의 bulk Si solar cell에 의해서 발생하는 0.32V 전압을 제안된 코어에 공급하여 12Hz의 동작 주파수를 얻을 수 있었고, 프로그램 실행 동안 단지 970pW의 전력만을 소모하는 것을 보여주었다.

Texas Instrument 사에서 발표한 논문은 동적 전력과 대기 전력을 동시에 줄여줄 수 있는 초저전력 마이크로컨트롤러를 제안하였다. 제안된 마이크로컨트롤러는 90nm 공정기술에서 설계된 3단계의 파이프라인 16b MSP430 CPU를 사용하였고, 비휘발성 (non-volatile) 메모리로부터 하나의 사이클 코드 접근이 가능하며, 16MHz에서 동작하도록 구현되었다. 설계된 칩은 동적 모드에서 28.5uW/MHz의 전력을 소모하고, 대기 상태에서 MTCMOS 기술과 FBB(Forward-Body Biasing) 기술을 사용하여 108nA의 누설 전류만을 발생하였다.

SoC 빌딩 블록에서의 저전력 기술을 제안한 4개의 논문에서는 혁신적인 온-칩(on-chip) 전압과 주파수 조정(regulation) 기술들이 넓은 공급 전압 범위와 PVT 변이(variation)에서도 SoC 칩들을 동작할 수 있게 하였다. 이런 기술들은 저전압과 저전력에서 SoC가 동작할 수 있도록 하며, 제안된 전압 레귤레이터(regulator)들은 에너지 효율을 증대하고, CPU 코어의 전류 소모에서의 변이 때문에 발생하는 파워 레일(power rail)에서의 전압 처짐(droop)을 감소시킨다.

저전력 SoC 세션에서는 3편의 논문들이 발표되었고, 저전력과 에너지 효율을 위한 기술을 가지는 고성능 SoC 들이 제안되었다. 먼저 두 편의 논문에서는 이기종 옥타 코어(heterogeneous octa-core) ARM CPU를 사용한 삼성과 MediaTek에서 최신의 모바일 칩들이 발표되었다.

삼성에서 발표한 논문에서는 20nm 공정을 사용한 최신의 ARM-v8 64b CPU와 새로운 헥사 코어(hexa-core) ARM-Mali GPU를 가지는 모바일 AP를 제안하였다. 제안된 AP는 4개의 ARM A57을 가지는 19GHZ로 동작하는 고성능 CPU 클러스터(cluster)와 4개의 ARM A53을 가지는 1.3GHz로 동작하는 저전력 CPU 클러스터로 구성되며, 전력 최적화로 고속의 64b CPU가 기존의 32b CPU 보다 25%의 전력만 증가한다.

MediaTek에서 발표한 논문은 28nm 유사기종 옥타 코어 ARM-v7 32b CPU (A7 & A17), LTE 모뎀, 고성능 3D 그래픽을 사용한 고집적 스마트폰 SoC를 제안하였다. 제안된 SoC에서 A17은 2.5GHz에서 동작하며, 에너지 효율을 위한 최적화를 위해서 FBB(forward-body biasing)와 빠른 적응형 보존(adaptive retention) 모드를 포함한 5개의 파워 모드를 가지는 집적화된 파워 스위치를 적용하였다.

나머지 한 편은 National Taiwan University에서 발표된 논문으로 30fps에서 풀 HD 깊이-맵을 추정하면서도 0.9V 에서 611mW의 전력만을 소비하는 깊이-추정(depth-estimation) 프로세서(40nm 공정 사용)가 제안되었다. 제안된 프로세서는 DRAM의 밴드 폭을 67%까지 감소시키기 위해서 스트라이프-버퍼링 (stripe-buffering) 기법을 사용하였고, 네 개의 뱅크를 가지는 프로세싱 아키텍처가 처리량을 4배까지 향상시킴을 보여주었다.

김경기 교수
소속 : SK Hynix
연구분야 : NAND flash memory
E-mail : sungdae.choi@sk.com