

MPW (Multi-Project Wafer) 2015년 MPW 진행 현황

공정	회차구분 (공정_년도순서)	모집팀수 ((mmxmm)x 칩수)/회별	정규모집 신청마감	참여팀수 ((mmxmm)x칩수)	DB 마감	Die-out	비고
삼성 65nm	S65-1501	(4x4) x48	2014.12.29	(4x4)x 40	2015.06.15	2015.12.14	설계중
	S65-1502		2015.04.20	(4x4)x 20	2015.10.19	2016.04.19	모집예정
	S65-1503		2015.06.22	-	2016.01.18	2016.07.18	모집예정
MS 0.18um	MS18-1501	(3.8x3.8) x25	2014.12.29	(3.8x3.8)x17 (3.8x1.9)x16	2015.03.02	2015.08.03	칩제작중
	MS18-1502		2014.12.29	(3.8x3.8)x21 (3.8x1.9)x8	2015.05.11	2015.10.12	설계중
	MS18-1503		2014.12.29	(3.8x3.8)x23 (3.8x1.9)x4	2015.07.13	2015.12.14	설계중
	MS18-1504		2014.12.29	(3.8x3.8)x22 (3.8x1.9)x6	2015.09.07	2016.02.01	모집예정
	MS18-1505		2014.12.29	(3.8x3.8)x5 (3.8x1.9)x1	2015.12.18	2016.05.09	모집예정
MS 0.35um	MS35-1501	(5x4)x20	2015.01.26	(5x4)x18 (5x2)x4	2015.06.08	2015.09.29	설계중
	MS35-1502		2015.07.20	-	2016.01.11	2016.04.30	모집예정
TJ SiGe	TJS18-1501	(2.35x2.35)x4	2014.12.29	(2.35x2.35)x3	2015.04.27	2015.09.15	설계중
TJ CIS	TJC18-1501	(2.35x2.35) x4	2015.01.26	(2.35x2.35)x4	2015.06.15	2015.10.23	제작중
	TJC18-1502		2015.05.26	(2.35x2.35)x2	2015.11.23	2016.03.28	모집예정
TJ BCD	TJB18-1501	(2.35x2.35) x12-16	2014.12.29	(5x2.5)x2 (2.35x2.35)x8	2015.03.02	2015.07.06	칩제작중
	TJB18-1502		2015.03.23	(5x2.5)x2 (2.35x2.35)x8	2015.08.24	2015.12.28	설계중
	TJB18-1503		2015.05.26	(2.35x2.35)x4	2015.11.30	2016.04.04	모집예정

* 일정은 사정에 따라 다소 변경될 수 있음.
 * 회차 표기 방법 변경 : 공정코드-년도 모집순서 (예시) 삼성65nm 2015년 1회차 : S65-1501)
 * TowerJazz 공정은 sub chip(2.35mmx2.35mm)으로 분리하여 모집
 * 모집기간 : 모집 마감일로부터 2주전부터 접수
 * Package 제작은 Die out 이후 1개월 소요됨
 * 기준일 : 2015. 03. 30

* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)

2015년 4월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

KAIST 개설 강좌 안내

센터명	강의일자	강의제목	분류
본센터	4월 9-10일	XMODEL을 활용한 디지털 PLL 설계 및 시뮬레이션	설계강좌

- 강좌일 : 4월 9-10일
- 강좌제목 : XMODEL을 활용한 디지털 PLL 설계 및 시뮬레이션
- 강사 : 김재하 교수 (서울대학교)

강좌개요

XMODEL은 디지털 시뮬레이터인SystemVerilog상에서 아날로그 회로의 동작 및 특성을 정확하고 빠르게 모델링하고 시뮬레이션할 수 있는 토폴로지이며, 같은 기능을 가진 Verilog-AMS에 비해 10~100배의 속도 성능을 자랑한다. 본 강좌에서는 XMODEL의 개념과 기본 사용법을 배우고, 이를 디지털 PLL를 구성

설계에 응용하는 법을 실습한다. 예를 들어, 디지털 PLL을 구성하는 회로요소들인 TDC, DCO 등의 특성을 모델링하는 법을 배우고, 디지털 루프필터 설계를 포함한 PLL 시스템을 구성하고, 지터 등 그 PLL 시스템의 동작 특성을 여러 시뮬레이션을 통해 측정하는 실습을 진행한다. 또한 디지털 PLL의 최신 연구동향을 frequency-sweep generator, fast-locking PLL등의 응용 사례들을 직접 설계 실습하면서 체험하는 기회를 갖는다.

수강대상 대학원생 및 직장인

강의수준 중급

강의형태 이론+실습

사전지식, 선수과목

Verilog등 HDL언어에 대한 기본적인 이해

Phase-Locked Loop의 기능과 동작에 대한 기본적인 이해

*문의 : KAIST IDEC 오가영 (042-350-8536, oky0818@idec.or.kr)



실바코, IDEC 에 TowerJazz PDK 제공

TCAD, EDA 소프트웨어의 선도 기업인 SILVACO, Inc. (이하 SILVACO)는 반도체설계교육센터 (IDEC)에 TowerJazz 공정에 필요한 SILVACO PDK를 제공합니다.

- TS18SL (Mixed Signal CMOS 0.18um)
- TS18PM (Power Management 0.18um)
- TS18IS (CMOS image sensor 0.18um)
- CA18HD (CMOS 0.18um)
- SBC18HA (SiGe 0.18um)

프로세스 디자인 키트(PDK)는 칩 설계 플로우에서 EDA 툴과 함께 사용하는 파운드리용 데이터와 스크립트 파일을 정리한 것입니다. PDK는 주로 Spice 모델, Schematic symbol, Script Files, 파라미터화된 셀 (P-Cell) 및 룰 파일로 구성되어 있습니다. PDK의 사용으로 설계자는 칩 설계를 쉽게 시작할 수 있으며, 스키매틱 작성에서 테이프 아웃까지 디자인 플로우를 원활하게 수행할 수 있습니다. Silvaco 에서 제공되는 PDK를 실행하기 위해서는 스키매틱 에디터인(Gateway), 회로 시뮬레이터(Smartspice), 레이아웃 에디터(Expert)를 사용하게 됩니다. 레이아웃 디자인에 대한 검증은 Guardian DRC/LVS/LPE 를 사용합니다. 또한, Full-Chip 기생 성분 RC 추출을 위한 Tool써 Hipex 를 지원함으로써 Front-End부터 Back-End까지 설계할 수 있도록 Full package를 지원합니다.

About Silvaco, Inc.

SILVACO는 TCAD, 회로 시뮬레이션 및 IC CAD 소프트웨어 툴을 제공하는 선도 기업입니다. SILVACO의 툴은 반도체 공정을 개발하는 펌과 아날로그/믹스드 시그널/RF 집적 회로를 개발하는 디자인 하우스에서 사용합니다. SILVACO는 Third-Party tool에 대한 설계 플랫폼에 대하여 인터페이스와 함께 완벽한 PDK 기반 설계 플로우를 제공합니다. SILVACO는 전 세계 주요 지역에 사업 거점을 두고 있습니다.

Tower Semiconductor, Ltd. and Jazz Semiconductor, Inc.

Tower Semiconductor Ltd.(NASDAQ: TSEM) (TASE: TSEM)는 순수 독자적인 전문 웨이퍼 파운드리로서, 미국에 Analog-Intensive Mixed-Signal (AIMS) 파운드리 솔루션의 선도 업체인 Jazz Semiconductor를 자회사로 두고 있습니다. Tower와 Jazz는 1.0~0.13um IC를 제조하며, 테크니컬 서비스와 설계 지원을 제공합니다. Digital CMOS 공정 기술 외에, 고급 mixed-signal, RF CMOS, Power Management, CMOS 이미지-센서, 비휘발성 메모리 기술 및 Flash MTP, OTP 솔루션을 제공합니다. 모듈형 AIMS 기술에 대한 Jazz의 포괄적인 공정 포트폴리오는 RF CMOS, Analog CMOS, Silicon, SiGe BiCMOS, SiGe C-BiCMOS, Power CMOS, High Voltage CMOS 등을 포함합니다. 세계 정상급의 고객 서비스를 제공하기 위해, Tower는 이스라엘에 두 곳의 제조 설비를 두고 있습니다.

테라헤르츠 CMOS 집적회로 연구동향

1. 서론

테라헤르츠(terahertz)는 300GHz~3THz 영역의 전자기 스펙트럼으로 정의되며, 그 독특한 물리적 특성으로 센싱(sensing), 이미징(imaging), 통신 기술과 관련된 다양한 분야에 응용될 수 있다 [1],[2].

가령, 불법/위험 물질 감지, 바이오센서, 암세포 검사, 은닉 무기 검색, 비파괴 검사, 우주관측(전파천문), 단거리 초고속통신, 무압축 영상 데이터 전송 등이 그 대표적인 예가 되겠다.

고가의 부피가 큰 도파관(waveguide) 소자나 광학 소자로 구성된 기존 테라헤르츠 시스템은 가격이 수억에서 수십억원에 이른다. 저가격의 실용적인 테라헤르츠 신호원(signal source)과 검출기(detector)의 부재로 이 주파수영역은 오랫동안 미개척 분야로 남아 있었다.

최근 CMOS 집적회로의 비약적인 성능 발전으로, CMOS 기술을 이용한 집적화를 통해 그 가격과 부피를 현저히 낮춘 실용적이고 경제적인 테라헤르츠 시스템을 고려할 수 있게 되었다 [3].

본고에서는 최근 2년간 보고된 주목할 만한 신호원, 검출기, 수동소자 분야의 테라헤르츠 CMOS 집적회로 기술을 살펴보고, 이를 통해 최신 연구 동향을 분석하고자 한다.

2. 테라헤르츠 신호원 (Terahertz Signal Sources)

2.1. 260-GHz 고출력 광대역 방사 배열 (260-GHz High-Power Broadband Radiator Array)

65-nm CMOS 공정으로 구현된 260-GHz 고출력 광대역 방사 배열(radiator array)이 보고 되었다 [4].

신호원은 8개의 하모닉 발진기 배열로 구성되어 있으며 4개의 직교발진기(quadrature oscillator)에 의해 상호 결합된다. 셀프피딩(self-feeding) 방식에 기반한 고조파 발진기는 기본 발진과 2차 고조파 발생을 위한 최적의 조건에서 동작한다. 260-GHz의 신호는 8개의 온칩 슬롯 안테나(on-chip slot antenna)를 통해 방사되며 칩의 뒷면에 장착된 하이퍼-반구형(hyper-hemispherical) 실리콘 렌즈에서 동위상(in-phase)으로 결합된다. 칩은 1.1mW의 출력전력을 발생하며 이는 15.7 dBm의 EIRP(Equivalent Isotropically Radiated Power)에 해당한다.

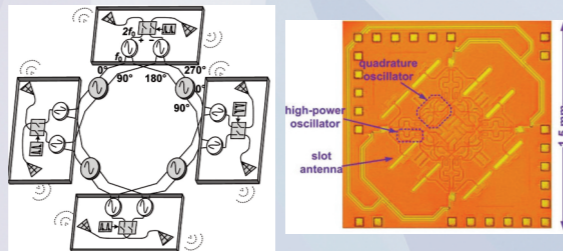


그림 1. 260-GHz 방사 배열 구조와 칩 현미경 사진 [4].

2.2. 480-GHz 고출력 광대역 수동 주파수 체배기 (480-GHz High-Power Broadband Passive Frequency Multiplier)

고효율의 테라헤르츠 신호원을 구현하기 위한 변역기(varactor)에 기반한 주파수 이체배기(frequency doubler)가 보고되었다 [5]. 이 구조는 입력력에 대해 10 및 20 주파수에서 분리(isolation), 매칭(matching), 필터링(filtering)을 동시에 담당하는 부분적으로 결합된 링에 기반하고 있다. 480-GHz 주파수 체배기는 143 dB의 최소 변환 손실을 가지며 0.23 mW의 출력전력이 측정되었다. 주파수 체배기는 65-nm 저전력 CMOS 공정에서 구현되었으며 전력소모가 거의 없다.

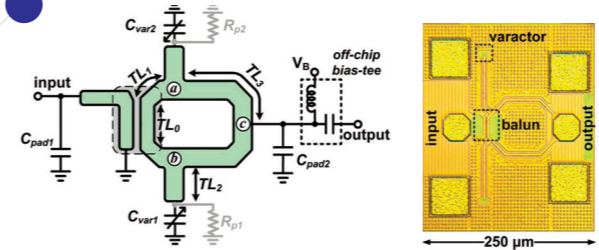


그림 2. 변역기를 이용한 테라헤르츠 주파수 체배기 구조 및 칩 현미경 사진 [5].

2.3. 288-GHz 트리플-푸시 신호원 (288-GHz Triple-Push Signal Source)

65-nm CMOS 공정을 이용한 288-GHz 렌즈 집적 고출력 신호원이 보고되었다 [6]. 신호원은 자기적 결합에 의해 역위상으로 동기화된 두 개의 자유발진(free-running) 트리플-푸시(triple-push) 링발진기(ring oscillator)로 구성된다. 발진기는 차동 온칩 링 안테나(differential on-chip ring antenna)를 구동하며, 칩 뒷면에 위치한 하이퍼-반구형(hyper-hemispherical) 실리콘 렌즈를 통해 방사한다. 온-웨이퍼(on-wafer) 측정에서 발진기 코어는 -1.5 dBm의 출력을 보이며, DC 전력 소모는 275 mW이다. 패키징된 신호원의 방사 전력은 -4.1 dBm으로, 200 GHz 이상의 단일 CMOS 신호원 중 가장 높은 값이다. 안테나를 포함한 칩의 면적은 500x570 mm²이다.

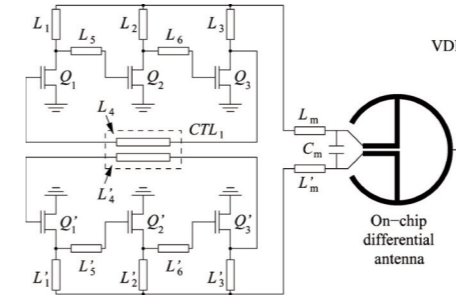


그림 3. 두 개의 상호 결합된 싱글-엔드(single-ended) 3-단 링발진기(ring oscillator) 코어 [6].

2.4. 0.54-THz 신호발생기 (0.54-THz Signal Generator)

40-nm 벌크(bulk) CMOS 공정에서 구현된 0.54-THz 신호발생기가 보고되었다 [7]. 180 GHz에서 동작하는 전압제어발진기(VCO)는 원하는 3차 고조파를 발생하도록 설계된 비선형 버퍼에 연결된다. 3차 고조파는 트랜스포머(transformer)를 통해 출력으로 결합된다. 최대 출력은 543 GHz에서 -31 dBm으로 측정되었으며, 소모전력은 16.8 mW이다. LC-VCO의 기생 I-MOS 변역기(varactor) 튜닝을 통해 539.6-561.5 GHz 범위의 출력 주파수와 21.9 GHz의 튜닝 범위를 가진다.

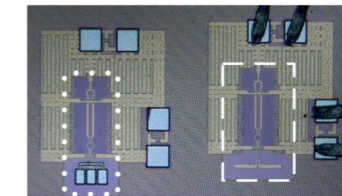
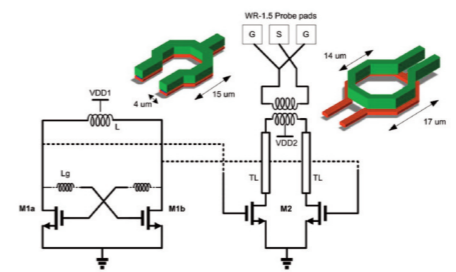


그림 4. 0.54-THz 신호원 회로 구조 및 칩 현미경 사진 [7].

2.5. 340-GHz 고출력 2차원 위상배열 (340-GHz High-Power 2-D Phased Array)

본 신호원은 트랜지스터의 차단주파수(cut-off frequency) 이상에서 신호를 발생시키기 위해 다수의 동기화된 신호원을 사용하고 있다 [8]. 가장 가까운 단위 신호원 사이의 로컬 결합을 조정하여 주파수 잠금/튜닝(frequency locking/tuning), 빔조향(beam steering) 기능을 독립적으로 수행할 수 있다. 이 제어 방법을 통해 배열의 크기에 둔감하고 스케일링(scaling)이 가능한 동적인 네트워크(dynamical network)를 구현할 수 있으며, 기존의 신호원에 비해 높은 출력전력과 신호순도(signal purity)를 얻을 수 있다. 65-nm 벌크 CMOS 공정에서 구현된 4x4 위상 배열은 338 GHz에서 최대 +17.1 dBm의 EIRP를 보이며, 위상잡음은 1 MHz 오프셋(offset) 주파수에서 -93 dBc/Hz로 측정되었다. 이 칩은 실리콘에서 구현된 최초의 집적 테라헤르츠 위상 배열이다.

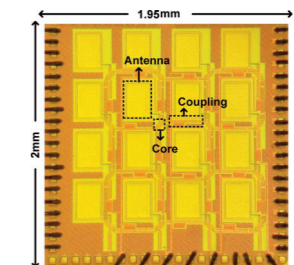


그림 5. 340-GHz 위상 배열 현미경 사진 [8].

3. 테라헤르츠 검출기 (Terahertz Detectors)

3.1. 860-GHz 쇼트키 다이오드 검출기 (860-GHz Schottky Diode Detector)

130-nm CMOS 공정에서 공정의 수정 없이 구현된 쇼트키 다이오드(Schottky diode)를 이용한 860-GHz 검출기가 보고되었다. 검출기는 온칩 마이크로스트립 패치(microstrip patch) 안테나와 다이오드로 구성되어 있다. 잡음등가전력(Noise Equivalent Power: NEP)은 1-MHz 변조 주파수에서 42 pW/Hz^{1/2}로 측정되었다. 이것은 외부에 실리콘 렌즈를 부착하지 않고 측정된 가장 높은 성능을 가지는 MOSFET 기반의 검출기와 대등한 수준이다 (1 THz에서 66 pW/Hz^{1/2}, 650 GHz에서 40 pW/Hz^{1/2})

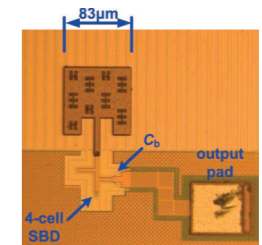


그림 6. 860-GHz 쇼트키 다이오드 검출기 현미경 사진 [9].

3.2. 495-GHz 상호변조 재생 CMOS 수신기 (Inter-Modulated Regenerative CMOS Receivers)

테라헤르츠 이미징 응용을 위해 능동소자의 최대발진주파수(f_{max}) 이상에서 동작하는 초고속 주파수 상호변조 재생 수신기(Inter-modulated Regenerative Receiver: IRR)가 보고 되었다. 기존의 초재생 수신기(Super Regenerative Receiver: SRR)의 기본 발진기를 또 다른 발진기로 상호변조(inter-modulation)를 하면 수신 주파수를 증가시킬 수 있는 원리를 이용하고 있다. f_{max} 가 350 GHz인 40-nm CMOS 공정에서 495 GHz의 최대 수신 주파수를 달성할 수 있었다. 동일 공정으로 제작된 IRR은 픽셀당 5.6 mW를 소모하며 0.11 mm²의 면적을 차지한다.

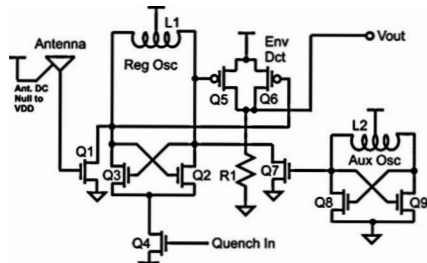


그림 7. 상호변조 재생 CMOS 수신기 구조 [10].

3.3. 820-GHz 다이오드 연결 NMOS 이미징 배열(820-GHz Diode-connected NMOS Imaging Array)

130-nm CMOS 공정에서 다이오드 연결된 NMOS 트랜지스터를 이용한 820-GHz 8x8 이미징 배열이 구현 되었다. 1MHz의 주파수에서 평균 반응도(responsivity)는 3.4 kV/W로, 평균 NEP는 28 pW/Hz^{1/2}로 측정되었다. NEP는 NMOS에 비해 3.5X 낮으며 CMOS로 구현된 쇼트키 다이오드 이미징 배열에 비해 약간 낮은 수준이다. 최소 NEP 값은 15.5 pW/Hz^{1/2}으로 CMOS 공정으로 제작된 검출기 중 가장 낮은 값을 가진다. 이미징 배열의 크기는 2.0x1.7 mm²이며 소모전력은 9.6 mW이다.

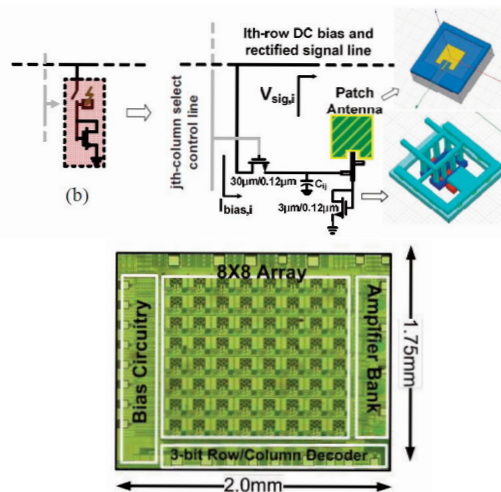


그림 8. 온칩 안테나와 다이오드 연결 트랜지스터를 포함하는 픽셀 구조와 칩 현미경 사진 [11].

3.4. 9.74-THz 원적외선 쇼트키 다이오드 검출기 (9.74-THz Far-Infrared Schottky Diode Detector)

9.74-THz의 원적외선(far-Infrared)을 감지할 수 있는 검출기가 보고 되었다. 130-nm CMOS 공정에서 공정의 수정 없이 구현된 쇼트키장벽 다이오드(Schottky Barrier Diode)와 온칩 마이크로스트립 패치 안테나를 이용해 구현되었다. 안테나의 가상접지(virtual ground)를 통해 바이어스 전류를 공급하여 해당 주파수에서 구현이 어려운 바이패스 커패시터(bypass capacitor)의 문제를 해결하고 있다. 검출기의 측정을 위해 30 ps의 펄스폭을 가지는 가변 자유전자레이저(Free Electron Laser: FEL)가 사용되었다. 최대 광학 반응도 (optical responsivity)는 ~14 V/W이며 이것은 이전에 보고된 전자식 검출기에 비해 14배 높은 값이다. 다이오드의 산탄 잡음(shot noise)에 의해 제한되는 NEP는 9.74 THz에서 ~2 nW/Hz^{1/2}의 값을 가진다.

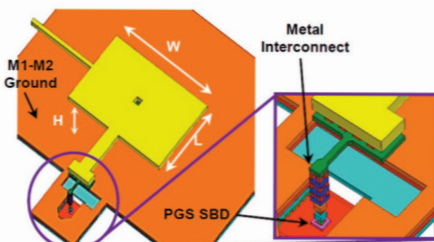


그림 9. 원적외선(FIR) 검출기의 3D 구조 [12].

4. 테라헤르츠 수동소자 (Terahertz Passive Devices)

4.1. 분수-차수 전송선로 모델링 (Fractional-order Transmission Line Model)

테라헤르츠 주파수에서 동작하는 CMOS 온칩 전송선로를 더 정확하게 모델링 할 수 있는 인과적이며 간소한(causal and compact) 분수차수 전송선로 모델(Fractional-order Transmission Line Model)이 개발 되었다. 주파수 의존적인 분산(dispersion)과 비준정적(nonquasi-static) 효과를 고려한 이 모델은 측정결과와 110 GHz 까지 일치치를 보인 반면 기존의 모델은 10 GHz 까지만 일치치를 보였다. 나아가 개발된 모델을 전송선로를 이용한 정현파 발진기(standing-wave oscillator)에 적용하여 그 정확성을 입증하고 있다.

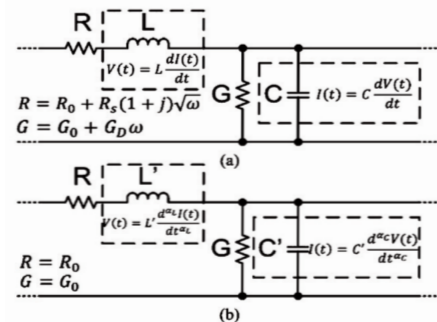


그림 10. 전송선로의 RLCG 단위셀 등가회로: (a) 정수차수 모델 (b) 분수차수 모델 [13].

4.2. CMOS 호환 메타물질 (CMOS-compatible Metamaterial)

테라헤르츠 주파수에서 안테나의 감지 성능을 크게 향상시킬 수 있는 IC 공정과 호환되는 메타물질(metamaterial)이 보고 되었다. ADL(Artificial Dielectric Layer)로 불리는 이 특별한 형태의 메타물질은 두꺼운 유전체 내에 다층의 주기적인 구조를 가진다. 이 물질을 안테나 방사 구조위에 위치시켜 280-325 GHz 주파수 범위에서 매칭을 유지하면서 전방대 후방(front-to-end) 방사비를 10 dB 이상 증가시킬 수 있다. 이 공정은 400°C 이하에서 진행되기 때문에 CMOS 후 공정(back-end process)으로 포함될 수 있다.

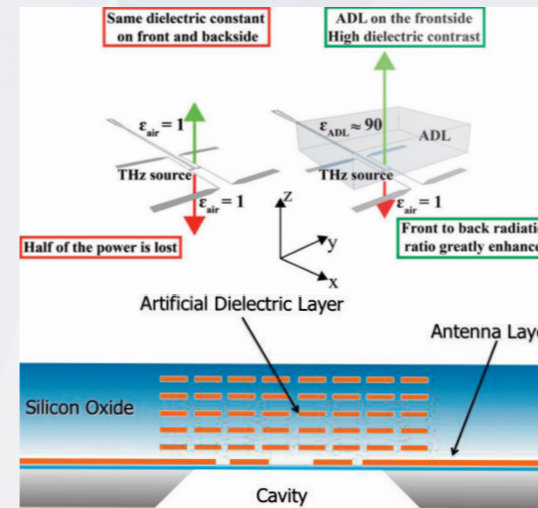


그림 11. 안테나/ALD의 개념도와 단면도 [14].

4.3. 안테나 결합 볼로미터를 위한 광대역 온칩 안테나 (On-chip Antenna for an Antenna Coupled Bolometer)

수동 비방각 방식의 테라헤르츠 이미저를 위한 클로버(Cloverleaf) 형태의 0.6-1.4 THz의 광대역을 갖는 안테나가 보고 되었다. 표준 CMOS-SOI 공정과 MEMS 공정을 이용해 구현된 안테나는 센서에 직접 연결되는 안테나 결합 볼로미터(antenna-coupled-bolometer)의 형태를 가진다. 안테나/센서부의 주변의 실리콘을 완전히 에칭(etching)하여 기판과 열적으로 분리(thermal isolation) 시키고 있다. 1400과 600 GHz에서 각각 12.2와 8.7 dB의 최대 지향성(directivity)을 가지는 것으로 예측된다.

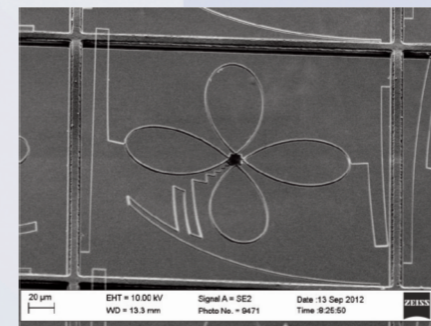


그림 12. 광대역 테라헤르츠 클로버 안테나의 SEM 사진 [15].

5. 결론

다양한 신호원, 검출기, 수동소자를 중심으로 테라헤르츠 CMOS 집적회로 기술의 최신 연구동향을 살펴보았다. 신호원과 관련해 동작주파수를 높이는 연구와 함께 출력전력을 높이기 위해 복수의 발진기 배열 구조를 이용한 연구가 활발히 진행되고 있다. 또한 버랙터를 이용한 수동 주파수 체배기와 위상배열 신호원에 관한 연구가 보고되었다. 검출기와 관련해 기존의 쇼트키 다이오드 검출기의 동작주파수를 높이는 연구가 지속적으로 진행 되고 있다.

특히 10-THz 원적외선(FIR) 검출기는 파운더리(foundry) CMOS를 이용한 경제적인 IR 이미징 시스템의 구현 가능성을 보여준다는 점에서 큰 의미가 있다. 이외에도 다이오드 연결 NMOS 트랜지스터 혹은 상호변조 재생 CMOS 수신기 구조를 이용한 새로운 방식의 검출기가 보고되었다. 수동소자와 관련해 고주파수에서 정확도가 향상된 분수-차수 전송선로 모델, CMOS 호환 메타물질인 ALD, 볼로미터와 결합된 형태의 광대역 온칩 안테나에 관한 연구가 주목할 만하다.

본문에는 언급하지 않았지만 분광(spectroscopy) 응용을 위한 초광대역(ultra-wide-band) CMOS 신호원에 대한 연구도 활발히 진행되고 있다 [16]. 현재 연구들은 주로 단위 회로 블록의 성능 향상에 초점을 맞추고 있지만, 궁극적으로 테라헤르츠 집적시스템을 구현하기 위해 테라헤르츠 회로의 구동에 필요한 주변 아날로그 및 디지털 회로의 집적화가 요구된다. 관련해 최근 90-nm CMOS 공정을 이용하여 테라헤르츠 이미징 센서 배열과 함께 전지 증폭기(pre-amplifier), A/D변환기(Analog-to-Digital converter), 락인 증폭기(lock-in amplifier)를 집적한 연구결과가 보고되었다 [17].

테라헤르츠 CMOS 집적시스템의 실용화를 위해 아직은 해결해야 할 과제들이 남아 있다. 특히 충분히 높은 레벨의 출력 전력을 발생하는 신호원의 개발, 보다 정확한 CMOS 소자 특성 분석 및 모델링, 지속적인 공정의 미세화에 따른 수동소자의 성능 저하 해결에 관한 더 많은 연구가 진행되어야 할 것이다.

또한 대량 생산의 경우에 한해 높은 가격 경쟁력을 가지는 CMOS 공정의 특성을 고려하면 다양한 킬러 응용(killer applications)의 발굴이 절실히 요구된다. 테라헤르츠 CMOS 집적회로 기술이 아직은 연구 단계이지만 최근 급속히 성장하고 있는 것을 고려하면 향후 지속적인 의료, 산업, 통신, 국방 등 다양한 분야에서 요구되는 실용적인 저가격 테라헤르츠 시스템의 구현에 핵심적인 역할을 할 것으로 기대된다.



심 동 하 교수
소속 : 서울과학기술대학교, MSDE전공
주 연구 분야: 고주파 집적회로
E-mail: dongha@seoultech.ac.kr
홈페이지: http://square.seoultech.ac.kr/~dongha

참고문헌

[1] P. H. Siegel, "THz technology," IEEE Trans. on Microw. Theory Tech., vol. 50, no. 3, pp. 910-928, Mar. 2002.

[2] D. L. Woolard, E. R. Brown, M. Pepper, M. Kemp, "Terahertz frequency sensing and imaging: A time of reckoning future applications?," IEEE Proc., vol. 93, no. 10, pp. 1722-1743, Oct. 2005.

[3] E. Seok, D. Shim, C. Mao, R. Han, S. Sankaran, C. Cao, W. Knap, and K. K. O, "Progress and Challenges Towards Terahertz CMOS Integrated Circuits," IEEE J. Solid-State Circuits, vol. 45, no. 8, pp. 1554-1564, Aug. 2010.

[4] R. Han and E. Afshari, "A CMOS High-Power Broadband 260-GHz Radiator Array for Spectroscopy," IEEE J. Solid-State Circuits, vol. 48, no. 12, pp. 3090-3104, Dec. 2013.

[5] R. Han and E. Afshari, "A High-Power Broadband Passive Terahertz Frequency Doubler in CMOS," IEEE Trans. Microw. Theory Tech., vol. 61, no. 3, pp. 1150-1160, Mar. 2013.

[6] J. Grzyb, Y. Zhao, and U. R. Pfeiffer, "A 288-GHz Lens-Integrated Balanced Triple-Push Source in a 65-nm CMOS Technology," IEEE J. Solid-state Circuits, vol. 48, no. 7, pp. 1751-1761, Jul. 2013.

[7] W. Steyaert and P. Reynaert, "A 0.54 THz Signal Generator in 40 nm Bulk CMOS With 22 GHz Tuning Range and Integrated Planar Antenna," IEEE J. Solid-state Circuits, vol. 49, no. 7, pp. 1617-1626, Jul. 2014.

[8] Y. Tousi and E. Afshari, "A High-Power and Scalable 2-D Phased Array for Terahertz CMOS Integrated Systems," IEEE J. Solid-state Circuits, vol. 50, no. 2, pp. 597-609, Feb. 2015.

[9] R. Han, Y. Zhang, Y. Kim, D. Y. Kim, H. Shichijo, E. Afshari, and K. K. O, "Active Terahertz Imaging Using Schottky Diodes in CMOS: Array and 860-GHz Pixel," IEEE J. Solid-state Circuits, vol. 48, no. 10, pp. 2296-2308, Oct. 2013.

[10] A. Tang and M. F. Chang, "Inter-Mod

ulated Regenerative CMOS Receivers

Operating at 349 and 495 GHz for THz Imaging Applications," IEEE Trans. Terahertz Sci. Tech., vol. 3, no. 2, pp. 134-140, Mar. 2013.

[11] D. Y. Kim, S. Park, R. Han, and K. K. O, "820-GHz Imaging Array Using Diode-Connected NMOS Transistors in 130-nm CMOS," in VLSI Circuits Dig., Jun. 2013, pp. C12-C13.

[12] Z. Ahmad, A. Lisauskas, H. G. Roskos, and K. K. O, "9.74-THz Electronic Far-Infrared Detection Using Schottky Barrier Diodes in CMOS" in IEDM Tech. Dig., 2014, pp. 4.4.1-4.4.4.

[13] Y. Shang, H. Yu, and W. Fei, "Design and Analysis of CMOS-Based Terahertz Integrated Circuits by Causal Fractional-Order RLGC Transmission Line Model," IEEE Journal on Emerging and Selected Topics in Circuits and Systems, vol. 3, no. 3, pp. 355-366, Sep. 2013.

[14] G. Fiorentino, W. Syed, F. Santagata, M. Spirito, G. Pandraud, A. Neto, P.M. Sarro, A. J. L. Adam, "A CMOS-compatible metamaterial to enhance the front to back radiation ratio in terahertz antenna for sensing application," in Proceedings of IEEE Sensors, 2013, pp. 1-3.

[15] B. Klein, T. Morf, M. Despont, U. Drechsler, D. Corcos, N. Kaminski, D. Elad, L. Kull, M. Braendli, T. Toifl, R. Hahnel, D. Plettemeier, "Design of a Wide-Bandwidth on-Chip Antenna for Uncooled Passive THz Imaging," International Workshop on Antenna Technology (iWAT), 2013, pp. 79-82.

[16] Z. Jing, S. Navneet, W. Choi, D. Shim, Q. Zhong, K. K. O, "85-to-127-GHz CMOS Signal Generation using a Quadrature VCO with Passive Coupling and Broadband Harmonic Combining for Rotational Spectroscopy," IEEE J. Solid-State Circuits (To be published).

[17] G. Karolyi, D. Gergelyi, and P. Foldesy, "Sub-THz Sensor Array With Embedded Signal Processing in 90 nm CMOS Technology," IEEE Sensors Journal, vol. 14, no. 8, pp. 2432-2441, Aug. 2014.

2015년 IDEC MPW 지원 내역 및 일정

2015년 MPW 지원 내역

- 6개 공정 16회 진행
- 아래 지원 내역은 공정사의 사정에 따라 변경될 수 있음.

회사	공정[μm]	공정내역	size	칩수/1회	모집회수	Package 사용 가능 pin 수 (Design)	Package type 실제작 pin 수	
							LQFP	BGA
삼성	65nmRF CMOS	CMOSRF 1-poly 8-metal	4mmx4mm	48	3	208pin		
매그나칩/SK하이닉스	0,35μm MOS	CMOS 2-poly 4-metal (Optional layer(DNW, HRI,BJT,CPOLY) 추가)	5mmx4mm	20	2	144pin	208pin	364pin
	0,18μm MOS	CMOS 1-poly 6-metal (6 metal을 Thick metal (TKM)로만 사용 가능) (Optional layer (DNW, HRI,BJT,MIM) 추가)	3,8mmx3,8mm	25	5	184pin		
Tower-Jazz	0,18μm CIS	CMOS 1-poly 4-metal	5mmx5mm	1	2	지원하지 않음		
	0,18μm BCDMOS	CMOS 1-poly 3-metal (MT)	5mmx5mm	3-4	3			
	0,18μm SiGe	SiGe BiCMOS 1-poly 6-metal	5mmx5mm	1	1			

2015년 MPW 진행 일정

- 회차 표기 방법 변경 : "공정코드-년도모집순서"(예시)삼성65nm 2015년 1회차 : S65-1501)
- 아래 일정은 공정사의 사정에 따라 변경될 수 있음.

회차구분 (공정_년도순서)	우선모집	정규모집	제작칩수	DB마감 (Tape-out)	Die-out	공정	공정사
MS18-1501		2015.12.29.	25	2015.03.02.	2015.08.03.	0,18μm (CMOS)	매그나칩/SK하이닉스
MS18-1502		2015.01.26.	25	2015.05.11.	2015.10.12.		
MS18-1503	2015.01.26.	2015.02.23.	25	2015.07.13.	2015.12.14.		
MS18-1504	2015.04.26.	2015.03.23.	25	2015.09.07.	2016.02.01.		
MS18-1505	2015.02.23.	2015.05.26.	25	2015.12.07.	2016.05.09.		
MS35-1501		2015.01.26.	20	2015.06.08.	2015.09.29.	0,35μm (CMOS)	
MS35-1502	2015.05.26.	2015.07.20.	20	2016.01.11.	2016.04.30.		
S65-1501		2014.12.29.	48	2015.06.15.	2015.12.14.	65nm (RF CMOS)	삼성
S65-1502	2015.02.23.	2015.04.20.	48	2015.10.19.	2016.04.19.		
S65-1503	2015.04.20.	2015.06.22.	48	2016.01.18.	2016.07.18.		
TJB18-1501		2014.12.29.	2	2015.03.02.	2015.07.06.	0,18μm (BCD)	TowerJazz
TJB18-1502	2015.01.26.	2015.03.23.	4	2015.08.24.	2015.12.28.		
TJB18-1503	2015.02.23.	2015.05.26.	4	2015.11.30.	2016.04.04.		
TJC18-1501		2015.01.26.	1	2015.06.15.	2015.10.23.	0,18μm(CIS)	
TJC18-1502	2015.02.23.	2015.05.26.	1	2015.11.23.	2016.03.28.		
TJS18-1501		2014.12.29.	1	2015.04.27.	2015.09.15.		

- 모집 : 우선과 정규모집으로 구분. 정규모집까지 마감되지 않는 공정에 대해서는 추가 모집 진행 (* 신청접수 기간 : 모집 마감일로부터 2주전부터 접수)
- 선정결과 : 모집 마감 후 15일내 개별 통보
- Package 제작 : Die out 이후 1개월 소요됨.
- TowerJazz 공정은 sub chip(5mmx2.5mm 또는 2.35mmx2.35mm)로 분할하여 모집
- 문의처 : yslee@idec.or.kr(Web site : http://www.idec.or.kr)

Low-End Low-Power 임베디드 마이크로프로세서

연구개발동향

1. 서론

영국의 반도체 IP 전문회사인 ARM사는 2015년 현재 고성능 임베디드 프로세서 시장의 90% 이상을 독점하고 있으며, 전 세계 휴대폰의 95%, 스마트폰의 85%가 ARM 프로세서를 기반으로 디자인되고 있다. 이와 비교해 low-end급 임베디드 프로세서 시장은 수요가 증가 추세에 있으면서, 틈새시장이 곳곳에 존재하고 있다. 그림 1에서 보는 것처럼 최근 사물인터넷 (Internet of things or IoT) 시장의 성장이 low-end급 프로세서의 수요를 증가시키고 있는데, 일부에서는 2020년까지 설치되는 IoT 기반 기기가 300-500억 대에 이를 것으로 전망한다[1]. 이에 본고에서는 시장에 나와있는 몇몇 기업의 low-end급 low-power 임베디드 마이크로프로세서의 특징을 살펴보고, 기술 동향을 파악한다. 본론 끝 부분에서는 본 연구실에서 연구 및 개발한 low-end 마이크로프로세서를 간략히 소개한다.



그림 1. IoT 네트워크 시스템 [2]

2. Low-End 임베디드 프로세서 기술 동향

과거에는 Intel 8051, Zilog Z80, Renesas 78K 같은 8-bit low-end 임베디드 프로세서 시장이 컸었는데, 현재는 32-bit low-end 임베디드 프로세서 시장도 확대되고 있다. 본고에서는 32-bit low-end 임베디드 프로세서의 기술 동향에 대해 살펴본다.

Cortex-M0 (ARM)

ARM사에서 개발한 Cortex-M0는 인텔 8051과 같은 기존 8-bit 마이크로프로세서를 대체하기 위한 목적으로 개발되었다. 기존의 8-bit 프로세서를 32-bit로 대체하게 되면, 비교적 저렴한 가격으로 시스템의 성능을 향상시킬 수 있다.

Cortex-M0는 32-bit 3단 파이프라인 구조이며, 57개의 명령어를 갖는다. 12개의 범용 레지스터, 8개의 특수 목적 레지스터를 가지며, 시스템 버스는 AHB-Lite를 사용하고, gate count는 40LP 공정에서 12000 정도이다. 소모 전력은 5.1μ W/MHz이며, DMIPS/MHz는 0.87이다. Cortex-M0의 간단한 블록도는 그림 2와 같다.

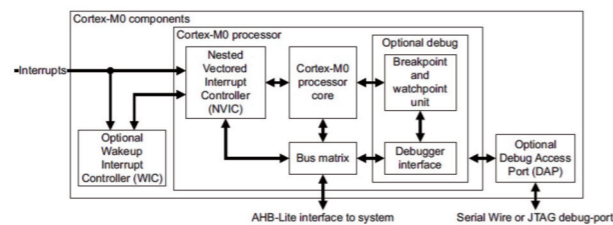


그림 2. Cortex-M0 내부 블록도

Cortex-M0, M0+, M3 등 ARM의 프로세서는 전력 소모를 줄이기 위해 sleep 모드와 deep-sleep 모드를 지원한다[3-5]. SCR (System control register)의 SLEEPDEEP 비트를 통해 sleep mode로 돌입할지, deep-sleep mode로 돌입할지를 결정하며, sleep mode에서는 프로세서로 들어가는 클럭을 정지시키고, deep-sleep mode에서는 시스템으로 들어가는 클럭을 정지시킨다. Deep-sleep mode에서는 PLL과 플래시 메모리까지 스위치 오프시킨다[3].

Sleep mode는 프로세서가 wait for interrupt (WFI)와 wait for event (WFE) 명령어를 수행한 이후 시작되는데, WFE를 통해 sleep mode에 진입할 때는 event register를 검사하여 event register가 0이면 동작을 멈추고 바로 sleep mode에 진입하지만, 이 레지스터가 1이면 그 값을 0으로 변경하고 하던 동작을 계속한다[3]. Sleep mode에 돌입한 프로세서는 주로 인터럽트에 의해 wake-up되며, wake-up 이후에는 restore 절차를 통해, sleep mode에 진입하기 전에 하던 일을 불러온다[3]. (이 restore 절차를 진행하기 전 PRIMASK bit를 검사하게 되는데, 이 비트가 1이면 0으로 다시 clear될 때까지 기다린 후 인터럽트 핸들러를 수행한다.) 프로세서가 deep-sleep mode일 때는 WIC (wakeup interrupt controller)가 활성화되며, 전력 관리장치는 Cortex로 공급되는 파워를 모두 차단시킨다. 이러한 deep-sleep/sleep mode를 사용하게 되면 전력 소모는 줄일 수 있지만, interrupt가 발생했을 때 코어가 깨어나기까지 기다려야 하므로, interrupt latency가 초래된다[3].

Cortex-M0+ (ARM)

Cortex-M0+는 Cortex-M0의 면적을 유지하면서 성능을 개선시킨 프로세서이며, 40LP 공정에서 12000 정도의 gate count, 3.8μ W/MHz의 전력 소모, 0.95의 DMIPS/MHz를 보이고 있다. M0보다 3년 후에 출시된 M0+는 M0과 같은 57개의 명령어를 갖지만 2단 파이프라인 구조로 설계되었기 때문에, branch에 의해 낭비되는 명령어를 뜻하는 branch shadow가 최대 2개의 명령어로 작다. M0+는 M0에서는 없었던 MPU(memory protection unit)를 추가함으로써 메모리를 8개 영역으로 나누어, 애플리케이션이 OS 영역으로 접근하지 못하게 막아 중요한 메모리 영역의 손실을 막는다[4]. 또한 M0+는 프로그램 실행 중에 exception vector의 재설정 가능한 vector relocation 기능을 지원한다[4]. Cortex-M0+의 간단한 블록도는 그림 3과 같다.

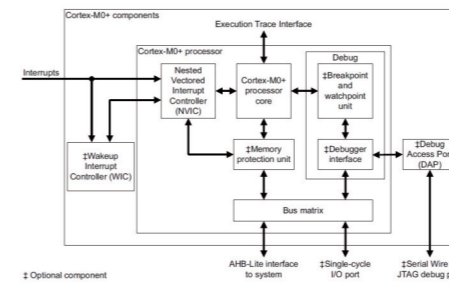


그림 3. Cortex-M0+ 내부 블록도

Cortex-M3 (ARM)

Cortex-M3는 엔터프라이즈 응용, 자동차 시스템 제어, 홈 네트워킹, 무선 네트워크 기술을 위한 목적으로 개발된 32-bit 3단 파이프라인 프로세서이며, 33000 gate count 수준으로 앞서 언급한 M0/M0+보다 더 높은 성능을 보인다.

Cortex-M3에는 코어에 직접 연결된 메모리인 tightly coupled memory(TCM)가 탑재되어 있으며, 이는 코어가 시스템 버스를 거치지 않고 직접 데이터 메모리에 접근할 수 있도록 하여, 메모리 접근에 소요되는 사이클을 줄여 준다. Cortex-M3의 MPU는 M0+와 같은 8개의 영역을 지원하며[6], 전력 소모는 11μ W/MHz이고, DMIPS/MHz는 1.25이다. 표 1에 Cortex-M0, M0+, M3의 성능을 요약하였다.

구분	Cortex-M0	Cortex-M0+	Cortex-M3
아키텍처	3-stage pipeline	2-stage pipeline	5-stage pipeline
공정 기술	40LP	40LP	40LP
Gate count	12,000	12,000	33,000
동작 속도 (MHz)	-	-	135
전력 소모(μW/MHz)	5.1	3.8	11
DMIPS/MHz	0.87	0.95	1.25
CoreMarks/MHz	2.33	2.46	3.34

표 1. Cortex-M 시리즈 프로세서의 성능 요약

ARM사에서는 이 외에도 Wi-Fi, TV, 카메라 등의 분야에 사용되는 Cortex-R 시리즈와, 스마트폰, TV, rich IoT 등의 분야에 사용되는 고성능 Cortex-A 시리즈 등 다양한 임베디드 프로세서를 제공한다[7]. Cortex-A 시리즈와 Cortex-R 시리즈는 M0/M0+/M3보다 더 높은 gate count를 갖고 있고 (예: Cortex-R4는 18만 gate count), 더 고성능 시장을 목표로 한다.

APS23 (Cortus)

Cortus사는 프랑스의 반도체 IP 업체로서 센서, 웨어러블 기기 등 간단한 IoT 시장을 목표로 다양한 low-end급 임베디드 프로세서 및 솔루션을 제공한다. APS23는 센서나 웨어러블 기기 등을 위한 목적으로 개발된 32-bit 3단 파이프라인 구조의 프로세서 코어이다. 동작 모드 변경이 필요 없는 16, 24, 32-bit 가변 길이 명령어 집합인 v2를 사용하고, 비순차적 명령어 수행(out of order)을 통해 성능을 높인다. v2 명령어 집합은 APS1과 APS3R에서 사용된 v1 명령어 집합에 비해 코드 밀도가 16% 더 높다. APS23는 16개의 범용 레지스터를 가지며, AXI-Lite 버스를 사용한다. 연산 장치로는 직렬 (sequential) 곱셈기를 지원하며, 더 높은 성능의 곱셈기는 옵션으로 구현돼 있다. APS23는 90nm 공정을 기준으로 9800 gate count를 갖고 있고, 전력 소모는 11.6μ W/MHz, DMIPS/MHz는 2.83이다[8]. APS23 SoC의 간단한 블록도는 그림 4와 같다.

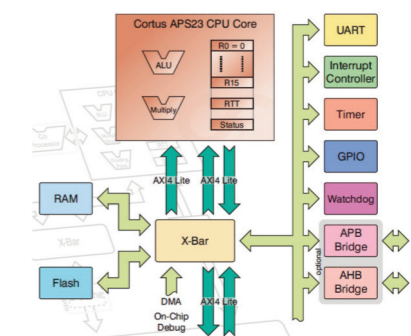


그림 4. APS23 내부 블록도

APS25 (Cortus)

APS25는 32-bit 5-7단 파이프라인 구조를 가지며, 가변적 파이프라인 구조와 작은 면적 때문에 멀티코어 시스템에 적합하다[8].

예를 들어 두 개의 코어가 같은 일을 수행하면서, 결과를 비교하여 다음 때에 알람을 울리는 시스템, 물리적으로 분리된 두 프로세서가 각각 관리자 (supervisor) 역할과 애플리케이션 역할을 수행하여 관리자 역할의 프로세서가 애플리케이션 역할의 프로세서의 동작 과정을 감시하는 등에 사용될 수 있다. APS25에는 암호화 및 신호 처리의 성능 개선을 위해 8개까지의 co-processor가 추가될 수 있으며, 사용자는 co-processor의 내부 구조에 대한 지식 없이도, C 코드의 function call 형태로 간단히 사용 가능하다.

APS25는 90nm 공정을 기준으로 18000 gate count를 갖고 있고, 전력 소모는 19.3μ W/MHz, DMIPS/MHz는 2.36이다[8]. Cortus사에서는 이 외에도 APS1, APS3R 등의 다양한 임베디드 프로세서를 제공하는데, APS1은 센서나 간단한 프로토콜의 IoT를 위한 목적으로 개발된 32-bit 프로세서이다. APS1은 APS25와 같이 5-7단 파이프라인 구조를 갖고 있고, 90nm 공정을 기준으로 7700 gate count를 보이며, 전력 소모는 11μ W/MHz, DMIPS/MHz는 2.02이다. APS3R은 5-7단 파이프라인 구조의 32-bit 프로세서로서, 90nm 공정에서 8700 gate count를 가지며, 전력 소모는 11.6μ W/MHz, DMIPS/MHz는 2.29이다[8]. 표 2에 Cortus사 프로세서의 성능을 요약하였다.

구분	APS23	APS25	APS3R	APS1
아키텍처	3-stage pipeline	5-7 stage pipeline	5-7 stage pipeline	5-7 stage pipeline
공정 기술	90nm	90nm	90nm	90nm
Gate count	9,800	18,000	8,700	7,700
동작 속도 (MHz)	200	344	526	400
전력 소모 (μW/MHz)	11.6	19.3	11.6	11
DMIPS/MHz	2.83	2.36	2.29	2.02
CoreMarks/MHz	1.44	2.09	1.21	-

표 2. Cortus사 프로세서의 성능 요약

N801-S (Andes)

Andes사는 대만의 반도체 IP 전문 기업으로서 low-end급 임베디드 프로세서뿐만 아니라 일부 고성능 임베디드 프로세서도 개발하고 있다. Andestar라는 이름의 명령어 집합 구조 (ISA)를 바탕으로 다양한 프로세서 및 솔루션을 제공한다. 그림 5는 N801-S의 간단한 블록도로서, instruction local memory (LM) I/F 블록과 data LM I/F 블록은 해당 메모리를 연결시켜 주는 컨트롤러이고, standby & VIC 블록은 전력 관리와 인터럽트를 담당한다. Embedded debug module은 serial debug port와 연결해주는 역할을 수행한다.

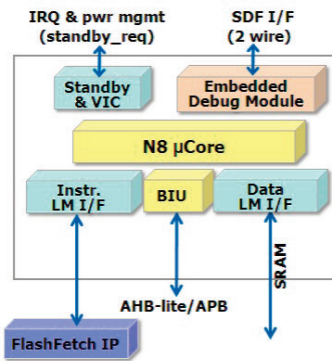


그림 5. N801-S 내부 블록도

N801-S는 IoT/ZigBee, NFC, 전력 관리 등의 분야에 응용 가능한 32-bit 3단 파이프라인 구조의 프로세서 코어이다. 16 bits, 32 bits가 혼합된 ISA인 V3m을 사용하고, 각 명령어의 최상위 비트는 16 bits, 32 bits의 명령어를 구분해 주기 위해 사용된다. Big endian을 사용하고, 16개의 범용 레지스터를 가지고 있다. 또한, 재설정이 가능하고 4개의 우선순위를 가지는 nested interrupts를 지원하며, 전력 감소를 위해 클락 및 로직 게이팅 기능이 구현되어 있다. N801-S는 AHB-Lite와 APB를 사용하여 외부 입출력 주변 장치와 연결된다. 90nm 공정을 기준으로 13800 gate count를 보이고, 전력 소모는 14.1μ W/MHz, DMIPS/MHz는 1.08이다[9]. EN801은 N801을 기반으로 만들어졌지만, N801과는 다르게 custom instructions를 추가할 수 있는 확장 가능 코어이다. ACE(Andes custom extension framework)를 이용하여 사용자가 execute logic을 추가하면, 기본 CPU와의 인터페이스는 자동으로 만들어지고, 이 후 COPILOT라는 소프트웨어를 사용하여 추가된 custom instructions를 사용하는 구조이다. 그림 6에 EN801의 간단한 블록도가 나타나 있다.

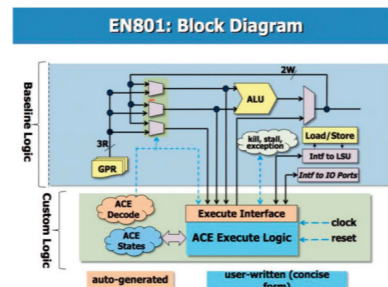


그림 6. EN801 내부 블록도

N903 (Andes)

N903은 자동차 제어 장치, 장난감 등에 사용할 목적으로 개발된 32-bit 5단 파이프라인 프로세서이다. N801-S에서 사용된 V3m보다 이전 버전인 V2 ISA를 사용한다. 16개의 범용 레지스터를 가지고 있고, 시스템 성능 향상을 위해 정적 분기 예측 기술을 적용하였으며[10], 파이프라인 전체에 클락 게이팅을 적용하여 전력을 감소시켰다. 명령어/데이터 캐시를 지원하고, APB/AHB/AHB-Lite/AMI 모두 사용이 가능하다. N903은 130nm 공정 하에서 16000 gate count를 보이고, 전력 소모는 76μ W/MHz, DMIPS/MHz는 1.32이다[9]. 그림 7에 N903의 간단한 블록도가 나타나 있다. 표 3에 N801-S와 N903의 성능을 요약하였다.

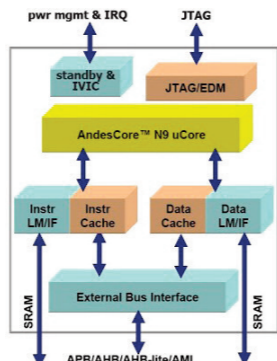


그림 7. N903 내부 블록도

구분	A801-S	A903
아키텍처	3-stage pipeline	5-stage pipeline
공정 기술	90nm	130nm
Gate count	13,800	16,000
동작 속도 (MHz)	-	208
전력 소모 (μW/MHz)	14.1	76
DMIPS/MHz	1.08	1.32
CoreMarks/MHz	-	-

표 3. Andes사 프로세서의 성능 요약

Andes사는 이 외에도 PMP, MP3, DVD, 게임기 등의 분야에 사용되는 40000 gate count 수준의 N1033-S, 디지털 TV, 네트워크 스위치, 라우터 등의 분야에 사용되는 65000 gate count 수준의 N1233-S 등 다양한 임베디드 프로세서를 제공한다. 이상의 내용을 살펴보면, ARM사의 Cortex-M0/M0+와 비슷한 성능을 지닌 프로세서로는 Cortus사의 APS1, APS3R, APS23, Andes사의 N801을 들 수 있다.

이들은 모두 낮은 gate count와 낮은 전력 소모를 특징으로 하여 low-end급 IoT 시장을 겨냥하고 있다. Low-end IoT 시장에서의 임베디드 프로세서는 주로 각종 센서에서 받은 정보를 읽고 처리하는 데 쓰여, 높은 데이터 처리율보다는 작은 면적과 낮은 전력 소비를 필요로 한다. 그 밖에 영국의 EnSilica사에서 만든 esi-3200, esi-3250 프로세서도 있다. esi-3200은 32-bit 5단 파이프라인 구조이고, 16/32 선택적 범용 레지스터를 갖고 있으며, 90nm 공정 하에서 15000 gate count를 보이고, 전력 소모는 18μ W/MHz, DMIPS/MHz는 1.41이다[11].

esi-3250은 32-bit 5단 파이프라인 구조이고, 32개의 범용 레지스터를 갖고 있으며, 90nm 공정 하에서 20000 gate count를 보이고, 전력 소모는 22μ W/MHz, DMIPS/MHz는 1.41이다[11]. 한편, 미국의 Tensilica사에서 만든 32-bit 5단 파이프라인 Xtensa LX 프로세서는 32개의 범용 레지스터를 갖고 있고, 130nm 공정 하에서 47000 gate count를 보이며, 전력 소모는 38μ W/MHz, DMIPS/MHz는 1.2이다[12]. 칼럼을 기고한 본 연구실에서는 각종 계량기, 센서 등을 포함하는 low-end IoT용 프로세서 및 SoC를 연구 개발하고 있다. 그 동안 4-bit, 16-bit, 32-bit 임베디드 프로세서를 개발하였는데, 4-bit 프로세서는 멀티사이클 구조로서 저전력, 낮은 gate count 특성을 갖고 있고, 16-bit 프로세서는 8개의 범용 레지스터를 갖고 있는 저전력, 낮은 gate count, 높은 코드 밀도의 멀티사이클 프로세서이다. 32-bit 파이프라인 프로세서는 2/3단짜리와 5단짜리를 설계했는데, 16개의 범용 레지스터를 갖고 있고, AHB-Lite 기반의 SoC에 내장하였다.

3. 맺음말

본고에서는 IoT를 포함한 low-end 시장에서의 임베디드 마이크로프로세서의 연구 개발 동향을 간략히 살펴보았다. IoT에서 센서, 통신 블록과 함께 핵심적인 역할을 수행하는 구성 블록이 프로세서이므로, 향후 low-end IoT 시장의 평창을 고려한다면, low-end, low-power 임베디드 프로세서의 연구 개발이 필요할 것이다.



이 광민 대학원생
소속 : 부산대학교 전자공학과
연구분야 : 프로세서 및 SoC 설계, WLAN MAC 설계
E-mail : basicrool@pusan.ac.kr



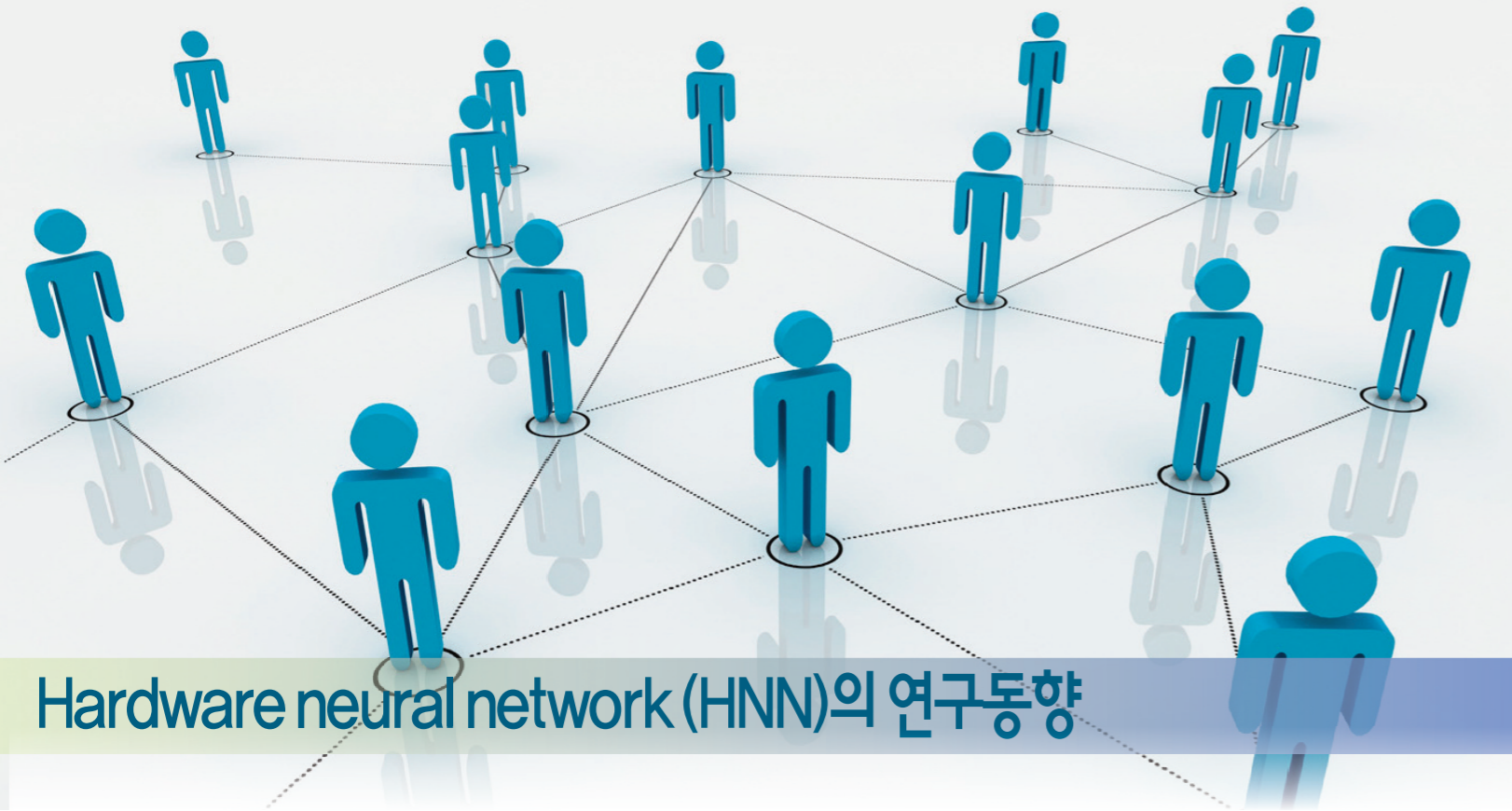
안 준영 대학원생
소속 : 부산대학교 전자공학과
연구분야 : 프로세서 및 SoC 설계, WLAN MAC 설계
E-mail : ahnjy115@pusan.ac.kr



박성경 교수
소속 : 부산대학교 전자공학과
연구분야 : 프로세서 및 SoC 설계, WLAN 설계
E-mail : fspark@pusan.ac.kr
홈페이지 : http://prof.pusan.ac.kr/user/ccslab

Reference

- [1] Elgar Fleisch, "What is the Internet of Things? - An Economic Perspective," Auto-ID Labs White Paper WP-BIZAPP-053, Jan. 2010.
- [2] Rafiullah Khan, et al., "Future Internet: The Internet of Things Architecture, Possible Applications and Key Challenges," 10th International Conference on Frontiers of Information Technology, pp. 257-260, Dec. 2012.
- [3] ARM Cortex™-M0 Devices Generic User Guide, ARM, 2009.
- [4] Cortex-M0+ Technical Reference Manual, ARM, 2012.
- [5] Cortex-M3 Technical Reference Manual, ARM, 2010.
- [6] Shyam Sadasivan, "An Introduction to the Cortex-M3 Processor," Whitepaper, ARM, Oct. 2006.
- [7] http://www.arm.com
- [8] http://www.cortus.com
- [9] http://www.andestech.com
- [10] Simon Jiang, Frankwell Lin, "The best SoC solution with AndesCore and Andes's platform," International Symposium on VLSI Design, Automation, and Test, pp. 1-4, Apr. 2012.
- [11] http://www.ensilica.com
- [12] Tom R. Halfhill, "Tensilica's preconfigured cores," Microprocessor Report, Linley Group, pp. 1-7, Mar. 2006.



Hardware neural network (HNN)의 연구동향

제 1장 서론

무선 인터넷 기술의 발달과 함께, 모든 기기에 인터넷이 연결되면서 막대한 정보량이 발생하고 있다. 실제로 인터넷에 연결된 기기의 수는 2013년 약 140억 개에서 2020년에는 약 320억 개로 증가할 것으로 예상된다. 각각의 디바이스로부터 발생하는 정보들은 새로운 생산성을 가지며, 이 정보들을 어떻게 처리하여 활용할 것인가는 최근에 새로운 화두로 떠오르고 있다. 이를 위해, 기존의 디지털 연산 방식보다 고성능 고효율의 정보처리 방식의 필요성이 지속적으로 증가하고 있다.

인간의 뇌는 20~25W 정도에 불과한 소비전력을 이용하여, 실시간으로 입력되는 많은 정보를 빠르고 정확하게 처리할 수 있는 세상에서 가장 복잡한 컴퓨터이다. 실제로, 인간의 뇌를 디지털 적으로 모사하기 위해서는 현존하는 슈퍼컴퓨터 대비 약 1000배 빠른 속도가 요구된다[1]. 인간의 뇌와 컴퓨터의 가장 큰 차이는 바로 학습능력의 유무와 정보를 병렬로 처리하는 능력인데, 이를 인공적으로 모사한 네트워크를 인공신경망(Artificial Neural Network, ANN)라 한다.

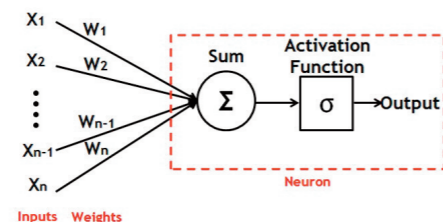
최근까지, 다양한 ANN들이 기존의 디지털 프로세서에서 구현되어 데이터를 처리하고, 이를 학습, 추론, 제어 등에 활용하는 연구들이 활발히 진행 되었다. 하지만, 기존 디지털 프로세서는 Sequential하게 정보를 처리하는 방식 때문에 인간 뇌의 학습 능력은 모사가 가능하나, 방대한 양의 데이터를 실시간으로 병렬처리 함에 있어서는 많은 제약이 있다. 따라서 최근에 하드웨어 단계에서부터 학습 능력과, 정보의 병렬처리 능력을 가능하게 하는 ANN 구현에 관한 연구가 활발히 진행되고 있으며, 이러한 분야를 Hardware Neural Network(HNN)라 한다.

여기서는 뉴럴 네트워크의 간단한 소개와, 최근에 개발된 다양한 HNN에 대해서 소개하고자 한다.

제 2장 본론

2-1. 뉴럴네트워크의 소개

인간의 뇌에는 약 10¹¹개의 뉴런이 존재하며, 하나의 뉴런은 평균적으로 10³ ~ 10⁴ 개의 시냅스를 통해서 다른 뉴런들과 연결된다. 생물학적으로 뉴런은 특정 뉴런으로부터 전달되는 정보를 받아들이고, 다시 다른 뉴런으로 전달한다. 이 정보들은 펄스 형태의 전기적 신호로 전달되는데, 뉴런들 사이에 위치하는 시냅스의 종류에 따라서 펄스의 크기는 감소 혹은 증가된다. 일반적으로 시냅스는 뉴런들에 의해 발생하는 펄스 신호의 인과관계를 기반으로, 펄스를 강화시키거나 감소시키는 특성을 갖도록 각 시냅스의 고유값들을 계속 변화시킨다. 이 과정을 학습이라 정의 하며, 인간의 뇌는 실시간으로 들어오는 무수히 많은 정보들을 받아들이고, 지속적인 학습을 통해 다양한 문제들을 해결할 수 있도록 시냅스들을 최적화 시킨다.



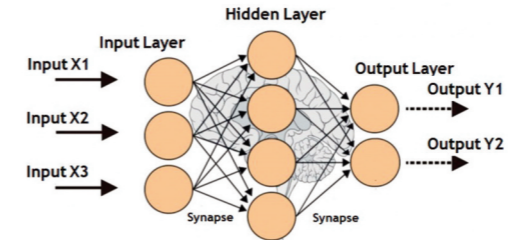
< 그림 1 . Perceptron Model >

ANN은 위에서 설명된 뉴런들과 시냅스들의 연결 그리고 시냅스를 최적화 시키는 학습 과정을 수학적으로 모델링하여 정보를 처리하고 특정 분야(인식, 추론, 제어, 분류 등)에 활용하기 위해 발전된 머신러닝(Machine Learning)의 종류이다. ANN을 구성하는 가장 기본적인 단위인 Perceptron은 그림 1과 같다. 일반적으로, 출력뉴런은 시냅스에 의해 변화된 이전 뉴런들로부터 전달되는 정보를 모두 합하여 특정 임계값보다 크면 출력 '1' 을 반환하고(출력 뉴런이 Fire되었다고 정의 함) 그렇지 않으면 '0' 을 반환한다. 뉴런들로부터 전달되는 정보를 X라 정의하고, 시냅스의 고유값 W(Weight)라고 정의하면, 최종 뉴런의 출력은 다음과 같이 수학적으로 정의될 수 있다.

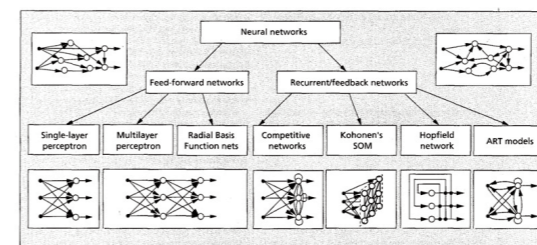
$$SUM = \sum_{i=0}^n W_i X_i \quad (1)$$

$$OUTPUT = \begin{cases} 1 & \text{if } \sigma(\sum_{i=0}^n W_i X_i) > 0 \\ 0 & \text{otherwise} \end{cases} \quad (2)$$

Perceptron에 사용되는 활성화함수(Activation Function)는 Linear, Step, Sigmoid 등 다양한 함수가 사용되며, 그림 2와 같이 다층구조(Multi-layer)로 확장될 경우 더욱 복잡한 정보를 원하는 목적에 맞게 정확히 처리할 수 있게 된다. Multi-layer Neural Network의 구조는 목적에 맞게 그림 3과 같이 다양한 구조가 존재하며[2], 이를 효율적으로 학습시키기 위한 학습방법(Learning rule)도 Error-correction, Boltzmann, Hebbian, Competitive 등 다양한 학습방법이 있다.



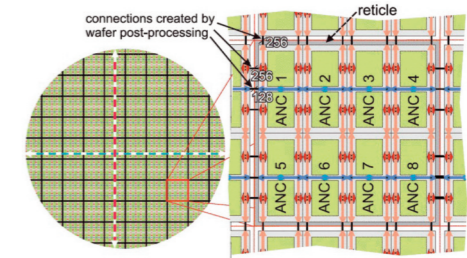
< 그림 2 . Multi-Layer Neural Network Model >



< 그림. 3 다양한 Neural-network 구조들 >

2-2. Hardware Neural Network(HNN)의 연구동향

서론에서 언급하였듯이 기존의 디지털 프로세서에서 구현되는 ANN은 실제 생물학적인 Neural Network를 완벽하게 모사하지 못한다. 때문에, 다양한 HNN 연구가 활발히 진행되고 있다. HNN을 구현하기 위한 가장 큰 이슈는 뉴런과 시냅스를 어떻게 구현할 것이며, 기존에 개발된 다양한 ANN들을 HNN으로 구현할 수 있게 최적화 시키는 것이다. 여기에서는 현재까지 진행된 다양한 HNN 연구에 대해 소개하고자 한다.

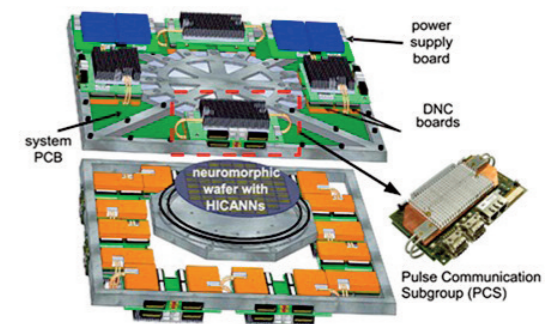


< 그림 4. 웨이퍼 위에 구현된 HICANN >

EU에서는 Human Brain Project(HBP)의 일부로 HNN 개발을 진행하고 있으며, 이 프로젝트의 결과로 독일의 Heidelberg Univ. 에서는 2009년에 High Input Count Analog Neural Network(HICANN [3])의 개발을 보고하였다.

HICANN은 5×10mm² 사이즈의 칩으로 8개의 Analog Neural Network Core(ANNCORE)를 포함하고 있으며, 각각의 ANNCORE는 512개의 뉴런을 포함하고 있고, 뉴런 1개에 총 256개의 아날로그 시냅스가 연결이 되어 있다(그림. 4). HICANN은 100uA 정도의 전류를 사용하여, 2Gbit/s의 데이터 처리 능력을 보여주었으며, 다수의 HICANN을 Wafer에서 집적하여 FPGA와 연동하여 그림 5와 같이 시스템으로 구현하였다.

구현된 시스템은 [4] “A Wafer-Scale Neuromorphic Hardware System for Large-Scale Neural Modeling” 에 보고되었으며, 176 GB/s의 데이터 처리 능력을 보여주었다.

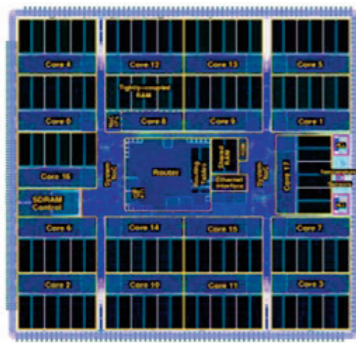


< 그림5 . HICANN을 이용한 시스템 구현 >

HBP의 또 다른 HNN 프로젝트는 그림 6에 나와 있는 SpiNNaker[5]이다. SpiNNaker는 영국의 Manchester Univ.에 의해 2012년에 개발 되었으며, HICANN가 아날로그 방식으로 HNN을 구현한 것과 달리 기존의 ARM 코어 18 개를 사용하여 HNN을 구현하였다. SpiNNaker에서는 ARM 코어간에 데이터를 효율적으로 주고받는 프로토콜에 대해서 연구를 진행하였으며, 기존의 디지털 프로세서를 이용하여 HNN을 구현할 수 있다는 것을 증명하였다.

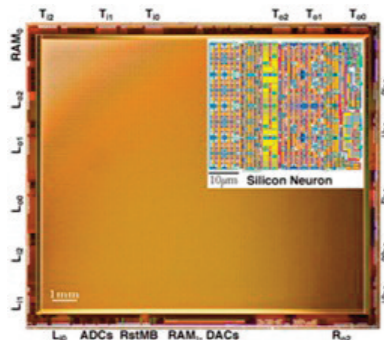
그 결과, 구현된 SpiNNaker는 75W의 소비전력으로(시스템 구현에 필요한 기타 모든 블락을 포함), 최대 72Gbit/s의 데이터 처리 능력을 보여주었다.





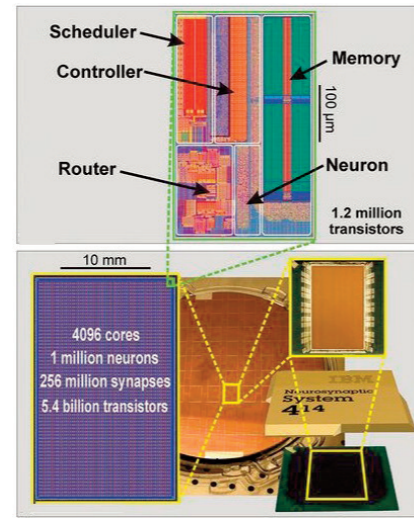
〈 그림 6. The SpiNNaker Die 〉

미국에서는 방위고등연구계획국(DARPA, Defense Advanced Research Projects Agency) 주도 하에 SyNAPSE 프로젝트라는 이름으로 여러 기업과 대학이 HNN 분야를 연구하고 있다. Neurogrid는 Stanford Univ.에 의해 개발되었으며, 그림 7에 나와 있는 자체 제작한 칩 16개를 이용하여 시스템을 구현하였다. 개발 방식은 앞서 소개된 HICANN과 유사하며, HICANN보다 많은 65,536 개의 뉴런과 37,500개의 시냅스를 집적 하였다. Neurogrid[6]는 약 2.7W의 소비전력으로, 약 4.67Gb/s의 데이터 처리 능력을 보여주었다.



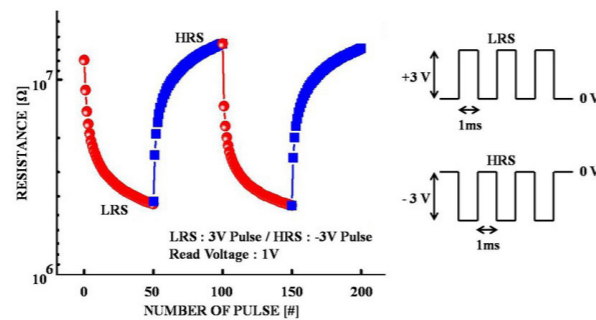
〈 그림 7. 시스템 구현을 위한 코어 칩 〉

SyNAPSE 프로젝트 또 다른 연구결과인 TrueNorth(그림 8, [7])는 IBM에 의해서 개발되었으며, 현재까지 개발된 HNN중 성능이 가장 좋고, 가장 상용화에 가까운 시스템이다. IBM은 삼성 28nm CMOS 공정을 이용하여 코어칩을 제작하였으며, 4096개의 코어칩을 사용하여 10^6 개의 뉴런과 256×10^6 개의 시냅스를 집적하였다. 시스템을 구현하기 위해 코어칩 간의 데이터를 효율적으로 주고 받는 프로토콜 또한 함께 연구되었다. TrueNorth는 불과 63mW의 파워만을 이용하여, 400x240 픽셀 30 frame/s의 비디오 영상에서 다중객체 인식(Multi-object detection and classification)을 실시간으로 처리할 수 있음을 보여주었다. 이 수치는 기존의 컴퓨터와 비교했을 경우, 속도 면에서는 약 100배 빠르고, 파워소비 면에서는 약 1/1300에 불과한 놀라운 결과이다.

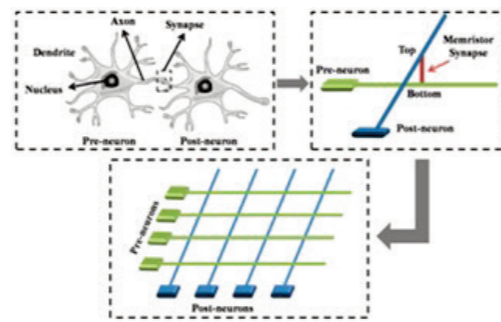


〈 그림 8. 64x64 코어 어레이 〉

지금까지 소개된 모든 연구는 오직 CMOS공정만을 이용하여 구현되었다. 하지만, CMOS공정에서는 시냅스를 구현하기 위해 다수의 트랜지스터가 사용되는 단점이 있으며, 이를 극복하기 위해 Memristor(Memory + Resister)라는 새로운 소자를 이용한 연구도 진행되고 있다. Memristor는 아날로그 메모리 특성을 갖는 2-Terminal 가변저항이며, 그림 9[8]와 같이 양단의 전압차에 의해 그 특성이 변화한다. 이 특성은 실제 생물학적인 시냅스와 매우 유사하며 그림 10과 같이 어레이 형태로 집적하기 쉽기 때문에, HNN연구에서 시냅스를 간단히 구현할 수 있는 후보로 꼽힌다.



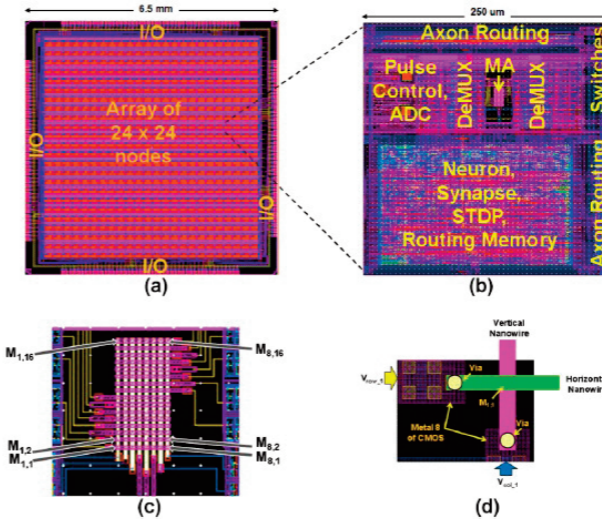
〈 그림 9. Memristor의 특성 그래프 〉



〈 그림 10. Memristor Array의 예 〉

Memristor를 활용한 가장 대표적인 연구결과는 미국의 HRL 연구소에 의해 발표된 "A scalable neural chip with synaptic electronics using CMOS integrated memristors" 이다(SyNAPSE 프로젝트의 일부, [9]).

이 연구에서는 그림 11과 같이 기존의 상용 CMOS 공정으로 제작된 칩 위에 Memristor Array를 증착시켜 시냅스를 구현하였으며, 6.5x6.5 mm² 사이즈 하나의 칩에 73,728개의 시냅스를 집적하였다.



〈 그림 11. (a) Chip, (b) Detail of one node, (c) Detail of an memristor array inside one node, and (d) symbolic diagram of the lower left corner of a memristor array connected to the CMOS wiring 〉

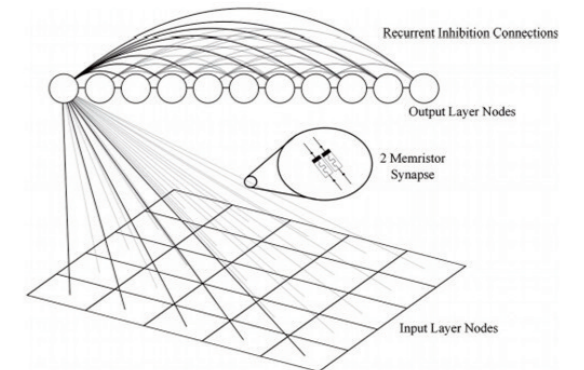
하지만 이 연구는 완성된 HNN을 활용하여, 앞서 소개된 연구들과 같이 특정 데이터를 처리하는 내용에 관한 연구를 진행하기 보다는 상용 CMOS공정위에 다수의 Memristor Array를 집적했다는 것에 의미를 두고 있다.

대부분의 Memristor를 사용하는 HNN연구는 [9]와 같이 주로 Material Science분야에서 활발히 이루어지고 있으나, 최근에 Computer Science분야에서도 이를 활용하여 뉴럴 네트워크를 구현하려는 연구를 진행하고 있다.

그 대표적인 예가 "Neuromorphic Character Recognition System With Two PCMO Memristors as a Synapse" 이다[10].

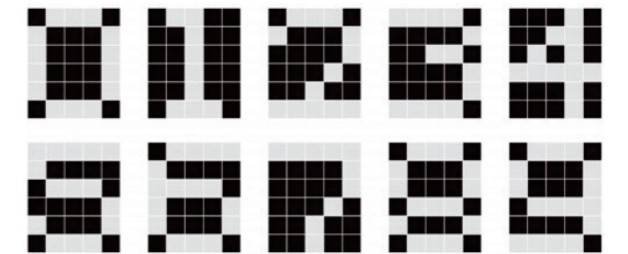
이 연구에서는 그림 9와 같은 비선형적인 특성을 갖는 Memristor의 특성을 그대로 모델링하고, 이를 보완하기 위해 2개의 Memristor를 이용하여 그림 12와 같은 뉴럴 네트워크를 시뮬레이션으로 구현하였다.

구현된 뉴럴네트워크의 성능을 평가하기 위하여, 그림 13과 같은 이미지를 입력으로 사용하고, Supervised learning 을 이용하여 시냅스 웨이트를 최적화 하였다.



〈 그림 12. [10]에 사용된 뉴럴네트워크 〉

평가 결과 다양한 노이즈 레벨에서 제안된 뉴럴네트워크는 그림 14와 같은 인식률을 보였으며, 이는 Memristor가 실제로 HNN구현에 충분히 사용될 수 있음을 증명한 것이다.



〈 그림 13. [10]에 사용된 입력 이미지 〉

Noise Level	Correct Recognition
5%	99.8%
10%	99.6%
15%	99.1%
20%	98.3%
30%	72.5%

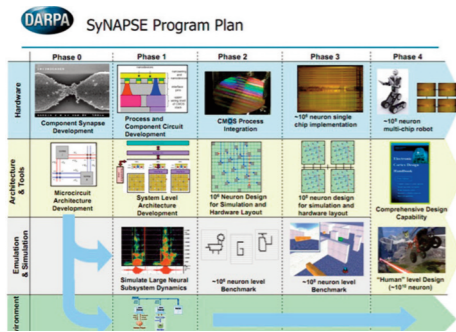
〈 그림 14. [10]의 테스트 결과 〉

Memristor를 활용한 HNN 구현은 아직 초보적인 수준에 머물러 있으며, Memristor를 물리적으로 구현하고 제작된 Memristor 웨이트를 조절하는 것에 주로 초점을 두고 연구를 진행하고 있다. 하지만, 최근에 Computer Science 및 Electronic Engineering 분야에서도 Memristor를 이용한 HNN 구현 연구를 활발히 진행하고 있기 때문에, 곧, TrueNorth에 근접한 연구결과를 내놓을 것이라 기대된다.



제 3장 결론

지금까지 설명한 바와 같이, HNN은 Mathematics, Material Science, Computer Science, Electronic Engineering 등의 다양한 분야가 혼합된 새로운 연구 분야이다. 미국과 유럽 등 해외에서는 Intel, HP, Qualcomm 등 다양한 기업이 수년 전부터 정부주도하에 활발한 연구를 진행하고 있으며, 일정 수준 이상의 성과를 달성했고, 상용화를 목표로 연구에 박차를 가하고 있다. 특히 그림 15과 같이 미국의 SYNAPSE 프로젝트는 체계적인 계획까지 공개하면서 연구를 진행하고 있다. 하지만, 국내에서는 개별적 분야에서 부분적으로 연구가 진행 될 뿐, HNN에 관련된 연구가 미비한 수준이다. 앞으로 다가올 IOT(Internet on Things)시대에는 무수히 많은 정보들 중에 적절한 정보를 가려내 효율적으로 활용하는 일이 무엇보다 중요해 질 것이며, HNN의 필요성이 점차 증가할 것이라 예상된다.



〈 그림 14. SyNAPSE 프로젝트 개발계획 〉

우리나라에는 HNN에 필요한 각 분야에서 국제적으로 괄목할 만한 성과를 내고 있는 기업, 학교 등이 많이 있다. 이제는 각자의 분야에서 벗어나 하루빨리 HNN과 관련된 연구를 진행해야 할 시기가 생각하며, 이를 위해 정부와 기업의 지속적인 투자가 이루어져야 할 것이다



이 병 근 교수
 소속 : GIST 기전공학부
 주 연구분야 : High-speed data converter, CMOS Image Sensor, Neuromorphic system design.
 E-mail : bglee@gist.ac.kr
 홈페이지 : http://analog.gist.ac.kr

Reference

(1). 정상돈, 김용희, 백남섭, “시냅스 모방소자 연구개발 동향”, ETRI 2014 Electronics and Telecommunications Trends, April, 2014, pp. 97 - 105.

(2). A. K. Jain et al, “Artificial Neural Networks: A Tutorial”, Computer, Mar, 1996, pp. 31 - 44.

(3). J. Schemmel et al, “Wafer-scale Integration of Analog Neural Networks”, IEEE International Joint Conference on Neural Networks, 2008, pp. 431 - 438.

(4). J. Schemme et al, “A Wafer-Scale Neuromorphic Hardware System for Large-Scale Neural Modeling”, Circuits and Systems (ISCAS), Proceedings of 2010 IEEE International Symposium on, pp. 1947 - 1950 .

(5). S. B. Furber et al. “Overview of the SpiNNaker system architecture”, IEEE Transaction on Computers, June, 2012, pp. 2454 - 2467.

(6). B. V. Benjamin et al “Neurogrid: A Mixed-Analog-Digital Multichip System for Large-Scale Neural Simulations”, Proceeding of the IEEE, April, 2014, pp. 699 - 716.

(7). P. A. Merolla et al “A Million Spiking-Neuron Integrated Circuit with a scalable communication network and interface”, Science, Aug, 2014, pp. 668 - 673.

(8). Sangsu Park et al, “Nanoscale RRAM-based synaptic electronics: toward a neuro-morphic computing device,” Nanotechnology, Issue. 38, Sep, 2013.

(9). J. M. Cruz-Albrecht. et al “A scalable neural chip with synaptic electronics using CMOS integrated memristors”, Nanotechnology, April, 2013, pp. 1 - 10.

(10) A. Sheri, H. Hwang, M. Jeon, and B. Lee, “Neuromorphic character recognition system with two pcmo-memristors as a synapse,” IEEE Trans. Ind. Electron, vol. 61, pp. 2933 - 2941, 2014.

경제
영역
3개년 계획

3년의 혁신,
30년의 성장

제 16 회

대한민국

뇌소도체설계대진

시상 및 포상 종류

자유주제 공모전

구분	시상 수	상금	비고
대상	1	1,000만원	대통령상
1등상	1	700만원	국무총리상
2등상	2	각 500만원	산업통상자원부장관상
3등상	3	각 300만원	특허청장상
특별상	1	200만원	한국발명진흥회장상
특별상	1	200만원	한국반도체산업협회장상

창의 IP 공모전

구분	포상 수	상금	비고
대상	1	300만원	
1등상	1	200만원	특허청장상
2등상	1	100만원	

유공자 포상

구분	포상 수	상금	비고
공로상	1	500만원	특허청장상
특별상	1	200만원	한국반도체산업협회장상

당선자에 대한 지원

- 포럼 등 행사를 통한 수상작품 및 설계기술 소개
- 수요기반 창의 IP 창출지원사업 신청 시 평가가점 부여
- 신뢰성 검증지원 신청 시 평가가점 부여
- 기술혁신형 중소기업(INNOV2) 지정 평가시 수상자 소속기업에 가점 부여

신청기간

자유주제 공모전
 참가신청 : 2015. 3. 31(화) ~ 2015. 5. 29(금)
 ※ 설계결과를 설명서 제출기한 : 2015. 7. 31(금)
 ※ 본선심사(9월) 진출자는 심사 당일 설계작 시연

창의 IP 공모전
 참가신청 : 2015. 3. 31(화) ~ 2015. 6. 30(화)
 ※ 설계작품 설명서 제출기한 : 2015. 8. 31(월)

유공자 포상
 신청접수 : 2015. 3. 31(화) ~ 2015. 7. 31(금)

신청방법 및 결과발표

신청서류 : 홈페이지(www.kipo.go.kr/semicon-design)에서 다운로드
 ※ 공모전 참가신청서는 권리보호요청에 서명하여 같이 제출

E-mail 또는 우편 신청
 E-mail : semicon-ip@korea.kr
 우 편 : 대전광역시 서구 청사로 189, 정부대전청사 4동 1804호 산업재산출력지원팀 (우)302-701

결과 발표 : 특허청 홈페이지 게시 및 개별통보(10월)

기 타

- 선정 절차 및 자세한 사항은 공모전 홈페이지 참조(www.kipo.go.kr/semicon-design)
- 문의처 : 특허청 산업재산정책국 산업재산출력지원팀 ☎ 042-481-8499, semicon-ip@korea.kr
- 참가신청서, 제출서류 및 결과물의 보안 유지(심사위원 : 비밀유지 서약서 제출)
- 시상식 일차 : 2015년 11월 (예정)

주 최 : 특허청

공동 주관 : 특허청 • 한국반도체산업협회

후 원 : 산업통상자원부 • 한국발명진흥회 • 매일경제

Alpes Congress



■ 주요 일정

<15. 3. 8(일)~15. 3. 14(월)>

- 12. 8 프랑스, 그르노블 도착
- 12. 9~12 DATE 2015 참석
- 12. 13 프랑스, 그르노블 출발
- 12. 14 한국, 인천 도착

DATE 2015 참관기

1. 학회 개요

DATE (Design, Automation & Test In Europe)는 유럽에서 개최되는 큰 규모의 전자 공학 분야 국제 학술대회로, 평균 30% 정도의 논문만 승인되는 기술 수준이 높은 학회이다. 올해 18번째 개최되었으며 78개의 테크니컬 세션과 11개의 전시 세션을 포함한 기술 프로그램에 총 1,400명 이상의 연구자, 개발자, 설계자 및 관료들이 참석하여 자신들의 연구 결과를 발표하고, 최신 연구 동향 및 신기술 개발 방향을 공유하는 자리를 제공하였다.

이번 DATE 2015에는 총 915편의 논문이 제출되었고, 이 중 206편(21%)과 86편(9%)이 각각 regular presentation, interactive presentation으로 선택되었다.

- D** Design Methods and Tools
- A** Application Design
- T** Test and Robustness
- E** Embedded Systems Software

2. 학회 일정

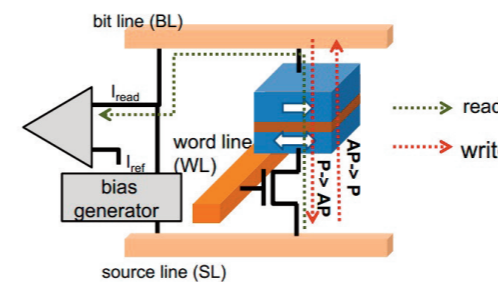
DATE 2015는 아래의 표와 같이 총 5일간 개최되었으며, 첫날과 마지막 날은 10개의 심도 있는 튜토리얼과 워크샵으로 구성되었다. 중간의 3일은 Keynote speech와 regular presentation (Special Speech, Technical conference)와 interactive presentation (University Booth, Vendor Exhibition & Exhibition Theatre)로 이루어졌다. 이 중 Keynote Speech를 제외한 논문들은 각각 8개의 세션으로 나누어져 동시에 진행되었다. 또한, 학회장 곳곳에 여러 회사의 제품이 전시되어 있었다.

Mon. 07:30 ~ 09:30	Tutorial Registration and Welcome Refreshments									
09:30 ~ 13:00	M01	M03	M05	M07	M09					
13:00 ~ 14:30	Lunch Break									
14:30 ~ 18:00	M02	M04	M06	M08	M10					
Tue. 08:30 ~ 10:30	Opening Session : Plenary, Awards Ceremony & Keynote Address									
10:30 ~ 11:30	2.1	2.2	2.3	2.4	2.5	2.6	2.7	2.8		
11:30 ~ 13:00	Lunch Break									
14:30 ~ 16:00	3.1	3.2	3.3	3.4	3.5	3.6	3.7	3.8		
16:00 ~ 17:00	Coffee Break									
17:00 ~ 18:30	4.1	4.2	4.3	4.4	4.5	4.6	4.7	4.8		
Wed-Thu. 08:30 ~ 10:00	Coffee Break									
10:00 ~ 11:00	Coffee Break									
11:00 ~ 12:30	6.1	6.2	6.3	6.4	6.5	6.6	6.7	6.8		
12:30 ~ 14:30	Lunch Break									
14:30 ~ 16:00	7.1	7.2	7.3	7.4	7.5	7.6	7.7	7.8		
16:00 ~ 17:00	Coffee Break									
17:00 ~ 18:30	8.1	8.2	8.3	8.4	8.5	8.6	8.7	8.8		
Fri. 07:30 ~ 09:30	Workshop Registration and Welcome Refreshments									
09:30 ~ 13:00	W01	W03	W05	W07	W09					
13:00 ~ 14:30	Lunch Break									
14:30 ~ 17:00	W02	W04	W06	W08	W10					

학회 일정표 ▶

M01	New Technologies: Spintronics: From Devices To Systems
M02	New Technologies: Spin Orbit Torque Magnetic Memories (SOT-MRAM): A Device to Architecture Review
M03	Embedded Systems: Embedded Memory Design for Future Technologies: Challenges, Solutions and Applications
M04	Embedded Systems: Functional Qualification: Applications in the C/C++ domain
M05	Automotive: Let's kick start electric vehicles!
M06	Automotive: Automotive Cyber-Physical Systems
M07	Low Power: Fixed-point refinement, a guaranteed approach towards energy efficient computing
M08	Low Power: The power of Power in future wireless smart systems for the Internet of Things
M09	Testing: From Data to Actions: Applications of Data Analytics in Semiconductor Manufacturing & Test
M10	Testing: Memory Test and Reliability in Nano-Era

▲ Tutorial



▲ STT-MRAM cell

3. 세부 프로그램 소개

▶ Tutorial

오전과 오후 각각 5개의 튜토리얼이 배치되어 있었다. 표를 보면 알 수 있듯이, M01과 M02, M03과 M04처럼 오전 오후의 주제가 연속되는 내용이었다. 일반적인 session과는 다르게 학회 등록 시 신청한 곳만 입장 가능했는데, 우리는 M01-02와 M05-06에 참석했다. 하나의 튜토리얼 안에서 2명에서 5명 정도의 speaker들이 비슷한 주제의 내용을 순서대로 발표하였다.

Tutorial M01, M02는 Spintronics와 그것을 이용한 STT-MRAM에 관한 내용이었다. Spintronics는 전자의 스핀방향을 up spin, down spin으로 나누어 사용하는 기술이다.

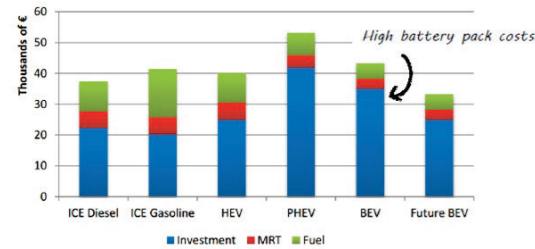
Giant Magnetoresistance Resistance (GMR) 효과는 Free Layer와 Fixed Layer 두 강자성체(Ferromagnetic, FM)의 전하의 스핀이 같을 때는 저항이 낮아지지만(Parallel, P) 다를 경우에는 그 저항값이 높아지는 것인데(Anti-parallel, AP), 이를 이용하여 전류를 흘려보냄으로써 P 상태와 AP 상태를 조절할 수 있다. 이것을 MTJ (Magnetic Tunneling Junctions)라고 하며, STT-MRAM을 만드는데 사용되는 기술이라고 한다.

전류의 방향과 전자스핀의 상관관계를 이용하여 집적도가 높은 비휘발성 메모리인 STT-MRAM을 만들 수 있다는 발표를 듣는 내내 머리가 아파져 왔다.

M05-Automotive: Let's kick start electric vehicles에서는 점점 발전하고 있는 Electric Vehicle (EV)의 미래 가능성을 확인할 수 있었다. 다들 알고 있듯이 EV는 친환경적인 연료를 사용하여 이산화탄소 배출이 상대적으로 적게 발생하고, 차량 천장에 태양열 패널을 설치하여 에너지 소비 또한 줄일 수 있다는 장점이 있다.

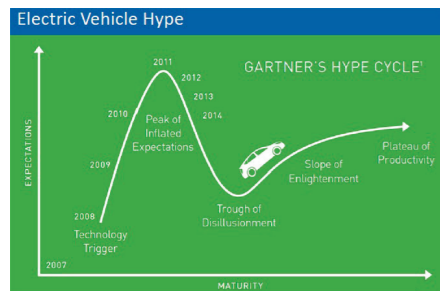
또한, 배터리 충전을 할 때에는 급속충전을 하여 재사용하기 용이하다. 하지만 아직 전기 차량은 대중적이지 않고, 사용되는 배터리가 일반 차량의 엔진에 비해 상대적으로 비싸고 무겁기 때문에 사용하기 어려운 환경이다. 무엇보다도 EV는 상당히 많은 투자비용이 필요하다.

그림을 보면 차량의 연료비용과 유지&보수비용보다 투자비가 더욱 많이 드는 것을 알 수 있다. 이렇게 많은 금액이 필요하므로 EV에 대한 기대치는 점점 줄어들었다.



MRT - Maintenance, Repair, Insurance and Taxes

▶ Electronic Vehicle의 필요비용



▶ Gartner's Hype Cycle

그러나 EV에 사용되는 전자 모터는 일반 차량의 combustion engine보다 강력한 토크를 갖고, 유지비용이 적게 든다. 기어 없이도 차량을 움직일 수 있으며, 속력 감속에 필요한 브레이킹도 보다 쉽게 할 수 있다.

위의 장점들과 함께 Martin Lukasiwycz는 하이프 사이클 이론을 내세우며 조만간 EV의 시대가 올 것이라고 예상했다. 또한, 그는 곧 다가올 시대에 부응하기 위해서 EV의 구조를 바꾸어야 한다고 주장했다.

현재 Hybrid EV(HEV), Plug-In Hybrid EV(PHEV), Battery EV(BEV), Range Extender Battery EV(RXBEV), Fuel Cell Battery EV(FCBEV) 등등 많은 종류의 EV가 개발되고 있지만, 이들의 구조는 모두 다르므로 개발의 최적화를 위해서는 어느 정도의 구조 통일이 필요하다고 말했다. 또한, 예상 EV 출시 시기 같은 내용과 현재는 미국이 가장 큰 시장이지만 향후 10년 동안 중국시장이 가장 거대해질 것이라는 미래 시장 예측도 이어졌다.

이어서 Sebastian Steinhorst의 발표가 이어졌다. 그의 발표는 EV의 배터리에 관한 내용이었으며, 언뜻 보기에는 무척 쉬운 내용이었으나, 며칠 뒤 다시 찾아가 질문하게끔 만든 흥미로운 주제였다.

이외에도 EV의 modeling 방법, joint controller-communication 디자인, system-level simulation과 같은 발표도 이어졌다.

▶ Keynote Speech

학회 일정 사흘 동안 매일 Lunch Break에 Keynote Speech가 진행되었다. EU 디지털 경제 및 사회 위원장, Glaxosmithkline 사, Synopsys 사, STMicroelectronics 사 등등 고위임원들의 연설을 맡았다.

이 중, Mentor Graphics사의 Keynote Speech가 가장 인상적이었다. Lunch time이었던 한 시간의 짧은 Keynote speech이었음에도 Mentor Graphics 사의 발표가 진행되는 컨퍼런스 홀은 사람들로 가득했다. 제일 먼저 드론을 볼 수 있었는데, 드론은 앞에서 날아다니며 학회장 내부를 촬영했다. 영상은 발표자가 들고 있는 아이패드로 전송되었고, 실시간으로 학회장의 모습을 영상을 통해 확인할 수 있었다.

정글이나 오지, 사고지역 등 인간이 접근하기 힘든 곳에 탐사선용으로 이용된다면 무척 유용할 것이라고 생각하였다. 문득 영상을 보면서 '드론은 날아다니는 CCTV가 될 수도 있겠다.' 라는 생각이 들면서 등골이 오싹했다.

일상에서 누군가를 은밀히 감시하는데 사용될 수도 있을 것 같았고, 그 대상이 나일 수도 있다는 생각이 들었기 때문이다. 이런 불안감은 나만의 것이 아니었을까? 학회장 내의 한 청중이 보안에 관한 질문을 하였는데, 돌아온 대답은 바로 이것이었다. "Offering the right service in the right time is our goal."

드론 다음에 등장한 것은 Aldebaran사의 로봇이었다. 2009년에 시작된 ROMEO 프로젝트의 결과로 로봇 Romeo가 제작된 이후로 일본을 비롯한 여러 국가와 연구기관들이 합세하여 Pepper, Nao를 제작하였다. 이 로봇들은 물체를 인식하고 손으로 쥐는 동작을 수행할 수 있었고, 과격한 움직임에도 넘어지지 않는 무게중심을 자랑했다.

또한, 배터리가 없으면 스스로 충전하는 자동충전 기능을 선보였다. 지금껏 보아왔던 로봇들과 Aldebaran 사의 로봇의 가장 큰 차이는 감정이해 분야이다. 동영상에서 볼 수 있었던 로봇 Pepper는 말의 높낮이와 말투를 해석하여 사람의 감정을 이해하는 모습을 보였다. 역시나 안드로이드 로봇에 대한 관심은 지대했다. 많은 사람이 안드로이드 로봇의 가격과 기술적 내용 그리고 상용화 계획에 대해 끊임없이 질문하였다. 민감한 질문들이었고, 발표자의 "It will be coming soon."이라는 말과 함께 Keynote speech는 끝이 났다.



▶ 아이패드를 이용해 드론 영상을 확인하는 모습



▶ 로봇 Pepper

▶ Regular Presentation

화요일부터 목요일까지 사흘 동안 다양한 주제로 무척 많은 발표를 접할 수 있었으며, 개인적으로 인상적이었던 4개의 발표를 간단히 소개한다.

Hot topic : Wearable Medical applications

관심을 두고 들어간 곳 중 하나는 Wearable Medical Applications 관련 발표였다. Wearable 기술과 Medical 기술이 융합됨으로 인해 공상과학영역에서 보았던 일들이 현실로 되고 있었다. 패치를 가슴에 부착함으로써 실시간 맥박 수치를 스마트폰으로 확인할 수 있었다.

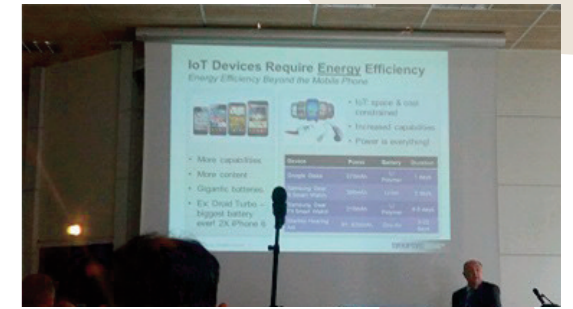
또한, 손가락 끝의 혈압을 재는 센서를 이용하여 맥박을 측정할 수도 있었다. Wearable Medical 기술 중에는 인적사항을 쉽게 확인할 수 있는 방법도 있었는데, 몸에 부착된 센서를 통해 환자의 이름과 나이 그리고 아픈 부위 같은 기록 등을 한 번에 찾아내는 것이었다.

Hot Topic & Executive panel - IoT

IoT(Internet of Things, 사물인터넷)는 1999년 MIT Auto-ID Center 소장인 Kevin Ashton이 제안한 용어로서 사물에 인터넷이 연결됨으로써 그 사물들을 외부에서 제어할 수 있는 기술을 의미한다.

시간과 장소에 구애받지 않고 여러 사물을 제어할 수 있는 이 기술은 전자공학을 전공하는 사람이 아니어도 누구든지 한 번쯤 들어보았을 만큼 어느 학회와 박람회에서 중요한 화두가 되어 주목을 받고 있다. DATE 2015에서도 역시 Executive panel과 Hot topic으로 다루어 IoT가 가장 큰 이슈가 되는 기술 중 하나임을 다시 한 번 느낄 수 있었다.

Silicon Cloud International에서는 전체적인 IC 디자인 인프라를 cloud에 구축하는 것에 대한 이점에 관하여 강조하였다. 이는 사용자에게 비용과 복잡성에 대한 부담을 덜어줄 것이며 한번 구축하고 나면 수많은 사용자가 사용하는 것을 가능하게 한다. 클라우드에서의 IoT 디자인은 새로운 기술의 가능성을 제공하고 작은 규모의 회사들과 개발도상국들에 장애가 되었던 디자인 진입 장벽을 낮춰줄 해결책이 될 것이다.



▶ IoT 디바이스가 요구하는 에너지 효율성

IoT 디바이스에 점차 더 많은 능력과 콘텐츠가 요구되면서 배터리의 크기가 거대해지고 있다. 크기와 비용면의 제약이 있는 IoT 디바이스들에게 에너지 효율은 가장 중요하게 고려해야 하는 사항이라는 것도 강조하였다. IoT는 많이 접해보고 들어본 적이 있었던 친숙한 주제였고, 세밀하게 기술적으로 파고들기보다 지금 우리가 처한 상황과 앞으로 나아가야 할 방향, IoT가 가지는 문제점과 그에 따른 해결방안에 대한 큰 그림을 그리는 발표였으므로 다른 세션들보다 비교적 가벼운 마음으로 참여할 수 있었고 발표 내용에 대한 이해도 수월했다.

Retraining-Based Timing Error Mitigation for Hardware Neural Networks

소비 전력의 한계(Thermal Design Power)에 의해 실리콘 칩에서 전력을 공급해 사용할 수 없는 지역인 'dark silicon' 문제가 대두하고 있다. 제조 공정이 미세화될수록 dark silicon이 차지하는 면적이 커지고, 더는 chip의 크기를 줄여 가동률을 높일 수 없게 되었다. 따라서 현대의 컴퓨터 구조는 heterogeneous 멀티코어 형태로 진화하고 있다.

serial task에 최적화된 대형 CPU core와 parallel task에 최적화된 소형 GPU core를 조합하여 dark silicon 문제를 해결하기 위함이다. 이처럼 sub core의 역할이 커지고 있는 시점에서 가장 주목받는 것 중 하나가 바로 뉴럴 네트워크 (Neural Network - NN)이다. NN은 이를 그대로 뉴런으로 이루어진 생체 신호망을 흉내 내어 만든 컴퓨터 구조이다.

여러 뉴런 층(layer)을 거치면서 특정 가중치(weight)가 곱해진 input data가 각각 더해지는 구조이며, 여러 번의 반복 작업을 수행하기 때문에 본질적으로 에러와 노이즈에 resilient하다. 이 발표에서는 NN accelerator를 이용하여 gate-level simulation을 여러 번 retraining 하는 방식으로 타이밍 에러를 줄



▲ Interactive presentation

이는 방법을 소개하였다.

평소에 Neural Networks에 대한 관심이 높았기 때문에 발표를 들은 이후에 꼼꼼히 논문을 읽어보게 되었다. 잘 알지 못했던 dark silicon의 발생 원인과 해결방안 등을 알게 된 기회였다.

M-DTM : Migration-based Dynamic Thermal Management for Heterogeneous mobile multi-core Processors의 발표가 있었다. 기존의 Heterogeneous Multi-core의 효율을 올리기 위해 기존의 DTM을 변형한 Migration-based DTM을 소개한 발표였다.

기존의 DTM은 performance가 높은 대신 전력소모와 발열이 심한 Big core와 저전력의 small core를 번갈아 사용한다. 칩 온도가 높아져 열에 의해 big core의 성능이 떨어지면 구동 중인 application을 small core로 이동시킨다. 하지만 이 동작은 big core를 바로 멈추고 small core를 동작시키기 때문에 big core의 열을 빠르게 해결하지는 못한다.

M-DTM에서 제안하는 방식은 칩 온도가 Thermal threshold를 넘었을 때를 기준으로 실행 중인 application을 big core에서 small core로 이동시키는 것이다.

small core에서 동작하는 application은 온도가 떨어지면 다시 big core로 옮겨 연산하는데, 이 경우 기존의 DTM 방식보다 최대치로 오르는 온도가 낮아진다. 덕분에 기존 DTM 방식보다 코어를 식히는 시간도 더 적게 걸려 big core의 performance가 최대인 상태로 동작하는 시간이 더 길어지는 것이다.

언뜻 발표를 들었을 때는 단지 온도의 threshold만을 조절하는 쉬운 방법 같았지만, 논문을 읽을수록 좋은 아이디어라는 생각이 들었다.

▶ Exhibition & University booth

어설픈 영어 말하기 실력 때문에 발표를 듣거나 전시장을 둘러보며 생기는 의문들을 해결하기 어려웠다. 때마침 첫날 튜토리얼 발표자가 전시하고 있는 것을 보게 되었고, 용기를 내어 궁금했던 점을 물어보았다. 말이 안 통하면 어떻게 해야 하나라는 생각이 채 가시기 전에, 질문에 차근차근 답을 해주었다.

여러 개의 배터리 셀을 병렬로 연결하여 원하는 배터리용량을 만든 다음 cell들의 충전전압을 맞춰주는 방법이었다. 배터리를 충전할 때, 배터리 안의 모든 cell이 동일하게 충전되는 것은 아니다. 소자 특성 같은 이유로 먼저 충전되는 cell이 있는 반면 더디게 충전되는 cell도 존재하게 된다. 따라서 비효율적으로 충전하는 시간이 오래 걸리게 된다.

발표자는 각 cell을 양옆 cell (neighbor cell)과 통신하는 방법으로 이 문제를 해결했다. 충전하는 도중에 neighbor cell과 통신을 주고받으면서 얼마나 충전되었는지 확인하며, 충전율이 높으면 neighbor cell에게 전류를 나눠주는 방법으로 효율적인 배터리 충전 방식을 제안하였다.

이해가 되지 않는 표정을 지으면 다시 한 번 설명해주는 그 모습을 보고 내 걱정은 기우였음을 알게 되었고, 무척이나 고맙웠다. DATE 학회장은 기업에서 전시한 제품들뿐만 아니라 학교와 업체에서 연구한 내용을 포스터로 전시한 것들도 많았다. 외관으로 보면 나이 차이가 얼마 나지 않아 보이는 사람들이 발표하는 모습을 보며 약간의 자괴감이 느껴지기도 했다.

축구공의 형태의 miCoach Smart Ball은 사용자가 공을 찾을 때 공이 날아가는 속도, 회전수, 발이 공에 닿은 위치나 그 힘에 대한 데이터까지 스마트폰을 통하여 확인할 수 있었다. 자신의 킥과 프로 선수의 킥에서의 차이도 수치로 비교하여주기 때문에 이를 참고하여 스스로 자세를 교정해 가며 운동할 수 있다.



▲ University booth

Adidas에서 만든 miCoach는 암 밴드형이나 신발에 부착하는 형태 등의 다양한 형태의 제품이 존재했다.

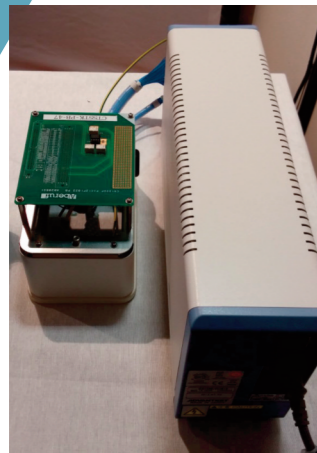
그 외에 눈길을 끌었던 것은 Cloud Testing Service에서 전시한 Cloud Testing Station이었는데, 이 Cloud Testing Station에 칩의 I/O를 연결하여 테스트 환경을 구축할 수 있다.

CTS에서 제공하는 테스트 IP나 측정 알고리즘 등을 사용해 칩을 테스트할 수 있었다. Cloud 서비스이기 때문에 단말에 인터넷이 연결되어야 하며, 단말기 대여는 무료이지만 Base Software와 Algorithm IP의 Licence를 구매하여야 한다.

이 서비스는 유럽이나 가까이 있는 일본에서도 서비스되고 있지만, 아직 국내에는 서비스 되고 있지 않았다.

이번 DATE 2015를 참관하면서 많은 사람의 발표와 논문, 그리고 제품들을 보고 여러 연구자는 어느 주제에 관심이 있으며 어떤 방향으로 연구하는지 엿볼 수 있었다.

또한, 이렇게 큰 학회를 참관하면서 시야를 넓힐 기회가 되었고 전자공학도로서 앞으로 더욱 분발해야겠다는 마음을 먹게 되었다. 다음 DATE 학회에는 발표자로서 참가할 것이라는 굳은 다짐과 함께 더욱 열심히 정진하겠다. 학회에 참석하게 도와주신 이승은 교수님께 감사드립니다.



▲ Cloud Testing Station



▲ miCoach Smart ball

	<p>신정우 · 석사과정 서울과학기술대학교 전자공학과 shinjungwoo@seoultech.ac.kr http://soc.seoultech.ac.kr</p>		<p>이건하 · 학사과정 서울과학기술대학교 전자공학과 leegunha@seoultech.ac.kr http://soc.seoultech.ac.kr</p>
	<p>권오성 · 석사과정 서울과학기술대학교 전자공학과 gwon_os@seoultech.ac.kr http://soc.seoultech.ac.kr</p>		<p>이승은 · 교수 서울과학기술대학교 전자공학과 seung.lee@seoultech.ac.kr http://soc.seoultech.ac.kr</p>
	<p>고은누리 · 학사과정 서울과학기술대학교 전자공학과 koeunnuri@seoultech.ac.kr http://soc.seoultech.ac.kr</p>		

Mentor사 Capital & AUTOSAR 솔루션

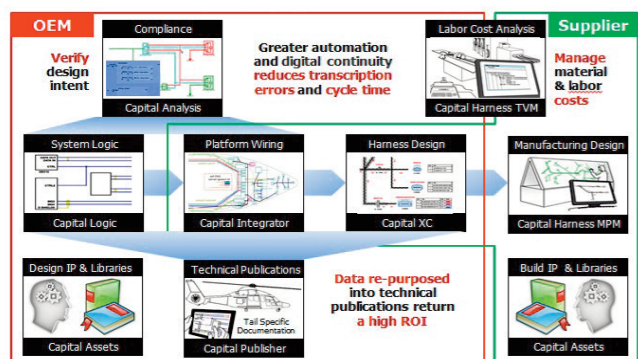
Mentor사 Capital

- A. 목적**
AUTOSAR ECU Design
- B. 구분**
자동차 AUTOSAR ECU 설계를 위한 통합 솔루션 제공
- C. Supported Platform and O/S System**
 - Linux SLES 10, 11 64bit
 - Windows 7 32/64bit
 - Windows Server 2008 32/64bit
 - Windows Server 2003 32bit
 - Windows Vista 32/64bit
 - Windows XP 32bit

D. 특성 및 기능
Mentor Graphics의 Capital 제품군은 자동차/항공 분야에서 Option, Variant를 고려한 와이어 하네스 설계 분야에서 최적의 솔루션을 제공한다. 상기 제품군에는 와이어 하네스 설계를 위한 시스템 회로도 생성, 시스템 회로도의 정성적/정량적 동작 분석, 차량 레벨로 시스템 회로도 합성, 2D 도면 생성, 하네스 제조 BOM 생성, 하네스 제조 Cost 분석, 정검 및 수리를 위한 서비스 문서 자동 생성 등을 위한 제품이 포함된다.

유수의 자동차, 우주 항공 및 하네스 제조업체들에서 사용되고 있는 Capital 제품군은 통합 설계 프로세스에 대한 복잡한 요구에 최대한 부응하도록 개발되었다.

이를 구현하기 위해 Capital 제품군은 데이터 관리 측면에서 차별화되며 각 설계 프로세스에서 정의되는 모든 데이터는 통합된 하나의 데이터 베이스에 메타 데이터 형태로 저장되고 관리된다. 또한, Capital 제품군은 데이터 중심성을 기반으로 다양한 설계 단계를 자동화하고, 진행되는 설계 단계에서 정보 흐름을 최소화한다. 따라서 기존 설계 툴에서 요구되던 시간 소모적이고 오류에 취약한 방대한 분량의 데이터 재입력 작업을 최소화하고 설계 단계를 자동화하여 설계 시간 단축 및 품질 향상에 획기적으로 도움을 준다.



Capital Logic
디바이스 상호 간 신호 연결을 표현하기 위한 논리적 회로도 생성 혹은 스플라이스, 멀티코어, 인라인 커넥터 등이 포함되어 커넥터 사이의 와이어 연결을 표현하기 위한 물리적 회로도를 생성할 수 있다. Capital은 Capital Logic에서 논리적 회로도를 생성해야 하는 Generative Flow와 물리적 회로도를 생성해야 하는 Interactive Flow를 모두 지원한다.

Capital Logic은 사용자 편의 위주의 그래픽 환경을 제공하는 물론이고 각각의 시스템 회로도 생성 및 시스템별 회로도를 차량 레벨 회로도로의 병합을 지원한다. 또한, 전문적인 기술이 요구되지 않는 DC 시뮬레이션 기능과 다양한 DRC (Design Rule Check) 및 회로도 간의 비교와 같은 포괄적인 자동화 기능 및 데이터 관리 기능까지 제공한다.

CER (Capital Enterprise Reporter)와 같은 추가 기능 제품을 사용하면 인터넷이 연결된 사내/외 모든 데스크톱에서 웹 브라우저를 이용해 회로도를 비롯한 필요한 설계 데이터를 참조할 수 있다. 이때 보안이 필요한 데이터에 대하여는 연결하는 사용자에게 따라 데이터 액세스가 제한될 수 있도록 구성할 수 있다.

또한, CIS (Capital Integration Server)를 이용할 경우, CIS에서 제공하는 API (Application Interface Protocol) 사용하여 이 기종의 애플리케이션과의 인터페이스를 구현할 수 있으며 Java 혹은 상용 Script를 이용하여 Capital Logic 내에 새로운 기능을 추가할 수 있다.

CER과 CIS는 아래에 설명되는 모든 제품에도 적용할 수 있다.

Capital Integrator
Capital Logic에서 생성한 논리적 회로도 정보와 차량 옵션 정보 그리고 차량에 전장 부품이 위치한 토폴로지 정보를 합성하여 와이어 및 물리적 회로도를 룰과 제약 조건을 기반으로 자동 생성한다. Capital Integrator 내의 토폴로지에서 전장 부품의 위치를 변경한 다양한 시나리오를 작성할 수 있으며, 논리적 회로도를 해당 사의 IP 혹은 라이브러리 이용하는 Generative Flow를 적용할 경우 다양한 시나리오별 물리적 아키텍처를 용이하게 검토해 볼 수 있다. 최종 선택된 토폴로지를 이용한 물리적 회로도는 '버튼' 클릭을 통해 자동 생성된다. 따라서 설계자는 물리적 회로도 작성 자체보다 창의적으로 아키텍처를 검토하고 사내 IP에 해당하는 룰과 제약 조건을 혁신하는 데 주력할 수 있다.

물리적 회로도 생성 시, 전기적 특성을 고려하여 해당 스택에 부합하는 와이어, 퓨즈 등의 부품을 라이브러리에서 자동 선택하도록 룰을 생성할 수도 있다. Gound Design과 같은 추가 기능 제품을 사용하면 접지 방법론을 쉽게 설계 안에 구현할 수 있고, Capital Insight 제품을 이용하면 스파이더 다이어그램 등의 결과 그래프를 통해 물리적 아키텍처를 보다 용이하게 검토할 수 있다.

Capital HarnessXC and FormboardXC
Capital HarnessXC를 이용하여 하네스 제작에 필요한 2D 도면 및 Formboard 도면을 생성할 수 있다.

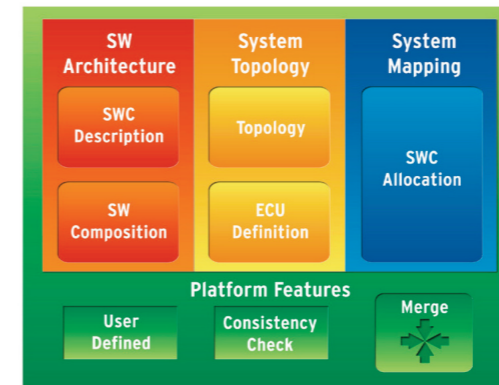
제조에 필수적인 설계 검증 룰이 기본적으로 제공되며 필요에 따라서는 이는 사내 요구 사항에 충족되도록 룰을 추가하는 것이 가능하다. 또한, 'Style Set' 기능을 이용하면 만들어진 도면의 형태가 어떤 사용자가 생성하든 같은 포맷이 유지되도록 한다. 이를 통한 설계의 일관성을 기할 수 있다. Capital HarnessXC는 3D 모델링 제품인 CATIA 등과 연계하여 유관 정보를 상호 주고받을 수 있다.

내장된 '하네스 엔지니어링' 기능을 활용하면 하네스 번들 직경, 최적화된 스플라이스 위치, 테이핑 수량, 하네스 무게등을 자동 계산할 수 있으며 부품에 스택 정보가 포함되어 있다면 이를 기반으로 부품 선택 루틴을 통해 와이어, 멀티코어, 터미널, 썸, 캐비티 플러그, 테이프, 튜브, 히트싱크 슬리브 등의 파트넘버를 라이브러리로부터 자동으로 선택해 주는 기능을 제공한다.

Mentor사 AUTOSAR 솔루션

- A. 목적**
차량 AUTOSAR ECU Design
- B. 구분**
차량 AUTOSAR ECU 설계를 위한 통합 솔루션 제공
- C. Supported Platform and O/S System**
 - Windows 7 32/64bit
 - Windows XP 32bit

D. 특성 및 기능
AUTOSAR 4.0.3 표준에 부합하는 상용 제품
Volcano VSA (Vehicle Systems Architect)
VSA를 이용하여 사용자는 AUTOSAR 기반시스템의 SWC (Software Component)를 정의하는 등의 소프트웨어 아키텍처 및 ECU, ECU 주변 소자 등을 정의하는 하드웨어 아키텍처를 설계할 수 있다. 이후 정의된 ECU에 SWC를 할당하게 되며 ECU간의 통신 토폴로지 및 통신 프로토콜을 정의할 수 있다. 일반적으로 상기의 업무는 OEM에서 하게 되고 개별 ECU에 대한 정보는 ECU Extract 형태로 소프트웨어 개발을 위한 협력업체에 전달된다.

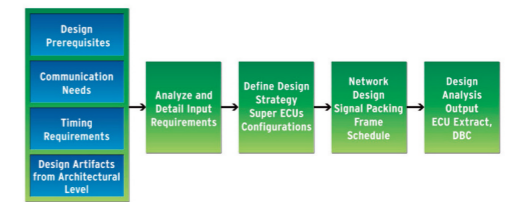


AUTOSAR Design Steps and Platform Features Supported by VSA

다중 사용자 환경을 지원하며, 여러 엔지니어가 동시에 다른 설계 업무를 진행하더라도 설계 후 'Merge' 기능을 이용하여 설계 병합이 가능하다.

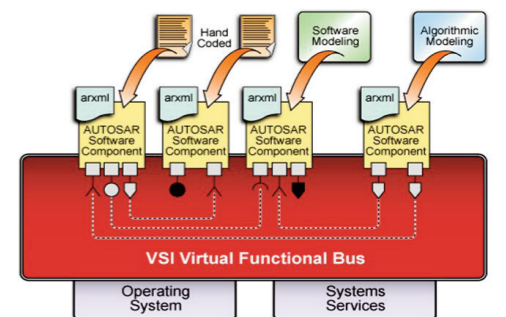
Volcano VSA COM Designer
VSA COM Designer는 타이밍요구사항을 반영하여 AUTOSAR 기반 CAN, LIN 및 FlexRay 등의 네트워크가 신호 손실 없이 동작하도록 설

계할 수 있다. 최악의 상황을 가정하는 자체 알고리즘은 손실 없는 신호 동작을 보증한다. VSA COM Designer를 사용하면 AUTOSAR 기반 ECU와 기존의 일반 ECU가 네트워크상에 함께 존재하더라도 이를 고려한 네트워크 설계가 가능하다.



Network Design Process in VSA COM Designer

Volcano VSI (Virtual Systems Integrator)
아래와 같이 소프트웨어 코드는 핸드 코딩 혹은 모델 기반 개발 방법론을 통하여 생성될 수 있다. Volcano VSI를 이용하여 사용자는 다양한 방법으로 생성된 코드를 가상 환경 아래에서 'Break Point' 등을 이용하여 코드를 디버깅하고 동작을 대화형으로 검증할 수 있다.



- AUTOSAR 응용 소프트웨어 검증을 위한 실행 환경 제공
- x86 상에서 가상 ECU 구현 및 소프트웨어 기능 검증
- 일반 VFB (Virtual Functional Bus) 시뮬레이션을 넘어선 AUTOSAROS, RTE 지원

Volcano VSTAR - Mentor AUTOSAR Basic Software, VSB (Vehicle System Builder)

Mentor의 AUTOSAR를 위한 기본 소프트웨어인 Volcano VSTAR는 애플리케이션 프로그래머의 유연성과 사용 편의성을 극대화한다. 이 제품은 운영 체제(OS), RTE 생성기, 모드 관리 모듈, AUTOSAR 서비스 모듈 (예: 메모리, 진단 및 통신 서비스), I/O 하드웨어 추상화를 위한 모듈 등으로 구성되어 있다. 또한, VSTAR에는 LIN, CAN 및 FlexRay 등의 통신 스택을 완벽히 지원하는 모듈이 포함되어 있다.

Mentor의 AUTOSAR 운영 체제는 OSEK/VDX 표준을 기반으로 하며 모든 적합성 클래스 및 확장성 (클래스 1~4)을 지원한다. 또한, OSEK OS, 카운터 인터페이스, 일정 테이블, 스택 모니터링, 보호 후크, 타이밍 보호, 글로벌 시간/동기화 지원, 메모리 보호 등과 같은 옵션을 제공하고 있다.

회사명 : Mentor Graphics
(Subsidiary of Ansys Inc.)
웹 주소 : <http://www.mentorkr.com/>
한국지사 : 한국멘토
전화 : 031) 8061-0790
주소 : 경기도 성남시 분당구 판교역로 192번길 12 (삼평동) 판교 미래에셋센터 7층