



IDEC
newsletter

VOL. 213

March 2015

IDEC Newsletter | 통권 제213호

◎ 발행일 2015년 03월 31일 ◎ 발행인 박인철 ◎ 편집인 남병규 ◎ 제작 푸울디자인
◎ 기획 전람회 ◎ 전화 042-350-8535 ◎ 팩스 042-350-8540 ◎ 홈페이지 <http://idec.or.kr>
◎ E-mail jng0929@idec.or.kr ◎ 발행처 반도체설계교육센터(DEC)

반도체설계교육센터 사업은 미래창조과학부(산업통상자원부), 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 에이티세미콘, TowerJazz)의 지원으로 수행되고 있습니다.

MPW (Multi-Project Wafer) 2015년 MPW 진행 현황

공정	회차구분 (공정_년도순서)	우선모집	정규모집	제작접수	DB 마감 (Tape-out)	Die-out	비고
매그나칩/ SK하이닉스 0.18 μ m	MS18-1501		2014.12.29	25	2015.03.02	2015.08.03	모집마감
	MS18-1502		2015.01.26	25	2015.05.11	2015.10.12	모집마감
	MS18-1503	2015.01.26	2015.02.23	25	2015.07.13	2015.12.14	모집마감
	MS18-1504	2015.01.26	2015.03.23	25	2015.09.07	2016.02.01	
	MS18-1505	2015.02.23	2015.05.26	25	2015.12.07	2016.05.09	
매그나칩/ SK하이닉스0.35 μ m	MS35-1501		2015.01.26	20	2015.06.08	2015.09.29	모집마감
	MS35-1502	2015.05.26	2015.07.20	20	2016.01.11	2016.04.30	
삼성 65nm	S65-1501		2014.12.29	48	2015.06.15	2015.12.14	모집마감
	S65-1502	2015.02.23	2015.04.20	48	2015.10.19	2016.04.19	
	S65-1503	2015.04.20	2015.06.22	48	2014.03.27	2016.07.18	
TowerJazz BCD 0.18 μ m	TJB18-1501		2014.12.29	3	2015.03.02	2015.07.06	모집마감
	TJB18-1502	2015.01.26	2015.03.23	3	2015.08.24	2015.12.28	
	TJB18-1503	2015.02.23	2015.05.26	4	2015.11.30	2016.04.04	
TowerJazz CIS 0.18 μ m	TJC18-1501		2015.01.26	1	2015.06.15	2015.10.23	모집마감
	TJC18-1502	2015.02.23	2015.05.26	1	2015.11.23	2016.03.28	
TowerJazz SiGe 0.18 μ m	TJS18-1501	TJS18-1501	2014.12.29	1	2015.04.27	2015.09.15	추가모집중

- * 일정은 사정에 따라 다소 변경될 수 있음.
- * 회차 표기 방법 변경 : 공정코드-년도 모집순서 (예시) 삼성65nm 2015년1회차-S65-1501
- * TowerJazz 공정은 sub chip (2.35mmX2.35mm)으로 분리하여 모집
- * 모집기간 : 모집 마감일로 부터 2주전부터 접수
- * Package 제작은 Die out 이후 1개월 소요됨
- * 기준일 : 2015. 02. 23

* 문의 : 이의숙 (042-350-4428, ylslee@idec.or.kr)



NDA가 체결된 Design Data 유출 금지 안내

IDEC의 MPW 참가를 통해 전달받은 Design Data 일체는 NDA를 통해서 법적인 구속력을 가지며, 관리 소홀로 인한 외부로의 공개 또는 유출 시 개인뿐만 아니라 개인이 속해 있는 WG에 자격 박탈과 같은 강력한 규제가 가해질 수 있습니다. 협약에 의해, 형사상 책임을 물을 수 있음을 알려 드립니다. MPW 참여자 분들은 Design Data 및 관련 자료의 관리를 철저히 하시어 불이익을 당하는 일이 없도록 거듭 당부 드립니다. NDA 체결 후 수령한 Design Kit 일체는 IDEC에 칩 수령 후 2개월 이내에 반드시 삭제하고, NDA 폐기확인서를 제출하여 제3자에 의한 공개 및 유출이 일어나지 않도록 주의 바랍니다.

2015년 3월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

KAIST 개설 강좌 안내

센터명	강의일자	강의제목	분류
본센터	3월 6일	아나로그 IC 설계	설계강좌
	3월 10일-12일	Mentor-Calibre DRC/LVS and LVS debug	Tool강좌

- 강좌일 : 3월 6일
- 강좌제목 : 아나로그 IC 설계
- 강사 : 변영재 교수 (울산과학기술대학교)

강좌개요 MOS 기본 physics복습을 통한 'single stage amplifier' 의 원리를 철저히 이해하고, 그를 바탕으로 current mirror, differential amplifier의 의미를 이해한다. Frequency Response/Feedback을 통한 stability등 주파수 영역에서의 설계에 대한 이해를 완성하고, bandgap reference, op amp, switch cap circuits, PLL 등을 배운 후, 몇 가지 실제적인 설계를 분석하며 그 이해를 탄탄히 해본다. 틈틈이 'layout' 에 기본 설명과 여러 가지 상황에서의 레이아웃의 know-how를 소개함.

수강대상 전공자중 대학교4학년, 석사 1-2년, 직장인 및 타전공자
강의수준 초급
강의형태 이론
사전지식, 선수과목 전자회로 1, 2

IDEC, 제22회 한국반도체학술대회 Chip Design Contest 개최

김석 학생(성균관대)에게 Best Design Award의 영광이

Chip Design Contest에 제출한 62편의 논문 중 평가를 통해 가장 우수한 논문을 수상하는 Best Design Award는 성균관대학교 김석(논문명 : A Near-GND Receiver with a Data & Edge DFE)이 받는 영예를 안았다.

또한, 당일 데모 심사를 통해 수상하는 SSCS 서울챗터상에는 손경섭(인하대)가, Best Demo Award는 유인재(KAIST)와 이종석(숭실대)이 수상하는 영예를 안았다. 패널부 분인 Best Poster Award에는 이양훈(KAIST)이 선정되었다.

이번 행사에서는 SSCS 서울챗터상에 대한 시상만 이뤄졌고, Best Design Award와 Best Demo Award, Best Poster Award 시상은 오는 2015 IDEC SoC Congress 에서 진행될 예정이다.



▶ SSCS 서울챗터상 시상 모습
(좌: 문용 교수(숭실대), 우: 손경섭 학생(인하대))

- 강좌일 : 3월 10일-12일
- 강좌제목 : Mentor-Calibre DRC/LVS and LVS debug
- 강사 : 이동규 과장 (Mentor)

강좌개요 Calibre 사용법 및 효율적인 LVS Debug 방법

수강대상 Calibre User

강의수준 초급

강의형태 이론+실습

사전지식, 선수과목 Calibre경험이 필요하나Basics 내용이 포함 되어있기 때문에 처음 Tool을 사용하시는 분도 가능 합니다.

*문의 : KAIST IDEC 오가영 (042-350-8536, oky0818@idec.or.kr)



● Chip Design Contest 수상자 명단

- Best Design Award (상장 및 상금 100만원)

논문명	소속	저자
A Near-GND Receiver with a Data & Edge DFE	성균관대	김석

- SSCS 서울챗터상 (상장 및 상금 50만원)

논문명	소속	저자
On-Chip Jitter Tolerance Measurement Technique for CDR Circuits	인하대	손경섭

- Best Demo Award (상장 및 상금 50만원)

논문명	소속	저자
Fault-Tolerant ECU Platform Including an In-Vehicle Ethernet Network Controller	KAIST	유인재
Ku-band 정자-위성 통신 시스템을 위한 VCO와 VGA의 설계	숭실대	이종석

- Best Poster Award (상장 및 상금 20만원)

논문명	소속	저자
A Phase Controlling System for Focused Ultrasound	KAIST	이양훈, 박철순

고속신호전송시 Bit Error Rate (BER)의 확률적예측기술



서론

현재 2D/3D 영상 데이터 및 각종 미디어 데이터를 일 상에서 공유하게 됨에 따라, 이를 처리하는 시스템 내 Chip-to-chip 통신의 데이터 bandwidth는 끝없이 증가하고 있고, 특히 processor와 메모리 사이에 필요 한 데이터 bandwidth는 거의 1초당 테라 비트 (Tbit/s)에 육박하고 있다.

따라서 채널 하나당 필요한 전송 속도는 1초당 최대 수 십 기가 비트 (Gbps) 이상이 필요하고, 이러한 상황에서 Chip-to-chip hardware channel, 즉 intercon- nection을 신뢰도 있게 설계하는 일은 상당한 노력을 필 요로 한다.

반사 (reflection), 감쇄 (attenuation), 시간 축 인접신 호간의 간섭 (inter symbol interference, ISI), 공간 상 인접신호 간의 간섭 (crosstalk), 전력/접지 분배망 (power distribution network, PDN) 노이즈의 커플 링 등 각종 신호 품질 저하 요인들을 모두 관리하여야 수십 기가 비트 이상의 속도를 낼 수 있다.

신호 파장이 채널 구조체의 길이에 비해 짧기 때문에 전 자기학적 (electromagnetic) 해석이 기본적으로 필요 하고, 여기에 driver 와 receiver 의 고속 스위칭 I/O

회로 설계 기술이 얽혀서 신호 충실성 (signal in- tegrity) 문제는 갈수록 어려워지고 있다.

여기서는 고속 디지털 interconnection 설계 해석 기 술의 하나로서 bit error rate (BER)를 확률적으로 예 측하는 방법에 대해 소개하고자 한다.

1. Eye diagram, Jitter, BER의 소개

고속 디지털 신호 채널의 품질을 평가하기 위해 통상 Eye diagram, Jitter, bit error rate (BER) 등을 이 용된다. Eye diagram은 수신된 랜덤한 bit 패턴으로 스워칭하는 디지털 신호를 중첩하여 나타낸 그림이며, jitter는 데이터 transition timing의 시간 축 변화를 나 타낸다. 수많은 transition time의 hit ratio를 세어서 이를 jitter histogram으로 나타낼 수 있고 이는 지터 의 확률 분포가 된다. 그리고 이 지터의 확률 분포로부 터 특정한 sampling time에서 수신된 신호에 에러가 발생할 확률인 BER을 아래 적분 식으로 계산할 수 있다.

$$BER = \int_{L_{hist}}^{\infty} L_{hist}(\tau, W, \sigma) d\tau + \int_{R_{hist}}^{st} R_{hist}(\tau - UI, W, \sigma) d\tau$$

여기서 Lhist는 eye diagram의 1 unit interval (UI) 에서 왼쪽 transition의 jitter histogram, Rhist는 오 른쪽 transition 의 jitter histogram을 나타내며, σ 는

random jitter (RJ) 의 root mean square (RMS) 값, W는 deterministic jitter (DJ)를 나타낸다.

그림 1에 eye-diagram, jitter histogram, BER 의 관계도를 나타내었다.

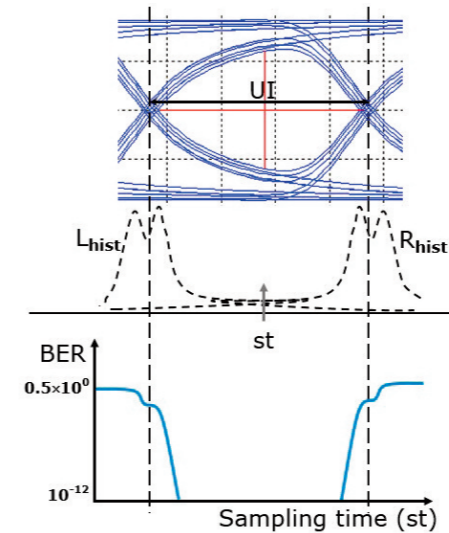


그림 1. eye diagram, jitter histogram, BER bathtub curve의 관계도

2. 인접 디지털 신호간 간섭 (ISI)를 고려한 BER의 확률 적 예측

고속 디지털 신호 전송 채널의 특성을 나타내는 궁극적 지표는 수신된 신호에 에러가 발생할 확률인 BER이라고 할 수 있고, 이 BER 을 정확히 예측하는 것이 중요하다.

특히 JEDEC standard의 DDR4 채널의 specification에는 기 존에 쓰이던 setup time (t_{os}), hold time (t_{oh}) 대신에 BER contour가 최초로 포함되며, 고속 메모리 및 각종 IC회로 디자 인 시에 BER의 정확한 예측이 필수적인 사항이 되었다.

하지만 회로 디자인 시 전통적인 SPICE 회로레벨 시뮬레이션으 로 $10e-16$ 정도의 매우 작은 BER 값을 의미 있게 얻어내기 위 해서는 매우 오랜 시간 동안 시뮬레이션을 해야 하여서, 정확하 고 빠른 새로운 시뮬레이션 및 계산 방법이 매우 절실하게 필요 하다.

BER을 이론적으로 빠르게 계산하기 위해 2002년경 인텔과 RAMBUS등에서 일련의 인접한 데이터 패턴간의 간섭 (ISI) 에 의해 발생하는 BER을 확률적으로 계산할 수 있는 통계적 신호전 송 채널 분석 방법이 제안되었고 [1, 2], 이는 긴 시간이 걸리는 SPICE시뮬레이션 대신에 해석적으로 BER을 계산할 수 있는 혁 신적인 방법으로서 그 해석 과정을 설명하면 다음과 같다.

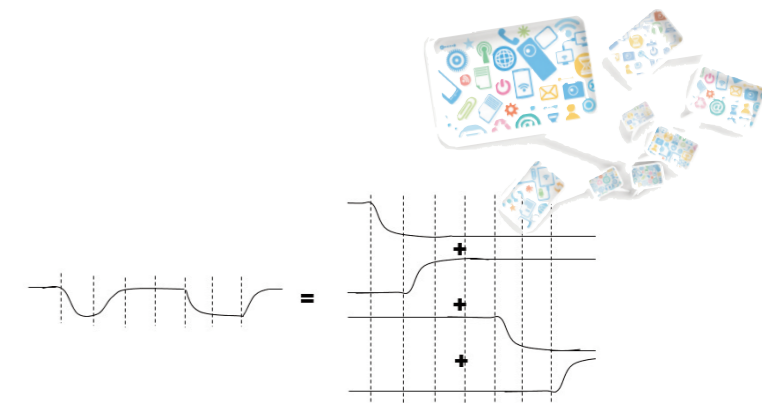


그림 2. Random bit sequence의 step response로의 조합

Linear time invariant (LTI) 채널 시스템에서 임의의 random bit sequence의 채널 수신 응답은 그림 2와 같이 rising step pulse response와 falling step pulse response의 조합으로 생각할 수 있다. 보통 채널의 응답특성이 저주파수에 비해 고주 파수에서 더 큰 attenuation을 가져서, 이전 step response들 의 잔여 성분들이 빨리 사라지지 않고 남아 중첩되며 다음 신호 에 간섭을 주고 이것이 인접신호간의 간섭 (ISI)의 원인이 된다.

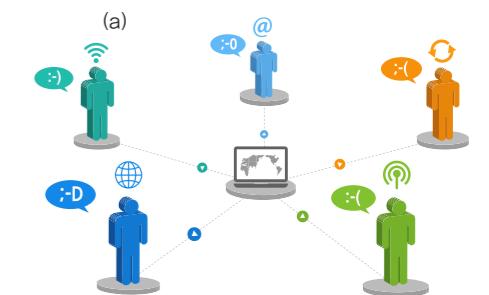
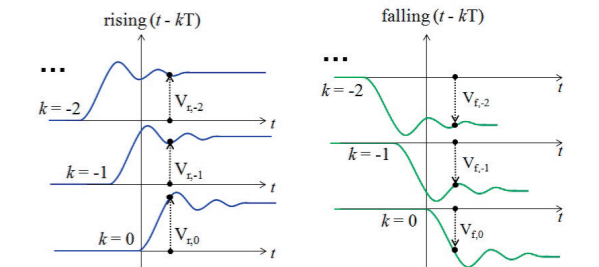
따라서 ISI 영향을 고려한 수신된 신호의 확률 분포 (ISI PDF) 를 각 ISI 소스의 발생확률을 convolution 하여 재귀적으로 계 산할 수 있다. 먼저 그림 3 (a)에서와 같이 현재 ($k=0$)와 과거 ($k<0$)의 bit data에 의한 rising, falling edge response를 추 출해 낸다. 여기서 data 속도에 따라 다른 값들이 추출됨을 알 수 있다.

그리고 입력 신호의 0과 1의 발생 확률이 같은 경우에 현재 시간 에서 관측되는 0과 1의 수신 전압 확률을 $z_0^{(1)}(\gamma, t)$ 와 $z_0^{(0)}(\gamma, t)$ 로 나타내면, 그것은

$$z_k^{(1)}(\tau, t) = \frac{1}{2} \delta(\tau) * z_{k-1}^{(1)}(\tau, t) + \frac{1}{2} \delta(\tau - \text{rising}(t - kT)) * z_{k-1}^{(0)}(\tau, t) \quad (1)$$

$$z_k^{(0)}(\tau, t) = \frac{1}{2} \delta(\tau) * z_{k-1}^{(0)}(\tau, t) + \frac{1}{2} \delta(\tau - \text{falling}(t - kT)) * z_{k-1}^{(1)}(\tau, t) \quad (2)$$

가 된다. 위 식은 k 가 $-\infty$ 에서 0까지 계산되는 재귀연산 식이며, $k=0$ 에서의 초기 조건은 V_{inH} 와 V_{inL} 로서, high와 low state의 dc 출력 전압 (V_{outH} , V_{outL}) 부분에 동일한 0.5의 확률을 가진다. 이 재귀적 연 산과정을 그림으로 나타내면 그림 3 (b)와 같다.



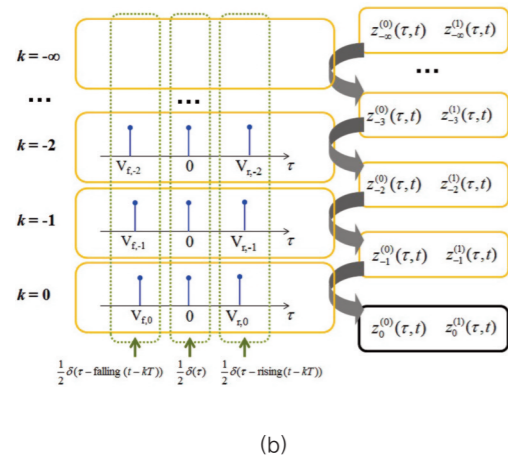


그림 3. (a) 현재 (k=0)와 과거 (k<0)의 bit data에 의한 rising, falling edge response (b) ISI 영향을 고려한 수신된 신호의 확률 분포 (ISI PDF)의 재귀적 연산과정

위 연산과정을 1UI 내 모든 시간 t에 대하여 반복하여 계산하고 그 확률을 시간 축에 따라 조합하여 plot 하면, 임의의 시간에서 보이는 수신 전압의 확률 분포를 나타낼 수 있다. 이를 통상 확률적(statistical) eye diagram 이라 부른다. 그림 4 왼쪽에 특정한 채널에서 8Gbps의 random bit data 입력에 대하여 그림 3의 과정을 거쳐서 계산된 수신 전압의 확률적 eye diagram을 나타내었다.

이는 통상의 eye diagram과 비슷한 모양이지만 각 전압의 발생 확률까지 color로 나타나 있어 훨씬 많은 정보를 담고 있다. 또한, 계산된 ISI PDF로부터 BER bathtub curve를 각 reference voltage VREF레벨에 대하여 아래 식과 같이 쉽게 계산할 수 있다.

$$BER(v_{REF}) = 0.5P(v_{out} < v_{REF} | b_m = 1) + 0.5P(v_{out} > v_{REF} | b_m = 0) \quad (3)$$

여기서 b_m은 1이나 0의 올바른 data state를 나타낸다. 그리고 각 sampling time에서 계산된 BER bathtub curve를 조합하여 그림 4의 오른쪽과 같은 BER eye diagram으로도 나타낼 수 있다.

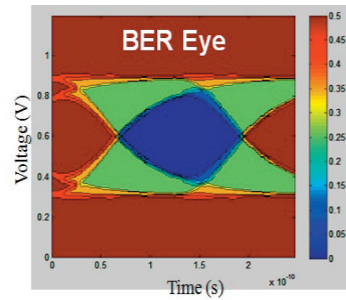
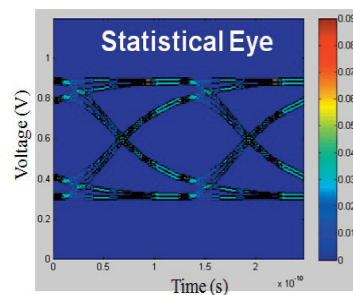


그림 4. 8Gbps 수신 전압의 ISI PDF로부터 계산된 확률적 eye diagram과 BER eye diagram

이러한 확률적 해석 과정을 이용하면 오직 채널의 rising step, falling step 응답 만으로부터 모든 random bit sequence에 의한 BER를 확률적으로 빠르게 계산할 수 있게 된다. 모든 가능한 입력 데이터를 고려하여 일일이 그에 따른 BER을 시뮬레이션으로 알아내려면 굉장히 오랜 시뮬레이션이 필요한 것에 비해 엄청나게 빠른 속도로 더 정확한 BER을 계산할 수 있다.

3. Driver단 전력/접지 노이즈도 함께 고려한 BER의 확률적 예측

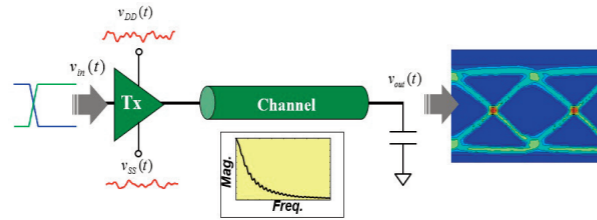


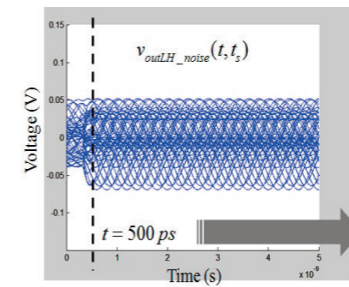
그림 5. 채널 ISI와 driver단 전력/접지 노이즈에 의한 수신 전압의 불확실성

앞에서 채널의 고주파 대역 attenuation에 의해 발생하는 ISI를 고려한 수신 신호의 확률적 분포를 고려하였다. 하지만 그림 5에서와 같이, ISI 외에 driver단의 전력/접지 분배망 노이즈에 의해서도 수신 신호의 불확실성이 매우 커질 수 있어 이러한 영향도 해석에 포함하여야 한다.

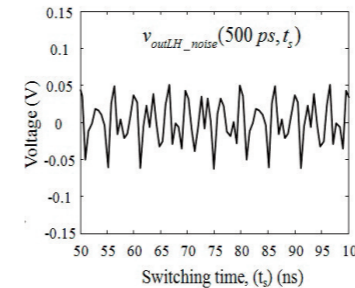
Transmitter 단 출력 driver의 pull-up/pull-down transition에 따라 driver단의 전력/접지 노이즈가 다르게 수신 단으로 전달되어 가는데, 이 때 data transition은 전력/접지 노이즈 timing에 대해 임의의 시간에 일어날 수 있으므로 전력/접지 노이즈 전압의 응답도 transition 시간에 대한 함수로 나타낸다.

Driver의 pull-up 스위칭 시간 ts를 변화시키면서 전력/접지 노이즈에 의한 수신 전압의 흔들림 (fluctuation) 성분을 중첩하여 plot하면 그림 6 (a)와 같다. 여기서 가로축은 입력 스위칭 시간 이후에 흐른 시간을 나타내는데, 만약 그림 6(a)를 특정한 시간에서 잘라서 수신전압의 fluctuation을 입력 스위칭 시간에 따라

plot하여 보면 그림 6 (b)와 같은 파형이 얻어진다. 여기서는 예로서 입력 스위칭 시간에서 500ps 이후의 시간에 관찰되는 수신전압의 fluctuation을 나타내었다.



(a)



(b)

그림 6. (a) driver의 pull-up 스위칭 시간을 변화시키면서 전력/접지 노이즈에 의한 수신 전압의 흔들림 (fluctuation)을 중첩한 plot (b) driver의 스위칭 500ps 이후에 스위칭 시간에 따라 관찰되는 수신전압의 흔들림

전력/접지 노이즈에 의한 수신 전압의 흔들림이 입력 스위칭 시간에 대한 함수로 얻어지게 되면, 그로부터 수신 전압 흔들림의 확률 밀도 함수 (probability density function, PDF)를 해석적으로 계산할 수 있다 [3].

만약 출력 driver의 스위칭이 전력/접지 노이즈 파형의 형태와 연관이 없이 언제나 동일한 확률로 발생할 수 있다면, 스위칭의 확률 분포는 긴 시간에 걸쳐 일정한 값으로 생각할 수 있다. 수학적으로 확률변수 Y가 다른 확률변수 X의 함수로 주어지면, Y의 PDF f_Y(y)는 X의 PDF f_X(x)로서 아래와 같이 나타낼 수 있다.

$$f_Y(y) = \frac{f_X(x_1)}{|dy/dx|_{x=x_1}} + \frac{f_X(x_2)}{|dy/dx|_{x=x_2}} + \dots + \frac{f_X(x_k)}{|dy/dx|_{x=x_k}} \quad (4)$$

여기서 x₁, x₂, ..., x_k는 확률변수가 Y가 y값을 가질 때 확률변수 X의 값을 나타낸다. 즉, 수신전압 fluctuation의 값 y를 그 최소값에서 최대값으로 변화시키면서 그에 해당하는 입력 스위칭 시간 x₁, x₂, ..., x_k 값들과 그때마다 y의 도함수를 계산하면, 그로부터 수신전압 fluctuation의 PDF f_Y(y)를 식 (4)를 이용하여 수치적으로 계산해낼 수 있다.

특정 시간 t에서 그림 6 (b) 형태의 입력 스위칭 시간에 대한 수신전압의 함수로부터 그 시간에서 수신되는 전압의 PDF가 얻어지고, 이를 매 시간 t마다 반복하면 전력/접지 전압에 의한 출력

전압의 PDF (power supply induced PDF, PSI-PDF)가 얻어진다. 그림 7에 pull-up과 pull-down에서의 PSI-PDF (fnLH, fnHL)의 예시를 plot하였다.

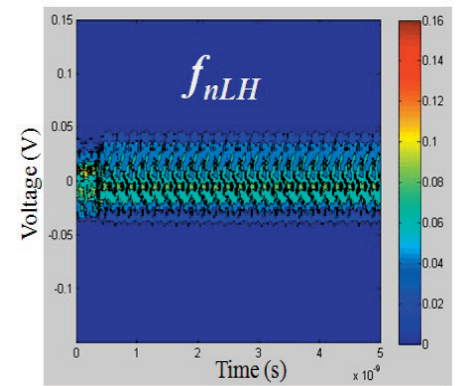
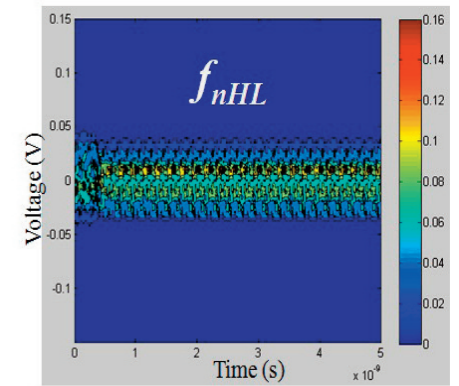


그림 7. pull-up과 pull-down에서의 PSI-PDF (fnLH, fnHL)

이 전력/접지 전압에 의한 출력 전압의 PDF (PSI-PDF)는 앞 절에서 소개한 ISI PDF 계산과정을 확장하여 효율적으로 합쳐질 수가 있다 [4]. 그 과정은 다음과 같다.

먼저 ISI PDF 계산을 위해서 그림 3 (a)에서와 같이 현재와 과거의 step response를 이용한 바와 같이, 현재와 과거의 data transition에서 관찰되는 PSI-PDF를 그림 8 (a)에서와 같이 추출해 낸다. 그 후 재귀적 convolution 연산 식 (1)과 (2)가 현재 상태를 만드는 모든 가능한 data transition의 PSI-PDF를 포함하도록 확장한다.

ISI PDF와 PSI-PDF를 모두 포함하는 0과 1의 수신 전압 PDF를 각각 z_{n,0}⁽¹⁾(γ, t)와 z_{n,0}⁽⁰⁾(γ, t) 라고 하면, 이 역시 아래와 같이 k가 -∞ 에서 0까지 재귀연산 식으로 나타낼 수 있다.

$$z_{n,k}^{(1)}(\tau, t) = \frac{1}{2}\delta(\tau) * z_{n,k-1}^{(1)}(\tau, t) + \frac{1}{2}\delta(\tau - \text{rising}(t - kT)) * z_{n,k-1}^{(0)}(\tau, t) * f_{nLH}(\tau, t - kT) \quad (5)$$

$$z_{n,k}^{(0)}(\tau, t) = \frac{1}{2}\delta(\tau) * z_{n,k-1}^{(0)}(\tau, t) + \frac{1}{2}\delta(\tau - \text{falling}(t - kT)) * z_{n,k-1}^{(1)}(\tau, t) * f_{nHL}(\tau, t - kT) \quad (6)$$

여기서 z_{n,k-1}⁽¹⁾(τ, t) 와 z_{n,k-1}⁽⁰⁾(τ, t)는 앞서 수식 (1, 2)로부터 주어진다. 또한 PSI-PDF까지 포함된 상태에서 k가 -∞ 에서의 초기 조건은 z_{n,-∞}⁽¹⁾(τ, t) = 1/2δ(τ - v_{outH}) * f_{nH}, z_{n,-∞}⁽⁰⁾(τ, t) = 1/2δ(τ - v_{outL}) * f_{nL} 로서 주어진다.

ISI PDF와 PSI-PDF의 영향을 함께 고려하여 수신 전압 PDF를 계산하는 전체 과정을 다시 도시하면 그림 8 (b)와 같다. 여기서 주의할 점은 최종 출력 $z_{n,0}^{(0)}(\tau, t)$ 와 $z_{n,0}^{(1)}(\tau, t)$ 를 계산하기 위해서는 $z_{n,1}^{(0)}(\tau, t), z_{n,1}^{(1)}(\tau, t), z_{n,2}^{(0)}(\tau, t), z_{n,2}^{(1)}(\tau, t)$ 를 0보다 작은 k에 대하여 모두 계산하여야 한다는 것이다.

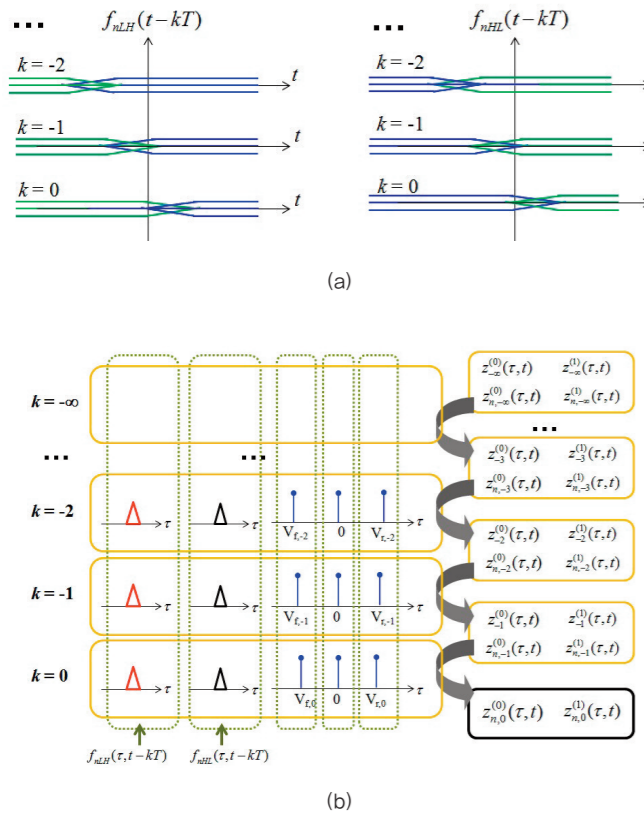


그림 8. (a) 현재 (k=0)와 과거 (k<0)의 bit data에 의한 rising, falling transition에서 driver 단 전력/접지 전압에 의한 출력 전압의 PDF (PSI-PDF) (b) ISI 영향과 driver 단 전력/접지 노이즈 전압의 영향을 동시에 고려한 수신된 신호의 확률 분포 계산 과정

8Gbps data rate으로 앞에서 사용한 특정 채널 조건에서 확률적 ISI PDF와 PSI-PDF를 함께 고려한 출력 신호의 PDF를 계산하여, 앞 절에서 보인 방식대로 계산된 확률적 eye diagram과 BER eye diagram을 plot하면 그림 9과 같다.

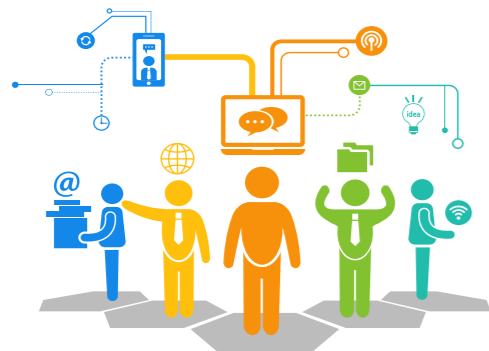


그림 4의 eye diagram들과 비교하여 보면 eye opening과 BER margin이 driver 단의 전력/접지 노이즈에 의해 상당히 줄어들었음을 알 수 있다.

기존 ISI만을 고려한 확률적 해석 과정은 채널의 ISI만에 의한 채널 불확실성만을 포함하여 실제 채널 분석에 적용할 때 한계가 있었음에 비해, driver 단 전력/접지 노이즈의 영향까지 고려한 확률 해석 과정을 이용하게 되면 더욱 실제적인 BER를 빠르게 알려줄 수 있게 된다.

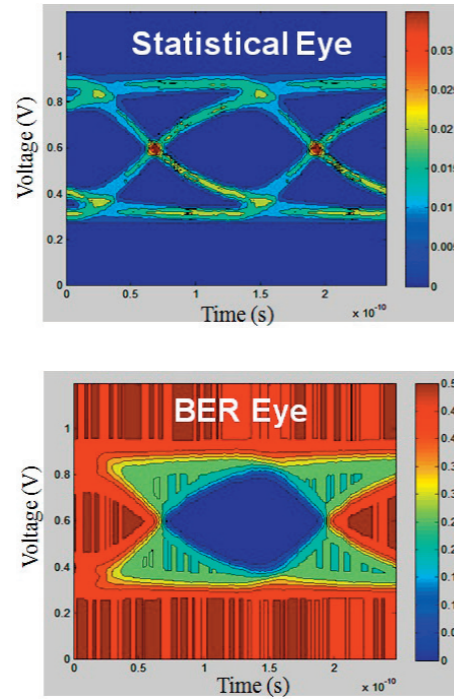


그림 9. ISI PDF와 PSI-PDF를 함께 고려한 8Gbps 출력 신호의 확률적 eye diagram과 BER eye diagram

맺음말

시스템이 고속 고집적화 되어감에 따라 signal integrity 문제는 점점 더 중요해지고 있으며, BER은 고속 신호 전송 채널의 특성을 나타내는 궁극적 지표로서 정확한 예측이 매우 중요하다.

하지만 회로레벨 SPICE 회로레벨 시뮬레이션으로 모든 data 조합을 고려하여 BER을 얻어내려면 매우 오랜 시간 시뮬레이션을 해야 하며, 확률적으로 ISI PDF를 계산하여 BER을 계산하는 방법이 필요하다.

본 칼럼에서는 고속 신호전송 시 Bit Error Rate (BER)의 확률

적 예측기술 두 가지에 대하여 소개하였다. ISI PDF 해석을 통한 BER 계산 방법과 이에 추가로 driver 단의 전력/접지 노이즈까지 함께 고려하는 이론적 방법을 소개하였다.

새로운 디자인 specification에 빠르게 효율적으로 대처하고 우리나라가 세계 제일의 메모리 반도체 생산 수출 국가 위상을 지속적으로 유지하기 위해서는 고속 신호전송 시 발생하는 bit error의 정확한 확률적 예측 및 해석 기술이 지속적으로 이루어져야 할 것이다.



김진국 교수
 소속 : UNIST 전기전자컴퓨터공학부
 주 연구 분야: high-speed I/O circuits design, 3D-IC, EMC, ESD, RF interference
 E-mail: jingook@unist.ac.kr
 홈페이지: http://icemlab.unist.ac.kr

참고문헌

[1] B. K. Casper, M. Haycock, and R. Mooney, "An accurate and efficient analysis method for multi-Gbps chip-to-chip signaling schemes", in IEEE Symposium on VLSI Circuits Digest of Technical Papers, Jun. 2002, pp. 54-57.

[2] D. Oh, High-Speed Signaling : Jitter Modeling, Analysis, and Budgeting, Chap. 8, Prentice Hall, 2011.

[3] J. Kim, J. Lee, S. Cho, C. Hwang, C. Yoon, and J. Fan, "Analytical probability density calculation for step pulse response of a single-ended buffer with arbitrary power-supply voltage fluctuations", IEEE Transactions on Circuits and Systems I, vol. 61, no. 7, pp. 2022-2033, July 2014.

[4] J. Kim, E. Park, J. Lee, K. Park, and J. Lee, "Improved statistical link path analysis considering both channel ISI and supply voltage fluctuations", DesignCon 2014, Santa Clara, CA, Jan. 2014.

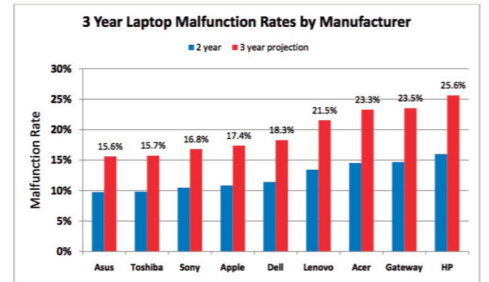




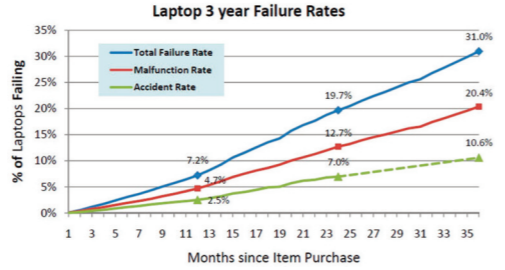
고장방지용 재구성형 프로세서 설계 기술 동향

고장 방지용 휴대형/내장형 컴퓨터 시스템

고장 방지용 컴퓨터 (Fault Tolerant Computer) 란 시스템을 구성하는 요소에 고장이 발생해도 시스템 전체로는 주어진 기능을 계속 실행하도록 내구성을 갖춘 컴퓨터를 말하며 고신뢰성 컴퓨터라고도 한다. 이러한 고장 방지 기술은 어떤 기능을 실행하는 데 필요한 최소한의 장치 이외에 예비 장치 (redundant structure)를 보유하는 방식으로 구현된다. 즉 시스템을 구성하는 요소에 고장이 발생하면 시스템의 요소를 다중화해 고장의 영향으로 부터 탈피, 회복시킨다. 초기의 고장 방지용 컴퓨터는 주로 항공/우주 산업 분야 또는 군사 분야와 같이 컴퓨터의 고장이 인명에 관계되는 시스템, 보수작업이 거의 불가능한 상황에서 사용되는 시스템, 고장에 의해 막대한 손실을 받게 되는 시스템 등에 개발, 활용 되었다. 하지만 최근 들어 컴퓨터의 활용 영역이 PC로부터 유비쿼터스 컴퓨팅 분야로 확대됨에 따라, 휴대형/내장형 컴퓨터 시스템은 외부로부터의 자극에 더욱 노출된 불안정한 환경에서 작동되며, 이에 따른 고장 발생 비율이 증가하고 있다 (그림 1, 그림 2). 또한 반도체 공정 기술의 발전은 높은 하드웨어 사양과 다양한 기능을 갖춘 휴대형/내장형 컴퓨터 시스템의 구현을 가능하게 만들었지만, 이 역시 시스템의 고장 발생 비율을 증가시키고 있다 (그림 3). 이러한 고장들은 서비스의 품질과 제품의 신뢰도에 영향을 미칠 수 있기 때문에, 휴대형/내장형 컴퓨터 시스템 분야에서 고장 방지용 설계 기술의 중요성은 날로 높아지고 있다.



(a) 제조업체 별 고장 발생 비율



(b) 원인 별 고장 발생 비율

그림 1. 구입 후 3년 내 휴대용 컴퓨터 고장 발생 비율.

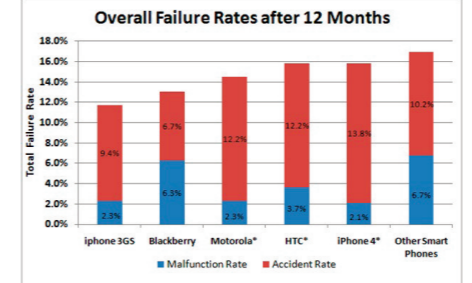


그림 2. 구입 후 1년 내 스마트폰 고장 발생 비율.

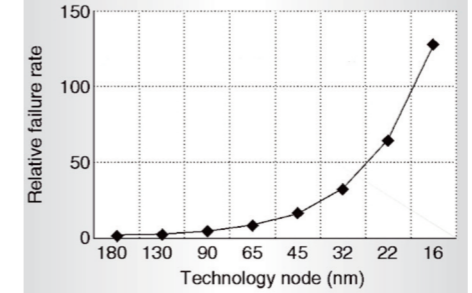


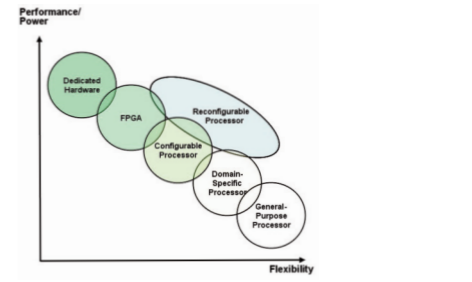
그림 3. 반도체 공정 기술 vs 고장 발생 비율.

재구성형 프로세서

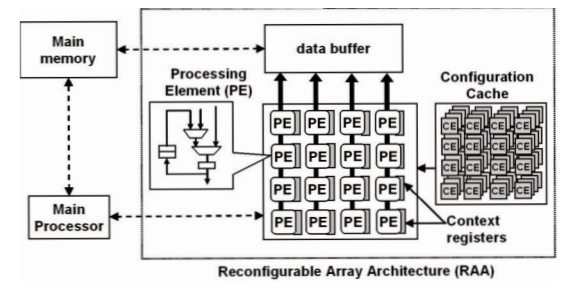
오늘날 다양한 멀티미디어와 유무선 통신 시스템이 디지털화 및 고성능화 되면서 SoC(System-on-Chip) 시장에서는 더 높은 성능의 다양한 제품이 요구되고 있다. 또한 멀티미디어 애플리케이션들의 표준도 빠르게 변하고 있어서 이들은 점점 더 복잡한 알고리즘을 사용하면서 다양하게 발전하고 있다. 이러한 멀티미디어 애플리케이션들은 복잡한 병렬 처리 연산을 필요로 하는 특징을 지니고 있으며 일반적으로 내장형 마이크로프로세서에서 실행시키는 소프트웨어 방식 및 주문형 반도체 (Application-Specific Integrated Circuit) 형태의 하드웨어 방식의 조합으로 구현될 수 있다. 하지만 이러한 구현 방식은 특정 애플리케이션에만 최적화 되며 애플리케이션이 바뀔 경우 대처할 수 있는 유연성이 떨어지는 한계가 있다. 이로 인해 두 방식의 중간 형태인 재구성형 프로세서가 하나의 해결책으로 부각되고 있다. 재구성형 프로세서는 두 가지 구현 방식의 단점을 보충한다. Word 단위의 data를 처리할 수 있는 PE(Processing Element)들의 배열을 이용하여 최대한 병렬성을 살림으로써 소프트웨어 구현 방식 보다는 높은 성능을 보임과 동시에, 하드웨어 구성을 동적으로 바꿀 수 있어서 하드웨어 구현 방식 보다는 폭 넓은 유연성을 제공하기 때문에 여러 가지 애플리케이션에 쉽게 적용될 수 있다. 그림 4 (a) 는 재구성형 프로세서가 차지할 것으로 기대되는 위치를 보여주며, 그림 4 (b) 는 일반적인 재구성형 프로세서의 구조를 나타낸다.

하지만 하나의 재구성형 프로세서만 사용하는 방식으로는 여전히 성능 및 유연성 측면에서 많은 제약이 따르며, 최근에 재구성형 프로세서 기술은 단일 재구성형 프로세서의 크기 증가를 통한 성능 개선보다는 재구성형 멀티코어 프로세서 (Reconfigurable Multi-Core Processor)를 이용하는 방법으로 기술이 변화하고 있다. 단일 재구성형 프로세서만 사용하는 경우 여러 개의 작업을 하나의 PE 배열구조에서 처리했기에 크기가 크더라도 병목현상이 생길 경우 작업 처리 속도에 제약사항이 존재한다. 그러나 재구성형 멀티코어 프로세서에서는 여러 개의 재구성형 프로세서가 작업을 분산 처리해 효율적인 자원 활용과 멀티태스킹을 지원할 수 있다. 또한, 복잡한 미디어 스트림을 프로세

서들 간의 파이프라인 연산을 통해 단일 프로세서의 공간적 제약성 문제를 동시에 해결해주는 장점이 있다. 그림 5 (a) 는 벨기에의 한 연구 기관에서 개발된 재구성형 프로세서의 구조를 나타내며, 그림 5 (b) 는 비디오 코덱을 효율적으로 지원하기 위해 개발된 6개의 코어들로 이뤄진 재구성형 멀티코어 프로세서 3MF (3 Multimedia multi-Format codec)의 구조를 나타낸다.

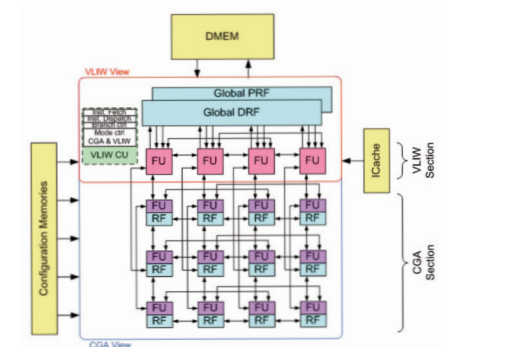


(a) 유연성 대비 성능/전력

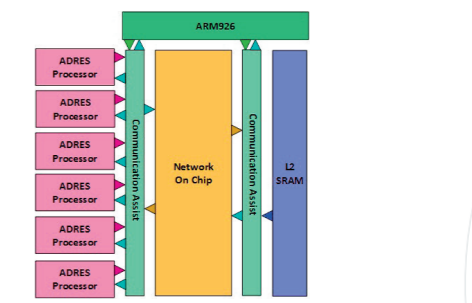


(b) 일반적인 재구성형 프로세서의 구조

그림 4. 재구성형 프로세서의 예.



(a) ADRES 재구성형 프로세서 구조



(b) 재구성형 멀티코어 프로세서 3MF

ADRES: Architecture for Dynamically Reconfigurable Embedded Systems)

그림 5. 재구성형 멀티코어 프로세서의 예.

고장 방지용 재구성형 프로세서

고성능, 저전력, 유연성 뿐 아니라 내구성 및 신뢰도가 요구되는 휴대형/내장형 시스템 분야에서 재구성형 프로세서가 하나의 해결책으로 부각되고 있는데, 그 이유는 다음과 같다.

- 재구성형 프로세서는 고유의 병렬성을 기반으로 성능을 극대화하고, 하드웨어의 동적 재구성을 통하여 다양한 애플리케이션들을 처리할 수 있는 유연성을 갖추고 있다.
- 재구성형 프로세서의 재구성 가능한 배열 구조는 원래 애플리케이션들의 기능적 변화를 처리하기 위한 것이지만, 고장 방지용 컴퓨터가 반드시 갖춰야 할 특성이기도 하다. 왜냐하면 일반적인 고장 방지용 시스템들은 여분의 하드웨어 요소들을 지니고 있는 상태에서 고장을 감지하게 되면 그 여분의 하드웨어 요소들로 고장이 일어난 부분을 재구성 하여, 고장의 영향으로부터 탈피, 회복시키기 때문이다. 따라서 기존의 재구성형 배열 구조를 활용하여 고장 방지용 시스템 구현이 가능할 수 있다.

고장 방지용 재구성형 프로세서 연구 개발 동향

표1에서 보듯이, 국내외의 여러 산업체/대학에서 재구성형 프로세서 관련 연구가 수행중이지만, 아직까지는 싱글코어 기반의 성능과 유연성 관련 연구 결과가 대부분이고, 그중에 고장 방지 기능에 관한 연구는 드문 실정이다. 또한 최근 들어 재구성형 멀티코어 프로세서 구조에 대한 확장 연구가 진행되고 있지만, 멀티코어 기반 고장 방지 구조에 대한 연구는 전무한 실정이다. 따라서 본 단락에서는 가장 대표적인 세 기관의 싱글 코어 기반 고장 방지용 재구성형 프로세서에 대한 연구 개발 동향을 소개하고자 한다.

표 1. 재구성형 프로세서 분야 국외 연구동향

국가	명칭	연구 범주							
		싱글코어				멀티코어			
		고성능	유연성	저전력	고장 방지	고성능	유연성	저전력	고장 방지
독일	KRESS Array	○	○	X	X	X	X	X	X
벨기에	ADRES, 3MF, COBRA	○	○	△	X	○	○	△	X
네덜란드	MONTIUM 멀티코어	○	○	△	X	○	○	△	X
미국	REMARC	○	○	X	X	X	X	X	X
	MATRIX	○	○	X	X	X	X	X	X
	Garp	○	○	X	X	X	X	X	X
	RaPIDs	○	○	X	X	X	X	X	X
	Morphoys, Meta-Morphoys	○	○	X	X	○	○	X	X
일본	Piperench	○	○	X	X	X	X	X	X
일본	I-PARS	○	○	X	X	X	X	X	X
	CGRA_FR [1]	○	○	△	△	X	X	X	X
영국	RICA 멀티코어	○	○	X	X	○	○	X	X
프랑스	DART [2]	○	○	△	△	X	○	△	X
	SRP	○	○	△	X	○	○	△	X
한국	ERP	○	○	△	X	X	X	X	X
	RSPA [3]	○	○	△	△	X	X	X	X

CGRA_FR (Coarse-Grained Reconfigurable Architecture with Flexible Reliability) [1]

2012년도에 연구된 고장 방지용 재구성형 프로세서이며, 전체적인 구조는 그림 6과 같다. 애플리케이션 마다 필요로 하는 신뢰성 수준이 다르다는 특성에 착안하여, 다양한 수준의 신뢰성을 제공할 수 있는 구조적 특성을 지니고 있다. 어떤 애플리케이션이 가장 높은 신뢰도를 필요로 할 경우 성능이 저하되더라도 고장 방지를 최우선으로 하며, 적당한 수준의 신뢰성을 필요로 할 경우 어느 정도 높은 속도를 제공할 수 있게 구조적으로 지원

한다. 그림 7에서 보듯이, 가장 높은 수준의 TMR (Triple Modular Redundancy) 부터 DMR (Double Modular Redundancy), SMS (Single Modular with Single context), SMM (Single Modular with Multicontext) 까지 총 4가지 경우의 고장 방지용 예비 장치 구조를 지원한다. 실제 CGRA_FR chip 구현을 한 사례는 표 2와 같다 - 고장 방지 기능이 추가되어 29.3%의 면적 증가율을 보인다.

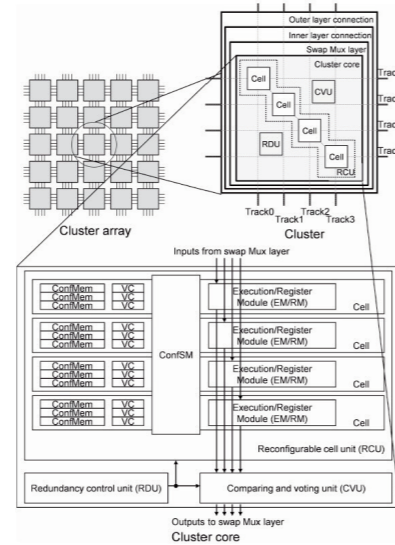


그림 6. CGRA_FA 구조도

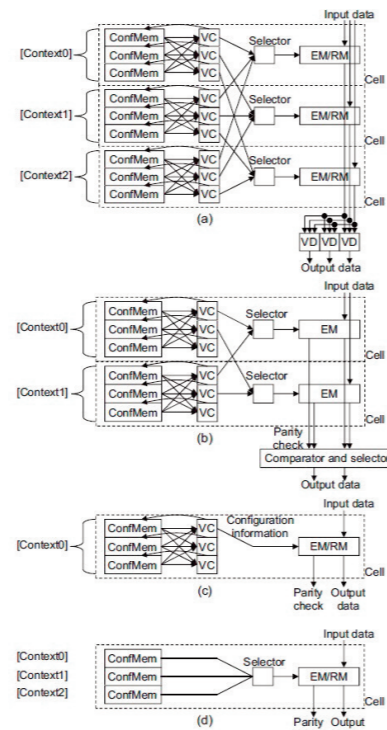


그림 7. 고장 방지용 예비 장치 구조

(a) TMR (b) DMR (c) SMS (d) SMM.

표 2. CGRA_FR Chip 구현

반도체 공정	배열크기	면적 증가율 (%)		동작속도
		값(pm2)	증가율(%)	
65mm	4 × 8	29.3%	240MHz	

DART [2]

2011년도에 연구된 재구성형 프로세서 DART (그림 8)에 오류 보정 기능을 접목시킨 연구 사례이며, 제안된 구조는 그림 9, 그림 10과 같다. 본 연구에서는 재구성형 프로세서의 한 FU (Functional Unit)에서 발생한 오류가 여러 FU들로 확산될 수 있기 때문에, 이를 막기 위한 가장 적합한 방식은 데이터베이스 시스템의 신뢰성 보장방법 중 하나인 undo-retry 기술이라고 주장한다 - 바로 직전 시간 연산에 필요했던 명령어/데이터들 또한 내부 레지스터에 보관하고 있다가, 만약 직전 시간에서 수행한 연산의 결과가 잘못되었다면, 보관하고 있던 직전시간의 명령어/데이터들을 선택하여 오류가 발생한 연산을 다시 수행하는 기술을 의미한다. 이러한 오류 보정 기능이 추가된 RDP의 설계 비용 분석은 표 3과 같다.

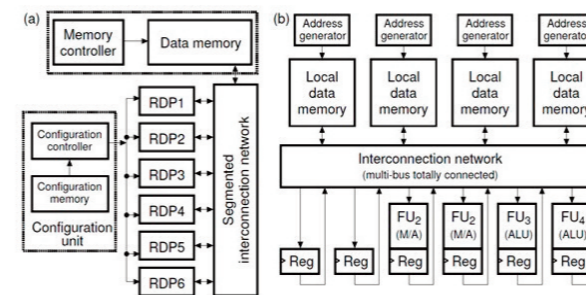


그림 8. DART 구조도 - (a) 전체 구조

(b) 기본 RDP (Reconfigurable Data Path) 내부 구성

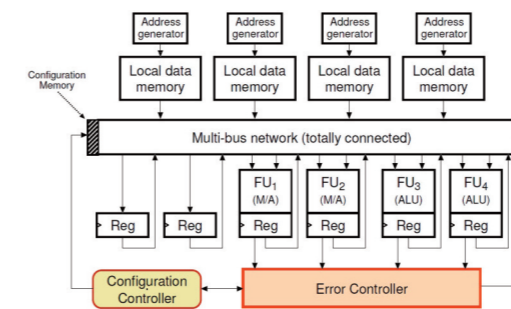


그림 9. 오류 보정 기능이 추가된 RDP.

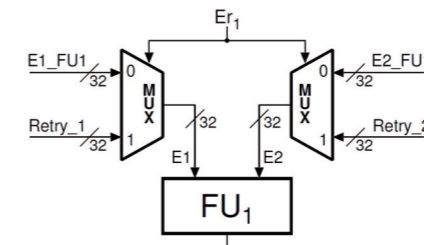


그림 10. 오류 발생 시 재실행 가능 선택 구조.

표 3. RDP 설계 비용 분석

반도체 공정	구조	면적		동작속도		전력	
		값(pm2)	증가율(%)	값(MHz)	증가율(%)	값(mW)	증가율(%)
130 nm	기본 RDP	65113	-	62	-	28.99	-
	오류 보정 기능이 추가된 RDP	82541	26.76	51	21.60	34.91	20.12

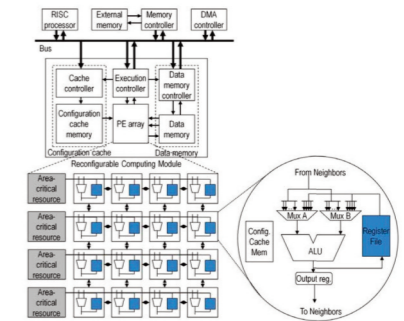


그림 11. RSPA 구조

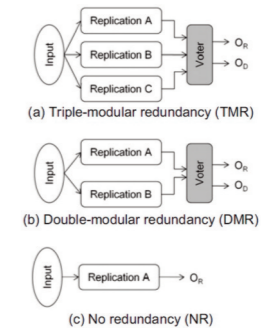


그림 12. 세 가지 수준의 신뢰도.

RSPA [3]

기존의 고장 방지 관련 연구들은 대부분 Voter라는 하드웨어를 구현하여 재구성형 프로세서 구조에 덧 붙였기 때문에, 증가되는 면적을 감수해야 했었다. 이에 본 연구에서는 기본 RSPA 구조의 ALU에 Conditional Execution을 처리할 수 있는 연산과 그에 필요한 레지스터 등을 추가하여 Voter구현에 필연적으로 발생하는 면적 증가율을 동적 주파수 저하 없이 줄일 수 있다고 제시한다. 이러한 고장 방지용 RSPA 구조는 그림 12와 같은 세 가지 수준의 신뢰도를 제공하여 해당 Application이 요구하는 신뢰성 수준에 맞게 재구성된다.



고장 방지용 재구성형 멀티코어 프로세서 설계 기법 연구의 필요성

재구성형 멀티코어 프로세서는 단일 재구성형 프로세서가 지닌 고유의 병렬성을 확장하여 성능을 극대화하고, 동시에 재구성을 통하여 비용과 복잡도를 완화하고 유연성을 추구한다. 이러한 재구성형 멀티코어 프로세서를 활용하여 고장 방지용 시스템 구현하는 데는 반드시 고려해야 할 문제점들이 있는데, 다음과 같다.

① 싱글코어에 적용되는 고장 방지용 설계 기술을 멀티코어로 확장할 경우 그에 따른 성능 저하 및 면적 및 전력소모 증가량은 어느 정도인가?

② 고장 방지 기능을 고려하여 멀티코어 기반, 코어들 간의 상호작용을 위한 효율적인 재구성 가능 구조를 어떻게 구현할 것인가?

①의 경우 기존의 구조를 최대한 유지하면서 추가적인 하드웨어 요소 및 성능저하 최소화를 위한 설계 기법의 필요성을 의미하고, ②의 경우는 멀티코어 기반, 새로운 재구성 가능 구조의 필요성을 의미한다. 그러므로 이러한 문제점들을 해결하기 위한 설계 기법 연구가 필요하지만, 아직까지 재구성형 멀티코어 프로세서 기반 고장 방지 구조에 대한 연구는 전무한 실정이다. 따라서 이러한 문제점들을 해결 할 수 있는 고장 방지용 설계 기술은 고성능, 저전력, 유연성 뿐 만 아니라 높은 내구성 및 신뢰도를 갖춘 휴대형/내장형 시스템 구현 기술로 자리매김할 것이다.

맺음말

오늘날 휴대형/내장형 매체를 통한 고품질 멀티미디어 서비스의 폭발적인 수요 증가로 인해, 휴대형/내장형 시스템의 하드웨어 사양과 기능적 복잡도 역시 증가하고 있으며 이로 인한 시스템의 고장 발생 비율은 높아지고 있다. 또한 휴대형/내장형 시스템은 외부로부터의 자극에 더욱 노출된 불안정한 환경에서 작동될 수 있기 때문에, 이에 따른 고장 발생 비율 역시 서비스의 품질과 제품의 신뢰도에 영향을 미친다. 따라서 오늘날 휴대형/내장형 시스템 설계 분야는 고성능, 유연성 뿐 만 아니라 높은 신뢰도 및 내구성을 요구하고 있으며, 최근 들어 재구성형 프로세서를 활용한 고장 방지용 설계 기법이 하나의 해결책으로 부각되고 있다. 이러한 고장 방지용 재구성형 프로세서 설계 기술은 높은 내구성과 신뢰도를 갖춘 휴대형/내장형 시스템 구현 기술로 자리매김할 것이며, 앞으로 국내외에서 그 수요가 급증할 것으로 기대된다.



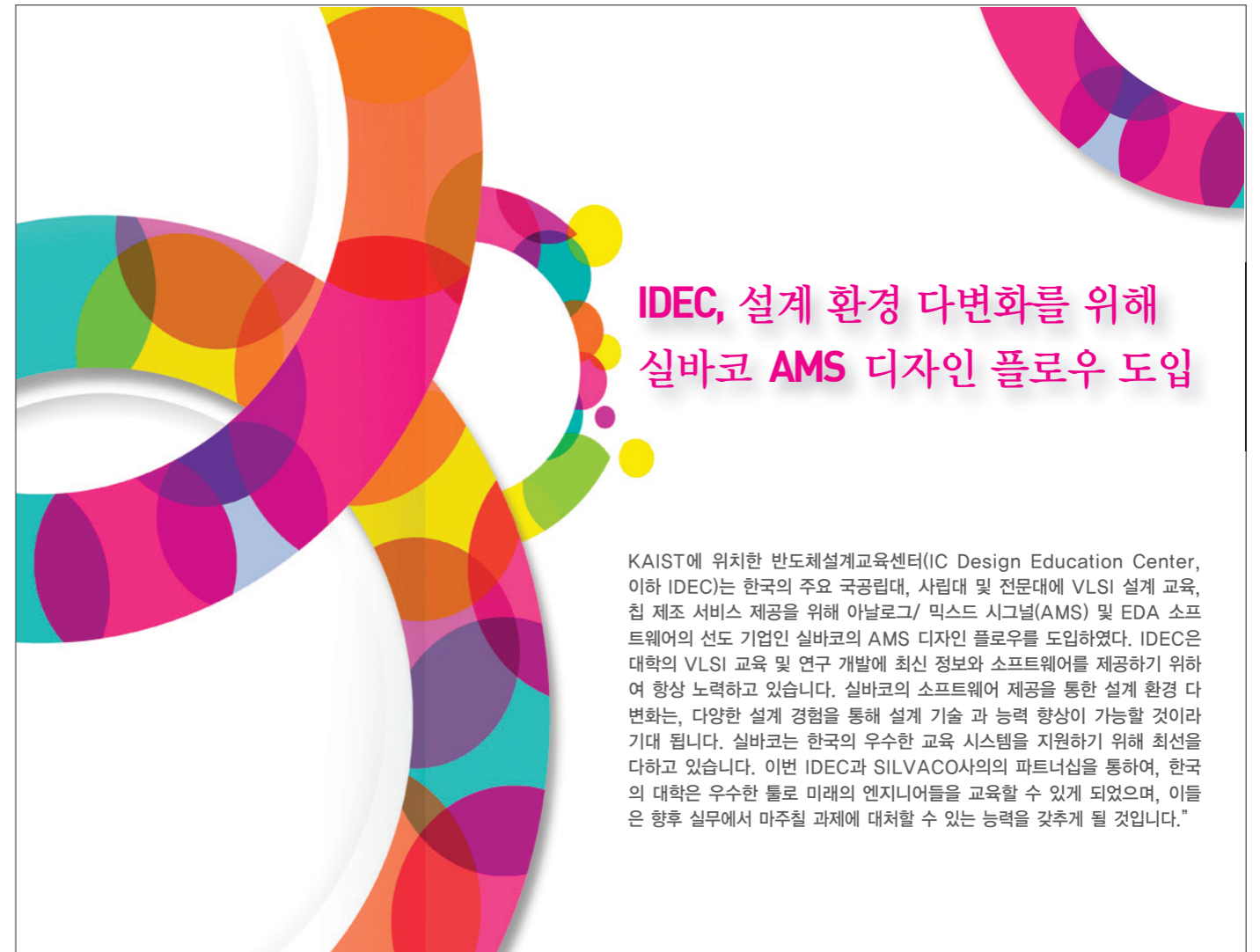
김 윤 진 교수
 소속 : 숙명여자대학교 컴퓨터과학부
 연구분야 : VLSI/System-on-Chip 설계, 임베디드 시스템
 E-mail : awgsize@gmail.com
 홈페이지 : http://esl.sookmyung.ac.kr

Reference

[1] D. Alnajjar, Hiroaki Konoura, Younghun Ko, Yukio Mitsuyama, Masanori Hashimoto and Takao Onoye, "Implementing Flexible reliability in a coarse-grained reconfigurable architecture," IEEE Trans. on Very Large Scale Integration (VLSI) Systems, vol. 21, no. 12, pp. 2165-2178, Dec. 2013.

[2] S. M. A. H. Jafri, S. J. Piestrak, Olivier Sentieys, and Sebastien Pillement, "Error recovery technique for coarse-grained reconfigurable architectures," in Proc. of IEEE International Symposium on Design and Diagnostics of Electronic Circuits & Systems (DDECS), pp. 441-446, Apr. 2011.

[3] Ganghee Lee and Kiyoung Choi, "Thermal-aware fault-tolerant system design with coarse-grained reconfigurable array architecture," in Proc. of NASA/ESA Conference on Adaptive Hardware and Systems (AHS), pp. 272 - 279, Jun. 2010.



- IDEC에서 이용할 수 있는 SILVACO TowerJazz PDK List
- TS18SL (Mixed Signal CMOS 0.18um)
 - TS18PM (Power Management 0.18um)
 - TS18IS (CMOS image sensor 0.18um)
 - CA18HD (CMOS 0.18um)
 - SBC18HA (SiGe 0.18um)

실바코 아날로그/믹스드 시그널 디자인 톨 소개

실바코의 아날로그/믹스드 시그널 디자인 톨 구성은 많이 사용하고 있는SmartSpice 회로 시뮬레이터, Gateway 스키매틱 에디터, Expert 레이아웃 에디터, Guardian DRC/LVS/LPE, 및 Hipex full-chip 기생 성분 추출 톨을 포함합니다. 실바코의 AMS 톨을 사용해서 IC 디자이너는 최적의 성능, 개발비 감축, 위험 감소와 궁극적으로 TAT (turn around time)의 단축을 제공하는 반도체 제품을 만들 수 있습니다.

실바코에서 제공하는 TowerJazz 프로세스 디자인 키트

IDEC에서 진행되고 있는 TowerJazz 공정에 적용 가능한 Silvaco 용 PDK를 지원한다고 발표 하였습니다. 멀티 프로세스 PDK는 교육 기관 및 팹리스 기업이 실바코의 IC 디자인 캡처, 시뮬레이션, 레이아웃 및 검증 도구를 이용하여 바로 설계 및 제작을 용이하게 합니다.

IDEC,

IDEC(IC 설계 교육 센터)은 대학의 LSI 교육 및 연구 과정의 개발 진흥을 담당하고 있습니다. IDEC은 칩 시험 제작 시스템을 구현 및 운영할 뿐만 아니라, 대학 내 사용자들에게 최신 설계 톨 환경을 제공하고 있습니다. 또한, IDEC은 톨 및 최신 칩의 시험 제작에 대한 세미나를 정기적으로 개최하고 있습니다. 현재 한국에 있는 대학 대부분의 연구실에서 이용하고 있으며 연간 320여 종류의 칩 제작 서비스를 지원하고 있습니다.

주소 대한민국 대전광역시 유성구 대학로 291(우: 305-701)
 웹사이트 www.idec.or.kr

Silvaco, Inc.

Silvaco는 TCAD, 회로 시뮬레이션 및 IC CAD 소프트웨어 톨을 제공하는 선도 기업입니다. Silvaco의 톨은 반도체 공정을 개발하는 팹과 아날로그/믹스드 시그널/RF 집적 회로를 개발하는 디자인 하우스에서 사용됩니다. Silvaco는 서드-파티의 설계 플랫폼에 대한 인터페이스와 함께 완벽한 PDK 기반 설계 플로우를 제공합니다. Silvaco는 전세계 주요 지역에 사업 거점을 두고 있습니다.

연락처

• CEO David Halliday / david.halliday@silvaco.com

THE GLOBAL STAGE FOR INNOVATION



CES 2015 참관기

세계 최대의 전자제품 전시회 CES(Consumer Electronics Show) 2015가 2015년 1월 6일부터 9일까지 4일간 미국 라스베이거스에서 개최되었다. 필자들은 1월 7일부터 1월 13일까지 라스베이거스에 체류하면서 CES 2015와 ICCE 2015를 참관하였다.

CES 2015는 CES Tech East, CES Tech West, C Space의 총 3개의 장소에서 행사가 진행되었으며, 본 참관기에서는 Tech East와 Tech West에서 관람한 내용에 대해 설명한다.

CES Tech East는 라스베이거스 컨벤션 센터 열렸으며, 현대, 포드, 벤츠 등 자동차 회사들과 삼성, LG, 인텔, 퀄컴 등 전자제품과 반도체 분야의 회사들이 자리하고 있었다. 이 외에도 수많은 회사가 자신들의 제품을 홍보하기 위하여 전시하고 있었다. 이 중에 가장 눈에 띈 것 드론이다.

드론은 이번 CES 2015에서도 주목 할 분야 중 하나로 선정되었을 만큼 많은 기업이 참여하여 전시하고 있었다.

그중에서도 사람의 손보다 작은 드론을 선보인 기업들이 많이 있었다.

대부분의 드론이 스마트폰과 연동하여 제어되고, 드론에 부착된 카메라를 이용해서 영상을 볼 수 있게 설계한 시스템이었다.



가장 흥미 있게 본 드론은 영국회사인 Extreme Fliers사의 Micro Drone이다. Micro Drone은 720 x 1280픽셀의 HD 카메라를 이용하여 촬영한 영상을 스마트폰 애플리케이션으로 확인하고 1인칭 시점으로 드론을 조종할 수 있는 제품이다.

직접 만져볼 수 기회가 있어서 Micro Drone을 들어 만져 보았는데 무게가 매우 가볍고 움직임 또한 자유자재로 움직이는 것을 확인할 수 있었다.



Micro Drone

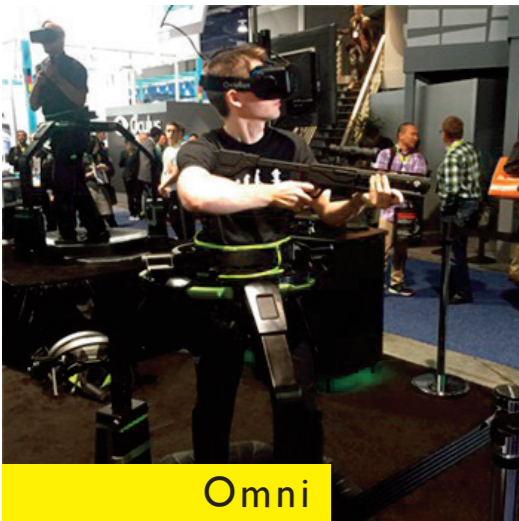


ZANO

Micro Drone 이외에도 물체를 인식하여 따라다니는 드론과 selfie 드론이라고 불리는 ZANO가 있었다. ZANO는 500만 화소의 카메라가 달려있어서 스마트폰과 연동하여 사진을 찍을 수 있다. 또한, 소리를 녹음 할 수도 있어 동영상 촬영도 가능하다.

그리고 ZANO드론의 기능 중 Comeback 기능이 있다. Comeback기능은 ZANO드론이 공중에서 사진을 촬영하고 드론을 사용자가 있는 곳까지 착륙시킬 수 있는 기능이다.

또한, CES 2015에서 인기가 있는 부스 중에 하나는 증강현실 장치를 이용해 전시를 한 회사들이었다. 특히 오클러스의 전시부스를 체험하기 위해서는 3~4시간은 기다려야 할 정도로 인파가 많이 몰렸다. 체험을 해보고 싶었지만, 시간에 쫓겨 아쉽게도 오클러스 체험을 포기하고 다른 곳을 이동하였다. 증강현실장치를 이용한 부스 중에서 오클러스를 이용하여 애플리케이션을 개발한 회사인 Virtuix사의 Omni가 있었다.



Omni



Omni는 사용자가 가상현실 속에 있는 느낌을 받을 수 있게 만들어진 장비라는 것을 CES에 오기 전에 SNS를 통해서 알고 있었다. Omni는 오클러스를 착용하고 Virtuix에서 개발한 신발, 발판 등 장비를 이용하여 게임 속에서 현실의 느낌을 줄 수 있게 만들었다. Omni를 착용하고 실제로 가상현실게임을 체험해보고 싶었지만, 안타깝게도 체험 할 기회를 주지 않아 보는 것으로 만족했다.



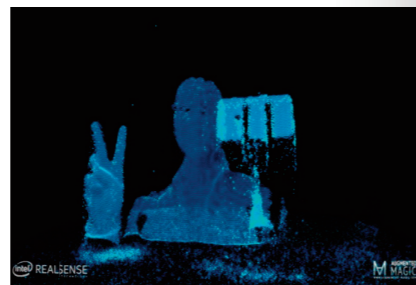
그리고 Intel도 증강현실 장치를 이용하여 4명이어서 게임을 할 수 있는 프로그램을 전시하고 있었다. Intel에서는 증강현실 장치를 체험 해볼 기회가 있어서 증강현실 장치를 착용하고 실제 가상현실게임을 해봤다.

증강현실 장비를 착용하고 게임을 해본 느낌은 장비 속 가상현실의 화질은 좋지 않았다. 하지만 특정한 방향으로만 가상현실이 보이는 것이 아니고 고개를 돌려도 계속해서 가상현실이 보이는 것이 놀라웠다.

이 밖에도 Intel에서는 차세대 기기 제어 기술인 리얼센스와 3D 스캐닝 기술과 같이 사람들의 관심을 끄는 전시를 많이 하고 있었다.

리얼센스는 여러 개의 센서를 이용해서 얼굴 인식 및 트래킹을 통해 기기와 접촉하지 않고 기계를 제어할 수 있는 방식이다. 또한, 리얼센스는 사람의 형체뿐만 아니라 같이 들고 있는 사물도 함께 인식할 수 있다.

Intel에서는 리얼센스를 이용해서 촬영한 이미지를 메일로 보내주는 것과 동작 인식게임을 전시하고 있었다.



3D 스캐닝 기술은 카메라를 이용해서 사용자를 3D로 스캐닝하는 것으로 스캐닝하는 시간이 많이 걸리지 않지만, 유리조각에 안에 새기는 시간이 많이 걸려 자신의 모습이 새겨진 3D 스캐닝 기념품을 받기 위해 많은 사람이 줄 서있었다.

삼성전자에서는 최신 스마트폰부터 세탁기, TV 등 많은 가전제품을 전시하고 있었다.

그 중 IoT전용 섹션을 만들어 부스 중앙에 설치하고 그 주변에 삼성 갤럭시 기어와 연동할 수 있는 자동차와 여러 제품을 같이 전시하면서 삼성전자가 IoT를 중요하게 생각하고 있는 것을 알 수 있었다.

또한, 삼성전자는 퀀텀 닷 TV인 SUHD TV를 비롯하여 커브드 UHD TV를 선보이며 다른 기업들과 경쟁을 펼쳤다.

LG전자도 TV, 휴대용 프로젝터, 스마트폰 등 많은 가전제품을 전시하였다. 그중에서도 LG전자에서 중점적으로 전시되는 것은 처음 공개되는 스마트폰 G flex2와 G watch였다.

CES 2015를 통해 처음 공개된 스마트폰 G flex2는 LG전자 부스 중앙에 위치하였고, 많은 사람의 관심을 가지고 살펴보고 있었다. 직접 G flex2를 만져본 느낌은 매우 가벼웠고, 스마트폰이 휘어져 있어 그림감이 좋았다는 것이다.

스마트 워치인 G watch는 현재 판매되고 있는 스마트 워치보다 디자인이 좋았고, 무게는 일반적인 시계의 무게와 비슷하여 실생활에 착용하고 다녀도 무난할 듯했다.



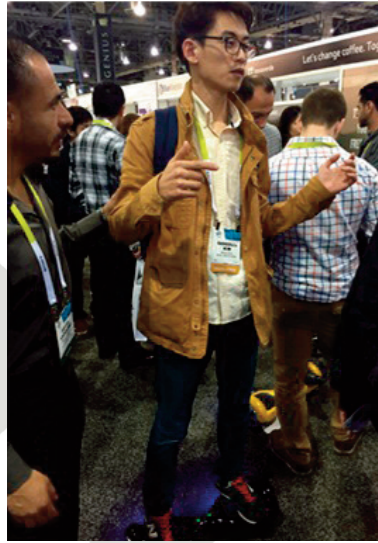
G watch



CES Tech West는 Sands Expo에서 행사가 진행되었으며 1층은 발표장으로 2층은 전시회장으로 꾸며졌다.

2층 전시회장은 3D 프린터, 헬스, 스마트 워치, 웨어러블 디바이스 등 다양한 분야의 많은 회사가 전시하고 있었다. 많은 회사 중에서 한국 회사인 인바디를 만날 수 있었다. 인바디는 헬스장이나 병원에 가면 자신의 몸무게, 체지방률 등을 확인할 수 있는 제품을 만드는 회사이다.

인바디는 CES 2015에서 사람의 체지방률을 측정할 수 있는 스마트 밴드를 만들어 인바디 밴드로 소개하고 있었다. 인바디 밴드는 일반적인 스마트 밴드처럼 운동량 측정, 심박수 체크, 칼로리 소모량을 알려 주고 인바디 기능인 체지방률 측정기능을 가지고 있다. 인바디 밴드에서 체지방 측정 방법은 기기의 위와 아래에 측정 지점을 손가락으로 5초 가량 대고 있으면 된다. 체지방 분석결과는 블루투스로 스마트폰에 전송하여 애플리케이션으로 확인할 수 있다.



CES 2015를 참관하면서 관심을 많이 가졌던 것 중 하나는 IOHAWK이다.

IOHAWK는 세그웨이와 비슷한 이동수단으로 모양은 스케이트보드와 유사하다. 평소에도 스케이트 보드를 즐기며 타는 필자에게 IOHAWK는 굉장한 흥미를 느끼게 해주었다. IOHAWK의 동작 방법은 간단하다. 사용자가 가고자 하는 방향으로 발에 힘을 주면 힘을 준 방향으로 움직이게 된다.

무게는 약 10kg으로 무겁다고 느낄 수 있지만, 세그웨이나 다른 전동 휠에 비하면 가볍다.

IOHAWK를 타고 시연을 해주는 모델은 능숙하고 자연스럽게 보드를 타고 전시회장을 돌아다녔지만, 직접 보드를 탔을 때 처음 타보는 것이라 급출발과 급제동이 많았다. 하지만 보드에 익숙해지면서 전진이나 좌우로 회전하는 등 보드를 타고 가고 싶은 방향으로 자연스럽게 움직일 수 있었다.

본 CES 2015 참관기에 소개한 회사나 제품이 외에도 로봇, 3D 프린터, 헤드셋, 스피커 등 많은 제품들을 전시하고 있어서 전시회에 참관한 것만으로 시야를 넓힐 수 있는 기회가 된 것 같다. 또한, 이번 CES 2015을 참관하면서 세계의 많은 업체의 기술과 제품을 보고 그들이 어떻게 생각을 하고 어떤 방향으로 연구를 하는지 알 수 있는 계기가 된 것 같다.

이번 박람회를 참여하면서 전자 분야에서 일하는 연구자로서 앞으로 더 열심히 연구를 하고 내년에 있을 CES에 참여하고 싶은 마음과 추후에는 CES에 Exhibitor로 참여하고 싶다는 동기부여도 되었던 것 같다. 이렇게 멋지고 인상 깊었던 CES 2015에 참여 할 수 있는 기회를 주신 이승은 교수님께 깊은 감사를 드립니다.



이상목 : 학부과정 서울과학기술대학교 전자IT미디어 공학과
muk09@seoultech.ac.kr
<http://soc.seoultech.ac.kr>



김상돈 : 석사과정 서울과학기술대학교 전자공학과
kimsd1863@seoultech.ac.kr
<http://soc.seoultech.ac.kr>



이승은 : 교수 서울과학기술대학교 전자공학과
seung.lee@seoultech.ac.kr
<http://soc.seoultech.ac.kr>

2015년 IDEC MPW 지원 내역 및 일정

2015년 MPW 지원 내역

- 6개 공정 16회 진행
- 아래 지원 내역은 공정사의 사정에 따라 변경될 수 있음.

회사	공정[μm]	공정내역	size	칩수/1회	모집 회수	Package 사용 가능 pin 수 (Design)	Package type 실제작 pin 수	
							LQFP	BGA
삼성	65nmRFCMOS	CMOSRF 1-poly 8-metal	4mmx4mm	48	3	208pin		
매그나칩/SK하이닉스	0,35μm MOS	CMOS 2-poly 4-metal (Optional layer(DNW, HRI,BJT,CPOLY) 추가)	5mmx4mm	20	2	144pin	208pin	364pin
	0,18μm MOS	CMOS 1-poly 6-metal (6 metal을 Thick metal (TKM)로만 사용 가능) (Optional layer (DNW, HRI,BJT,MIM) 추가)	3,8mmx3,8mm	25	5	184pin		
Tower-Jazz	0,18μm CIS	CMOS 1-poly 4-metal	5mmx5mm	1	2	지원하지 않음		
	0,18μm BCDMOS	CMOS 1-poly 3-metal (MT)	5mmx5mm	3~4	3			
	0,18μm SiGe	SiGe BiCMOS 1-poly 6-metal	5mmx5mm	1	1			

2015년 MPW 진행 일정

- 회차 표기 방법 변경 : "공정코드-년도모집순서"(예시)삼성65nm 2015년 1회차 : S65-1501)
- 아래 일정은 공정사의 사정에 따라 변경될 수 있음.

회차구분 (공정_년도순서)	우선모집	정규모집	제작칩수	DB마감 (Tape-out)	Die-out	공정	공정사
MS18-1501		2015.12.29.	25	2015.03.02.	2015.08.03.	0,18μm (CMOS)	매그나칩/SK하이닉스
MS18-1502		2015.01.26.	25	2015.05.11.	2015.10.12.		
MS18-1503	2015.01.26.	2015.02.23.	25	2015.07.13.	2015.12.14.		
MS18-1504	2015.04.26.	2015.03.23.	25	2015.09.07.	2016.02.01.		
MS18-1505	2015.02.23.	2015.05.26.	25	2015.12.07.	2016.05.09.		
MS35-1501		2015.01.26.	20	2015.06.08.	2015.09.29.	0,35μm (CMOS)	
MS35-1502	2015.05.26.	2015.07.20.	20	2016.01.11.	2016.04.30.		
S65-1501		2014.12.29.	48	2015.06.15.	2015.12.14.	65nm (RF CMOS)	삼성
S65-1502	2015.02.23.	2015.04.20.	48	2015.10.19.	2016.04.19.		
S65-1503	2015.04.20.	2015.06.22.	48	2016.01.18.	2016.07.18.		
TJB18-1501		2014.12.29.	2	2015.03.02.	2015.07.06.	0,18μm (BCD)	TowerJazz
TJB18-1502	2015.01.26.	2015.03.23.	4	2015.08.24.	2015.12.28.		
TJB18-1503	2015.02.23.	2015.05.26.	4	2015.11.30.	2016.04.04.		
TJC18-1501		2015.01.26.	1	2015.06.15.	2015.10.23.		
TJC18-1502	2015.02.23.	2015.05.26.	1	2015.11.23.	2016.03.28.	0,18μm(CIS)	
TJS18-1501		2014.12.29.	1	2015.04.27.	2015.09.15.	0,18μm(SiGe)	

- 모집 : 우선과 정규모집으로 구분. 정규모집까지 마감되지 않는 공정에 대해서는 추가 모집 진행 (* 신청접수 기간 : 모집 마감일로부터 2주전부터 접수)
- 선정결과 : 모집 마감 후 15일내 개별 통보
- Package 제작 : Die out 이후 1개월 소요됨.
- TowerJazz 공정은 sub chip(5mmx2.5mm 또는 2.35mmx2.35mm)로 분할하여 모집
- 문의처 : yslee@idec.or.kr(Web site : <http://www.idec.or.kr>)

Mentor사 HDS (HDL Designer) & HyperLynx

Mentor사 HDS (HDL Designer)

A. 목적

Design Entry Creation, Management and Verification Process Define

B. 구분

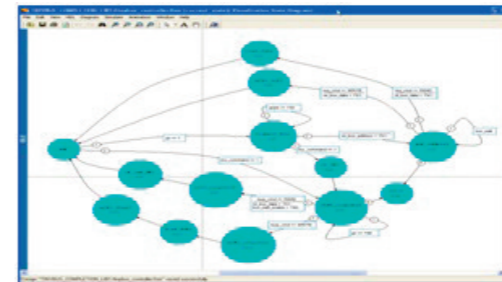
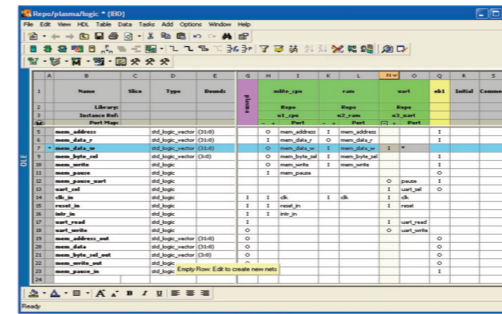
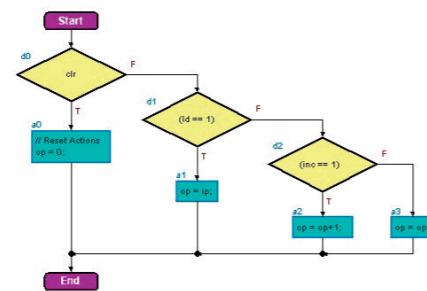
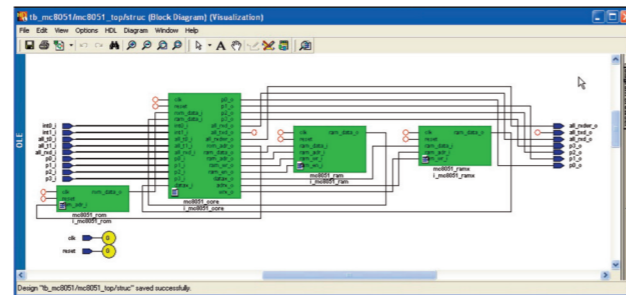
FPGA와 ASIC Design Creation의 복잡성을 효과적으로 수행할 수 있으며 RTL Design과 Verification의수행에 도움을 준다. Functional RTL Design 뿐만 아니라 Architectural Design 즉 Architectural Exploration, System Verification 그리고 Virtual Prototyping의 수행에도 효과적이다.
HDL Designer의 기본적인 Function은 RTL Creation, Reuse, Checking, Documentation & Management이다.

D. 특성 및 기능

Design Checking과 Creation
HDL Designer의 Design Checking 기능은 FPGA, ASIC Designer에게 Design의 동작과 높은 품질의 기준(DO-254)의 Meet를 Assurance한다. Design Checking으로 적합한 Flow를 설정할 수 있으며, Simulation과 Synthesis, Enhanced RTL Reuse에 효과적인 솔루션이다.

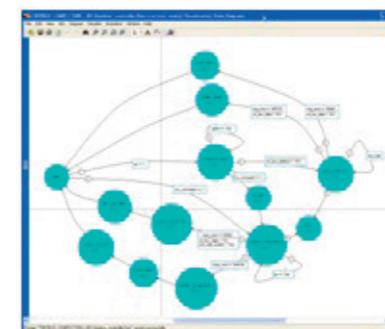
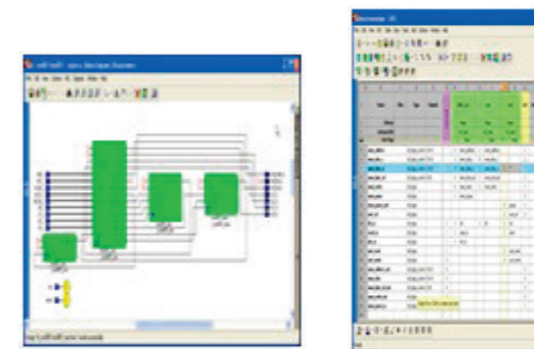
또한, HDL Designer는 FPGA나 ASIC Design의 Synthesis와 Simulation을 오픈타임이즈된 Design Creation을 할 수 있게 도와준다.

Advanced Editor을 통하여 Block Diagram, Interface Based Design (Spreadsheet 방식으로 code 재현), State Machine 그리고 Flow Chart을 이용하여 Creation을 효과적으로 할 수 있게 도와준다.

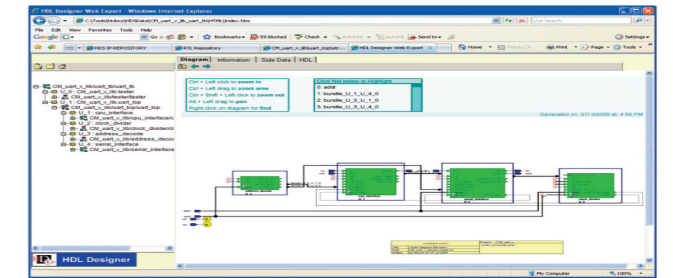


Team Design
각 Version Management를 통하여 효과적인 Team Design을 도와주며 이에 해당하는 User Preference를 GUI 환경으로 제공하여, Easy of Use 측면에서 보다 효과적이다. Design Preferences (Design Rule, Standard Tool Set) 등을 공유하여 다양한 Design 파일이나, IP Library 등을 효과적으로 관리할 수 있게 해준다. 또한, HDS는 Version Management를 위하여 Industry Standard인 Open Source RCS & CVS를 제공하며, 그 외에도 IBM Clearcase, Microsoft Visual Source Safe, DesignSync 그리고 Serena Software PVCS를 지원한다.

Design Visualization & Documentation
Automatic하게 RTL code의 Visualization을 다양한 Window로 Design Entry를 확인할 수 있게 하며, 이러한 Entry로 Documentation도 가능하게 한다.



HDL Designer는 Design Document를 Export하며, OLE Drag and Drop의 Microsoft Application과의 Interface를통하여 Import/Export를 HTML로 가능하게 한다.



HDL Designer는 Questa와의 Interactive Simulation 분석을 가능케 도와준다. Built-in Flow로써 Cross-Probing과 Animation 기능을 Questa와 HDS사이에서 사용할 수 있는 환경이 구축되어있어 효과적인 디버깅이 가능하다.



Mentor사 HyperLynx

A. 목적

PCB Board Simulation

B. 구분

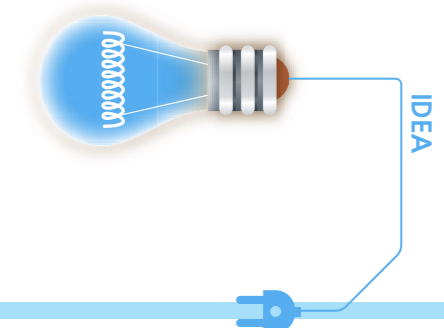
PCB 디자인의 구상, 배선, 원료 과정에서 SI/PI/Thermal/EM/Analog 해석

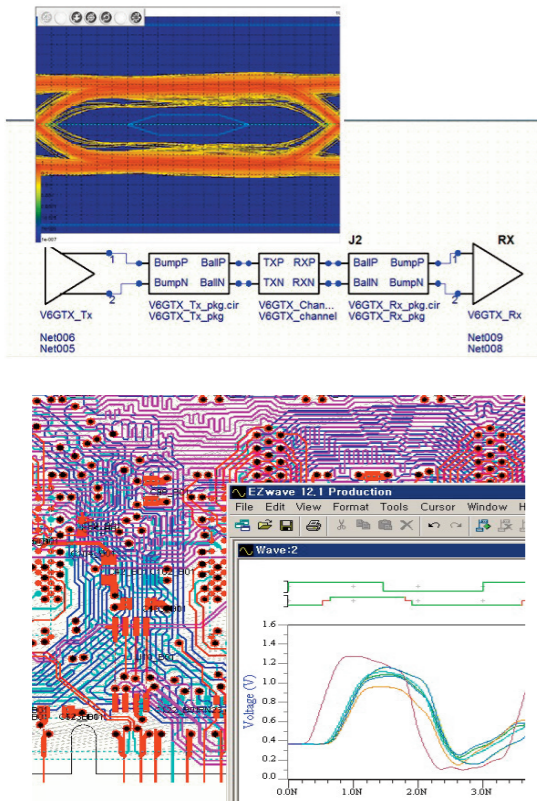
C. Supported Platform and O/S System

- Linux RHEL 5, 6 32/64bit
- Linux SLES 10, 11 32/64bit
- Windows XP 32bit / Windows 7 32/64bit

D. 특성 및 기능

HyperLynx SI
PCB 디자인 전후에 Crosstalk/Reflection/Timing 등 검토를 위한 Signal Integrity를 해석한다.

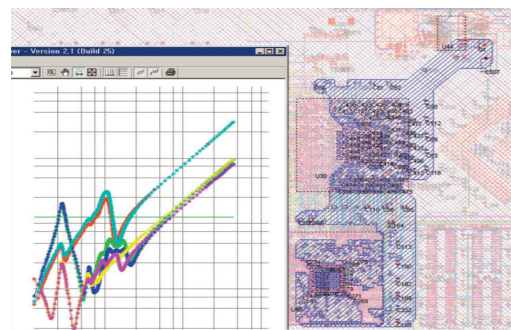
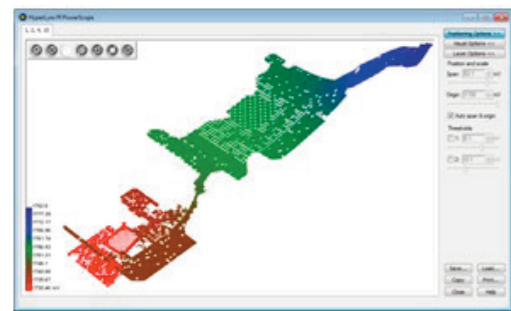




2. HyperLynx PI

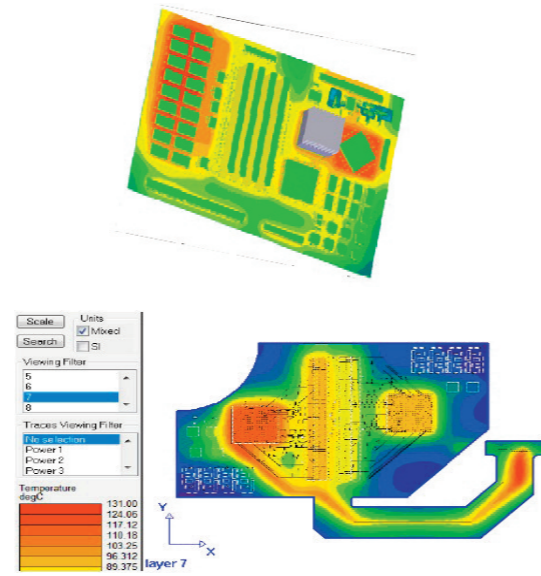
PCB 디자인 전후에 DC Drop/Decoupling/Noise Analysis와 같은 Power Integrity를 해석한다.

PDN (Power Distribution Network)의 S-Parameter 모델 및 Via 모델의 Z-Parameter 모델을 생성한다.



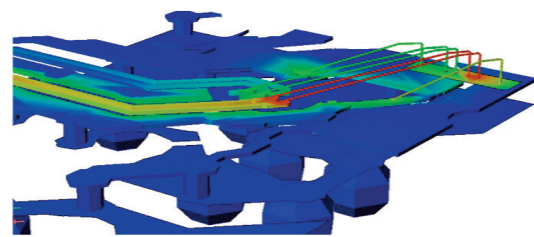
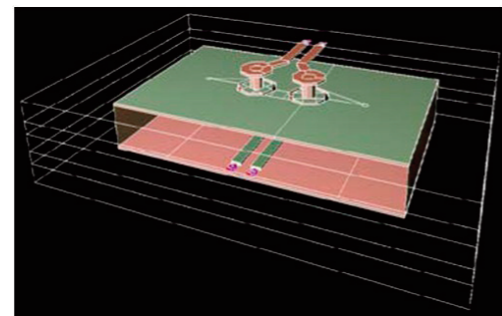
3. HyperLynx Thermal

부품이 실장된 보드의 열 해석, 전도, 대류와 복사가 고려되고 HyperLynx PI와 Co-Simulation을 통해 전류에 의한 전원 배선의 발열도 포함할 수 있다.



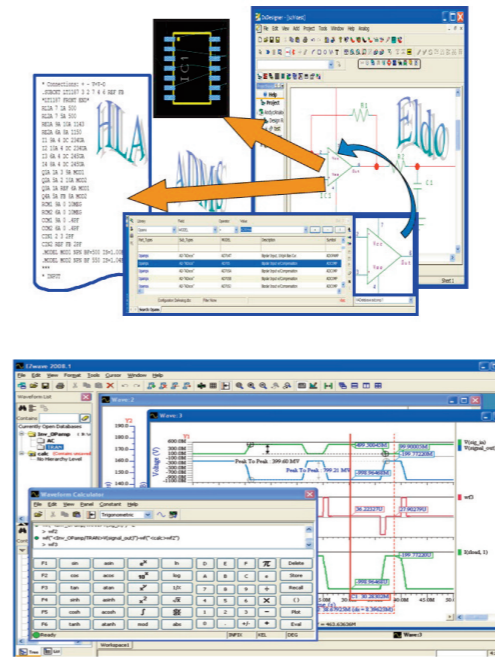
4. HyperLynx 3D EM

PCB, Packaging, RFIC, MMIC and Planar Antenna 디자인 등의 EM 해석. HyperLynx BoardSim 및 Expedition으로부터 쉽게 부분적인 디자인 추출이 가능하다.



5. HyperLynx Analog

DxDesigner 환경에 통합된 아날로그 회로 디자인 해석. PSPICE 모델 변환기 제공 및 파형 뷰어인 EZwave에서 결과 파형에 대한 포스트 프로세스를 진행한다.



회사명 : Mentor Graphics
 (Subsidiary of Ansys Inc.)
 웹 주소 : <http://www.mentorkr.com/>
 한국지사 : 한국멘토
 전 화 : 031) 8061-0790
 주 소 : 경기도 성남시 분당구 판교역로
 192번길 12 (삼평동)
 판교 미래에셋센터 7층