



IDEC
newsletter

VOL. 211
JANUARY 2015

IDEC Newsletter | 통권 제211호

◎ 발행일 2014년 12월 31일 ◎ 발행인 박인철 ◎ 편집인 남병규 ◎ 제작 푸을디자인
◎ 기획 전향기 ◎ 전화 042) 350-8535 ◎ 팩스 042) 350-8540 ◎ 홈페이지 <http://idec.or.kr>
◎ E-mail jhg0929@idec.or.kr ◎ 발행처 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 미래창조과학부(산업통상자원부), 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩 반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 에이티세미콘, TowerJazz)의 지원으로 수행되고 있습니다.

VOL. 211 JANUARY 2015

MPW (Multi-Project Wafer) ◆ 2015년 MPW 공정 내역 및 진행 예정 일정 · 6개 공정 16회 진행

■ 2015년 MPW 지원 내역 변경사항

· 잠정 지원 중단 공정

- 1) 동부 전공정(0.11um RFCMOS / 0.35um BCD / 0.18um BCD)
- 2) TowerJazz 0.18um CA18HA

· 추가 내역

- 1) 매그나칩/SK하이닉스 0.18um 1회차 추가(▲25chips)
- 2) TowerJazz BCD 0.18um 1회차 추가(▲4chips)
- 3) BGA Package 지원 (TowerJazz 공정을 제외한 모든 공정 지원, 요청 수가 많을 경우 평가를 통해 선별)

회차구분 (공정_년도순서)	우선모집	정규모집	제작칩수	DB 마감 (Tape-out)	Die-out	공정	공정사
MS18-1501	-	2014.12.29	25	2015.03.02	2015.08.03	0.18um (CMOS)	매그나칩/ SK하이닉스
MS18-1502	-	2015.01.26	25	2015.05.11	2015.10.12		
MS18-1503	2015.01.26	2015.02.23	25	2015.07.13	2015.12.14		
MS18-1504	2015.01.26	2015.03.26	25	2015.09.07	2016.02.01		
MS18-1505	2015.02.23	2015.05.26	25	2015.12.07	2016.05.09		
MS35-1501	-	2015.01.26	20	2015.06.08	2015.09.29	0.35um (CMOS)	삼성
MS35-1502	2015.05.26	2015.07.20	20	2016.01.11	2016.04.30		
S65-1501	-	2014.12.29	48	2015.06.15	2015.12.14		
S65-1502	2015.02.23	2015.04.20	48	2015.10.19	2016.04.19	65nm (RF CMOS)	TowerJazz
S65-1453	2015.04.20	2015.06.22	48	2016.01.18	2016.07.18		
TJB18-1501	-	2014.12.29	2	2015.03.02	2015.07.06	0.18um (BCD)	
TJB18-1502	2015.01.26	2015.03.23	4	2015.08.24	2015.12.28	0.18um (CIS)	
TJB18-1503	2015.02.23	2015.05.26	4	2015.11.30	2016.04.04		
TJC18-1501	-	2015.01.26	1	2015.06.15	2015.10.23	0.18um (SiGe)	
TJC18-1502	2015.02.23	2015.05.26	1	2015.11.23	2016.03.28		
TJS18-1501	-	2014.12.29	1	2015.04.27	2015.09.15		

- 일정은 사정에 따라 다소 변경될 수 있음.
- 회차 표기 방법 변경 : 공정코드-년도-모집순서 (예시) 삼성65nm 2015년1회차 : S65-1501
- 모집기간 : 모집 마감일로부터 2주전부터 접수
- Package 제작은 Die out 이후 1개월 소요됨
- 기준일 : 2014.12.29

*문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)

○ 2015년 1월 교육프로그램 안내 수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

KAIST 개설 강좌 안내

센터명	강의일자	강의제목	분류
본센터	1월 8일-9일	Linux Management & EDATools Installation	Tool강좌
	1월 12일-14일	[IDEC 연구원 강의] Full-Custom 설계 Flow 교육	설계강좌
	1월 15일	클럭 생성 회로 설계	설계강좌
	1월 20일	모바일 응용분야를 위한 High Speed Transceiver 설계	설계강좌
	1월 21일-22일	Intuitive analysis of analog and RF circuits based on industrial practice in Silicon Valley	설계강좌
	1월 23일	Virtuoso Analog simulation Technique v6.15	Tool강좌
	1월 27일-30일	Mixed Analog Layout(1차)	SoC분야

- 강좌일 : 1월 8일-9일
- 강좌 제목 : Linux Management & EDATools Installation
- 강사 : 송상우 대표 (크리시스)

강좌개요 Linux시스템에 대한 관리 및 EDATool설치 및 보안설정에 대해 이해를 높인다.

수강대상 리눅스관리자 초중급/중급

강의수준 초중급 **강의형태** 이론+실습

사전지식, 선수과목

리눅스 사용경험과 기본 커맨드에 대한 이해가 필요함.

- 강좌일 : 1월 12일-14일
- 강좌 제목 : [IDEC 연구원 강의] Full-Custom 설계 Flow 교육
- 강사 : 조인신 연구원 (IDEC)

강좌개요 CMOS 공정을 이용한 Full-custom 설계를 위한 기초 원리로서, 설계 Flow 에 대해 알아보고, 설계에 필요한 EDA Tools (Cadence Virtuoso, Mentor Calibre 등)의 설치 및 환경 설정 방법과 이 EDA Tools를 이용하여 실습 프로젝트를 수행함으로써 설계능력을 배양한다.

수강대상 CMOS 공정을 이용한 아날로그 설계 분야의 입문자

강의수준 초급 **강의형태** 이론+실습

사전지식, 선수과목 전자회로, 반도체 공학, 회로이론

- 강좌일 : 1월 15일
- 강좌 제목 : 클럭 생성 회로 설계
- 강사 : 심재윤 교수 (포항공과대학교)

강좌개요 클럭 생성 회로의 가장 기본이 되는 PLL과 DLL의 기본 개념과 루프 해석을 알아보고, 이들을 구성하는 회로들의 역할과 구체적인 설계 과정에서의 문제점을 알아본다. 이를 바탕으로 발전된 구조를 갖는 디지털 PLL과 클럭 데이터 복원 회로 (CDR)의 설계 방법을 배워본다. 또한, 클럭 생성 회로의 설계 시 초급자가 간과할 수 있는 위상 잡음과 지터의 개념을 배운다.

수강대상 해당 분야 전공 대학원생, 기업/연구소 연구원

강의수준 중급 **강의형태** 이론

사전지식, 선수과목 아날로그 집적회로

- 강좌일 : 1월 20일
- 강좌 제목 : 모바일 응용분야를 위한 High Speed Transceiver 설계
- 강사 : 장영찬 교수 (금오공과대학교)

강좌개요 최근 모바일 디스플레이를 비롯한 여러 가지 응용분야에서도 parallel interface에서 serial interface의 기법이 이용되고 있다. 저전력의 특성이 요구되는 모바일 응용을 위한 high speed interface 기술을 소개하고 이를 학습한다. 마지막으로 자동차용 SoC 설계 대응 방안을 논한다.

수강대상 해당 분야 전공 대학원생, 기업/연구소 연구원

강의수준 중급 **강의형태** 이론

사전지식, 선수과목 아날로그 집적회로

- 강좌일 : 1월 21일-22일
- 강좌 제목 : Intuitive analysis of analog and RF circuits based on industrial practice in Silicon Valley
- 강사 : 박진호 박사 (Terasquare)

강좌개요 반도체 산업은 점차적으로 더 빠른 속도와 고주파수, 그리고 고성능의 집적회로들이 주류를 이루고 있고, 이 같은 경향은 앞으로도 더욱 가속화될 전망이다. 고주파수회로 설계자들, 특히 RF 디자이너들은 크게 두가지 부류를 이루어왔다. 첫째는 microwave분야에서 접근하는 디자이너, 둘째는 analog회로설계분야에서 접근하는 부류들이다. 하지만, IC의 고집적화가 가속화되면서, analog회로설계자들의 RF 지식이 더욱 요구되는 것이 현실이다. 이번 강의는 국내외 analog /RF 회로설계 분야에 종사하거나 관심을 갖는 이들에게 analog의 기초와 RF 설계의 기본을 완전히 다른 각도에서 다시한번 다지는 내용들로 이루어질 예정이다.

수강대상 Analog / RF Design Engineering 백그라운드 가진 전문인, 직장인, 대학원생

강의수준 중급 **강의형태** 이론

사전지식, 선수과목

Fundamental understanding about CMOS devices, analog circuitries, RF theory.

- 강좌일 : 1월 23일
- 강좌 제목 : Virtuoso Analog simulation Technique v6.15
- 강사 : 이상철 차장 (Cadence Korea)

강좌개요 ADE-XL을 이용한 Circuit simulation 진행시 필요한 기능에 대한 전반적인 설명 및 Lab진행

수강대상 Analog circuit design engineer **강의수준** 중급

강의형태 이론+실습 **사전지식** Analog Circuit Simulation

선수과목 Virtuoso Analog Design Environment, Spectre Circuit simulator

- 강좌일 : 1월 27일-30일
- 강좌 제목 : Mixed Analog Layout(1차)
- 강사 : 박익근 이사 (파인스)

강좌개요

LAYOUT 수행을 위한 기초 학습 및 연계성 인식

IC 특성 저해 요인 고찰 및 특성 향상을 위한 방안 고찰.

LAYOUT 실습을 통해 학습 내용을 적용.

수강대상 수강 신청자 (아래의 사전지식 및 선수과목 참조 요망)

강의수준 중급 **강의형태** 이론 + 실습

사전지식, 선수과목

Mixed Analog Circuit 의 간단한 동작 특성 해석 가능 (필수)

Virtuoso Layout Editor이용 작업 가능 및 실무 경험 (필수)

Calibre Verification Tool 사용 및 검증 가능 (필수)

*문의 : KAIST IDEC 오가영 (042-350-8536, oky0818@idec.or.kr)

2015년 새해,
반도체설계교육센터가 새롭게 뛰겠습니다

시름의 폭우가 많은 밤의 기온

IDEC 임직원 일동

2014년 새롭게 시작한
취미는 DIY입니다.

제 손으로 만든 책상 겸 테이블은
이제 내게 선물해 드려서 자자마
효도를 한 것 같아 기쁩니다

신혜승

2014년 10월 20일은 제게 의미있는 날입니다.

아직 대학생이던 시절에 사원 5년생인
제가 IDEC에 첫 출근한 날이 때문입니다.

냉장반 두려움 반쯤 사라진 저의 첫 직장생활을
2015년도에는 열정과 공천으로 맞이하려 합니다!

2014년 함께 더욱리 잘해내고

2015년 새해 복 많이 받으세요!

우리 모두 SMILE ☺

오가영

2014년 6월 20일 ... 아이가 태어났습니다.
2시간이나 깨서 보채면 아이가 여섯 6개월이나 되었네요.
요즘에는 먼저 만나 엄마아빠를 보여 받듯 웃어 주기도 하고
뒤집기를 하다가 혼자 서려고 할기도 합니다.
아직은 깨야독해 보이지만 금방 가서 온집안을 뛰어다니며
말썹을 부리는 날이 오길래요...
건강하게만 자라주셨으면 좋겠습니다...

- 김연태 -

새로운 가족이 생겼습니다!
반년째 별다른 침울함 없이
'V'자를 그리는 조음과 나침에 행복합니다.
내년에는 날제 'V'를 그리는 모습을 기대하며...
- 김태리 -

청계천 '등 축제'
다양한 맛의 등들은 청계천과 그 주변을 화려하게
밝혔고, 밝은 밤 이들의 얼굴은 화려하여
오고 가는 웃음은 마음을 따뜻하게 했다.
누군가에게 들었던 '기르들의 기원'을 생각하며
멋진 등경을 담아 본다.

- 김은주 -

세상에서 처음 엄마라고 불려준
우리에게 한동이 2014년 첫 생일을 맞이했습니다.

호보엄마 1년,
고단하기도 했지만
한동이 자라는 모습에 가슴 벅찬 한 해였습니다.

- 석은주 -

첫째 아이가 돌이 지나고
성장하는 모습은 보면서
조금씩이라도 많이 행복했습니다.
- 윤관석 -

아내의 직장으로
온 여동 처음 가 본 경북.
이번 TV로만 보거나 지나치기만 했는데
직접 가보러 왔던 시골입니다.
다른 날 돌아다니고나 참운길 했지만
그래도 온기였습니다.
여년에도 한 번 가보고
그리고 귀한 휴일을 즐기겠습니다.
재미있어 주세요.

조인신

봄부터 가을까지 남부·고구·태후
귀고 자랑은 많이 행복했습니다.
건강한 재료를 내는 다른 친구들과
영양 가득하게 식재료에
단점은 희망사항입니다.

- 이의숙 -

지난 10월 21일은 우리 등축제 첫날이었습니다.
기분 좋게 기분은 원만하게 건강하게 지난 날에 대한
감사함과 미래에 대한 축복기도를 하였습니다.
새년에는 IDEC의 20년이 있는 해입니다.
올해 힘들었던 일들 모두 이겨내시고, 새년에는
더욱 발전하고 성숙된 우리 단체 가족들의
축복속에 20년 IDEC 생활을 맞았으면 합니다.

- 유은향

2015 乙未年



자율주행 자동차에서의 융합 반도체(Semiconductor)와 인지 소프트웨어(Cognitive Software) 통합 기술 동향

초록

본 기고는 국제 자동차 오픈 아키텍처 표준 단체인 Autosar.org에서 2014년 10월 22일 미국 디트로이트에서 개최한 7th AUTOSAR Open Conference에서 발표한 내용을 바탕으로 새로운 기술적 융합 경향을 설명하였다[1]. 이러한 기술적 흐름은 기존의 기술적 산업적 장벽으로 남아 있던 가전과 자동차로 대표되는 컨슈머와 로봇 및 자동차 융합을 가능하게 하여 새로운 산업적 기술적 수요를 발생시킬 가능성이 있다. 또한 이를 위해 새로운 방법으로 반도체(Semiconductor)와 인지 소프트웨어(Cognitive Software)의 융합 방법이 요구되어 많은 연구가 시작되고 있다. 본 기고는 이러한 새로운 기술적 동향을 살펴보고 이러한 기술적 흐름을 고찰하고, 향후 발생할 변화를 예측을 하여 필요한 기술이 무엇인지 정리하고자 한다.

1. 서론

전자 제품의 발전 방향으로 기술 방향과 제품 경쟁력의 요구 사항은 1980년도에는 동일한 제품을 얼마큼 대량 생산을 할 수 있는가, 1990년도에는 대량 생산에서 얼마큼 불량 없이 생산 비용을 절감할 수 있는가, 2000년도에는 제품 판매 이후에 부품고장 없이 얼마큼 오랫동안 소비자가 사용할 수 있는가를 중요한 척도였다(그림 1). 이러한 산업의 흐름의 대부분은 가전이나 PC 및 자동차 등 대부분의 생산제품에서 가장 중요한 목표로 자리잡아 왔다. 그러나 선진국에서는 대량 생산, 생산에 대한 비용 절감, 신뢰성 등은 자본과 집중으로 단기간의 노력으로 쉽게 후발 주자에게 시장을 빼앗겼으며, 선진국에서는 이것을 방지하기 위해서 후발 주자가 시장에 진입하기 어려운 새로운 기술 장벽을 연구하기 시작했다. 특히 사람의 안전과 생명이

관계된 기능안전성이 요구되는 제품에 전자화가 가속됨에 따라 단순 부품이 아닌 소프트웨어가 탑재된 스마트화된 부품화가 요구됨에 따라 제품 개발 초기 단계에서 생산 및 운영의 전 단계를 관리하는 절차와 기술을 표준화하여 ISO/IEC를 제정하기 시작했다. 이러한 기능안전의 국제 규정인 IEC61508 규약을 바탕으로 그림 2에 도시된 것 처럼 자동차, 로봇, 항공, 의료 등에서 표준화를 진행하여 제조물 관리법(PL법)으로 규제 장벽을 만드는 경향으로 가고 있다.

2000년 반도체 산업의 발전을 시작으로 전자산업은 기존 산업에서 불가능하게 여겼던 새로운 개념의 제품을 스마트하게 탑재되기 시작했다. 이러한 스마트 시스템의 진행은 강력한 반도체 성능과 표준화를 바탕으로 소프트웨어적 기술 및 가치가 결합되어 발생된다. 기존 산업의 스마트화 흐름은 의료, 기계등의 종래의 산업을 전자산업과의 융합을 통해 새로운 기능을 부가하는 방향으로 만들어졌다. 또한 전자, 자동차, 바이오 등과 같은 이종 산업간의 융합에 관련된 기술의 표준화 및 플랫폼화가 핵심으로 부각되고 있다. 그러나 이러한 융합 기술의 진행은 스마트 폰 시장에서 처럼 HW와 SW를 동시에 제공하는 회사나 Internet Service 표준을 장악한 회사가 관련된 모든 시장의 지배력을 강화하는 원인이 되고 있다. 하나의 예로 스마트폰의 등장은 유사한 기능의 PNP, 게임기, 전자사전 같은 다양한 전자 제품 시장을 모두 붕괴시켰으며, 더나가 기존의 핸드폰 업체의 생태계에 변화를 주었다. 또한 스마트폰의 발전에 따라 기술적 진입 장벽이 낮아짐에 따라 후발 주자의 가격 경쟁력에 의해서 기존의 핸드폰 업체가 무너지는 방향으로 진행되고 있다.

이러한 전자 산업간의 융합은 성능 위주의 모바일 및 가전과 자동차, 서비스 로봇 등과 같은 기능 안전이 요구되는 제품간의 융합으로 발전하고 있다. 본 논고에서는 이종 산업간의 스마트 전자화가 산업에 어떠한 영향을 미치고, 또한 필요한 기술이 무엇이고 어떻게 변화하고 있는지를 분석하였다. 이를 바탕으로 필요한 새로운 반도체와 내장 소프트웨어 기술의 방향을 정리하고자 한다. 특히 기능안전성 분야 중에서 미래 산업의 혁명을 일으키는 자율 주행 자동차와 서비스 로봇은 기존에 없는 새로운 비즈니스를 창출하는데 핵심인 반도체(Semiconductor)와 인지 소프트웨어(Cognitive Software)를 위주로 설명하겠다.

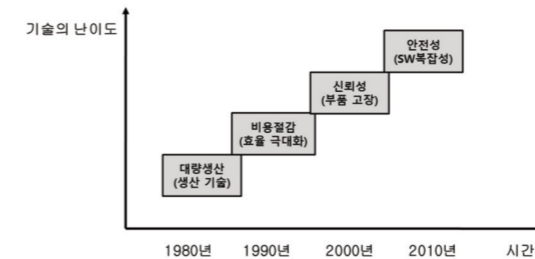


그림1 유럽의 후발 주자에 대한 전략적 분석

	EN 50128 (철도)		DO-178B (항공)
	IEC 60601 (의료 기기)		IEC 50156 (가열 장치)
	IEC 61511 (산업용 로봇)		IEC 60880 (원자력)
	IEC 62061 (산업용 기계)		ISO 26262 (자동차)
	ISO 13482 (서비스 로봇)		

그림2 기능안전성(Functional Safety)필수 분야 산업 및 표준

2. 새로운 반도체(Semiconductor)와 인지 소프트웨어(Cognitive Software)

현재 멀티코어 MCU는 PC, 모바일 및 자동차에서도 일반화된 구조로, PC나 스마트폰의 경우 멀티코어를 이용 소프트웨어를 분산 처리함으로써 실행 속도를 향상을 목표로 한다. 그러나 차량 반도체의 멀티코어는 서로 다른 속도를 가지는 CPU를 혼합한다. 이를 통해 주기능은 상대적으로 고성능인 메인 CPU와 모니터링 하고 감시하는 기능을 보조 CPU에서 처리함으로써 기능안전성 기능을 확보하는 목적으로 멀티코어를 사용한다. 멀티코어의 또하나 목적은 MCU내에서 기존의 차량 네트워크의 통신으로 처리하는 기능을 한 칩으로 통합하여 네트워크의 통신을 CPU들간 통신으로 대체하고자 개발하였다. 이를 통해 소프트웨어간 처리

지연을 최소화하여 실시간으로 안전성을 확보하는 목적도 있다. 소프트웨어 측면에서는 기능안전성 보장하에서의 소프트웨어 재사용은 특화된 반도체에서만 지원됨으로 기존의 가전 및 모바일에서 사용되는 반도체로는 적용하기가 어렵다. 그러나 자율 주행 자동차를 구현하기 위해서는 차량 내부 정보뿐만 아니라, 차량 외부 환경에 대해서 정보를 수집하여, 인지하고 판단하는 인지 소프트웨어 기술이 필수적이다. 이러한 인지 기능은 고성능 하드웨어 및 메모리를 요구하며, 소프트웨어의 업데이트 처리를 위해서 기존의 전장 반도체로서 개발하기에는 더 많은 비용이 든다. 또한 기존의 PC 소프트웨어는 실시간 기능안전 지원을 보장할 수 없다. 이에 따라 기능안전성과 고성능을 저가의 시스템으로 동시에 해결하기 위해서 PC 및 자동차에 시스템 융합 플랫폼 제정에 대한 움직임이 빨라지고 있다. 기능안전성 분야인 자동차 및 서비스 로봇 분야에 인지 소프트웨어(Cognitive Software)가 융합되면서, 기존의 여러 종류 반도체가 하나의 시스템에 기능적으로는 분리(isolation)되어 통합이 되는 멀티코어와 새로운 소프트웨어 아키텍처가 요구된다[2]. 즉, 향후의 ECU는 인지 소프트웨어(Cognitive Software)가 외부 통신망에 의해서 업데이트와 종합적인 판단을 고속으로 처리하기 위해서 고속 Core CPU(기존 스마트폰 용)와 기존 제어 소프트웨어(Control Software)를 안전하게 내부 통신망 데이터를 보내기 위한 저속 Core CPU(기존 차량 ECU용)가 합쳐진 형태로 제공되어야 한다(그림 3 참조)[2]. 이러한 기술적인 개념은 BMW가 사람이 운전하지 않는 100% 자율 주행차와 서비스 로봇을 개발하기 위한 기술적인 요구사항을 Autosar.org에서 정의하기로 하였다.

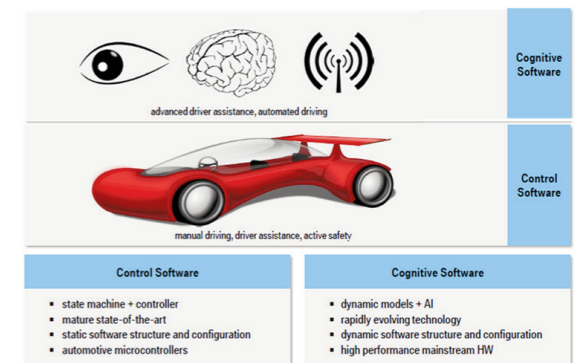


그림3 BMW는 자율 주행 기술에서의 인지 소프트웨어(Cognitive Software)



정의된 인지 소프트웨어는 멀티코어 기반에서 고속 Core CPU는 POSIX기반의 ISO 26262 ASIL B와 IEC 61508 SIL2를 만족하는 기능안전성을 준수한 Linux인 SIL2LinuxMP (멀티코어용, <https://www.osadl.org/SIL2LinuxMP.sil2-linux-project.0.html>)을 사용해야 하며, 인지 소프트웨어(Cognitive Software)가 외부 통신망의 데이터를 실시간으로 전송과 처리하기 위한 DDS(Data distribution service, <http://www.opendds.org>)를 탑재하고, 인지 소프트웨어(Cognitive Software)의 기능을 API로 정의한 ROS(Robot Operating System, <http://www.ros.org>)을 사용하기로 정했다[4]. 관련 인지 관련 DDS(Data distribution service)는 OMG(Object Management Group, <http://www.omg.org>)에서 정의한 국제 표준으로 실시간 데이터 분배 미들웨어로 2007년 1월 1.2버전까지 나왔다. 적용되고 있는 분야로는 감시제어 및 데이터 취득 분야에서 미국 NASA, 스마트 농업(Smart-Framing)의 콤바인 내부 공유 및 곡물 수집 차량간의 통신, 교통 통제 분야의 항공 운항 정보 공유 시스템, 스마트그리드 에너지 분야, 환자 모니터링 시스템이나 긴급 의료 시스템, 미국 국방에서 표준 통신 기술로 선정이 되어 있다.

DDS(Data distribution service)의 특징은 이더넷망에서 신뢰성이 없는 UDP 통신을 TCP 만큼의 신뢰성을 부여할 수 있으며, 모든 SW 플랫폼에 일관된 API를 제공하여 네트워크에 신규로 진입하는 노드를 동적으로 발견하고 받지 못한 데이터를 네트워크에서 진입한 순간 받을 수 있다. 또한 데이터 통신 중에 우선순위가 높은 응용 프로그램에 대해서 먼저 통신할 수 있도록 부여할 있으며 실시간 이중화 구현이 가능하다. 다중 노드에서 대량의 데이터를 각각의 노드에 일관된 속도로 전달하기도 한다. 데이터 크기나 구독(Subscribe)의 수량이 증가하더라도 일관된 Latency를 보장한다. Global Data Space기반의 Publish/Subscribe(배포/구독) 구조는 서버의 병목 현상이나 취약점이 발생하지 않게 해준다(그림4). 참고로 노드(Node)는 통신하는 장치(Device)를 의미하며, DDS는 컴퓨터와 연결된 다수의 장치(Device)에 대한 통신을 연결해주는 기술로써 IoT(Internet of Things)의 사물 인터넷 기술과 비슷하다.

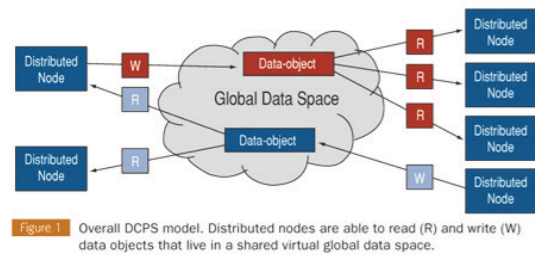


그림4 DDS의 Global Data Space기반의 Publish/Subscribe 구조

응용 소프트웨어로는 인지 소프트웨어(Cognitive Software)의 기능을 API로 정의한 ROS(Robot Operating System, <http://www.ros.org>)는 오픈 소스로 공개되어 있으며, 누구나 자유롭게 ROS를 가져다 로봇에 미들웨어를 사용할 수 있다. ROS는 리눅스 기반에서 동작을 하며, Ubuntu에서 시뮬레이션도 제공한다. 또한 DDS(Data distribution service)의 Global Data Space기반의 Publish/Subscribe 구조와 AUTOSAR에서 정의한 Client-Server Interface를 제공한다(그림5)[4]. Global Data Space기반의 Publish/Subscribe 구조는 네트워크 망에 있는 다수의 장치(Device)간의 통신을 처리하기 위한 기능이며, AUTOSAR의 Client-Server Interface는 서로 다른 응용프로그램의 함수를 실행하기 위한 기능이다. ROS의 API를 C++로 제공하며, 그림 6과 같이 ROS는 C++로 코딩하여 미들웨어를 사용함으로써 시스템을 구동한다[5]

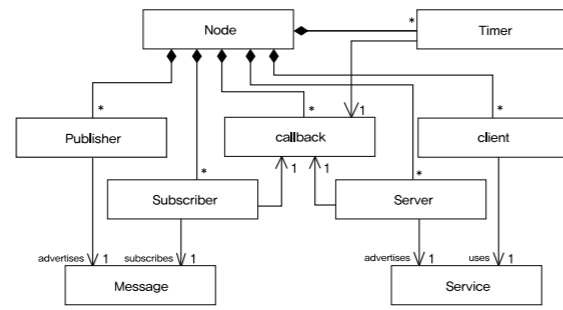


그림5 ROS의 통신 인터페이스 (DDS와 AUTOSAR C/S Interface 개념 포함)

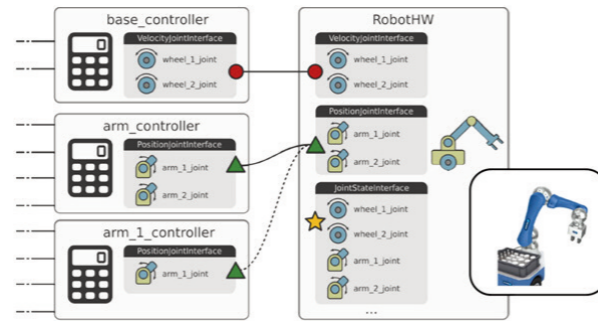


그림6 ROS를 이용한 Robot Arm 설계 및 구현

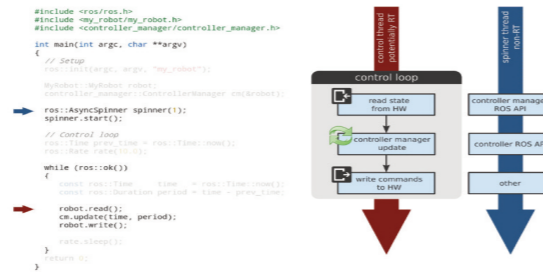


그림7 ROS API를 사용한 Controller 제어

3. 인지 소프트웨어(Cognitive Software)와 제어 소프트웨어의 통합

전세계 국제표준 동향은 인지 소프트웨어(Cognitive Software)의 응용 프로그램(Application)을 통합하여 설계하기 위한 방법을 AUTOSAR Adaptive Platform이라고 정의하고, 2015년 Autosar.org에 1.0버전으로 새로운 명세서를 공개하기로 하였다. 그리고 기존 자동차용 저속 Core CPU는 기존 AUTOSAR 4.x 버전을 Classic Platform이라고 정의하고 사용하기로 하였다. 제어 소프트웨어(Control Software)부분을 담당하는 Classic Platform인 AUTOSAR 4.x는 2020년까지 유지하며, Autosar.org는 2015년 새로운 개념의 인지 소프트웨어(Cognitive Software)를 처리하기 위한 Adaptive Platform 1.0에 집중하기로 하였다(그림 8)[1]. 그림 9는 기존의 자동차용 Classic Platform 시스템과 기존 IT시스템의 non-Autosar 시스템을 통합하기 위한 Autosar Adaptive platform 개념도를 보여주고 있다. 이러한 접근을 통해 기능안전성과 인지를 위한 성능을 동시에 만족하는 시스템으로 단일 소형 플랫폼에서 구현하는 것이 가능해졌다.

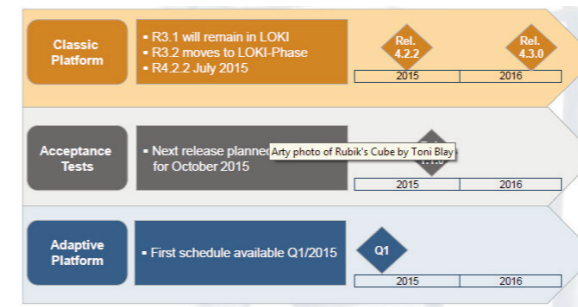


그림8 Timeline for AUTOSAR Products

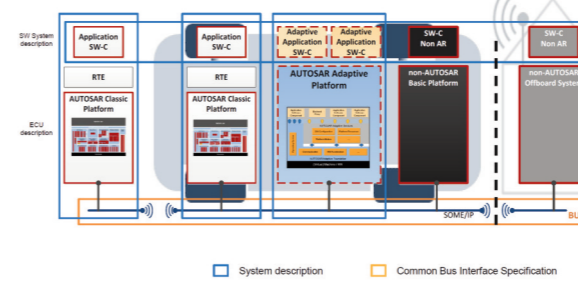


그림9 기존 AUTOSAR 4.x Classic Platform과 새로운 Adaptive Platform 개념도

참고로 서비스 로봇의 기능안전성 표준인 ISO 13482는 제어 소프트웨어(Control Software)를 통한보호대책(Safeguard)으로 위험도 저감 기능을 구현할 경우는 IEC 61508이 SIL 레벨 만족을 필수로 요구하고 있다.

멀티코어에서 고속 Core CPU와 저속 Core CPU간에 서로 다른 실행 속도의 응용 프로그램(Application)의 예측하여 설계하기 위한 MPS(Meta Programming System) 언어가 새롭게 등장하게

되었고 BMW에서 관련 개발 도구로 MBEDDR(<http://mbeddr.com/>)를 공개하였다. MBEDDR은 2008년 12월 젯브레인스(Jet-Brains) 회사가 개발한 서로 다른 이종간(C, C++, Java, UML, DSL 등) 언어 및 장치(Device)를 서로간의 인터페이스 설계 및 제어하기 위해서 만든 신규 개발 언어로써 MPS(Meta Programming System)란 브랜드로 언어를 만들었으며, 이 MPS 언어를 쉽게 개발할 수 있도록 제공한 개발환경이 MBEDDR이다 [2]. 서로 다른 Core CPU에 동작하는 응용 프로그램을 시뮬레이션, 테스트 등으로 안전화된 응용 프로그램 설계 정보를 가지고 C, C++, Java 소스코드 등을 자동 생성하는 기능을 포함한다. MPS 언어는 기존 IT 개발에 사용하는 모든 코딩 언어를 융합한 새로운 코딩 언어인 것이다.

정리하면 인지 소프트웨어(Cognitive Software)는 Open Source기반으로 제공하여, 개발자 확보를 하겠다는 것이며, 스마트폰의 앱 개발의 생태계와 같이 새로운 생태계를 만들겠다는 것이다. 이러한 목적을 위해 그림 10처럼 COTS 시스템을 MPS 기반의 MBEDDR을 이용하여 개발함으로써 신규 개발에 따른 개발 비용 및 시간을 최소화하는 전략이라 할 수있다[3]

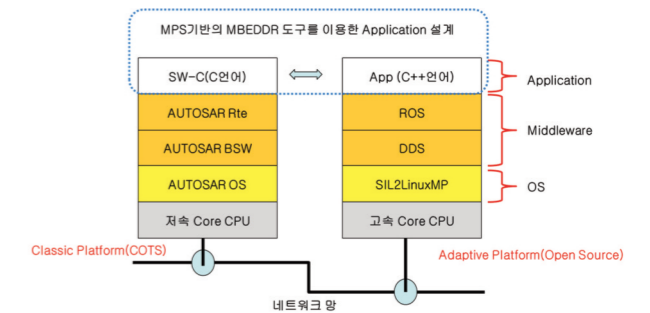


그림10 AUTOSAR Classic Platform과 Adaptive Platform (COTS : Commercial Off-The-Shelf, 상업용)



전세계적으로 인지 소프트웨어(Cognitive Software) 분야에는 BMW 뿐만 아니라, 도요타, VW, 트위터, 페이스북, 구글, 제록스, HP, IBM 등과 같은 회사도 참여하고 있어 향후 자동차-서비스 로봇-IT 분야가 빠르게 융합되어 상용화 될 것으로 예측되고 있다. 특히 차량 분야의 사업을 하고 있는 일본 대표 기업인 도요타와 덴소가 차량 반도체를 기술을 기반으로 서비스 이미 로봇 사업에 진출하였다. 도요타와 덴소는 2000년부터 서비스 로봇의 기능안전성 표준인 ISO 13482를 적극적으로 참여하면서, "사람과 공생"을 목표로 "파트너 로봇" 개발 시작하였으며, 파트너 로봇 개발은 미래의 모바일 사회를 선도하는 새로운 라이프 스타일"이라고 하였다. 2013년 도요타와 덴소에서 서비스 로봇 제품이 간호지원 로봇을 출시하였다.

이렇게 변화되고 있는 기술을 예측하여 2015년부터 ISO26262 second edition가 새로운 하드웨어, 소프트웨어, 보안 등에 대한 표준화를 진행하고 있으며, 이것에 만족하는 반도체 IP 관련 기술도 논의가 진행되고 있다. 참고로 ISO 26262 second Edition에서는 미국 대표로 구글이 참여하여 반도체 IP 기술을 표준화를 이끌고 있다. 유럽에서는 2008년 ~ 2011년까지 EVITA 프로젝트 완료를 통해서 유무선 보안 기술을 확보하였으며, 향후 기능안전성 및 네트워크 설계 측면에서 보안 아키텍처를 확립하였으며, 이 기술은 우리가 반드시 확보해야 할 중요기술로 판단 된다.

3. 결론

반도체(Semiconductor)와 인지 소프트웨어(Cognitive Software)의 융합이 자동차 산업의 자율주행에 적용되기 시작하면서 서비스 로봇, 무인 항공, 의료 분야 등으로 확산될 것이며, 이로 인하여 지능화된 로봇에 의하여 단순 반복의 노동 시장은 사라질 것이며, 단순 인공에 의한 산업 경쟁력 우위 사회는 사라질 것으로 판단된다. 따라서, 우리의 가전용 반도체 개발 경험에 안전기능 반도체를 개발 연구하면 지금의 융합 전자 산업 발전은 새로운 산업을 위한 기회로 다가 올 것이다. 현재 기능안전성-인지 융합 반도체 및 소프트웨어 개발 필요성은 정제된 현 산업에 새로운 기회를 잡기 위한 기회이며, 향후 스마트 자동차를 넘어 의료 및 서비스 로봇 등의 핵심 기술로 될 것이다. 따라서 기능안전성-인지 융합 반도체(Semiconductor)와 인지 소프트웨어(Cognitive Software)에 대한 연구에 대해 많은 관심이 필요한 시점으로 판단한다.



위 재 경 교수
 소속 : 숭실대 정보통신전자공학부
 연구분야 : 고안전 반도체 설계 및 신뢰성, EMC-aware I C/Module 설계
 wjk@ssu.ac.kr
 http://siplab.ssu.ac.kr



채 승 엽 석박사과정
 소속 : 숭실대 전자공학과
 연구분야 : AUTOSAR, ISO 26262, ISO 13482
 sychae@ssu.ac.kr
 http://siplab.ssu.ac.kr

참고문헌

- [1] Current status and Future of AUTOSAR, Markus Bechter, 7th AUTOSAR Open Conference, 2014.10
- [2] PROCESS ISOLATION FOR AUTONOMOUS DRIVING, BMW, 2014.10
- [3] SIMPLIFYING COMPLEX EMBEDDED DEVELOPMENT PROCESSES WITH MBEDDR, BMW, 2013.10
- [4] Eine Methodik für die Integration plattformunabhängiger Software-Komponenten in der Automotive-Domäne, Lars Kutschat, 2014.05
- [5] ROS control, an overview, Adolfo Rodríguez Tsouroukdissian, 2014. 09

IDEC, 설계 환경 다변화를 위해 실바코 AMS 디자인 플로우 도입

KAIST에 위치한 반도체설계교육센터(IC Design Education Center, 이하 IDEC)는 한국의 주요 국공립대, 사립대 및 전문대에 VLSI 설계 교육, 칩 제조 서비스 제공을 위해 아날로그/ 믹스드 시그널(AMS) 및 EDA 소프트웨어의 선도 기업인 실바코의 AMS 디자인 플로우를 도입하였다. IDEC은 대학의 VLSI 교육 및 연구 개발에 최신 정보와 소프트웨어를 제공하기 위하여 항상 노력하고 있습니다. 실바코의 소프트웨어 제공을 통한 설계 환경 다변화는, 다양한 설계 경험을 통해 설계 기술 과 능력 향상이 가능할 것이라 기대 됩니다. 실바코는 한국의 우수한 교육 시스템을 지원하기 위해 최선을 다하고 있습니다. 이번 IDEC과 SILVACO사와의 파트너십을 통하여, 한국의 대학은 우수한 톨로 미래의 엔지니어들을 교육할 수 있게 되었으며, 이들은 향후 실무에서 마주칠 과제에 대처할 수 있는 능력을 갖추게 될 것입니다.”

IDEC에서 이용할 수 있는 SILVACO TowerJazz PDK List

- TS18SL (Mixed Signal CMOS 0.18um)
- TS18IS (CMOS image sensor 0.18um)
- TS18PM (Power Management 0.18um)
- CA18HD (CMOS 0.18um)
- SBC18HA (SiGe 0.18um)

실바코 아날로그/믹스드 시그널 디자인 톨 소개

실바코의 아날로그/믹스드 시그널 디자인 톨 구성은 많이 사용하고 있는SmartSpice 회로 시뮬레이터, Gateway 스키매틱 에디터, Expert 레이아웃 에디터, Guardian DRC/LVS/LPE, 및 Hipex full-chip 기생 성분 추출 톨을 포함합니다. 실바코의 AMS 톨을 사용해서 IC 디자이너는 최적의 성능, 개발비 감소, 위험 감소와 궁극적으로 TAT (turn around time)의 단축을 제공하는 반도체 제품을 만들 수 있습니다.

실바코에서 제공하는 TowerJazz 프로세스 디자인 키트

IDEC에서 진행되고 있는 TowerJazz 공정에 적용 가능한 Silvaco 용 PDK를 지원한다고 발표 하였습니다. 멀티 프로세스 PDK는 교육 기관 및 팹리스 기업이 실바코의 IC 디자인 캡처, 시뮬레이션, 레이아웃 및 검증 도구를 이용하여 바로 설계 및 제작을 용이하게 합니다.

IDEC,

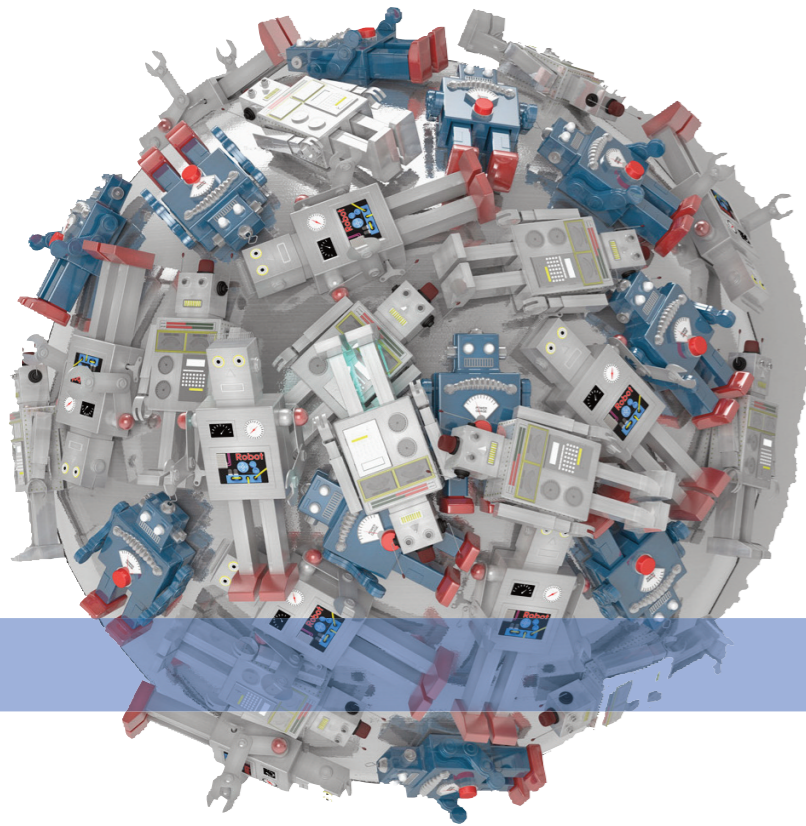
IDEC(IC 설계 교육 센터)은 대학의 LSI 교육 및 연구 과정의 개발 진흥을 담당하고 있습니다. IDEC은 칩 시험 제작 시스템을 구현 및 운영할 뿐만 아니라, 대학 내 사용자들에게 최신 설계 톨 환경을 제공하고 있습니다. 또한, IDEC은 톨 및 최신 칩의 시험 제작에 대한 세미나를 정기적으로 개최하고 있습니다. 현재 한국에 있는 대학 대부분의 연구실에서 이용하고 있으며 연간 320여 종류의 칩 제작 서비스를 지원하고 있습니다.

주소 대한민국 대전광역시 유성구 대학로 291(우: 305-701)
 웹사이트 www.idec.or.kr

Silvaco, Inc.

Silvaco는 TCAD, 회로 시뮬레이션 및 IC CAD 소프트웨어 톨을 제공하는 선도 기업입니다. Silvaco의 톨은 반도체 공정을 개발하는 팹과 아날로그/믹스드 시그널/RF 집적 회로를 개발하는 디자인 하우스에서 사용됩니다. Silvaco는 서드-파티의 설계 플랫폼에 대한 인터페이스와 함께 완벽한 PDK 기반 설계 플로우를 제공합니다. Silvaco는 전세계 주요 지역에 사업 거점을 두고 있습니다.

연락처
 • CEO David Halliday / david.halliday@silvaco.com



실시간 스테레오 비전 시스템 연구동향

제 1장 서론

스마트 시스템, 가상현실 시스템 등 3차원 깊이정보를 활용하는 분야가 많아지면서 비용이 낮으면서 빠르고 정확하게 깊이정보(disparity)를 추출하는 시스템에 대한 요구가 커지고 있다. 스테레오 비전 시스템은 다른 시점에서 촬영한 두 개 이상의 영상으로부터 깊이정보를 추출하는 시스템으로 이전부터 무인자동차, 로봇 비전, 감시시스템, 3차원 재구성 등과 같은 다양한 응용분야에서 사용되었고 별도의 센서 없이 일반적인 카메라를 사용하고, 거리 및 환경에 대한 영향이 적고 비용이 낮아 활용 범위가 더 크다. 그러나 알고리즘에 따라 성능의 차이가 크고 많은 계산량으로 인해 실시간 시스템을 구현하는데 어려움이 있다. 본 보고서에서는 스테레오 비전의 다양한 알고리즘과 그에 대한 실시간 시스템 설계 기술에 대한 연구동향에 대해 소개한다.

제 2장 본론

1. 스테레오 비전 배경이론

이 장에서는 스테레오 비전 알고리즘의 기본 원리를 소개한다.

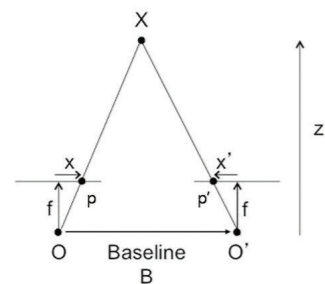


그림 1. 스테레오 비전에서의 깊이정보 추출방법

그림 1은 두 대의 카메라를 사용하여 카메라와 Z만큼 떨어진 3차원의 대상 X를 촬영했을 때, 각 카메라에 얻어지는 상과, 초점거리, 카메라의 위치를 나타낸 그림으로, 깊이정보는 다음과 같은 관계식을 갖는다.

$$disparity = x - x' = \frac{B \cdot f}{Z}$$

3차원의 대상 X는 각각 좌, 우 카메라에 의해 점 p, p'로 투영되고 각 카메라의 광점 O, O'를 중심으로 광축에서 점 p, p'까지의 길이의 차이(disparity)는 깊이정보와 반비례한다. 실제 거리를 얻기 위해서는 두 카메라가 떨어진 위치(B)와 각 카메라 렌즈의 초점거리(f, f')에 대한 정확한 정보가 필요하다.

스테레오 비전 시스템은 실제 깊이정보를 추출하는 정합과정에 앞서 보정(calibration) 작업과 직교화(rectification) 과정 등의 전처리 작업을 필요로 한다. 보정작업은 카메라의 상대적인 위치 및 촬영 방향을 포함한 외부 변수들과 카메라의 초점거리, 광점에 대한 값을 추출하고 렌즈에 의한 왜곡을 보정하는 등 내,외부의 변수를 조절하는 작업이다. 스테레오 시스템은 두 영상의 밝기 또는 컬러 성분을 사용하여 정합하기 때문에 입력 영상에 따라 얻어지는 깊이정보가 크게 달라지므로 동일한 촬영 조건을 만들어주기 위해 보정작업이 필요하다. 기준 영상의 화소나 영역을 다른 영상에서 찾는 경우 정합점이 어디에 위치하는지 모르기 때문에 영상의 모든 곳을 탐색해야 하지만 에피폴(epipole) 제한 원리를 사용할 경우 탐색 범위를 축으로 제한하여 효과적으로 계산할 수 있다.

2. 스테레오 정합 알고리즘과 실시간 시스템 설계기술

2.1. 스테레오 정합 알고리즘

스테레오 비전 시스템은 정합 방법에 따라서 정확도 및 계산 속도가 크게 달라지고 정합에 사용하는 정보량과 어떤 방법을 사용하여 정합하는지에 따라 구별할 수 있다. 우선, 정합에 사용하는 정보량에 따라 기준 화소 근처의 작은 영역의 화소들을 사용하는 지역(local) 정합방법과 영상 전체의 정보나 적어도 줄 단위 정보를 사용하는 전역(global) 정합방법으로 나눌 수 있다[1].

지역정합방법의 경우 단순하고 간단한 계산의 반복으로 구성되어 있어 효율적으로 깊이정보를 얻을 수 있으나 적은 정보량을 사용하기 때문에 차폐영역(occlusion region)이나 물체 사이 불연속면(depth discontinuity), 텍스처가 없는(patternless) 영역 등으로 인해 정확한 성능을 기대하기 어렵다. 전역정합방법의 경우 더 많은 정보량을 사용하기 때문에 위와 같은 문제에 더 강인하여 높은 성능을 얻을 수 있으나 복잡한 알고리즘으로 인하여 하드웨어로 설계할 때 어려움이 있다.

지역정합방법[2,3,5,7,8]은 블록 기반 알고리즘(block matching)과 변화도 기반 알고리즘(gradient methods), 특징 기반 알고리즘(feature matching) 등으로 분류할 수 있으며 전역정합방법[4,6]의 경우 동적 계획법(dynamic programming), 그래프 컷(graph cuts), 신뢰 확산 알고리즘(belief propagation) 등으로 분류할 수 있다[1]. 위에 언급한 방법들의 계산량이나 알고리즘 복잡도는 매우 높으며 특히 전역정합 알고리즘들을 소프트웨어를 사용하여 구현할 경우 초당 수 프레임의 범위 영상을 얻는 것도 힘들다. 따라서 실시간 시스템을 위해서는 효율적인 하드웨어를 통한 구현이 필수적이다.

지역정합방법에는 블록정합, 기울기 정합, 특징점 정합 등의 방법이 있는데, 블록정합 방법은 좌, 우 영상의 일정한 부분영역에 대하여 유사도를 평가하여 정합하는 방법으로 유사성 척도로는 상관도(correlation), 강도 차이(intensity difference), 랭크 및 센서스 변환방법(rank/census transform) 등이 많이 사용된다. 전역정합 방법에 비하여 알고리즘이 간단하고 비교적 하드웨어 구조에 쉽게

매핑할 수 있으므로 고성능의 효율적인 구조로 설계가 가능하다. 하지만 부분영역만으로 정합하는 지역정합방법의 한계로 배경에 텍스처가 없거나 반복되는 패턴, 불연속면, 장애물(occlusion) 등에서 에러율이 높아지는 단점이 있다.

지역정합방법의 한계를 개선하기 위하여 다양한 전역정합방법이 제안되었다. 부분 영상이 아닌 전체 영상을 고려하여 깊이정보를 추출하기 때문에 결과가 우수하나 알고리즘이 복잡하고 계산량이 크게 늘어 속도가 느리다는 단점이 있다. 전역정합방법에는 동적 계획법(dynamic programming), 인트린식 커브(intrinsic curve), 그래프 컷(graph cut), 비선형 확산(nonlinear diffusion), 신뢰 확산(belief propagation) 등의 방법이 제안되었다. 그 중 대표적인 몇 가지를 살펴보면 다음과 같다. 먼저 동적 계획법은 순서(ordering)와 연속성(smoothness) 제한조건을 이용하여 입력 영상의 각 스캔라인(scan line)에 대하여 정합경로 비용(cost)을 최적화한다. 동적 계획법은 다른 전역방법에서와 같이 텍스처가 없는 부분에 대하여 대체로 정합률이 높지만 깊이정보 결과영상에서 스캔라인을 따라 에러(spike)가 나타난다는 단점이 있다. 이러한 단점을 보완하는 그래프 컷 접근방법이 제안되었다. 동적 계획법과는 달리 2차원적으로 영상의 연속성을 고려하여 최적화하므로 신뢰확산 방법과 더불어 가장 좋은 결과를 얻을 수 있는 방법 중에 하나이다. 하지만 동적 계획법보다 알고리즘이 복잡하고 계산량이 많아 시간이 오래 걸리므로 최근 새로운 그래프 구조나 에너지 최소화 알고리즘 등 성능을 개선하는 다양한 알고리즘들이 제안되었다.

또 다른 접근 방법으로 마르코프 랜덤 필드(Markov random field) 상에서 전역적으로 정합하는 신뢰 확산 방법이 제안되었다. 신뢰 확산 방법은 2차원 배열에서 인접한 노드들의 신뢰(belief) 정보를 이용하여 자신의 신뢰도를 반복적으로 갱신함으로써 정의된 에너지 함수를 최적화한다. 이 방법은 많은 양의 저장 공간과 넓은 데이터 밴드 폭이 필요하며 2차원 노드들의 정보를 동시에 처리해야 하는 등 하드웨어로 구현할 때 세심한 주의가 필요하다. 대부분의 전역정합방법들은 추출된 깊이정보의 질은 뛰어나나 알고리즘이 복잡하고 계산량이 많아 실시간처리를 위해서는 하드웨어 구현이 필수적이다. 아래의 그림 1은 대표적인 정합방법들을 초쿠바 영상에 적용하였을 때 추출된 깊이정보의 결과이다.

Algorithms		Description
Local methods	Block matching	Search for maximum match score or minimum error over small region, typically using variants of cross-correlation or robust rart metrics.
	Gradient-based optimization	Minimize a functional, typically the sum of squared differences, over a small region.
	Feature matching	Match dependable features rather than intensities themselves.
Global methods	Dynamic programming	Determine the disparity surface for a scanline as the best path between two sequences of ordered primitives. Typically, order is defined by the epipolar ordering constraint.
	Intrinsic curves	Map epipolar scanlines to intrinsic curve space to convert the search problem to a nearest-neighbors lookup problem. Ambiguities are resolved using dynamic programming.
	Graph cuts	Determine the disparity surface as the minimum cut of the maximum flow in a graph.
	Nonlinear diffusion	Aggregate support by applying a local diffusion process.
	Belief propagation	Solve for disparities via message passing in a belief network.
Correspondenceless methods	Deform a model of the scene based on an objective function.	

표1. 다양한 스테레오 비전 알고리즘

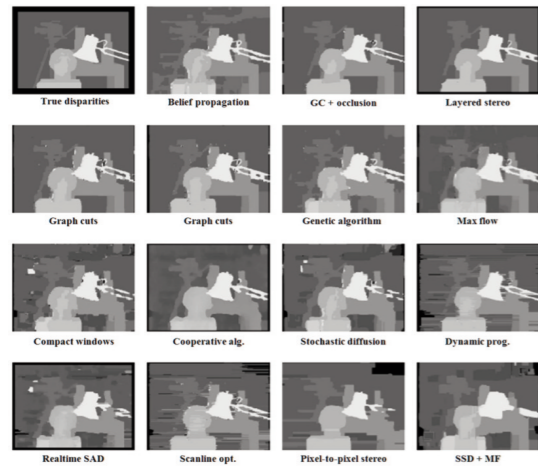
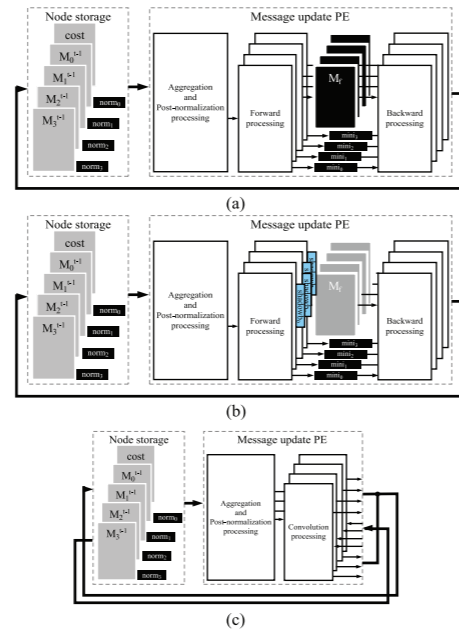


그림2. 다양한 알고리즘 적용 결과

2.2. 실시간 시스템 설계기술

스테레오 정합을 고속으로 수행하기 위해서 실시간 하드웨어를 이용하여 구현한 다양한 연구가 진행되었다. 스테레오 비전 시스템을 구현하는 것은 ASIC/FPGA 혹은 GPU(Graphic Processing Unit) 및 범용 컴퓨터를 이용하는 방법 등으로 구현할 수 있다. 영역 기반 알고리즘에서 윈도우는 일반적으로 윈도우의 한 가운데에 기준 화소를 위치시키도록 하기위해 홀수 크기의 윈도우를 사용한다. 윈도우의 크기가 홀수일 경우 하드웨어를 구현할 경우 하드웨어를 100% 활용하지 못하는 경우가 생길 수 있기 때문에 변형된 크기의 윈도우를 사용하여 윈도우의 중심에 기준 화소를 위치시키면서 짝수의 길이를 갖는 시스템을 설계하기도 한다. 아래의 표2에 대표적인 알고리즘에 대하여 최근까지 제안된 실시간 스테레오 비전 시스템의 사례들을 비교하였다. 초기 CMU에서 제안된 스테레오 시스템은 처음으로 256x240의 영상을 30fps의 속도로 처리하였고 6 개의 카메라를 적용하여 멀티플 베이스라인(multiple baseline) 기법을 채택하였다[2]. 적용된 SSAD 정합 알고리즘은 8 개의 DSP 어레이 구조에서 실행되어 효율을 높였다. FPGA를 기반으로 하며 센서스(census) 알고리즘을 적용한 실시간 스테레오 시스템인 PARTS 엔진이 제안되었는데 320x240의 영상을 42fps의 속도로 처리하였다[3]. 2000년대 들어서 보다 효율적이고 고성능의 FPGA/ASIC 구조들이 많이 제안되었다. 그 중 MAP(maximum a priori) 확률의 트렐리스(trellis) 기반 실시간 스테레오 시스템이 FPGA로 구현되었다[4]. 에너지 함수는 매칭 비용함수와 장애물 비용함수의 합으로 정의되어 최적화하였다. 제안된 하드웨어 구조는 선형 시스템적 어레이로 설계 되었으며 따라서 구조가 규칙적이고 확장 가능하며 병렬연산으로 성능이 개선되었다. 추출된 깊이정보는 동적 계획법의 결과보다 우수했으나 신뢰 확산 방법보다는 낮았다. 3 대의 카메라를 이용하고 하드웨어 자원의 재구성(reconfigurable)을 허용하여 시스템의 유연성을 높은 실시간 스테레오 시스템이 제안되었다[5]. 제안된 시스템은 병렬구조와 파이프라인 구조를 적용하였으며 핑퐁 모드를 사용한 내부 메모리와 데이터 밴드 폭을 효율적으로 사용함으로써 전체 시스템의 성능과 유연성을 향상시켰다. 전역정합방법 중의 하나인 신뢰 확산 알고리즘은 결과는 우수하나 계산량이 많고 내부 노드 개수 때문에 메모리가 많이 필요하다. 이를 효율적으로 개선한 하드웨어 구조가 제안되었는데 메시지를 갱신하는 기본 PE를 그림 3의 세 가지 형태로 제안하였다[6]. 각각의 구조에 하드웨어 비용과 성능에서의 장단점은 존재하지만 기존의 구조에 비하여 최대 28%의 하드웨어가

감소하였으며 64 레벨의 깊이정보에서 30fps@320x240의 성능을 보였다.



(a) Post-normalization, (b) Shadow buffer, (c) No memory
그림3. Low-memory cost belief propagation architecture

최근에 Mini-census 기법과 적응적 가중치를 결합하여 깊이 정보 결과를 개선한 스테레오 알고리즘과 그의 대한 효율적인 하드웨어 구조가 제안되었다[7]. 그림 4는 그의 구조를 나타내는데 알고리즘을 하드웨어에 효율적으로 매핑시키기 위하여 계산이 포함된 알고리즘 요소들을 단순화 시켰으며 이로써 61.3%의 처리 시간을 감소시켰다. 또한 YUV 색공간을 사용하였고 맨해튼 거리를 적용하였으며 부분적으로 열(column) 데이터를 재사용함으로써 데이터 밴드 폭을 감소시켰다. 제안된 구조는 UMC 90nm 공정으로 구현되어 42fps@352x288의 성능을 나타내었다.

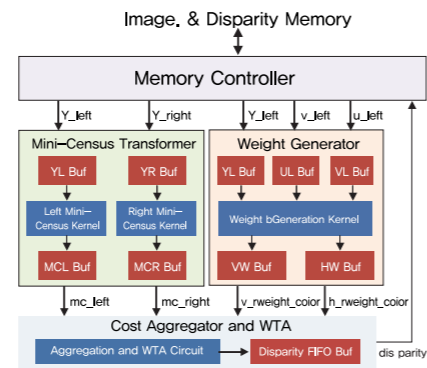


그림4. MCADSW 구조

또 다른 적응적 가중치를 이용한 하드웨어 구조가 제안되었는데 제안된 스테레오 시스템은 픽셀의 변화도(gradient)를 기반으로 한 적응적인 가중치 알고리즘을 이용하여 높은 정합 성능을 보이며 하드웨어로 설계하였을 때 실시간처리가 가능하다[8]. 일반적으로 적응적인 가중치 윈도우를 적용할 경우 중간 결과를 재사용하기 불가능하지만 행, 열을 분리하여 처리함으로써 데이터를 재사용할 수

있고 따라서 처리성능이 개선되었다. 알고리즘에 필요한 지수 및 아크탄젠트 함수를 구현하기 위해 선형(piecewise linear) 및 계단(step) 함수 등으로 근사화한 뒤 어레이 분석하여 최선의 파라미터를 선택하였다. 제안된 구조는 실시간처리를 위하여 9개의 프로세서를 사용하여 병렬처리를 하였으며, 동부하이텍 0.18um 라이브러리로 합성하였을 경우 33fps@350MHz의 성능과 424K 게이트의 하드웨어 복잡도를 나타내었다.

Realtime system	Image Size	Frame Rate(fps)	Search Range	Method	HW	Cameras	year
CMU Stereo Machine [2]	256x240	30	30	SSAD	Custom HW & DSP array	6	1995
Interval PARTS Engine [3]	320x240	42	24	Census	FPGA	2	1997
Trellis-based [4]	320x240	30	128	Trellis	FPGA	2	2007
Reconfigurable [5]	640x480	30	32	SAD	FPGA	3	2009
Block-based BP [6]	640x480	29	32	BP	ASIC	2	2007
MCADSW [7]	640x480	30	32	Mini-Census	ASIC	2	2010
ADSW [8]	640x480	30	32	ADSW	ASIC	2	2014

표2. 다양한 하드웨어 구현방법

제 3장 결론

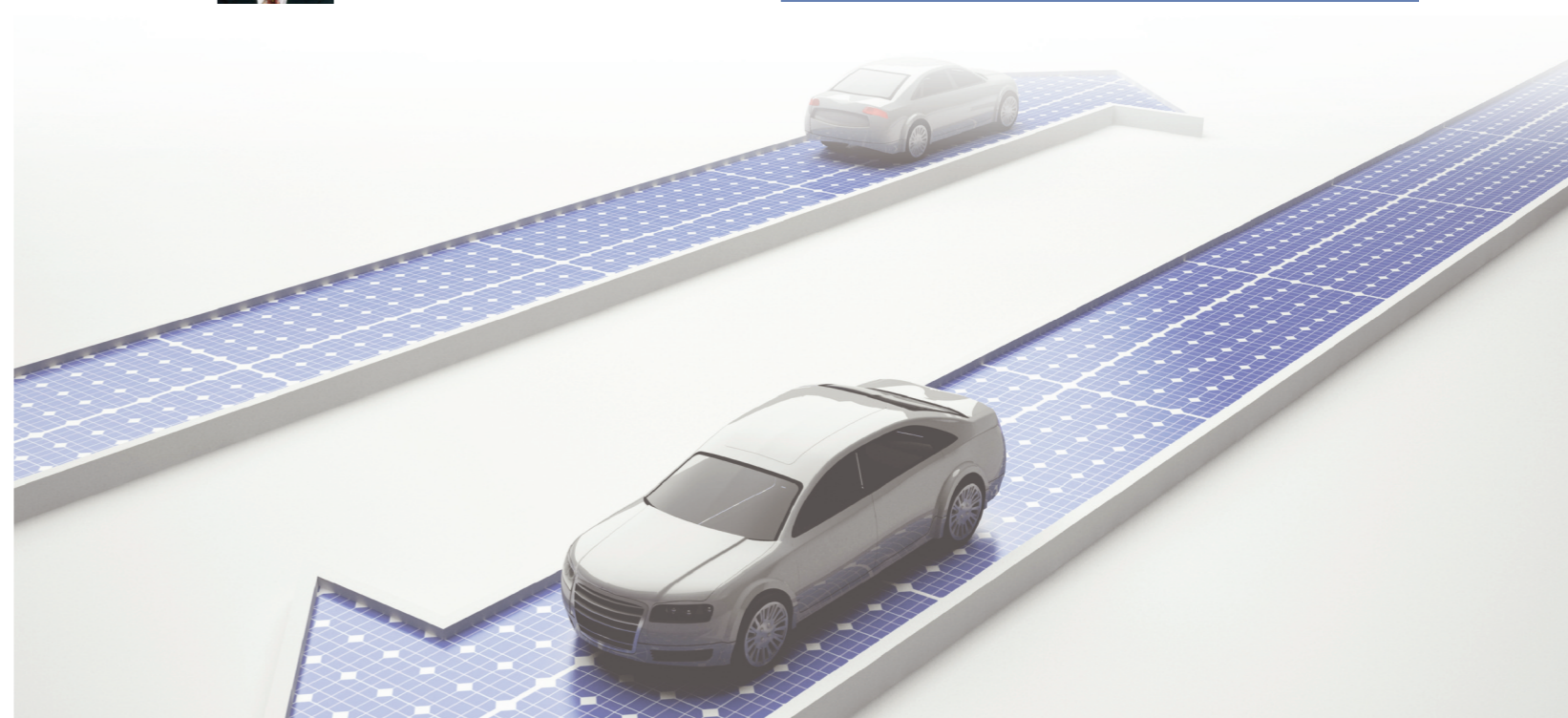
지금까지 최근 활발히 연구되고 있는 스테레오 비전 시스템의 다양한 알고리즘과 이에 대한 실시간 시스템 설계기술에 대하여 소개하였다. 스테레오 비전 시스템은 잡음이 많은 복잡한 환경에서도 외부의 영향을 최소화하여 깊이 정보를 계산할 수 있기 때문에 무인 자동차, 로봇 비전, 3차원 재구성 등 다양한 분야 스테레오 비전에 대한 관심이 커지고 있으며 실제 애플리케이션들에 적용하기 위해 빠른 속도를 갖는 실시간 시스템 구현에 대한 요구가 커지고 있다. 이에 따라 앞으로 깊이정보의 정확한 추출 알고리즘 개발과 이를 실시간으로 처리할 수 있는 효율적인 하드웨어 구현방법에 대한 연구가 활발히 진행되기를 기대한다.



박 태 근 교수
소속 : 가톨릭대 정보통신전자공학부
연구분야 : 영상 및 통신 처리용 VLSI 설계, 임 호화시스템, 병렬처리 등
parktg@catholic.ac.kr
http://vlsi.catholic.ac.kr

참고문헌

[1] M. Brown, D. Burschka, and G. Hager, "Advances in computational stereo," Trans. Pattern Analysis and Machine Intelligence, vol.25, pp.993-1008, 2003.
[2] S. Kimura, T. Kanade, H. Kano, A. Yoshida, E. Kawamura, and K. Oda, "CMU video-rate stereo machine," Proc. Mobile Mapping Symp. 1995.
[3] J. Woodfill and B. Herzen, "Real-time stereo vision on the PARTS reconfigurable computer," Proc. IEEE Workshop FPGAs for Custom Computing Machines, pp. 242-250, 1997.
[4] S. Park and H. Jeong, "Real-time stereo vision FPGA chip with low error rate," in Proc. Intl. Conf. Multimedia and Ubiquitous Engineering (MUE'07), 2007.
[5] L. Chen and Y. Jia, "A parallel reconfigurable architecture for real-time stereo vision," in Proc. Intl. Conf. Embedded Software and Systems, 2009.
[6] Y. Tseng, N. Chang, and T. Chang, "Low memory cost block-based belief propagation for stereo correspondence," in Proc. IEEE ICME, pp. 1415-1418, 2007.
[7] N. Chang, T. Tsai, B. Hsu, Y. Chen, and T. Chang, "Algorithm and architecture of disparity estimation with Mini-Census adaptive support weight," IEEE Trans. Circuits and Sys. Video Tech., vol.20, no.6, pp.792-805, 2010.
[8] 류동훈, "적응적 가중치 윈도우를 적용한 실시간 스테레오 비전 시스템 설계," 가톨릭대학교 석사학위 논문, 2014.



Mentor사 Expedition Enterprise

- A. 목적**
Circuit and PCB Design
- B. 구분**
회로 및 PCB 설계 Solution을 제공
- C. Supported Platform and O/S System**
- Linux RHEL 4, 532/64bit
 - Linux SLES 10, 11 32/64bit
 - Solaris 10 UltraSPARC
 - Windows 7, Server 2008, Vista 32/64bit & Server2003, XP 32bit

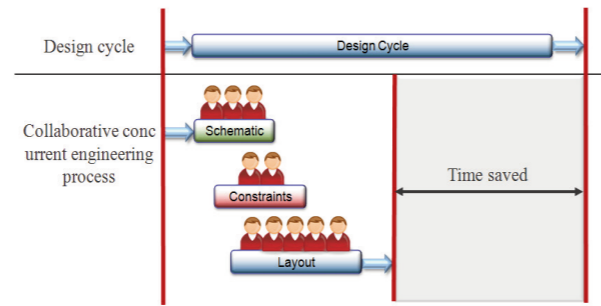
D. 특성 및 기능
Tightly Integrated Flow

Expedition ® Enterprise는 Mentor사의 혁신적인 PCB 설계 기술을 긴밀하게 통합시킨 단일 설계 환경을 기반으로 중견 기업 또는 대기업 전자 회사의 설계 요구에 대응한 설계 Flow를 제공하여 업계를 리드하고 있다. 설계 제약 조건을 포함한 공동 디자인 데이터베이스와 사용자 인터페이스를 제공하는 중앙 집중적인 환경에서 설계를 완료할 수 있기 때문에 여러 도구를 개별적으로 사용해야 하는 번거로움이 없다. 또한, 데이터 무결성은 개념 설계에서 제조까지 일관되게 유지된다. Expedition Enterprise는 DMS ™ (Data Management System) 및 CES (Constraint Editing System ™)와 통합되어 있으며, 부품 라이브러리, 설계 데이터의 버전관리, 설계 재사용, 고속 설계 및 제조에 관한 규칙의 입력 및 관리, 기업의 PLM 시스템과의 통합을 지원하는 핵심 인프라로서 활용된다.



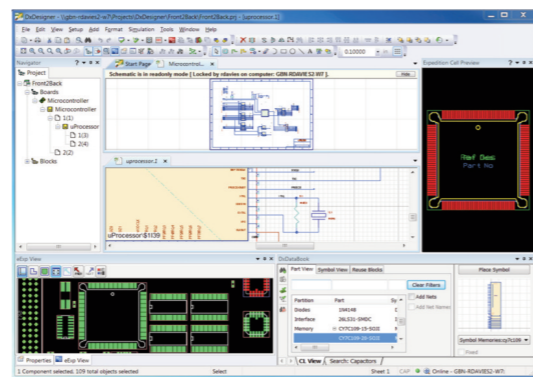
Expedition Enterprise는 기존의 PCB 설계 솔루션의 범위를 넘어 다음과 같이 독자적인 혁신기술을 제공한다.

- Concurrency (동시 설계)
 - 회로, Constraints (설계제약조건), PCB 동시 설계환경 제공
- Integration (설계통합환경)
 - 회로, PCB, 해석, 생산에 이르기까지 설계 및 제조 전 영역에 통합화된 환경 제공
- Collaboration (협업설계)
 - 타 설계영역 (MCAD, RF 등)과의 동적 협업 설계환경 제공



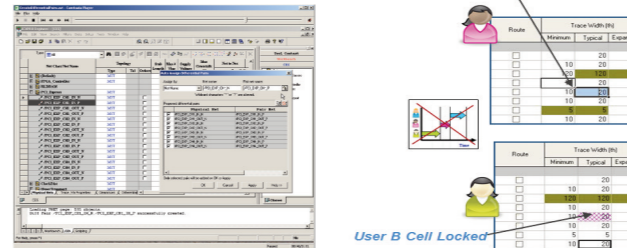
Design Definition

Design Entry
Schematic Capture 툴인 DxDesigner는 Constraint Capture 기반의 회로 동시 설계 환경을 제공하며 검증된 기능 블록 기반의 회로 재사용 환경과 ODBC 기반의 DB I/F를 통하여 전자 CIS 유기적 연동 환경을 제공한다. 또한, Variant BOM, PDF, Panel 생성 및 관리 기능을 제공하고 기존 회로 구성 방법 외에 HDL 블록을 사용한 입력, Interconnect Table 정의 (Excel Spreadsheet 방식의 입력) 등을 사용하여 용도에 따라 회로 구성을 용이하게 할 수 있다.



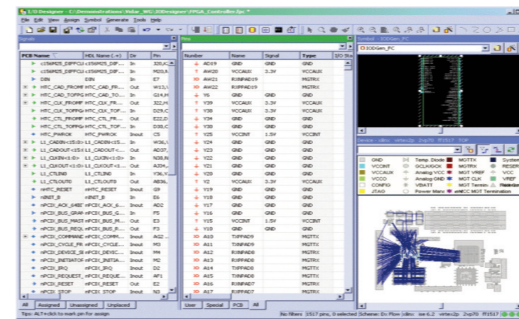
Constraint Definition

Constraint Editor System (CES)는 회로 및 PCB 설계 툴과 완벽하게 통합된 설계제한조건 기반 디자인 방법론을 바탕으로 상호 툴 간 디자인 룰의 전달을 자동화하고 불필요한 PCB 프로토타입과 Re-Spin을 제거하여 설계비용과 설계시간을 획기적으로 단축한다. 회로설계, Layout 및 해석을 위한 공통화된 설계계약 조건(Physical and Electrical Constraints) 생성 및 관리로 Rule-Driven 설계 기반을 제공한다. 또한, 다수 사용자가 하나의 Rule DB에 동시에 입력할 수 있는 동시 입력환경도 제공한다. 회로와 Layout 툴 간의 Cross-Probing을 제공하고 SI 분석 툴과의 통합 환경 제공 및 Rule 재사용 환경을 제공한다.



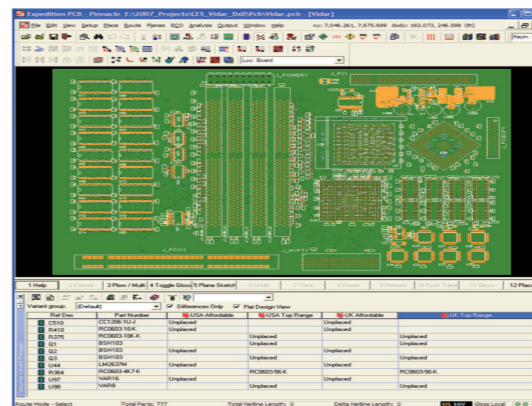
ASIC-FPGA-PCB Design Collaboration

I/O Designer는 상위 HDL 정의에서부터 PCB 설계에 사용되는 심벌선 정 및 FPGA 배치 배선(Place & Route) 툴을 위해 필요한 물리적인 IO 핀(Pin) 맵핑까지의 모든 디자인 플로우를 지원하는 독자적인 프로세스를 제공한다. I/O Designer는 IC 벤더에서 제공하는 최신의 디바이스를 지원하고, FPGA Pin 설정을 PCB Layout을 고려하여 설정함으로써, Design Cycle Time을 단축(FPGA Pin 설정 및 PCB Symbol Generation), PCB 제조원가 절감(FPGA 배선 길이와 Via 및 PCB 적층수를 감소), Design Failure (FPGA & PCB Engineer 간의 정보 공유 문제 제거, PCB Routing 할 수 없는 경우 등)를 예방할 수 있다.



PCB Layout

Expedition PCB는 Windows 스타일의 Modern 구조로 이루어진 사용자 인터페이스 및 단일 데이터베이스 제공으로 학습시간을 단축할 수 있고 모든 메뉴에 대한 Customizing이 가능하다. 하드웨어 가속 Open GL 제공으로 Object Transparency 기능이 가능하고 설계 전 프로세스에 단일 인터페이스 제공으로 배치, 배선, 자동 배선, 생산 데이터 출력을 포함하여 RF, EP, Advanced Packaging, Reuse, HDI, DFF 등의 요소 기술 사용이 별도의 애플리케이션 구동이나 인터페이스 없이 사용 단일 툴 환경에서 가능하다.



Interactive Routing

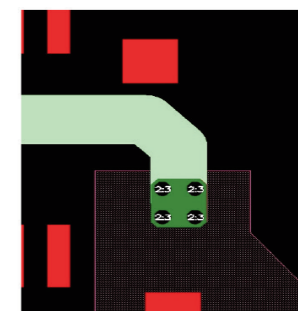
Semi-Autorouting 기술이 적용된 Push & Shove 방식의 Interactive Routing 환경 제공으로 배선시간을 획기적으로 단축할 수 있으며 Correct-by-Construction 방식으로 실시간 DRC가 적용된 배선 환경을 제공한다.

Dynamic Area Fill

Dynamic Plane 엔진을 사용하여 Post Process Plane 편집 방식을 적용하지 않으며, WYSIWYG Plane 데이터 표현으로 편집 시간을 단축할 수 있다.

Multi-plow with Variable Via Patterns

일반적으로 Power Net에 사용되며 고전류 부하가 요구될 경우 다중의 Via를 포함한 패턴을 자동생성할 수 있는 기능으로 수동 배선, 자동 배선, Plane에서 모두 사용 가능하며 Net에 부여된 조건과 MVO 룰에 따라 on-the-fly 기반으로 생성된다.



Circuit Move & Copy

PCB 디자인 간 배치 및 배선 정보가 포함된 영역을 복사, 회전, 이동 가능하여 기존 디자인 정보를 효과적으로 재사용할 수 있으므로 설계시간을 단축할 수 있다.

Mask Generator

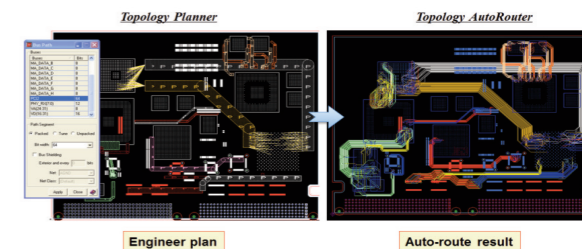
Custom Mask 생성 기능으로 디자인 검증, 플로팅, Mask 계산, 문서화, 생산 요구 사항 반영 등에 사용된다.

Autorouting

자동 배선 진행 중에 배선 상태를 확인할 수 있으며 다른 기능을 사용할 수 있다. 매우 빠르며 툴에 내장되어 있어 별도의 애플리케이션 구동이 필요 없다.

Topology Planner & Router

Topology Planner & Router를 사용한 Bus 배선 환경으로 하드웨어 설계자가 Topology Planner를 사용하여 Bus 배선 경로 계획을 완료하면, PCB 설계자는 계획된 Bus 배선 경로를 토대로 단시간 내에 Bus를 자동배선할 수 있다.

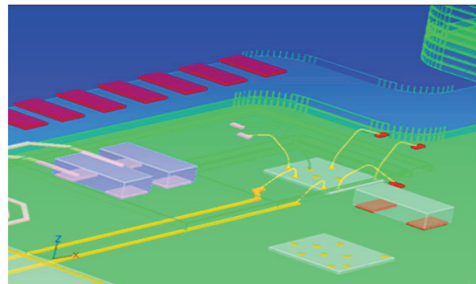


Flex PCB

Flex PCB 또는 Rigid-Flex PCB 특화 배선 기술 사용으로 배선 시간 절감 및 품질 확보할 수 있다. Dynamic Teardrop 수동 및 자동 생성, Arc 배선, Any Angle 배선이 가능하다.

Advanced Packaging

PCB 내층에 부품을 실장 하는 Cavity 기능 제공으로 용적률을 확보할 수 있으며, Wire Bonding 3D 패턴 자동 생성 및 수동 생성, 다양한 Wire 모델을 지원한다.



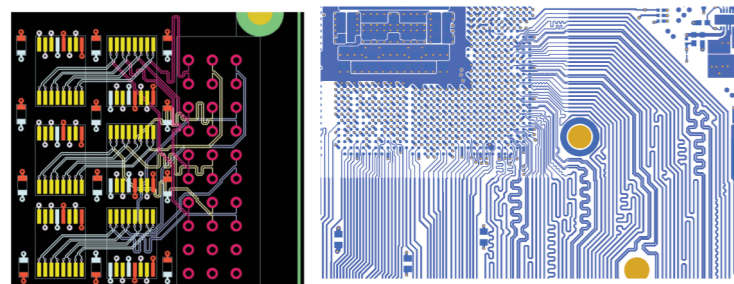
Embedded Passive

Embedded Passive와 관련된 모든 생산 관련 파라미터와 Material을 관리하며 Part 생성 및 사용 여부를 계산할 수 있다.

High-Speed Layout

Auto/Manual Tuning

Star, T, H-Tree와 같은 주요 Topology는 CES에서 정의하고 on-the-fly Topology 편집은 Expedition에서 가능하며 편집된 정보는 CES로 BA 된다. 다양한 Tuning 특성을 GUI를 사용하여 쉽게 선택 적용할 수 있다. Tuning 패턴에 대해 Push & Shove 편집이 가능하고 Tuning Meter를 통해서 유효 길이를 실시간으로 확인할 수 있다.



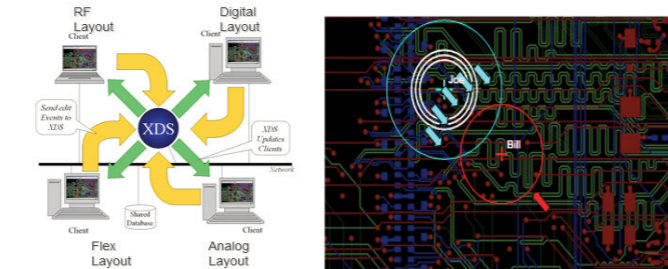
Differential Pairs Routing

Differential Pairs의 Width 및 간격을 유지하면서 하나의 Trace처럼 배선이 가능하고 Push & Shove 편집도 적용되며 Pad Entry에서 Rule 기반의 정확한 인출이 가능하다.

Simultaneous Design

실시간 업데이트가 가능한 PCB 동시 설계 환경인 XtremePCB 사용으로 배선 시간을 최대 70% 절감할 수 있으며, 디자인을 물리적으로 분할할 필요가 없다. 또한, 동시 설계자 간의 충돌도 없다.

Xtreme 기술 기반의 설계 방법을 사용하면 서버에 등록된 단일 데이터 베이스를 회로별 전문 설계자가 동시에 접근하여 실시간으로 다른 설계자의 변화사항을 파악하면서 설계를 수행할 수가 있으므로 PCB 설계 부문에서 가장 많은 시간을 차지하는 배선 시간을 획기적으로 단축할 수 있다. 임의의 설계자가 미리 선점한 배선 영역은 First-In-First-Out 방식에 따라 Lock을 걸어 다른 설계자가 편집할 수 없게 한다.



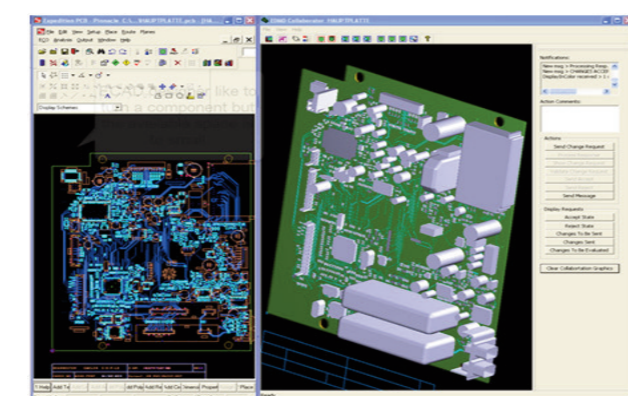
Xtreme-Powered Auto-routing

XtremeAR을 사용하여 최대 15대의 컴퓨터를 역어서 동시에 자동 배선을 진행함으로써 유휴 자원 활용을 최대화하여 배선 시간을 단축할 수 있다. 다양한 배치, 배선 시나리오를 적용하여 제품 품질 및 비용 측면에서 평가할 수 있으며 단일 자동 배선보다 10배 시간을 절감할 수 있다.

Multi-Disciplined Collaboration

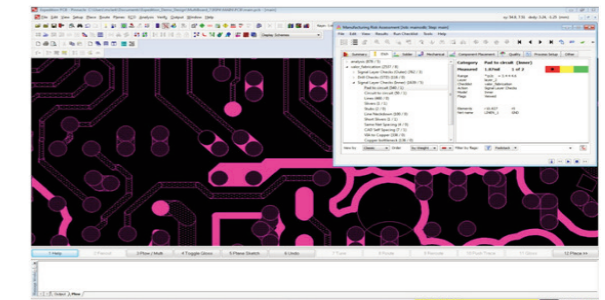
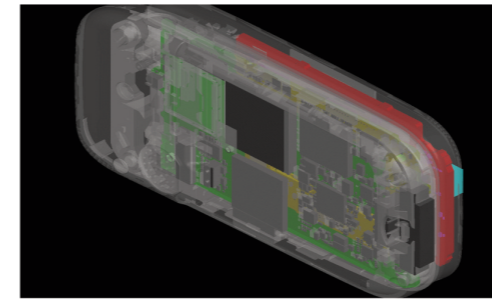
ECAD-MCAD Collaboration

PCB/기군 간 협업 설계 기능은 EDMD Collaborator를 사용하여, 표준화된 EDMD Schema 상호 교환 형식을 기반으로 PRO-E, NX, Solid-works 등의 MCAD 툴과의 실시간 동적 협업 설계가 가능하다. 중분적 변경 데이터 교환과 제안/수락/거절 등과 같은 정형화된 데이터 전달 프로세스를 사용하여 협업 시간을 단축할 수 있다.



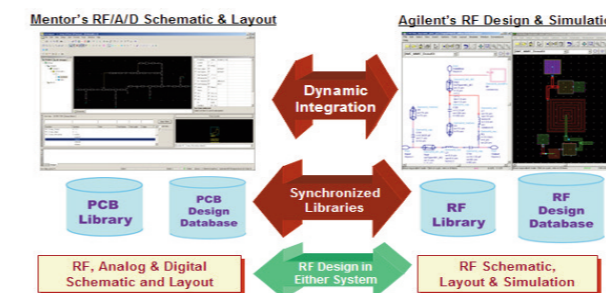
3D PCB Viewing

직관적 3D 부품 모델을 사용하여 설계 의사 결정 방법 향상을 도모할 수 있으며, Real 또는 Symbolic 그래픽 렌더링을 지원하고, 복잡한 MCAD 부품 모델은 STL, VRML 모델을 Import 하여 사용 가능하다.



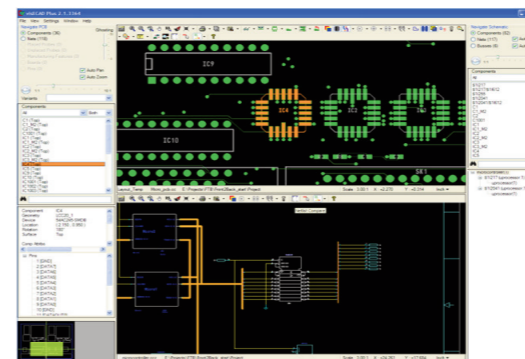
RF Circuit Design

Agilent ADS와 ASCII Interface를 대체한 Dynamic Interface 사용함으로써 설계 시간 단축과 오류를 감소시킬 수 있으며, 디자인 데이터베이스와 라이브러리가 상호 동기화를 유지하면서 설계 진행이 가능하다.



Flow Collaboration

visECAD를 사용하여 회로도-회로도, 회로도-PCB, PCB-PCB 간을 비교함으로써 설계 이력 추적을 효과적으로 단축할 수 있으며, Design Review 도구로 활용 (Mark-Up, Red-Lining) 할 수 있다.



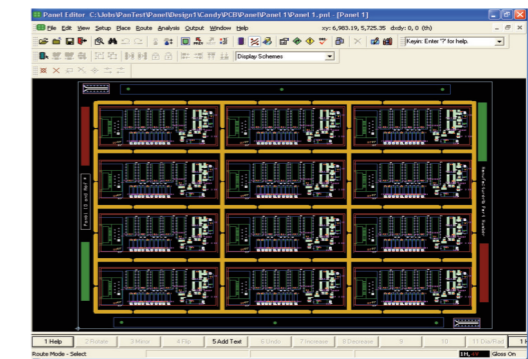
Valor NPI DFM Verification

Valor NPI DFM 해석 결과를 Expedition에서 즉시 확인해서 수정할 수 있어서 Clean-Up 주기를 감소할 수 있다.

- 275 Fabrication Checks
- 250 Assembly Checks
- 100 Advanced Substrate Checks
- 40 Microvia Checks
- 30 Panel Checks

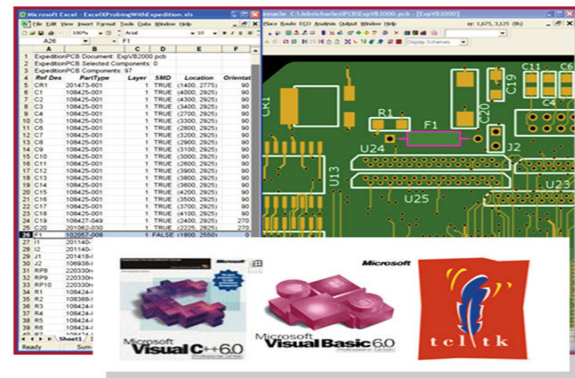
FabLink XE for Fabrication

FabLink XE를 사용하여 자동 또는 대화식 Step & Repeat Panel 생성할 수 있으며, 이 기종의 PCB도 같이 Panel 생성이 가능하다. 또한, MOA (Manufacturing Output Automation)를 사용하여 9가지(Gerber, ODB++, NC Drill, CCZ, BOM, Neutral File, Print, GDSII, IDF) 생산 데이터를 일괄 생성할 수 있다.

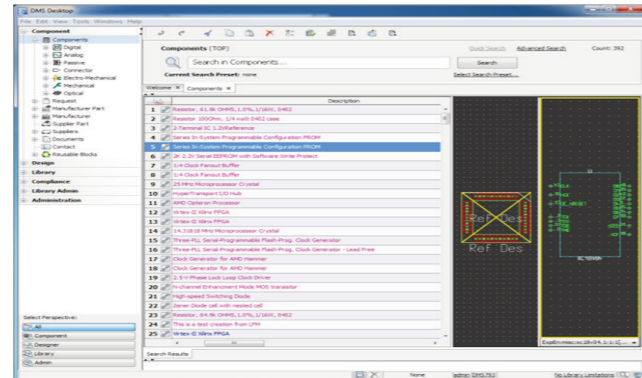


Automation

쉽게 학습하고 적용할 수 있는 범용 프로그래밍 언어인 VBScript, Visual Basic, Jscript, TCL, C++, .NET 등을 사용하여 사용자 정의 기능을 구현할 수 있으며, VBScript와 Jscript 등의 Automation을 사용할 경우 Expedition에 통합된 Form (GUI)을 구현할 수 있다.



DMS (Data Management System)는 설계 팀과 기업 엔터프라이즈 간의 교량 역할을 하는 미들웨어로서 ECAD IP 관리를 할 수 있으며, where-used 기능을 사용하여 사용 라이브러리의 추적성 확보와 프로젝트 별 권한 관리, Production 별 라이브러리 관리 등을 지원하여 부품 관리비용 및 제품개발비용을 절감할 수 있도록 한다.

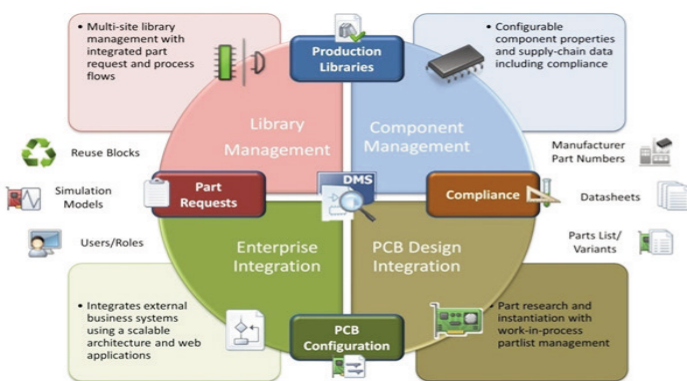


Intellectual Property Management

ECAD 분야의 IP (Intellectual Property)로는 다음과 같은 것이 있다.

- ECAD Library: Logical Symbol, Physical Geometry, Part Information
- 공통 설계 제약 조건: Common Design Constraints
- 기능 회로 블록: Functional Reuse Block
- Design Configuration Template
- WIP (Work-in-Progress) Design Data
- DBOM (Design BOM)
- Design Workflow

이러한 ECAD IP와 기업 엔터프라이즈 시스템인 PLM, CIS, ERP, SCM 등과의 연계를 통한 부품-회로 간 정확성을 근간으로 하는 데이터 관리를 단일 사업장 수준이 아닌 멀티 사이트 수준으로 확대해서 Design Anywhere Build Anywhere 환경 구축을 통하여 설계 팀과 엔터프라이즈 시스템 간 양방향 정보전달을 용이하게 하는 것이 글로벌 기업의 설계 환경 구축 형태이다.



Mentor Graphics

회사명 : Mentor Graphics
(Subsidiary of Ansys Inc.)
웹 주소 : <http://www.mentorkr.com/>
한국지사 : 한국멘토
전화 : 031) 8061-0790
주소 : 경기도 성남시 분당구 판교역로 192번길 12 (삼평동)
판교 미래에셋센터 7층

JICAS 논문 모집 안내

반도체설계교육센터(IDEC)을 통해 매년 300여 개의 칩을 통한 연구결과물이 배출되고 있습니다. 이처럼 IDEC 지원을 통해 나온 결과물의 관리체계 확보를 통해 연구의 질적 수준 향상을 유도하고 설계자들의 연구경쟁력 제고 및 연구성과의 공유 활성화, 그리고 나아가 국내외 우수학술지와의 경쟁을 통한 국제 경쟁력 강화에 이바지하고자 저널지를 준비하려 합니다.

이에 IDEC MPW 지원을 받는 WG(WORKING GROUP) 소속을 대상으로 IDEC 저널 1호 논문을 모집하오니 연구 발표를 희망하시는 분들의 많은 참여 부탁드립니다.

제호 | JICAS (IDEC JOURNAL OF INTEGRATED CIRCUITS AND SYSTEMS)
대상 | WORKING GROUP 소속 교수 및 학생
분야 및 주제 | IDEC MPW 지원을 통해 나온 연구결과물로 주제는 자유
분량 및 형식 | A4용지 12장 내외 국문 또는 영문 논문으로 JICAS 논문집필요령에 따라야 함.
(※ 첨부 참조: JICAS 저널 규정, 논문집필요령, 논문양식)

제출 시기 | 2015년 02월 23일(월)
심사 | 논문 1평당 3명의 편집위원이 심사
게재 | 3월 30일에 발간하는 1호에 게재.
신청 및 논문 제출방법 | JHG0929@IDEC.OR.KR 로 신청 및 접수(추후 홈페이지 구축 예정)
문의 | 전자기 선임연구원(042-350-8535, JHG0929@IDEC.OR.KR)



연구를 위한 연구가 아닌, 환자를 위한 연구를 하자



사회가 발전할수록 주목받는 산업이 있다. 바로 '건강' 과 관련된 것이다. 우리나라도 100세 시대를 맞아 건강한 인생, 장애인과 비장애인이 더불어 사는 사회를 목표로 보건·의료·복지 산업에 집중 투자하고 있다. 잘사는 국가의 척도는 장애인과 노인 등 사회적 약자에 대한 복지 수준으로 가능할 수 있다. 로봇공학을 통해 몸이 불편한 장애인들을 위한 재활 서비스를 기술적으로 향상 시키기 위한 환자 중심 연구들에 매진하고 있는 대구경북과학기술원 김종현 교수를 만나 보았다.

장애인 재활을 위해 꼭 필요한 연구

대구경북과학기술원(DGIST) 로봇공학전공에서 2013년부터 조교수로 재직 중인 김종현 교수의 연구실 이름은 재활공학연구실이다. 연구실 이름에서 알 수 있듯이, 그는 몸이 불편한 장애인들을 위한 재활 서비스를 기술적으로 향상시키기 위한 환자 중심 연구에 매진하고 있다. 디지스트는 카이스트, 지스트와 더불어 3대 과기원 중 하나로 로봇공학 전공에서 재활로봇, 수술로봇, 마이크로/바이오 로봇 등 의료로봇 관련 연구에 특화된 곳이기도 하다.

재활공학연구실에서 진행하고 있는 김종현 교수의 연구는 크게 세 가지로 분류할 수 있다고 한다. 먼저 환자가 집에서 상지 재활치료 로봇 기반의 시스템으로 받을 수 있도록 하는 연구이다. 두 번째는 센서 기술을 활용하여 환자 상태의 측정 방법을 개선하는 것을 통해 임상자에게 도움을 주는 연구, 마지막으로 트레드밀을 활용하여 하지 재활훈련 효과를 높이고자 하는 연구이다. "이런 연구를 통해 환자가 병원에 오지 않고도 충분한 재활 서비스를 받을 수 있도록 하는 것과 환자의 보행능력 회복 개선을 기대하고 있습니다."

로봇공학과 재활의 만남

김종현 교수는 석박사 과정 중에 로봇공학 전반, 특히 원격로봇 및 햅틱 디바이스 관련 연구를 주로 진행했으며, 장애인의 삶의 질 향상을 위한 서비스 로봇 개발에도 다수 참여했다고 한다. "돌이켜보면 그 시간이 저에게 융합연구의 기초를 쌓게 해준 소중한 시간이었던 거 같아요."라며 그 시절을 회상하며 웃었다.

'배우고 익히는 로봇공학 기술을 졸업 후에 어떤 분야에 적용해야 할 것인가?' 그는 학위과정 중에 이와 같은 고민을 하고 있었다고 한다. 그런 그가 내린 결론이 바로 '재활분야'였다. "학위과정 중에 다수의 장애인을 만나면서 로봇이 고통받고 있는 장애인들의 삶의 질을 향상시킬 수 있다면 그것이야말로 로봇이 진정으로 사회에 이바지하는 것으로 생각했습니다." 아마도 이런 생각들이 김종현 교수를 재활로봇/공학 분야로 이끈 건 아닐까 싶다.



연구를 위한 연구가 아닌, 환자를 위한 연구를 하자

김종현 교수는 미국 국립보건원(NIH) 재활의학과에서 박사후과정을 시작했던 일을 가장 기억에 남는 일로 꼽았다. "재활 분야로 연구영역을 넓히기로 마음먹고 재활의학과에서 임상 및 생체역학 전공자들과 일을 시작할 때 많이 어려웠습니다. 쏟아지는 의학용어에 시달렸으며, 제가 알던 공학과 임상 의학과와의 차이를 절감했죠. 그 당시 6개월에서 1년 사이를 정말 정신없이 지내다 보니, 조금은 감이 오더군요."

그 당시 어려움이 지금의 원동력이 되었는지 그는 항상 "연구를 위한 연구가 아닌, 정말 환자를 위한 연구를 하자" 라는 자신만의 연구자세를 갖고 있었다. "누구나 남들에게 보이기 좋은 좀 더 공학적으로 그럴듯해 보이는 장치를 개발하고 싶다는 생각이 들 때가 있을거예요. 저도 그렇고요. 그럴 때마다 환자들을 떠올리며 환자에게 꼭 필요하면서도 가급적 간단하고 사용하기 쉬운 시스템을 개발하고자 노력하고 있습니다."

연구의 돌파구가 되는 학문간 융합

김종현 교수는 재활 분야의 잠재적 가치에 대해 자신했다. "선진국 및 우리나라의 빠른 고령화 경향에 따라 현재도 주목받고 있으며, 앞으로도 성장 가능성이 매우 높습니다. 재활로봇 역시 의료로봇 중 가장 유망한 한 분야로, 이미 미래에 시장이 형성되기 가장 좋은 분야 중에 하나로 여겨지고 있지요. 앞으로도 다양한 공학 기술들이 재활 서비스에 접목되어 새로운 의료 기술들이 탄생할 것입니다."

그러면서 그는 후배와 독자들에게 조언도 아끼지 않았다. "융합에 대한 이야기가 많이 나오고 있습니다. 반도체와 로봇은 떼려야 뗄 수 없는 분야지요. 전 본인의 전공 외에도 주위를 둘러볼 줄 아는 여유를 함께 가지라는 말을 해주고 싶어요. 연구의 많은 돌파구가 학문 간 융합에서 나오고 있거든요. 본인 전공에 대한 기반지식을 충실히 하는 것과 더불어, 주위를 둘러볼 때 비로소 융합연구가 싹틀 수 있습니다. 반도체와 로봇의 융합을 통해 분명 더 좋은 연구가 나올 거라 믿고 있습니다." 그러면서 그는 "재활에 관심이 있으며, 하나의 전공이라도 특정한 기반지식을 가진 학생들은 재활공학연구실에서 언제든지 환영합니다."

김종현 교수는 현재, 매핑 기법을 통하여 환자의 뇌 상태 변화를 감지하고 이를 통해 재활치료 효과를 극대화하고자 하는 시도를 하고 있다고 한다. 로봇공학과 임상재활의 융합 연구를 이미 충분히 경험했기에 분명 뇌 매핑 분야와의 융합도 충분히 가능하다는 그의 도전을 바라보며, 김종현 교수의 2015년의 활약을 기대해 본다.

두 살배기 아이의 어머니이기도 한 정하연 교수는 마지막으로 집적회로 기술을 바탕으로 소형 의료용 센서, 특히 외부 자극에 민감하고 활동량이 많은 어린이들을 위한 non-invasive 센서 시스템 개발에 대해 따뜻한 소망도 전했다. "아이들을 질병으로부터 미리 보호할 수 있는 시스템을 개발할 수 있다면 정말 의미 있는 일이 될 듯해요."



문의 대구경북과학기술원 로봇공학전공 재활공학연구실
전화 053-785-6211
E-mail jhkim@dgist.ac.kr
http://rehab.dgist.ac.kr

김종현 교수

대구경북과학기술원 로봇공학전공