

IDEC
newsletter

VOL. 206
AUGUST 2014

IDEC Newsletter | 통권 제206호
◎ 발행일 2014년 7월 31일 ◎ 발행인 박인철 ◎ 편집인 남병규 ◎ 제작 푸울디자인
◎ 기획 전항기 ◎ 전화 042) 350-8535 ◎ 팩스 042) 350-8540 ◎ 홈페이지 <http://idec.or.kr>
◎ E-mail jhg0929@idec.or.kr ◎ 발행처 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 미래창조과학부(산업통상자원부), 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩 반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 에이티세미콘, TowerJazz)의 지원으로 수행되고 있습니다.

VOL. 206 AUGUST 2014

MPW (Multi-Project Wafer) 2014년 MPW 진행 현황

공정	회차구분 (공정_년도순서)	모집칩수 (mmxmm)x 칩수/회별	정규모집 신청마감	참여칩수 (mmxmm)x 칩수	DB 마감 (Tape-out)	Die-out	비고
삼성 65nm	S65-1401	{4x4}x48	2013.12.09	{4x4}x20	2014.02.17	2014.08.18	제작중
	S65-1402		2014.02.03	{4x4}x33	2014.08.25	2015.02.27	설계중
	S65-1403		2014.06.02	{4x4}x25	2014.12.15	2015.06.12	설계중
매그나칩/ SK하이닉스 0.18μm	MS18-1401	{3.8x3.8}x25	2013.12.09	{3.8x3.8}x20	2014.02.24	2014.07.28	제작완료
	MS18-1402		2014.01.06	{3.8x3.8}x25	2014.05.19	2014.10.20	제작중
	MS18-1403		2014.02.03	{3.8x3.8}x25	2014.08.11	2015.01.12	설계중
	MS18-1404		2014.05.05	{3.8x3.8}x24 {3.8x1.9}x2	2014.11.10	2015.04.13	설계중
매그나칩/ SK하이닉스0.35μm	MS35-1401	{5x4}x20	2014.01.06	{5x4}x20	2014.06.16	2014.10.06	제작중
	MS35-1402		2014.06.02	{5x4}x18	2014.12.01	2015.03.23	설계중
동부0.11μm	D11-1401	{5x2.5}x24	2013.12.09	{5x2.5}x21 {2.35x2.35}x5	2014.04.02	2014.08.06	제작완료
	D11-1402		2014.04.07	{5x2.5}x18 {2.35x2.35}x12	2014.10.01	2015.02.04	설계중
동부0.18μm BCD	D18-1401	{5x2.5}x4	2013.12.09	{5x2.5}x3 {2.35x2.35}x2	2014.03.27	2014.07.02	제작완료
	D18-1402		2013.12.09	{5x2.5}x4	2014.04.30	2014.08.06	제작중
	D18-1403		2014.02.03	{5x2.5}x2 {2.35x2.35}x4	2014.08.13	2014.11.19	설계중
	D18-1404		2014.05.05	{5x2.5}x3 {2.35x2.35}x2	2014.11.05	2015.02.11	설계중
동부0.35μm BCD	D35-1401	{5x2.5}x6	2013.12.09	{5x2.5}x6	2014.02.19	2014.05.28	제작완료
	D35-1402		2014.01.06	{5x2.5}x2 {2.35x2.35}x7	2014.05.28	2014.09.03	제작중
	D35-1403		2014.03.03	{5x2.5}x4 {2.35x2.35}x4	2014.09.10	2014.12.17	설계중
	D35-1404		2014.05.05	{5x2.5}x5 {2.35x2.35}x2	2014.11.19	2015.02.25	설계중
TowerJazz 0.18μm BCD	TJB18-1401	{5x2.5}x6	2014.01.06	{5x5}x 3	2014.05.12	2014.09.08	제작중
	TJB18-1402		2014.04.07	{5x5}x 1	2014.10.20	2015.02.16	설계중
TowerJazz 0.18μm CIS	TJC18-1401	{2.5x2.5}x4	2014.01.06	{2.5x2.5}x4	2014.05.05	2014.09.01	제작중
	TJC18-1402		2014.04.07	{2.5x2.5}x4	2014.10.13	2015.02.09	설계중
TowerJazz 0.18μm CA18HA	TJR18-1401	{2.5x2.5}x4	2014.01.06	{2.5x2.5}x4	2014.06.23	2014.10.20	제작중
	TJR18-1402		2014.04.07	{2.5x2.5}x4	2014.10.20	2015.02.16	설계중
TowerJazz0.18μmSiGe	TJS18-1401	{2.5x2.5}x4	2013.12.09	{2.5x2.5}x4	2014.03.11	2014.07.08	제작완료

* 일정은 사정에 따라 다소 변경될 수 있음.
 * 우선/정규 모집은 마감일 2주전부터 신청 가능함
 * 회차 표기 방법 변경 : 공정코드_년도 모집순서 (예시) 삼성65nm 2014년1회차:S65-1401)
 * Package 제작은 Die out 이후 1개월 소요됨
 * 동부와 TowerJazz 공정은 sub chip(5mmx2.5mm 또는 2.35mmx2.35mm)으로 분리하여 모집
 * 선정 결과는 모집 마감 후 15일 이내 개별 통보됨
 * 2014년 우선모집은 완료됨에 따라 일정에서 제외함
 * 기준일 : 2014.7.24.

* 담당 : 이의숙 (042-350-4428, ylslee@dec.or.kr)

2014년 8월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

KAIST 개설 강좌 안내

센터명	강의일자	강의제목	분류
본센터	8월 4일-7일	RF IC 설계 교육(1)	설계강좌
	8월 8일	Incisive Verilog simulation	Tool강좌
	8월 11일	고속 인터페이스 회로 설계 이론	설계강좌
	8월 12일-14일	RF IC 설계 교육(2)	설계강좌
	8월 18일-20일	Mixed Analog Layout	설계강좌
	8월 21일-22일	AMBA AXI 기반 IP 설계와 검증	설계강좌
경북대 IPC	8월 25일	CMOS 이미지 센서 교육	설계강좌
	8월 12일-13일	Pspice를 이용한 아날로그 Front end 설계	설계강좌
	8월 14일	임베디드 OS 포팅 및 동작 실습	설계강좌
	8월 18일-19일	디지털 SoC 설계 실습	설계강좌
광운대	8월 20일	하이스피드 인터페이스 SoC 설계	설계강좌
	8월 25일-26일	안드로이드 플랫폼 설계 방법 및 하드웨어 제어 응용	설계강좌
부산대	8월 25일-27일	High-Level Design and Verification of Analog/Digital SoC	설계강좌
	8월 6일-8일	FPGA를 이용한 Digital System 설계	설계강좌
성균관대	8월 11일-12일	고속 디지털 시스템을 위한 PCB설계	설계강좌
	8월 20일-22일	Matlab을 이용한 디지털 신호처리	설계강좌
한양대	8월 7일-8일	ARM 기반 SoC 프로그래밍	설계강좌
	8월 12일-14일	Cadencer® Virtuoso Layout 교육	설계강좌
	8월 18일-20일	안드로이드 플랫폼 기반 C코드 최적화 기법	설계강좌
한양대	8월 21일	Wireless Connectivity 개요	설계강좌
	8월 19일	Verilog HDL을 사용한 Hardware 설계 중급	설계강좌

- 강좌일 : 8월 4일-7일
- 강좌 제목 : RF IC 설계 교육(1)
- 강사 : 유형준 교수(KAIST), 이종욱 교수(경희대학교), 이상국 교수(KAIST)

강좌개요 1. RF 시스템 개요
 최근의 디지털 무선통신 시스템에 사용되는 RF 송수신기의 기본적인 구조와 원리에 대해서 살펴본다. RF 송수신기의 기본적인 역할과 함께, 이를 효과적으로 수행하기 위한 여러 가지 형태의 송신기 및 수신기의 구조를 살펴본다.

2. CMOS 능동/수동 소자
 아날로그/RF 설계에 필요한 CMOS 능동 및 수동소자의 제작 과정, 모델링 기법 등을 수업하여 회로 설계에 대한 기본 개념을 정리하고, 소자의 주파수에 따른 특성을 이해한다.

3. LNA 및 Mixer 설계
 CMOS 기술을 기반으로 하는 1 ~ 10 GHz 대역LNA 및 Mixer설계에 대한 학습으로서, 해당 소자의 필요성에 대한 유래, 기본 기능, 핵심 사양에 대한 이해, 소자의 기본 동작 원리, 핵심 성능 개선을 위한 설계 기법, 설계 사례 분석, 그리고 기술의 발전 동향에 따른 RFIC성능의 요구변화 및 이에 따른 설계기법의 변화 등에 대하여 소개하고, Cadence Spectre를 이용한 간단한 LNA와 Mixer의 설계 실습경험을 제공한다.

수강대상 대학원생, 학부생, 관련 회사원
강의수준 초/중급
강의형태 이론, 이론+실습
사전지식, 선수과목
 RF 시스템 개요 : 전자회로, 무선공학, 신호 및 시스템 등에 대한 학부 수준의 지식이면 가능
 CMOS 능동/수동 소자 : 반도체공학, 전자회로
 LNA 및 Mixer 설계 : 학부 전자회로, 초고주파 이론 기본개념

- 강좌일 : 8월 8일
- 강좌제목 : Incisive Verilog simulation
- 강사 : 문상준 이사(Cadence)

강좌개요 통신 및 영상 분야에서 널리 활용되는 FFT (Fast Fourier Transform), 디지털 필터 등의 디지털 신호처리용 SoC의 알고리즘, 아키텍처 및 회로 수준의 설계 및 최적화를 이해하고 설계 실습을 통해 이를 확인한다. 특히 신호 대 잡음비, 처리 속도 등의 성능 지표와 소모 전력, 하드웨어 면적 등의 복잡도 지표를 이해하고 이들 간의 타협 (Trade-off)을 이해한다. 설계 실습은 C++ 기반 고정소수점 상위 설계와 Verilog HDL 기반 RTL 설계, 합성 및 검증을 포함한다.

- 수강대상 대학원생, 학부생, 회사원
- 강의수준 초급
- 강의형태 이론+실습
- 사전지식, 선수과목 Verilog Language, UNIX/LINUX command

- 강좌일 : 8월 11일
- 강좌 제목 : 고속 인터페이스 회로 설계 이론
- 강사 : 김병섭 교수 (포항공과대학교)

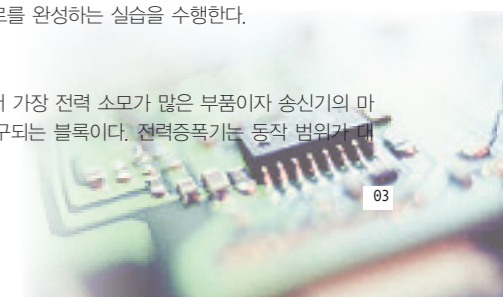
강좌개요 본 강의에서는 고속 컴퓨팅 시스템에서 사용되는 고속 인터페이스 회로설계에 필요한 이론적인 배경을 설명합니다. 전반부에서는 인터커넥트의 종류와 트랜스를 설명합니다. 후반부에서는 인터페이스회로 구성에 필요한 수학적 인 모델을 설명한 뒤, 설명한 이론을 바탕으로 대표적인 고속 인터페이스 회로에 대해서 설명합니다.

수강대상 대학교 4학년생, 대학원생 및 직장인
강의수준 중급
강의형태 이론
사전지식, 선수과목 회로이론, 전자회로, 아날로그 회로 설계

- 강좌일 : 8월 12일-14일
- 강좌 제목 : RF IC 설계 교육(2)
- 강사 : 신현철 교수(광운대학교), 이육구 교수(부산대학교)

강좌개요 1. RF PLL 주파수합성기
 PLL 기반 RF 주파수합성기 동작원리 및 요소회로의 CMOS설계 방법에 대한 이론 강의 후, 실제 CMOS 공정을 이용하여 개별 요소회로를 설계하고, 설계된 요소회로를 조합하여 PLL 전체 회로를 완성하는 실습을 수행한다.

2. RF Power Amplifiers
 RF 전력증폭기는 무선 단말기에서 가장 전력 소모가 많은 부품이자 송신기의 마지막 단으로서 높은 선형성이 요구되는 블록이다. 전력증폭기는 동작 범위가 대



2014년 8월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

신호이고 모델이 잘 맞지 않아서 설계 접근 방법이 다른 부품들과 다르고, 실제 제작 시 테스트에 많은 시간을 쓰게 되는 까다로운 부품이다. 현재 단말기 시장은 GaAs HBT 기술로 제작된 전력증폭기가 장악하고 있으나 일부 저가 제품과 WLAN 시장에서는 CMOS 전력증폭기가 등장하고 있다. 본 교육에서는 RF 전력증폭기와 송신기 구조의 기본과 분류로부터 여러 가지 전력증폭기와 성능 개선 방안을 소개한다. GaAs HBT 전력증폭기와 CMOS 전력증폭기의 다양한 예와 특징, 최신 동향을 소개한다.
수강대상 대학원생, 기업체 연구원
강의수준 초/중급 **강의형태** 이론+실습
사전지식, 선수과목 RF PLL, 주파수합성기: 전자회로, CMOS 아날로그회로 RF Power Amplifiers: 전자회로, 초고주파공학

- 강좌일 : 8월 18일-20일
- 강좌제목 : Mixed Analog Layout
- 강사 : 박익인 이사(파인스)

강좌개요 IC 개발 단계 중 Layout 의 중요성에 대한 인식을 재고하고 Layout 수행 시 고려해야 할 사항을 고찰하며 고려해야 할 사항에 대해 실습을 통하여 체득하게 하고, 체득된 내용을 실무에 적용할 수 있도록 하는데 목표를 갖는다. 또한 특성과 원가 개념 모두에 대한 고취가 이루어지도록 한다.
수강대상 Chip설계 유 경험자 대학원생 (아래의 사전지식 및 선수과목 필히 참조 요망)
강의수준 중급 **강의형태** 이론+실습
사전지식, 선수과목 Mixed Analog Circuit 의 간단한 동작 특성 해석 가능 Process 개요 및 소자의 수평 수직 구조 이해 Virtuso Layout Editor이용 작업 가능 및 실무 경험 (필수) Calibre Verification Tool 사용 및 검증 가능 (필수)

- 강좌일 : 8월 21일-22일
- 강좌 제목 : AMBA AXI 기반 IP 설계와 검증
- 강사 : 기안도 소장(다이내믹시스템)

강좌개요 최근의 반도체 칩에 주로 사용하고 있는 AMBA AXI를 기초부터 살펴보고, 버스 기반 설계를 검증하는 기법으로 C-program 구동 BFM(Bus Functional Model)을 살펴보고, BFM을 사용하여 AXI 버스용 IP를 설계하고 검증하는 방법을 메모리, UART, Video controller, Camera controller에 적용해 본다.
수강대상 시스템반도체 설계/검증 업무 담당자
강의수준 중급 **강의형태** 이론+실습
사전지식, 선수과목 Verilog design and simulation and synthesis, C programming, Text editor (e.g., vi or vim)

- 강좌일 : 8월 25일
- 강좌 제목 : CMOS 이미지 센서 교육
- 강사 : 이성수 상무(픽셀플러스)

강좌개요 CIS 소자, Analog 회로와 color 이론 및 Image Signal Processing algorithm을 이해한다.

수강대상 대학원생, 학부생, 회사원
강의수준 중급 **강의형태** 이론
사전지식, 선수과목 반도체 물성/회로

*문의 : KAIST IDEC 구재희 (042-350-8536, kjh9@idec.or.kr)

- 강좌일 : 8월 12일-13일
- 강좌 제목 : Pspice를 이용한 아날로그 Front end 설계
- 강사 : 김무현 대리(나인플러스IT), 최평 교수(경북대학교)

강좌개요 반도체 및 컴퓨터기술의 급격한 발달과 더불어 기술이 혁신적으로 발전하고 전기전자 관련 제품의 설계 및 제조 공정이 자동화되어 생산성 증대와 제품의 품질향상 등이 산업체의 경쟁력 제고를 위해 요구되고 있으며, 특히 제품개발기간을 단축시키고 신뢰성을 높이기 위한 노력의 일환으로 Simulation Tool을 이용하여 실제 제작단계 이전에 회로특성을 해석해보는 과정이 중요시 되었다.
수강대상 전자,전기,정보통신공학전공 관련 대학생 및 관련 분야 산업체 연구원
강의수준 중급 **강의형태** 이론+실습
사전지식, 선수과목 전자회로, 회로이론, 반도체공학

- 강좌일 : 8월 14일
- 강좌 제목 : 임베디드 OS 포팅 및 동작 실습
- 강사 : 김보경 주임(리버트론)

강좌개요 스마트폰 시장에서 매우 이슈가 되고 있는 OS인 안드로이드OS를 직접 포팅 및 동작하여 OS 원리 및 내용에 대해 이해할 수 있도록 도움을 주는 것을 목적으로 한다
수강대상 전기, 전자, 정보통신 관련 전공 대학생 및 산업체
강의수준 초,중급 **강의형태** 이론+실습
사전지식, 선수과목 하드웨어 기초 지식, C언어, 리눅스 프로그래밍

- 강좌일 : 8월 18일-19일
- 강좌 제목 : 디지털 SoC 설계 실습
- 강사 : 문병인 교수(경북대학교), 이용환 교수(금오공과대학교)

강좌개요 SoC(System on Chip)를 한마디로 정의하기는 힘들지만 하드웨어를 중심으로 설명하면, CPU코어를 중심으로 온칩버스를 통해 많은 주변장치 및 인터페이스들을 연결하여 하나의 반도체chip으로 구성된 것을 의미한다. 본 강의에서는, SoC에 대한 기초 이론 강의 후에, ARM core 기반 SoC에서 디지털 회로를 설계하여 SoC 구성요소로 추가하는 실습 및 이 디지털 회로를 실리콘 기반 칩으로 구현하기 위한 설계 실습을 진행한다. 이러한 실습 과정에서 연구 개발 단계에서 많이 사용되는 EDA Tool을 다루어 봄으로써 실무능력을 배양하도록 한다.
수강대상 전기, 전자, 정보통신 관련 전공 대학생 및 산업체
강의수준 중급 **강의형태** 이론+실습
사전지식, 선수과목 C프로그래밍, 컴퓨터 구조, 논리 회로, HDL 설계

수강대상 전기, 전자, 정보통신 관련 전공 대학생 및 산업체
강의수준 중급 **강의형태** 이론+실습
사전지식, 선수과목 C프로그래밍, 컴퓨터 구조, 논리 회로, HDL 설계

- 강좌일 : 8월 20일
- 강좌 제목 : 하이스피드 인터페이스 SoC 설계
- 강사 : 심재윤 교수(포항공과대학교)

강좌개요 칩 간 고속 통신을 위한 직/병렬 인터페이스에 관한 기본적인 이론과 이를 회로로 설계하기 위한 다양한 구조에 대해서 알고, PLL/DLL, 클럭 및 데이터 복원회로, 송수신부, 등화기 등의 세부 블록들의 회로 설계 방법을 배운다.
수강대상 전기, 전자, 정보통신 관련 전공 대학생 및 산업체
강의수준 중급 **강의형태** 이론+실습
사전지식, 선수과목 전자회로

- 강좌일 : 8월 25일-26일
- 강좌 제목 : 안드로이드 플랫폼 설계 방법 및 하드웨어 제어 응용
- 강사 : 김수학 주임연구원(휴인스)

강좌개요 본 강의는 많은 Embedded System에서 사용하고 있는 리눅스의 기본 지식을 다지고 리눅스 포팅 및 디바이스 드라이버 개발, 응용프로그램 개발을 위한 준비를 목표로 한다.
수강대상 전기, 전자, 정보통신 관련 전공 대학생 및 산업체
강의수준 중급 **강의형태** 이론+실습
사전지식, 선수과목 컴퓨터 아키텍처

*문의 : 경북대학교 IDEC 주현아 (053-950-6857, idec@ee.knu.ac.kr)

- 강좌일 : 8월 25일-27일
- 강좌 제목 : High-Level Design and Verification of Analog/Digital SoC
- 강사 : 김진태 조교수(건국대학교), 박성정 조교수(건국대학교)

강좌개요 최근들어 SoC의 복잡도가 증가하면서 High-Level Design기법을 통한 IC의 성능 및 동작 verification이 갈수록 중요해지고 있다. 본 강좌에서는 아날로그와 디지털시스템의 High-Level 디자인 기법에 대해 강의한다. 디지털 시스템은 C++에 기반한 Cycle-Accurate하고 Bit-Accurate한 고정소수점 모의실험을 진행하여 시스템에서 요구하는 성능 지표 (예: 신호 대 잡음비)를 만족하도록 High-Level Design을 진행하고 RTL 설계 결과와 비교/검증한다. 디지털 필터 등의 간단한 디지털 신호처리 알고리즘에 실습을 진행한다.

아날로그 시스템은 C++에 기반한 CppSim이라는 설계소프트웨어를 이용하여 설계된 시스템의 성능을 신속하게 분석하고 설계를 검증한다. 실습으로 Pipelined ADC를 이용하여 모델링 및 성능 평가/설계검증을 진행한다.
수강대상 대학생 및 일반
강의수준 초 중급 **강의형태** 이론+실습
사전지식, 선수과목 아날로그 집적회로 및 전자회로, 디지털 신호처리 알고리즘 및 C++/Verilog 유경험자.

*문의 : 광운대학교 IDEC 최경수 (02-940-5448, smartipo@kw.ac.kr)

- 강좌일 : 8월 6일-8일
- 강좌 제목 : FPGA를 이용한 Digital System 설계
- 강사 : 윤병우 교수(경성대학교 전기전자공학과)

강좌개요 본 강좌에서는 FPGA 설계 툴을 이용하여 디지털시계를 설계하고 Xilinx FPGA 칩에 다운로드하여 설계한 회로를 검증한다. 본 설계에서는 디지털시계, 스톱워치를 설계하고 각종 디코더 및 컨트롤 로직 등을 설계해 봄으로써 FPGA의 개념과 디지털 시스템 설계에 대한 능력을 배양한다
수강대상 학부생
강의수준 중급 **강의형태** 이론+실습
사전지식, 선수과목 논리회로

- 강좌일 : 8월 11일-12일
- 강좌 제목 : 고속 디지털 시스템을 위한 PCB설계
- 강사 : 박주성 교수(부산대학교 전기전자공학과)

강좌개요 PCB(Printed Circuit Board) 설계를 이해하는데 꼭 필요한 기초적인 이론을 간단하게 복습한 후, PCB 설계에서 일어나는 실제적인 문제를 다룬다. 이론을 깊이 있게 들어가기보다는 가장 기본적인 이론에 근거하여 실무적으로 PCB를 어떻게 설계하는 것이 좋은가를 강의한다.
수강대상 학부 3학년이상
강의수준 중급 + 고급 **강의형태** 이론강의
사전지식, 선수과목 전자회로, 전기자기학

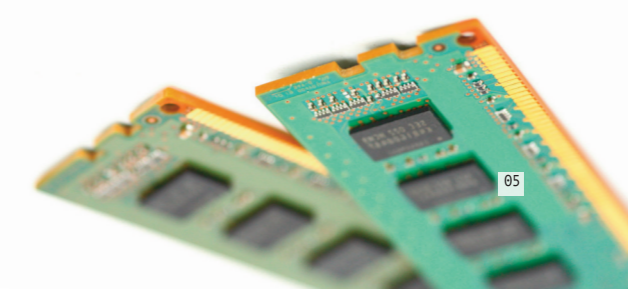
- 강좌일 : 8월 20일-22일
- 강좌 제목 : Matlab을 이용한 디지털 신호처리
- 강사 : 차의영 교수(부산대학교 정보컴퓨터공학부)

강좌개요 MATLAB의 기본 개념 및 명령어에 대해서 배운다. MATLAB을 이용한 프로그래밍 방법과 시각화에 대해 배운다. GUI의 설계 방법에 대해 배운다. GUI를 이용하여 간단한 응용 프로그램을 만들어 본다.
수강대상 이공계열의 학부 및 대학원생
강의수준 초급, 중급 **강의형태** 이론 + 실습
사전지식, 선수과목 다른 컴퓨터 언어를 알고 있으면 배우기가 쉬움

*문의 : 부산대 IDEC 윤성심, 지화준 (051-510-2828, idec@pusan.ac.kr)

- 강좌일 : 8월 7일-8일
- 강좌 제목 : ARM 기반 SoC 프로그래밍
- 강사 : 이광엽 교수(서경대학교 컴퓨터공학과)

강좌개요 ARM 기반 임베디드 실험키트에서 C언어를 이용하여 GPIO를 포함한 기초적인 입출력 장치와 TFT-LCD 등 주변장치의 프로그래밍 실습을 수행한다.
수강대상 전자/컴퓨터 전공 학부생, 대학원생, 기업체 연구원
강의수준 중급 **강의형태** 이론 + 실습
사전지식, 선수과목 C언어 프로그래밍, 디지털 시스템



2014년 8월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

- 강좌일 : 8월 12일-14일
- 강좌 제목 : Cadencer® Virtuoso Layout 교육
- 강사 : 손상준 주임(나인플러스EDA(주))

강좌개요 •아날로그 회로의 기본적인 회로인 OPAM와 LDO Regulator를 Term Project 진행
 •IC Design 설계과정은 실제 MPW 진행과 같은 GPKD(Product Design Kit)을 사용 flow로 진행함으로 참여 교육생들의 현장감 있는 교육을 실습
 •Cadence Virtuoso Schematic Editor, Layout suite & Assura DRC/LVS
수강대상 전자/컴퓨터 전공 학부생, 대학원생, 기업체 연구원
강의형태 초급
사전지식, 선수과목 Cadence Virtuoso Schematic, Layout, Assura DRC/LVS

- 강좌일 : 8월 18일-20일
- 강좌 제목 : 안드로이드 플랫폼 기반 C 코드 최적화 기법
- 강사 : 박찬민 기술이사(아이코어 E&C)

강좌개요 본 과정을 통해 교육생들은 ARM 아키텍처의 구조와 명령어 체계를 이해하고 일반적인 C코드와 최적화된 코드의 차이를 성능 측정 및 실시간 디버깅을 통해 비교 분석해 봄으로써 ARM 제어 코드 최적화에 필요한 요소 기술을 습득한다.
수강대상 ARM 기반 임베디드 시스템 입문자, C프로그래밍 경험자
강의수준 초급
강의형태 이론 및 실습
사전지식, 선수과목 C언어, 리눅스

- 강좌일 : 8월 21일
- 강좌 제목 : Wireless Connectivity 개요
- 강사 : 김태성(삼성전자)

강좌개요 WLAN/BT/GNSS의 규격과 핵심 요소 기술에 대해서 살펴본다.
수강대상 학부생, 대학원생, 기업체 연구원
강의수준 초급
강의형태 이론

*문의 : 성균관대 IDEC 캠퍼스 김상윤 (031-299-4628, ksy0501@skku.edu)

- 강좌일 : 8월 19일
- 강좌 제목 : Verilog HDL을 사용한 Hardware 설계 중급
- 강사 : 김두영(한양대학교)

강좌개요 하드웨어 설계를 위한 Verilog HDL 문법을 습득한다. Finite State Machine을 사용한 하드웨어 설계 기술을 습득한다.
수강대상 일반인, 학생
강의형태 이론+실습

*문의 : 한양대 IDEC 오경주 (031-400-4079 / 5017, ipc@hanyang.ac.kr)

Chip Design Contest(CDC)

International SoC Design Conference(ISOCC) 2014 Chip Design Contest 개최

* Chip Design Contest(CDC)는 2014 ISOCC 프로그램의 한 세션으로 진행되나, 제출한 논문은 프로시딩(Proceedings)

1. 일정 및 장소

가. 전체 진행 일정 : 2014년 11월 03일 ~ 06일
 나. Ramada Plaza Jeju Hotel, 제주
 다. CDC 주요 일정

논문 제출 마감	논문 채택 통보	Chip Design Contest
2014. 8. 22	2014. 9. 1	2014. 11. 04

* 일정은 사정에 따라 다소 변경될 수 있음.

2. 논문 접수 분야 : SoC 설계

3. 시상내역

Award 명	수상팀수	내역
Best Design Award	1팀	상장 및 상금 100만원
Best Demo Award	2개팀 특별상(SSCS 서울캠퍼스) 1팀	각 상장 및 상금 50만원
Best Poster Award	5개팀 내외	각 상장 및 상금 20만원

* 수상팀 수는 참여팀 수 등에 따라 조정될 수 있음.

4. MPW 제작팀의 의무사항(CDC 참여)

IDEC Chip Design Contest 논문 제출 및 데모(패널) 전시

5. 관련 사항

CDC 참여와 관련한 자세한 사항은 홈페이지(http://www.idec.or.kr)를 참조

*담당 : 구재희(042-350-8536, kjh9@idec.or.kr)

IDEC SoC Congress 2014 개최

2014. 10. 6(월), 서울대학교 호암교수회관

● 개최 목적

- ▶ IDEC와 SoC 설계인력양성을 위해 동참하여 이끌어 가시는 Working Group(WG) 참여 교수님과 학생, 더불어 연구지원이 가능하도록 사업을 지원하는 공정사, EDA vendor가 함께할 수 있는 자리 마련
- ▶ 현재 성과에 대해 격려하고, 향후 발전 방향에 대해 고민하여 앞으로 SoC 분야를 이끌어 갈 수 있는 동력을 만들어 내는 자리 마련

● 내용 및 일정

- ▶ 2014. 10.6(월), 0930~, 서울대학교(호암교수회관)
- ▶ 행사 내용
 - 성과전시 : MPW 칩 설계 내역
 - 공동 참여 : WG 연구 개발 IP / 최신 동향 세미나 / 포럼
 - 관련 전시 :공정사 및 EDA vendor 홍보 등
- ▶ 상세일정

시간	Session I	Session II
09:30 ~ 10:00	Registration	
10:00 ~ 10:10	Opening [최신 동향 세미나]	[IDEC 성과] MPW, IPC 결과물 전시
10:10 ~ 11:50	• 웨어러블/ IoT	
11:50 ~ 13:00	점심식사	[관계기관 전시] 공정사/ EDA Vendor 홍보
13:00 ~ 16:00	[IDEC 성과] • MPW/IP 발표	
16:00 ~ 16:40	Break Time_전시 관람	
16:40 ~ 17:00	[사업 성과 및 관련 시상] • IDEC 사업 성과 발표 • 시상 진행 : 우수 설계, 우수 강사 등	
17:00 ~ 17:40	[포럼 개최] • SoC인력양성 방향 논의(기업-정부-대학)	
17:50 ~	저녁식사	

● 모집 분야

- 1) MPW 전시(Chip Design Contest, CDD)
IDEC에서 진행한 MPW에 참여한 설계팀과 WG에서 설계한 FPGA팀을 모아 전시함으로써 SoC 분야에서 제작되는 설계를 보여줄 수 있음. 이를 자료집으로 제작하여 정보 공유를 확대
- 2) WG의 연구 내용(IP)
연구실내 주요 진행 연구에 대한 IP 소개

모집내역	1) MPW 전시(CDC)	2) WG의 연구 내용(IP)	비고	행사 참여
참여대상	MPW 설계팀 / FPGA	IDEC WG		세미나
참여방법	설계 내용(1page)	WG 개발 IP소개 내역(약1page)		포럼 참가 신청
접수	~2014. 8. 22(금)			2014. 9.1(월) ~9. 28(일)

● Chip Design Contest(CDC)모집

- 본 행사에 제출한 paper는 논문으로 인정되지 않으므로, 타학회에 제출이 가능합니다.

1. 참여대상 : MPW 설계팀
 - 참여 대상 : MPW 설계팀 (2013년 IDEC MPW 설계팀 중 CDC 미참여설계팀)
2. 참여 방법
 - 작성 분량 : 1page
 - 내용 : 설계에 대한 간단한 소개(template 양식의 내용 구성도 참조)
 - 선정팀은 데모 또는 패널 전시를 통해 참여 (자세한 전시 방법은 선정 안내시 공지)
3. 제출처 : 홈페이지(http://www.idec.or.kr)

● WG 개발 IP 소개

1. 내용 : IDEC WG의 연구실에서 개발한 IP를 중심으로 소개
 - 참여 대상 : MPW 설계팀 (2013년 IDEC MPW 설계팀 중 CDC 미참여설계팀)
2. 참여 방법
 - 작성 내용 :연구실의 연구 분야와 개발 IP소개
3. 제출처 : 홈페이지(http://www.idec.or.kr)

*문의 : 담당자 이의숙 (042-350-4428, yslee@idec.or.kr, http://www.idec.or.kr)

또 다른 혁신 웨어러블 디바이스와 시스템반도체 산업의 출구

최근 미국 CNN은 2014년 가장 혁신적인 기업에 대한 기사를 실었다. 최근 3년간 가장 혁신적인 기업으로 선정된 기업은 애플이었다. 애플은 2007년 아이폰을 발표한 이후 IT 기술의 혁신 아이콘으로 성장했다. 사실 1997년 스티브 잡스가 애플에 복귀한 후 주창한 "Think Different" 에 대한 진정한 결과를 10년 후에 보여준 것이라 여겨진다. 아이폰 이후 IT 산업은 일대 소비자들이 휘말려 들었다고 할 수 있다. 매년 혁신에 대한 대답을 요청받고, 어떤 준비를 했는지 평가를 받아야 했다. 새로운 기회와 위기를 맞아 다수의 글로벌 기업이 쇠퇴하고 신흥 강자들이 등장하며 성장을 주도해 갔다. 기술의 패러다임도 급속한 변화를 맞이했다. SW에 대한 새로운 조명은 여타 하드웨어 산업을 위축시킬 정도로 강했다. 적어도 한국에 불어닥친 SW 키워드는 국가 정책에 상당한 영향을 끼쳤다. UI/UX 기술의 중요성이 강조되고, 인문학의 중요성, 감성의 중요성 등 새로운 관점의 기술개발 이슈들이 등장했다. IT 융합이라는 시대적 흐름을 최전선에서 리드하며, 다양한 시스템 및 부품 산업에 큰 영향을 끼쳤다. 융합이란 관점에서 스마트폰은 IT 산업 내에서, 또는 타 산업군에 큰 변화를 가져왔으며, 소비자의 행동 패턴을 변화시키는 역할을 했다. 이러한 융합의 흐름이 많은 부품산업 및 제품의 흥망성쇠를 좌우하고 있기도 하다. MP3 플레이어, 내비게이션, 디지털카메라, 휴대용 녹음기 등 많은 디지털 기기의 위축에 영향을 주어 왔다.

이러한 변화 속에 SoC 산업 역시 많은 변화를 겪어왔다. 가장 두드러지게 나타난 변화는 ARM의 시장 지배력이다. ARM의 모바일 시장에서 점유율은 95%에 이를 정도로 절대적이며, 이는 인텔의 기술력과 자본력으로도 따라오지 못하고 있다. 또 하나의 변화는 AP(어플리케이션 프로세서)의 시장 지배력이다. 2007년 아이폰에 사용된 AP는 동작속도는 600MHz 수준이었으나, 2010년 애플의 A4나 삼성의 AP 역시 1GHz 성능을 구현하였고, 이후 다시 3년 만에 2GHz에 이르고 있다. 코아도 싱글코아에서 Octa 코아로, 애플의 A7에서는 64Bit 시대를 넘어서고 있다. 메모리 시장 역시 꾸준한 성장을 유지하여 반도체 전체 시장을 선도하는 축이 되어 왔다. 이러한 이면에는 파운드리 기술의 발전을 무시할 수 없다. 이러한 변화 속에서 한국은 큰 틀에서 많은 성장을 이루어 냈고 반도체 세계 시장점유율에서 2위를 달성했다. 약점으로 지적되던 시스템반도체 시장도 2010년 초 2%대 점유율에서 5%대 점유율로 성장했다. 물론 삼성전자의 역할이 컸지만, 반대로 중소 팹리스 기업들의 상황은 매우 어려워졌다. 때문에 시장의 변화가 기다려지는 까닭이기도 하다

2014년에 선정된 가장 혁신적인 기업으로는 애플이 아닌 구글이 선정되었다. 구글이 '구글글래스', '자율주행 자동차' 등 혁신적인 이슈를 제기해온 반면 애플은 시대적 이슈를 내놓지 못한 것이 원인이었다. 구글글래스는 그 자체의 파괴력보다도 그것이 상징하는 시대적 의미가 중요하다. 바로 웨어러블 디바이스의 전면적인 등장이다. 2014년 CES Show는 웨어러블 디바이스의 가능성을 보여주는 계기가 되기도 했다. 웨어러블 디바이스는 스마트폰의 뒤를 잇는 혁신의 아이콘이 될 수 있을까? 아니면 단순한 스마트폰의 앱세서리로 머물 것인가. 그 해답 역시 혁신의 여부에 달려 있다. 우리는 스마트폰 초기 혁신이 없는 스마트하지 않은 스마트폰을 접한 기억이 있다. 그러한 스마트폰이었다면 새로운 시장을 열지 못했을 것이다. 웨어러블 디바이스 역시 기술의 혁신 여부가 새로운 시장의 개화를 가능하게 할 수 있다. 그 기술의 중심에 반도체 기술이 있음은 당연하다. 웨어러블 디바이스는 스마트폰과는 여러 가지 측면에서 차이점을 보이고 있다. 스마트폰이 IT 혁신의 한세대를 이루었다면, 구글글래스로 향상된 웨어러블 디바이스도 IT 혁신의 한세대를 이룰 수 있을 것인지 주목되고 있다. 이러한 IT 혁신은 관련된 부품에 지대한 영향을 주며, 반도체 산업에도 많은 변화를 가져올 것이다. 이러한 변화가 한국에 유리할 것인지, 중소기업에도 유리할 것인지가 중요한 부분이라고 여겨진다. 예측되는 변화를 몇 가지로 제시할 수 있다

첫째로 컨버전스와 다이버전스의 차이이다. 스마트폰은 스마트폰을 중심으로 다른 기기의 기능을 모아 집적화하는데 주력했다. 그에 맞게 AP 및 SW, 디스플레이, 배터리 등은 고성능으로 발전하는데 주력했다. 그러나 웨어러블 기기는 기본적으로 집적화에 주력하지 않는다. 자체의 기능에 충실하면서, 인간중심의 접근을 시도한다. 웨어러블 기기가 스마트폰의 기능을 뺏어오지도 않겠지만, 스마트폰에 기능을 몰아주지도 않을 것이다. 이러한 기기의 분산은 반도체를 포함한 각종 부품 산업의 발전 방향을 새롭게 제시할 것이다. 반도체 측면에서는 현재의 AP와 같이 고성능의 프로세서가 모든 것을 집적시키는 추세와 달리 다이버전스의 추세에 맞는 성능의 최적화가 요구될 것이다. 프로세서 입장에서 응용별 레이어에 따라 그 성능의 차이와 가격 요구될 것이다.

둘째 기술과 패션의 차이점을 보인다. 기능 및 성능 위주의 스마트폰은 기술이 주인공이었다면 웨어러블로 대변되는 차세대 컴퓨팅은 인간의 삶에 보다 친화적으로 흡수되는 패션의 키워드가 가미된다. 스마트폰의 중심 반도체인 AP는 매년 혁신적인 성능의 향상을 보여주기 위해 대규모의 연구개발비가 투자되어야 했다. 그러나 패션을 가미한 컴퓨팅에 드는 부품은 더욱 "invisible" 에 가까운 물리적 특성에 최고의 성능이 아닌 "적합한 성능" 을 지향하게 될 것이다. 시스템반도체 역시 성능 위주가 아닌 패션 융합형의 적합성을 띠기 위해 최고가 아닌 최적 솔루션의 구현이 주목되고 있다. 때문에 아이디어, 창의성이 기대되고 있다.

셋째로 대기업형과 중소기업형에 대한 모델의 구분이 추구된다. 대기업형은 대규모 시장이 요구된다. 2013년 스마트폰 시장규모는 총 9억 9천만 대이다. 이중 삼성전자의 점유율은 32.3%인 3억 2천만 대 수준이다. 이러한 삼성전자 IM 부분의 매출은 138조 규모이다. 그보다 적은 LG전자의 MC 부분 매출도 12조 9천억 원 규모이다. 이제 대기업형 시장의 규모는 소품종의 단일 시장 규모가 어느 정도 이상은 되어야 함을 의미한다. 그러나 다이버전스 환경에서의 시장은 소품종으로 대규모 시장을 형성하는 것 이외에 다품종으로 개성 및 응용성을 중요시하는 소규모 시장의 다양한 생태계가 가능함을 보여주고 있다. 하지만 중소기업의 비즈니스에 적합하다고 생각되는 이러한 다양성 및 소 시장에서 시스템반도체가 살아갈 방법은 그리 원활하지는 않다. 최종 제품은 중소기업에 적합할지라도 시스템반도체는 여전히 대기업의 그늘에 있을 수 있다. 핵심부품인 시스템반도체 역시 중소 팹리스 기업에 기회가 주어질 수 있는 방안이 필요하다

넷째, 프로세서와 커넥티드 IP 솔루션의 변화이다. 최근 정부에서 프로세서의 국산화 및 활성화에 대한 지원을 모색하고 있다, 사실 프로세서의 국산화 필요성이나 가능성의 논란은 오래된 얘기다. 그동안 IT 기반이 서버, PC에서 모바일로 혁신이 진행되는 동안 국내 프로세서 기술은 그 속도를 따라잡지 못했다. 국내 팹리스 기업들의 SoC 개발에 프로세서 IP가 발목을 잡으면서, 프로세서에 대한 국내 기반의 필요성을 다시 인식하는 계기가 되고 있다. 더불어 새로운 IT 혁신의 모델인 웨어러블 디바이스는 프로세서의 인식을 전환하는 새로운 계기가 될 것으로 보인다. 인텔의 기득권이 사라진 시장이 모바일 시장이었다면, ARM의 기득권이 약해지는 시장이 형성되고 있다. 국내 프로세서 기술도 기회를 잡아야 한다. 한편으로 그동안 국내 팹리스 기업들은 WiFi, 블루투스, Zigbee 등 IP 기술을 개발해 왔으나, 글로벌 기업들과의 경쟁이 쉽지 않아 꽃을 피우기가 어려웠다. 그러나 이러한 커넥티드 솔루션들도 새로운 기회를 맞고 있다.

이렇듯 웨어러블 디바이스 등 포스트 스마트폰 시대를 맞으며 시스템반도체 산업의 바람직한 방향은 무엇일까? 포스트 스마트폰 시대의 문턱에서 시스템반도체의 새로운 패러다임에 어떻게 적응하느냐는 매우 중요한 요소로 여겨진다. 잠시 20년 전 과거로 돌아가 보면, 당시의 반도체 산업의 비즈니스를 대변하는 말은 "주문형 반도체(ASIC)" 였다. 누구나 본인의 응용분야에 맞는 반도체를 설계, 제작할 수 있는 시스템이었다. 게이트어레이, 스탠다드셀 등이 당시를 대변하던 기술이었으며, 개발기간도 짧고, 비용도 상대적으로 저렴하여 중소기업이 이용하기에 적합한 시스템이었다. 이러한 반도체는 중소기업의 기술을 상징했으며, 시장에서 제품을 보호해주는 역할로 작용하기도 했다. 즉, 내 고유의 반도체를 갖기를 원할 수 있었고 그야말로 주문형 반도체였다. 당시를 좀 더 회상하면, 이러한 산업하에서는 매우 다양한 반도체가 중소기업의 주문으로 설계 제작되었으며, 국내의 경우 초창기 팹리스 기업들의 창업 동기가이기도 했다. 물론 지금에 비해 집적도는 매우 낮은 수준이라 할 수 있으나, 아이디어의 구현, 사업화라는 왕성한 생태계가 있었다. 노래방기기, 장난감, 산업용 제어기기, 프린터, 단순한 음원기기 등 반도체의 대상은 매우 다양했다. 이러한 주문형 반도체 시대가 그리운 것은 그 다양성과 생기 때문이다. 반도체가 시장에 도전할 수 있는 방법을 제공해 주었다. 20년이 지난 지금 반도체 공정기술이 발달하고, 설계기술이 진일보하며, IP의 활용으로 그 집적도가 기하학적으로 증가했으나, 개발비의 증가는 오히려 기업활동을 위축시키고, 자본 주도 시장으로 변화해 왔다. 융합의 추세가 IT 기기의 다양성을 위축시키고, 이는 중소기업의 창의성을 위축시키는 결과로 작용하기도 했다. 시장의 기회와 성공의 가능성도 더욱 낮아졌으며, 반도체 생태계도 더욱 위축되었다. 반도체가 중소기업의 시장진입을 막고 있기도 하다.

이제 포스트 스마트폰 시대가 변화의 시발점이 되어 주기를 바란다. 다시 다양성이 존재할 수 있는 시장이 태동하고, 기회도 함께 만들어 줄 것으로 기대한다. 이제 다시 반도체의 생태계에도 창의성이 활발히 움직이고, 다양성이 중심이 되는 모델이 필요할 것으로 예측한다. 과거 주문형 반도체 모델로 돌아갈 수는 없겠지만, 시스템 반도체의 분화를 통해 이를 수용할 수 있는 기술이 필요하다. 스마트폰 시대를 기반으로 한 무한 집적과 융합의 반도체에서, 기능과 필요성에 맞는 적합한 반도체로의 분화를 통해, 시장의 기회를 창출하고, 중소기업의 다양성이 강점이 될 수 있는 그러한 시장으로의 변화를 기대한다.



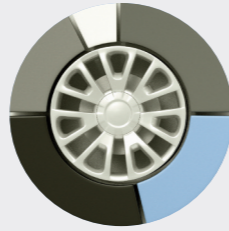
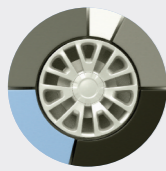
최 종 찬 본부장
전자부품연구원

• 외부 필진 기고의 논조는 IDECA 방향과 다를 수 있습니다.

스테레오 비전 기반 지능형 자동차의

주변 상황 인식 기술

기술 동향 칼럼



최근 자동차 산업은 운전자의 편의와 안전을 요구하는 시장의 흐름을 반영하여 지능화된 자동차에 대한 연구 및 개발이 활발히 진행 중이다. 지능형 자동차는 자동차 기술에 전기/전자, 정보통신, 지능 제어 기술을 접목하여 운전자에게 차량의 주변 상황을 실시간으로 제공하고 능동적으로 차량을 제어하여 운전자의 편의와 안전을 도모하는 자동차를 말한다. 자동차를 제어하는 기술은 안전과 직결되는 만큼 상황에 따른 정확한 제어가 중요하며, 이를 위해서 신뢰도 높은 주변 상황의 인식이 무엇보다 중요하다.



그림1. 스테레오 비전 기반 지능형 자동차의 주변 상황 인식 기술

지능형 자동차의 주변 상황 인식 방법은 내/외부 환경을 감지하는 센서의 종류(레이더, 라이다, 모노 카메라, 스테레오 카메라, 적외선 센서, 초음파 센서 등)에 따라 여러 방식으로 분류된다. 그중 스테레오 비전을 이용한 주변 상황 인식 시스템은 인간이 거리를 인식하는 시각 메커니즘을 활용한 방식으로 운전자의 시각을 중심으로 만들어진 자동차 도로 체계를 활용하는데 가장 효과적인 방식이다.

또한 다른 센서들에 비해 넓은 영역의 거리 인식이 가능하고, 주변 환경 변화에 강인하며, 비용도 저렴하여 상용화에 가장 적합한 시스템이다.

지능형 자동차에서 스테레오 카메라를 활용하여 주변 상황을 인식하는 방법은 좌우 카메라를 통해 입력받은 2차원 영상을 정합(matching)하여 3차원 거리정보영상(depth map)을 생성하는 단계와 생성된 거리 정보를 활용해 물체 및 주변 상황을 인식하는 단계로 나눌 수 있다. 이 과정에서 거리정보영상의 정확도에 따라 주변 상황 인식이 크게 좌우되므로 지능형 자동차에서는 높은 신뢰도를 가지는 거리정보영상을 획득하는 것이 가장 핵심이라 할 수 있다. 그뿐만 아니라 스테레오 카메라를 활용한 주변 상황 인식 방법을 실제 도로 상황에 적용하기 위해서는 주행의 안전을 보장할 수 있는 몇 가지 조건들을 만족해야 한다. 일반적으로 시속 100km의 상한 주행속도를 가지는 고속도로 주행 환경에서 차량 간 안전 거리는 100m이며, 사람이 인식할 수 있는 영상의 초당 프레임 수는 10~12프레임이다. 그에 따라 지능형 자동차에 적용될 주변 상황 인식 시스템은 최소 100m 이상의 거리 정보를 초당 10~12 프레임 이상 처리할 수 있어야 한다[1]. 그뿐만 아니라 차량이 이동함에 따라 조도 변화와 같은 외부환경 변화에도 강인한 특성을 가져야 하며, 동시에 상용화를 위해 소형 모듈화(칩화) 및 저가격화를 이루어야 하는 복합적인 기술적 과제를 안고 있다.

현재 지능형 자동차 개발분야에서 외국 기업의 경우 독일의 Daimler 사는 FPGA 기반 스테레오 카메라 시스템과 레이더 시스템을 함께 사용하여 차량을 능동적으로 제어하는 intelligence drive 기술을 개발하여 최근 출시하는 Mercedes Benz S-class에 탑재하여 출시 하였고[2,3], 일본의 Subaru 사는 스테레오 카메라만 사용한 능동적 차량 제어 시스템인 Eyesight를 2개의 CMOS 카메라

모듈과 전용 ASIC으로 구성하여 실제 차량에 탑재하여 출시하였다[4,5]. 이와 같이, 제품화 기술을 대부분이 FPGA 또는 ASIC 형태의 하드웨어 기반 기술로 구현되어 차량에 탑재되었다. 그런데 이러한 제품화 기술들은 외국 기업 사례들뿐이며, 국내의 기업이 상용화한 제품은 전무한 상태이다.



그림2. Intelligence drive 기술

이에 본고에서는 지능형 자동차의 주변 상황 인식을 위한 스테레오 비전 시스템의 개념과 세부 기술을 소개하고 이를 도로환경에 적용하기 위한 방법에 대해 기술한다.

스테레오 비전 시스템

일반적인 스테레오 비전 시스템은 그림 3과 같은 단계를 거쳐 거리 정보를 획득한다[6].



그림3. 스테레오 비전 시스템의 처리 과정

스테레오 정합은 그림 4와 같이 좌우 영상에서 동일한 점을 찾고, 이러한 좌우 동일점의 시차(disparity)를 이용해 거리정보를 획득한다. 시차는 좌우 영상에서 동일한 점의 거리를 나타내는 것으로, 이러한 시차를 알면 카메라로부터 그 점까지의 거리를 계산할 수 있기 때문에 좌우 영상에서 동일한 점을 찾는 과정이 정합의 핵심과정이 될 수 있다. 이때 영상 전체에 대한 거리정보를 획득하기 위해서는 그림 5와 같은 영역기반 정합 알고리즘을 사용해야 하며, 이 과정에서 동일한 점을 찾는 범위를 최소화하기 위해 렉티피케이션(rectification) 과정을 수행한다[7]. 렉티피케이션을 위해서는 먼저 카메라의 내/외부 파라미터를 추출하는 카메라 캘리브레이션(calibration) 과정이 수행되어야 하며, 일반적인 스테레오 비전 시스템은 카메라가 고정된 형태이기 때문에 캘리브레이션 과정은 최초에 한 번만 수행되면 된다. 렉티피케이션 및 정합을 통해 획득된 최초의 3차원 거리정보영상은 필터링 등의 후처리 과정을 거쳐 최종적인 3차원 거리정보영상으로 생성된다.

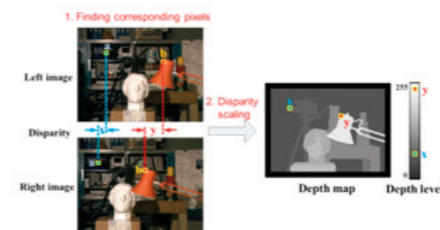


그림4. 3차원 거리정보영상 획득 과정

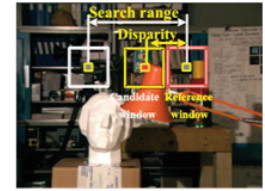
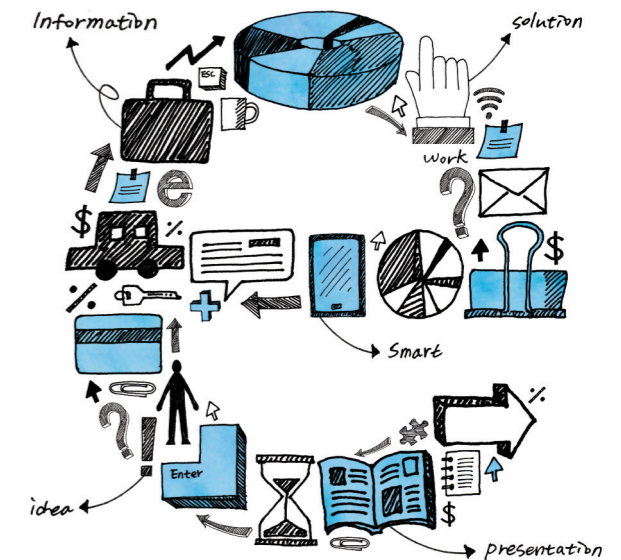


그림5. 영역기반 정합 방법

지능형 자동차의 스테레오 비전 시스템

지능형 자동차의 주변 상황 인식을 위한 스테레오 비전 시스템은 다음의 특성을 가져야 한다. 먼저 돌발상황에 신속하게 대처할 수 있도록 차량 간 안전거리 내의 모든 공간에 대한 거리정보를 실시간으로 획득할 수 있어야 하고, 조명, 도로 특성 등 외부 환경 변화에 강인한 정합 성능을 보여야 한다. 이를 위해서는 도로 환경에서의 스테레오 정합에 적합한 카메라와 렌즈의 선택과 정합을 위한 알고리즘의 선택이 중요하다. 정합 알고리즘은 실시간 성능 구현을 위해 정합 과정이 간단하면서도 정합률이 높아야 하며, 조명 변화에 강인한 특성을 가져야 한다.

그림 6은 조명 변화에 강인하며 정합 과정이 비교적 간단한 census transform을 변형하여 정합률 을 높은 알고리즘을 사용하여 거리 정보를 추출하는 과정을 나타낸다. 먼저 입력된 좌/우 영상을 렉티피케이션 과정을 거쳐 에피폴라 라인(epipolar line)을 일치시킨 후 sparse window 기법과 ASW(Adaptive Support Weight) 기법을 적용하기 위해 윈도우 내 support weight를 생성하고, 선택된 픽셀들에 대해 서브윈도우를 설정하고 sparse window 연산을 수행한다. 그와 동시에 윈도우 내의 선택된 픽셀들에 대해 support weight 값을 생성한 후 코스트(cost)를 계산한다. 그리고 시차 범위 내의 모든 윈도우 중 최대 정합점을 찾고 그때의 시차를 최종 거리(depth)로 출력한다.



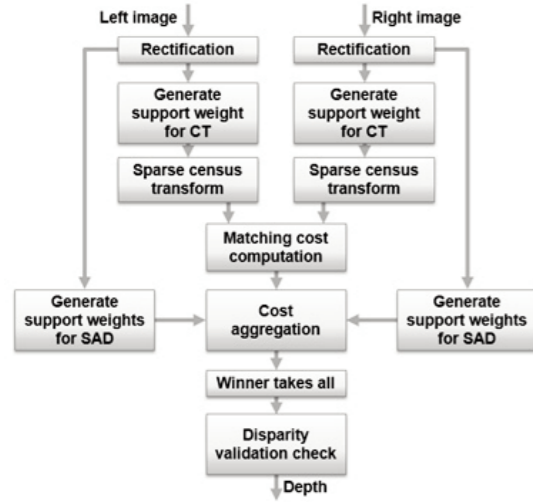


그림6. 변형된 census transform 알고리즘 기반 거리 정보 추출 과정

렉티피케이션

렉티피케이션 과정은 좌우 스테레오 카메라로부터 획득한 영상의 에피폴라 라인을 가로축과 평행하게 만드는 과정으로 스테레오 정합 시에 대응점을 가로축 선상에서 찾을 수 있게 하여 대응점 탐색 시간을 줄여주는 역할을 한다[8]. 그림 7은 좌/우 스테레오 카메라와 대응점 간의 상관관계를 나타내는 그림이다. 에피폴라(epipole)는 이미지 공간과 카메라 베이스 라인이 교차하는 점을 나타내며, 대응점과 에피폴라를 연결한 선을 에피폴라 라인이라 한다. 이러한 에피폴라 라인을 가로축으로 일치시키게 되면 좌우 영상의 대응하는 점들의 세로축 좌표가 일치하게 되어 탐색 범위가 줄어들게 된다.

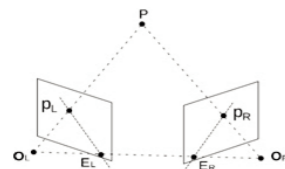


그림7. 에피폴라 기하학

Census transform

영역기반 정합 알고리즘인 census transform은 윈도우 내의 픽셀 간의 상관도(correlation)를 비교하여 정합 점을 찾는 알고리즘이다 [6]. 때문에 픽셀 값 자체를 시차 추정에 사용하는 차 기반(difference-based: SAD, SSD, etc.....) 정합 알고리즘과 비교하여 영상의 조명 변화에 강인한 특성을 가진다. Census transform 알고리즘은 그림 8과 같이 수식 1을 사용하여 좌우 윈도우 내의 중심이 되는 픽셀과 나머지 픽셀의 크기를 비교하여 좌/우 윈도우의 HW(hamming weight)를 생성한 후, 서로 비교하여 최종 코스트인 HD(hamming distance)를 계산한다. 위 과정을 통해 생성된 HD는 좌/우 윈도우의 상관도가 낮음을 뜻하는 비유사성(dissimilarity)을 나타내는 값으로, 시차 추정 범위 내에서 HD 값이 가장 작은 지점을 최대 정합 점으로 정한다.

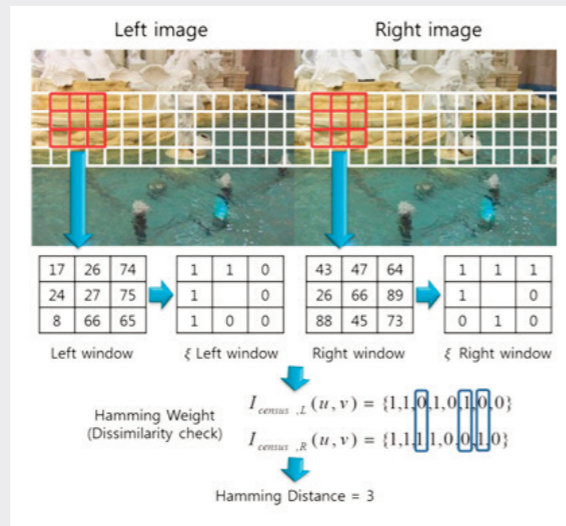


그림8. Census transform의 코스트 연산 과정

$$1) \text{census}(p) = \otimes_{q \in N_p} \xi(p, q)$$

$$2) \xi(p, q) = \begin{cases} 0, & p \leq q \\ 1, & p > q \end{cases}$$

ASW(Adaptive Support Weight)

ASW 기법을 적용한 census transform은 기존의 census transform 알고리즘을 통해 계산한 HD를 최종 코스트로 사용하지 않고 수식 3을 사용하여 최종 코스트를 계산하는 기법이다[9]. 수식 3에서 $e(q, qd)$ 는 각 픽셀 위치에서의 서브윈도우(sub-window)를 사용한 HD를 사용하며, ω 는 픽셀 값 차이의 절대치를 이용하여 생성되는 가중치로서 support weight라 한다.

$$3) \text{cost}(p) = \frac{\sum_{q \in N_p, q_d \in N_{p,d}} \omega(p, q) \omega(p_d, q_d) e(p, q)}{\sum_{q \in N_p, q_d \in N_{p,d}} \omega(p, q) \omega(p_d, q_d)}$$

ASW 기법은 윈도우 내에 모든 픽셀에 대해 같은 가중치를 두지 않고, 픽셀들의 위치에 따라 서로 다른 가중치를 두는 방법이다. 픽셀 값의 차이가 크면 유사도가 낮다고 보고 값을 낮게 설정하고, 픽셀 값의 차이가 작으면 유사도가 높다고 보고 값을 높게 설정한다. 이 같은 방법을 통해 픽셀 값 차이에 따라 각 픽셀이 가지는 코스트의 가중치를 다르게 함으로써 더욱 정확한 거리 정보를 추출할 수 있다.

Sparse window

위와 같이 ASW를 적용한 census transform의 경우, 윈도우 크기가 클수록, 그리고 $e(q, qd)$ 값을 구하기 위한 서브윈도우가 크면 클수록 연산량이 기하급수적으로 증가한다. 이러한 사실은 지능형 자동차의 주변 상황 인식의 실시간 성능 구현에 큰 장애가 된다.

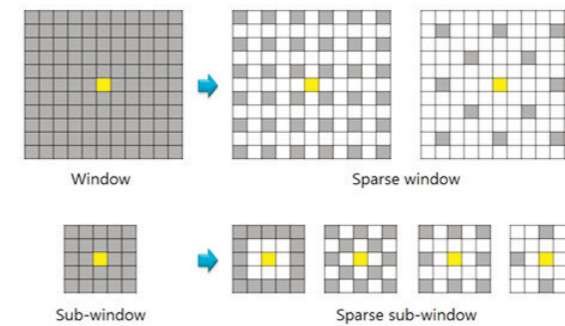


그림9. Sparse window 기법을 적용한 윈도우와 서브윈도우

Sparse window 기법은 그림 9와 같이 윈도우 및 서브윈도우 내 모든 픽셀을 사용하지 않고, 선택적으로 몇 개의 픽셀만 연산에 사용하는 방법이다[10]. 이때 연산에 사용되는 픽셀의 개수를 줄이는 것이 거리 정밀도를 약화시키는 영향을 줄 수 있는데, ASW 기법을 적용함으로써 그 영향을 최소화할 수 있다. 그러나 윈도우 내에서 사용하는 픽셀의 개수, 픽셀의 위치, 서브윈도우에서 사용하는 픽셀의 개수, 픽셀의 위치 등에 따라 정합 정확도는 다르게 나타날 수 있으므로 실험을 통해 최적의 조건을 찾아내는 연구가 필요하다.

결론

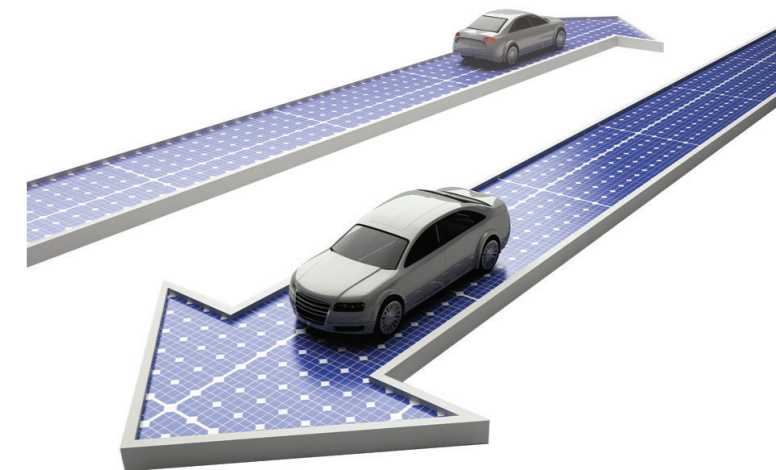
스테레오 비전 기술은 오랜 시간 동안 지속해서 연구되어 온 기술로서 이미 높은 기술수준에 도달해 있고, 연구의 가치가 점점 떨어져 가는 기술로 여겨졌다. 하지만 스테레오 비전 기술이 지능형 로봇, 지능형 자동차 등에 접목되면서 다시 한 번 그 기술의 중요성이 부각되고 있고, 많은 기업이 연구 및 개발에 매진하고 있다. 이미 해외 유명 자동차 기업들은 레이더/라이다 기술과 스테레오 비전을 함께 사용한 차량 제어 시스템을 실제 양산 차량에 탑재하여 상용화하고 있으며, 스테레오 비전만을 사용한 차량 제어 시스템까지 등장하고 있다. 그에 반해 국내의 지능형 자동차를 위한 주변 상황 인식 기술은 해외보다 많이 뒤쳐진 것이 사실이다. 그러나 국내의 자동차 기업 역시 기술의 필요성을 느끼고 상용화 제품 생산을 위해 노력하고 있으며 국내 대학 및 연구소에서도 스테레오 비전을 기반으로 한 주변 상황 인식 기술의 연구를 수행하고 있다. 국내 자동차 산업의 발전을 위해서는 지능형 자동차에 대한 연구가 필수가 되었으며, 기술 선도를 위해 주변 상황 인식을 위한 원천 기술 개발 및 특허 확보가 필요하다.

참고문헌

- 1) P. Read, M. P. Meyer, "Restoration of motion picture film," Conservation and Museology, Butterworth-Heinemann, pp. 24-26, September 2000.
- 2) S. Gehrig, F. Eberli, and T. Meyer, "A real-time low-power stereo vision engine using semi-global matching," In International Conference on Computer Vision Systems, Liege, Belgium, October 2009.
- 3) <http://www.iautocar.co.kr/news/articleView.html?idxno=1178>
- 4) <http://monoistatmarkt.co.jp/mn/articles/0809/01/news133.html>
- 5) http://monoistatmarkt.co.jp/mn/articles/0809/01/news133_2.html
- 6) M. Humenberger, C. Zinner, M. Weber, W. Kubinger, and M. Vincze, "A Fast Stereo Matching Algorithm Suitable for Embedded Real-time Systems," Comput. Vis. Image. Und. 114, pp. 1180-1202, March 2010.
- 7) M. Iqbal, F. Meriaudeau, and O. Morel, "Image Processing and Pattern Recognition," International Journal of Signal Processing, 4, 3, 2011.
- 8) R. Hartley and Z. Andrew, "Multiple view geometry in computer vision," Cambridge University Press, Cambridge 2003.
- 9) S. Perri, P. Corsonello, and G. Cocorullo, "Adaptive Census Transform: A novel hardware-oriented stereo vision algorithm," Comput. Vis. Image Underst., vol. 117, pp. 29-41, 2013.
- 10) W. S. Fife and J. K. Archibald, "Improved Census Transforms for Resource-Optimized Stereo Vision," Circuits and Systems for Video Technology, IEEE Transactions on, vol. 23, pp. 60-73, 2013.



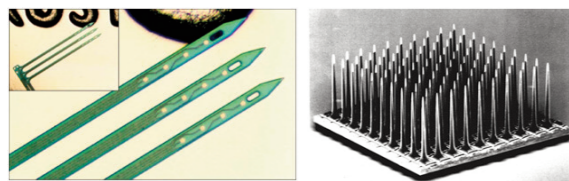
문병인 교수
 소속 : 서울대학교 전기정보공학부
 연구분야 : Computer Architectures, Code Analysis and Optimizations, Hardware-assisted System Security
 E-mail : ypaek@snu.ac.kr
 Homepage : http://sor.snu.ac.kr





생체 삽입형 다채널 뇌신호 측정을 위한 초저전력 프런트-엔드 설계 기술

1929년 최초로 두피를 통하여 전해지는 뇌 신호인 EEG(electroencephalogram) 신호의 비침습적 측정이 환자에게 행하여진 이래로[1], 1935년에는 난치성간질 환자와 중양 환자를 위한 수술 중 침습형 표면 전극을 이용하여 환자의 뇌 피질에서 ECoG(Electrocorticogram) 신호를 처음으로 측정하였으며[2], 1941년에는 파킨슨 병(Parkinson's Disease)을 앓고 있는 환자의 기저핵(basal ganglia) 부위에 있는 미상핵(caudate nucleus) 구조에 바늘 형태의 삽입 전극을 이용하여 최초로 LFP(local field potential)신호와 AP(action potential)신호를 측정하기에 이르렀다[3]. 그 후 정위적(stereotactic) 수술 기법과 미세전극(microelectrode) 제조 기술의 발달로 침습적 뇌 신호의 측정이 보다 용이해지면서 수많은 동물 실험을 통해서도 물론, 파킨슨 병 및 본태성진전증(essential tremor)과 같은 심각한 행동 장애를 앓는 환자들과 난치성 간질로 고생하는 환자들을 위한 수술의 과정에서 침습적 뇌 신호 측정이 빈번하게 행하여져 왔다.



(가) (나)

그림 1. 삽입형 미세 전극 배열:
(가)미시건 전극 배열, (나)유타 전극 배열

초기에는 단일 혹은 소수의 삽입형 전극으로부터 매우 제한적인 정보만을 얻을 수 있었으나, 1950년대에 이르러 미세 도선 전극 배열(microwire electrode array)이 수작업에 의해 제조되기 시작하면서 수십 개에 이르는 다수의 전극으로부터 침습적 뇌 신호를 측정할 수 있는 길이 열리게 되었다. 그러던 중, 1960년대에 이르러 반도체 공정 기법을 미세 기계 구조의 제조에 활용하는 MEMS(micro-electromechanical system, 미세 전자 기계 시스템)기술이 제안되고 연구되기 시작하면서, 1970년대에는 MEMS기술을 활용한 삽입형 미세 전극 배열(microelectrode array)이 미국 미시건 대학(University of Michigan, Ann Arbor)의 연구진에 의해 최초로 개발되었다[4]. 1980년대와 1990년대에 걸쳐 이러한 MEMS 기반 미세 전극 배열의 설계와 구현에 대한 연구와 개발이 진행된 결과, 기존의 수제작된 전극 배열들이 가지는 전극의 크기 및 개수, 제작 효율 및 재현성 등의 한계를 벗어나 더욱 작은 크기의 전극들을 더 많이 집적한 고밀도의 미세 전극 배열들이 등장하게 되었다. 그 중에서도 미시건 대학에서 개발된 미시건 전극 배열[5](Michigan electrode array, 그림 1-가)과 유타 대학(University of Utah)에서 개발된 유타 전극 배열[6](Utah electrode array, 그림 1-나)이 상용화 되어 널리 사용되고 있다.

이와 같은 삽입형 미세 전극 배열의 발전에 힘입어, 오늘날에는 단일 신경 세포 수준의 신호 측정(single unit recording)이 가능해졌으며, 수십 혹은 수백 개의 전극을 통해 많은 수의 신경 세포들로부터 동시에 신호를 측정할 수 있게 되었다. 이를 토대로 뇌 과학 및 뇌 의료 분야에서 활발한 연구가 행하여지고 있으며, 커다란 진전을 이루어가고 있다. 정상적인 뇌는 물론 병변을 가지는 뇌에 있어 그 신경 회로의 동작 원리를 밝히는 근원적 연구가 진행되는 한편, 최

근에는 거동이 불편한 환자의 뇌 신경 신호를 침습적 방법으로 측정하여 그 신호를 처리하고 분석함으로써 로봇 팔이나 전동 휠체어와 같은 기기들을 환자의 의지대로 조종하고 제어하고자 하는 시도들이 성공적으로 이루어지면서(그림 2), 특히 중증의 신체 마비 환자들에게 커다란 가능성을 제시하고 있다.



그림 2. 침습적 뇌 신호 측정 및 분석을 통한 로봇 팔의 제어[7]

생체 삽입형 뇌신호 측정 시스템

동물이나 인간의 뇌에 삽입된 미세 전극 배열로부터 신경 신호를 측정하여 활용하기 위해서는 전극에 의해 감지된 미약한 전기 신호를 증폭하고 필요한 대역의 신호만을 추출하며 디지털 형태의 신호로 변환하여 디지털 영역에서의 신호 처리 및 분석을 할 수 있도록 하는 전자 회로의 역할이 매우 중요하다. 기존에는 미세 전극 배열에 존재하는 각각의 전극마다 연결된 수많은 아날로그 연결선들을 통해 실험실용 뇌 신호 측정 장비까지 감지된 신경 신호를 전달하는 방식이 사용되었으나, 각종 잡음이나 간섭에 의해 미약한 아날로그 형태의 뇌 신호가 쉽게 훼손되는 문제를 가지고 있었다. 마지막으로 인한 수면 중에 있는 동물이 아닌 깨어 움직이는 동물을 이용하여 실험을 하는 경우, 동물의 운동과 연결선의 움직임에 의해 신호 결함이 더욱 심각해지며, 특히 의료 기기의 목적으로 사용하고자 하는 경우에는 피부를 통해 외부 기기와 연결되는 선들은 환자에게 감염의 위험성을 야기할 뿐만 아니라, 환자가 선을 통해 장비에 연결되어 있으므로 실험실을 벗어난 실 생활에서의 활용을 불가능하게 한다. 따라서 이러한 문제들을 해결하기 위해 침습적 뇌 신호 측정에 필요한 모든 회로들을 미세 전극 배열과 함께 체내에 완전히 삽입할 수 있는 기술들이 개발되어 오고 있다[8]-[10].

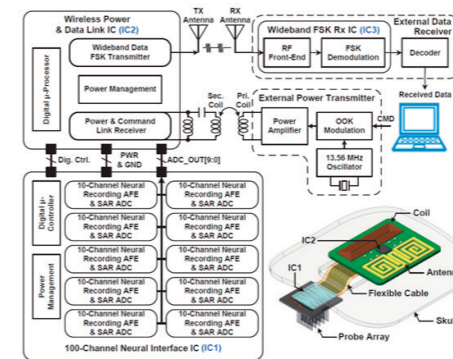


그림 3. 완전 생체 삽입형 뇌 신호 측정 시스템[10]

그림 3에서 보듯이 완전 생체 삽입형 뇌 신호 측정 시스템은 미세 전극 배열에 의해 감지된 신경 신호를 증폭하고 필요한 대역 외의 잡음 및 신호를 여과(filtering)하는 아날로그 프런트-엔드(front-end) 회로, 이렇게 다듬어진 아날로그 신호를 디지털 형태로 변환하는 아날로그-디지털 변환(analog-to-digital conversion) 회로, 디지털 형태의 뇌 신호를 처리하는 신호 처리(signal processing) 회로, 무선 통신을 통해 뇌 신호를 체외로 전달하는 무선 데이터 송신 회로, 체외로부터 무선의 형태로 전원 전력을 공급받아 각종 회로들에서 직접 사용 가능한 형태로 변환하여 전달하는 무선 전력 수신 및 변환 회로, 체외로부터 간단한 명령을 받아 체내의 회로들을 제어할 수 있도록 하는 무선 명령 수신 및 제어 회로 등으로 이루어진다. 여기서는 생체 삽입형 뇌 신호 측정 시스템에서 필요로 하는 여러 가지 회로들 중, 미세 전극 배열이 감지하는 신경 신호를 가장 앞 단에서 다루는 프런트-엔드 설계 기술을 보다 자세히 살펴 보기로 한다.

생체 삽입형 뇌신호 측정 프런트-엔드

뇌 신호 측정 프런트-엔드 회로는 미세 전극 배열과 연결되어 각각의 전극을 통해 감지된 미약한 신경 신호들을 직접 다루게 된다. 프런트-엔드 회로에서의 일반적인 신호 처리 과정을 살펴 보면, 전극에서 나온 신호는 가장 먼저 저잡음 증폭기(LNA, low-noise amplifier)에 의해 증폭되고, 이어서 입력 신호가 작을 때는 큰 전압 이득으로, 신호가 클 때는 작은 이득으로 증폭하는 가변 이득 증폭기(VGA, variable gain)에 의한 증폭이 다시 한 번 이루어짐으로써, 측정 시스템이 다룰 수 있는 신호의 동적 범위(dynamic range)를 확장하게 된다. 한편, 이렇게 신호가 증폭되는 과정에서 증폭기 자체가 가지는 주파수 여과 특성을 이용하거나 별도의 저주파-통과(low-pass) 및 고주파-통과(high-pass) 여과기(filter)들을 더함으로써 뇌 신호에 해당하는 주파수 대역 바깥에 존재하는 잡음이나 다른 신호들은 제거하게 된다. 이렇게 처리된 아날로그 형태의 신경 신호는 아날로그-디지털 변환기를 통하여 디지털 형태로 변환이 되는데, 이 변환기의 맨 앞에 있는 샘플-앤-홀드(sample-and-hold) 회로를 충분히 구동할 수 있도록, 아날로그 프런트-엔드 회로의 마지막에는 완충기(buffer)가 자리하게 된다.

이처럼 프런트-엔드 회로는 신경 신호를 직접 받아 중요한 아날로그 영역 처리 기능들을 가장 먼저 수행하므로, 그 성능이 측정 시스템 전체의 성능을 좌우하게 된다. 한편, 더 많은 수의 신경 세포들로부터 더욱 풍부한 정보를 획득하기 위해 미세 전극 배열의 전극 수와 밀도가 증가함에 따라 프런트-엔드 회로의 채널 수와 밀도도 함께 증가하여야 한다. 따라서, 생체 삽입형 뇌 신호 측정 프런트-엔드 회로의 설계는 날이 갈수록 더욱 중요해질 뿐만 아니라 더욱 어려워지고 있다.



뇌 신호의 특성과 프런트-엔드설계 요구 사항

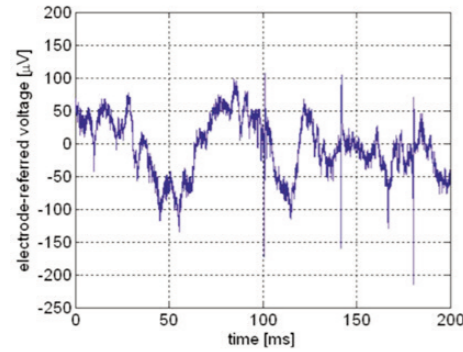


그림 4. 침습적 방식으로 측정된 전형적인 뇌 신호[11]

뇌 신호 측정 프런트-엔드 회로의 설계 기법을 소개하기에 앞서, 생체 삽입형 미세 전극에 의하여 감지되는 침습적 측정 시의 뇌 신호 특성과 그에 따른 설계 요구 사항들에 관하여 알아볼 필요가 있다. 그림 4에서 보듯이 침습적 측정으로 얻어지는 뇌 신호는 neural spike이라고도 불리는 AP 신호와 특정 뇌 영역에 있는 다수의 신경 세포들이 동기화된 활동을 함으로써 발생하는 LFP 신호를 모두 포함하고 있다. 전극에서 감지되는 AP 신호는 보통 수십 μ V에서 수백 μ V 정도의 크기와 0.3 ms에서 1.0 ms가량의 지속 시간(duration), 그리고 수 Hz에서 수십 Hz 범위의 발화 속도(firing rate)를 갖는 양위상(biphasic) spike 신호 형태를 띠며, 주파수 영역에서는 300 Hz에서 5 kHz 대역에 걸쳐 대부분의 신호 에너지가 존재한다. 한편 LFP 신호는 두피 표면에서 비침습적으로 측정할 수 있는 EEG 신호의 생체 내 근원 신호로서, EEG 신호는 LFP 신호가 두부의 여러 조직들을 통과하면서 신호 크기의 현저한 감쇄와 공간적 해상도의 상실을 겪은 후 나타나는 신호라고 볼 수 있다. LFP 신호는 보통 100 μ V에서 수mV 정도의 진폭을 가지며, 200 Hz 이하의 주파수 대역에 나타난다.



이러한 특성들을 갖는 뇌 신호를 성공적으로 측정해내기 위해 프런트-엔드 회로는 다음과 같은 설계 요건들을 충족시켜야 한다[11].

① 수십 μ V크기의 아주 작은 spike신호를 측정할 수 있도록 매우 낮은 입력 잡음 특성을 가져야 하고,

② 이와 동시에수백 μ V에 이르는 큰 spike 신호나 수 mV의 크기를 갖기도 하는 LFP 신호도 측정할 수 있도록 충분히 큰 동적 범위를 확보해야 함은 물론,

③ 침습적으로 측정되는 뇌 신호가 주로 존재하는 주파수 대역의 신호들은 모두 증폭하면서, 대역 외의 잡음 및 다른 신호들은 여과할 수 있어야 한다.

④ 또한, 회로 입력 단에서의 신호 감쇄를 최소화 하기 위해, 전극-조직 인터페이스(electrode-tissue interface)의 임피던스보다 회로의 입력 임피던스가 훨씬 크도록 설계되어야 하며,

⑤ 전극-조직 인터페이스에 존재하는 직류 offset에 의하여 회로가 포화되는 것을 피하기 위해서는, 회로 입력에 들어오는 직류 성분을 효과적으로 막을 수 있도록 설계되어야 한다.

⑥ 뿐만 아니라, 50/60 Hz 전력선 잡음 등에 의한 간섭을 최소화 하기 위해, 높은 공통 모드 제거 비(common-mode rejection ratio)를 가져야 하고,

⑦ 특히 무선으로 전력이 공급되는 상황에서는 전원에 상당한 변화 및 잡음이 있을 수 있으므로 충분한 전원 제거 비(supply rejection ratio)를 갖도록 설계되어야 하며,

⑧ 인접하여 구현된 채널 간의 간섭 또한 최소화 되어야 한다.

⑨ 생체 내에 삽입되어야 하므로 소모하는 전력에 의해 열이 발생하여 주위에 있는 조직들의 온도가상승하지 않도록 아주 낮은 전력만으로 동작할 수 있어야 하고,

⑩ 삽입을 위한 수술의 침습도를 가능한 한 낮추기 위해, 되도록 작은 면적 안에 구현되어야 하며, 필요한 외부 부품의 수도 최소화 하여야 한다.

프런트-엔드설계 기술 동향

생체 삽입형 뇌 신호 측정 프런트-엔드 회로의 맨 앞에는 저잡음 신경 신호 증폭기(low-noise neural amplifier)가 위치하여 잡음에 의한 훼손을 최소화 하면서 미약한 뇌 신호를 다루기 적절한 크기의 신호로 증폭하는 역할을 한다. 그림 5에 보인 회로는 현재 생체 삽입형저잡음 신경 신호 증폭기로 가장 널리 쓰이고 있는 회로로서, 앞서 설명한 대부분의 설계 요건들을 상당 수준 만족시킨다. 기본적으로 몇 개의 커패시터들과OTA(operational transconductance amplifier)로 구성되며, 전압 이득은 C1과 C2의 비에 의하여 결정되며, C1은 입력 신호의 직류 성분을 차단함으로써 전극-조직 인터페이스에 존재하는 직류 offset에 의한 증폭기의 포화를 막아 준다. C2와 병렬로 연결된 트랜지스터들은 깊은 subthreshold영역

에서 수백 G Ω 에서 수 T Ω 에 이르는 큰 저항과 같이 동작하여 유사 저항(pseudoresistor)이라고도 하며, OTA 입력 노드의DC 전압을 안정화시키는 한편, C2와 함께 고주파-통과 여과 특성의 저주파 차단 주파수(cutoff frequency)를 정의하는 역할을 한다. 이처럼 큰 유사 저항과 수백 fF정도 크기의 C2를 사용하면 1 Hz 미만의 아주 낮은 차단 주파수를 얻을 수 있다. 따라서 외장 부품 없이도 직류 신호는 차단하는 한편LFP 신호가 존재하는 아주 낮은 주파수 대역의 신호들은 받아들이는 저잡음 증폭기를 구현할 수 있어, 다채널의 프런트-엔드 회로를 생체 삽입에 적합한 작은 크기로 집적하는데 장점을 가진다. 또한, 간단한 회로 구조로 인해 낮은 전력을 소모하면서도 필요한수준의 저잡음 특성을 구현할 수 있다.

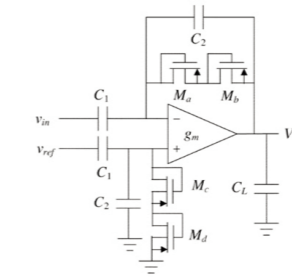


그림 5. 생체 삽입형저잡음 신경 신호 증폭기[12]

[9]에서는 그림 5의 회로를 5.1 μ Vrms의 입력 잡음 특성을 갖도록 설계하여, 100개의 전극에서 감지되는 신경 신호를 증폭하고 처리하며, 디지털 변환 후 무선으로 송신할 수 있는 칩을 구현하였다. 하지만 프런트-엔드 회로는 아날로그-디지털 변환기를 제외하고도 채널 당 약 42 μ W의 높은 전력을 소모하는데다가, 100개의 채널 중 선택된 하나의 채널에서 감지된 뇌 신호 파형만을 디지털로 변환하여 송신할 수 있는 한계를 가졌다. [13]에서는 비슷한 형태의 저잡음 신경 신호 증폭기를 사용하여 128 채널의 뇌 신호를 모두 디지털로 변환 후 무선으로 송신하는 칩을 개발하였다. 모든 채널의 신호파형을 디지털로 변환하면서도 많은 수의 아날로그-디지털 변환기들에 의한 면적 및 전력의 과다 소모를 피하기 위해, 그림 6에 보인 바와 같이 16 채널마다 하나의 아날로그-디지털 변환기를 사용하였는데, 채널 별 회로에 의해 증폭 및 여과를 거친 16 채널의 신호들이 16:1 아날로그 멀티플렉서(multiplexer)를 통해 하나의 변환기에 순차적으로 연결되는 구조로 설계되었다. 하지만 그렇게 함으로써 아날로그-디지털 변환기가 각 채널의 신호를 샘플링 하기 위해 사용할 수 있는 시간이 크게 줄어들면서 변환기 바로 앞 단계 위치한 증폭 회로의 구동 능력을 충분히 크게 하여야 하므로 수십 μ W수준의 높은 전력 소모를 필요로 하게 된다. 따라서, 전체 128 채널 프런트-엔드 회로에서 소모하는 총 전력은 4.3 mW로 여전히 높은 수준이며, 입력 잡음 특성은 4.9 μ Vrms를 얻었다.

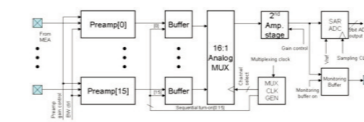


그림 6. 아날로그 멀티플렉서를 이용한 다채널 프런트-엔드 회로 구조[13]



이상과 같은 문제를 해결하기 위해 [14]에서는 그림 7에 보인 이중 샘플-앤-홀드(dual sample-and-hold) 기술을 제안하여 100 채널 프런트-엔드 칩에 적용하였는데, 이 기술은 여러 채널의 신호들을 아날로그 멀티플렉서를 통해 하나의 변환기에 순차적으로 연결하는 구조에서 두 개의 샘플-앤-홀드 회로를 사용하여 하나의 회로가 샘플링을 할 때, 다른 하나는 아날로그-디지털 변환 동작을 위해 샘플링 된 신호를 홀드 하는 방식으로 동작함으로써, 충분한 샘플링 시간을 확보할 수 있도록 해준다. 따라서, 4 μ Vrms의 저잡음 특성을 갖도록 하면서도 아날로그-디지털 변환기를 포함한 100 채널 프런트-엔드 칩의 총 전력 소모를 1.16 mW까지 크게 낮출 수 있었다.

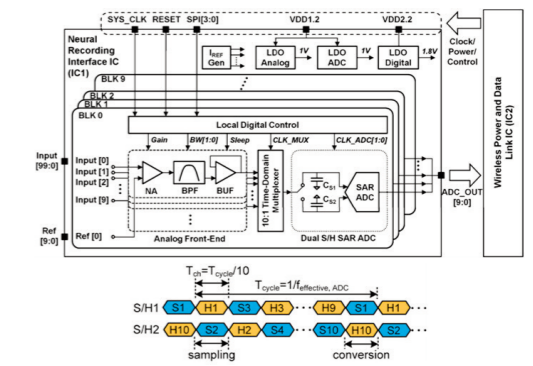


그림 7. 이중 샘플-앤-홀드 기술을 이용한 다채널 프런트-엔드 회로 구조[14]

이에 더해, [15]에서는 필요한 성능을 얻으면서도 전력 소모를 더욱 낮추기 위해 그림 8에 보인 바와 같이 이중 전원 전압(dual supply voltage) 구조를 사용하였는데, 저잡음 특성을 위해 소모 전류를 줄이는 것은 한계가 있지만 낮은 전압에서 동작시킬 수 있는 저잡음 증폭기를 위해서는 아주 낮은 전원 전압을 사용하고, 앞 단에서 이미 증폭된 신호로 인해 동작 전압은 낮추기 힘들지만 소모 전류는 매우 낮은 가변 이득 증폭기를 위해서는 보통의 전원 전압을 사용하였으며, 아날로그-디지털 변환기도 저잡음 증폭기와 같이 매우 낮은 전원 전압을 사용함으로써 전력 소모를 크게 줄였다. 이 때, 가변 이득 증폭기의 출력과 아날로그-디지털 변환기의 입력 간 전압 범위가 맞지 않는 문제가 생기는데, 동적 범위 폴딩(dynamic range folding)이라는 새로운 기술을 개발하여 적용함으로써 아날로그-디지털 변환 시 가장 큰 자리 수를 결정하는 과정에서 상이한 동적 범위를 저절로 맞추어 줄 수 있도록 하였다. 이와 같은 기술들을 적용함으로써, 3.2 μ Vrms의 저잡음 특성과 충분한 동적 범위를 확보하면서도 채널 당 730 nW 만을 소모할 수 있도록 설계하여, 총 전력 소모가 약 70 μ W에 불과한100 채널 프런트-엔드 칩을 구현하였다.

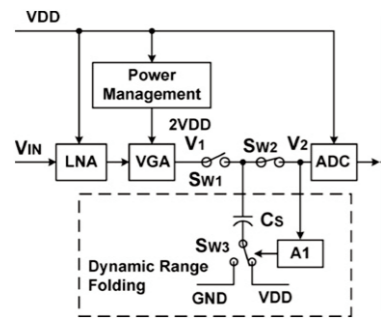


그림 8. 이중 전원 전압 구조와 동적 범위 폴딩 기술을 적용한 프런트-엔드 회로[14]

최근에는 다채널 뇌 신호 측정 프런트-엔드 회로 자체의 성능을 향상시키고 전력 소모를 줄이는 노력은 물론이고, 전체의 뇌 신호 중 spike 파형과 같이 유용한 정보가 있는 부분만을 감지하여 선택적으로 측정하는 기술을 개발하여, 처리하고 송신해야 하는 데이터 양을 최소화 함으로써 전체 측정 시스템의 전력 소모를 크게 줄이고자 하는 연구도 활발히 진행되고 있다[16],[17].

기술의 응용과 미래

생체 삽입형 뇌 신호 측정 프런트-엔드 회로 기술의 끊임없는 혁신을 통해 이미 채널 당 1 μW 미만의 전력만을 소모하면서도 요구되는 측정 성능을 충족하는 다채널 뇌 신호 측정 프런트-엔드 칩의 구현이 가능해졌다. 이러한 회로 기술의 발전과 미세 전극 배열 제조 기술의 발전에 힘입어 앞으로는 수천 수만 개, 혹은 그 이상의 무수히 많은 신경 세포들로부터 신호를 읽어내는 것이 가능해질 것이며, 이는 미지의 대상인 인간의 뇌를 연구하고 이해하는데 없어서는 안 될 중요한 도구로서 사용될 것이다. 또한 현재 널리 사용되고 있는 뇌 심부자극기(deep brain stimulator)를 비롯한 각종 신경 조절기(neuromodulator)에 뇌 신호 측정 시스템이 함께 적용되면, 기존의 일방적인 자극 방식의 자극기가 아닌 측정된 뇌 신호에 기반한 차세대 폐루프(closed-loop) 자극기의 구현이 가능해지므로, 각종 뇌 질환 및 신경 질환으로 고통 받는 환자들에게 안전하고 효과적인 의료 기기를 제공할 수 있게 될 것이다. 더 나아가 인간의 생각만으로 각종 기기들을 원하는 대로 제어할 수 있게 되는 미래도 불가능한 꿈만은 아닐지도 모른다.



제민규 교수
 소속 : DGIST (대구경북과학기술원)
 연구분야 : Microsystem Integration (biomedical devices, wireless sensor nodes, wearables), Smart sensor interface IC solutions, Low-power wireless IC solutions
 E-mail : minkyu.je@dgist.ac.kr
 Homepage : <https://sites.google.com/site/dgistimpacklab/>

참고문헌

[1] H. Berger, "Über das Elektrenkephalogramm des Menschen," Archiv für Psychiatrie und Nervenkrankheiten, vol. 87, pp. 527-570, April 1929.

[2] O. Foerster, H. Altenburger, "Elektrobiologische Vorgänge an der menschlichen Hirnrinde," Deutsch Zschr Nervenheilk, vol. 135, pp. 277-288, Sept. 1934.

[3] R. Meyers, "Surgical Interruption of the Pallidofugal Fibres, Its Effects on the Syndrome of Paralysis Agitans and Technical Considerations in Its Application," New York State Journal of Medicine, vol. 42, pp. 317-325, 1942.

[4] K. D. Wise, J.B. Angell, A. Starr, "An Integrated-Circuit Approach to Extracellular Microelectrodes," IEEE Transactions on Biomedical Engineering, vol. BME-17, pp. 238-247, July 1970.

[5] K. D. Wise, "Silicon Microsystems for Neuroscience and Neural Prostheses," IEEE Engineering in Medicine and Biology Magazine, vol. 24, pp. 22-29, Sept.-Oct. 2005.

[6] R. A. Normann, B. Greger, P. House, S. F. Romero, F. Pelayo, E. Fernandez, "Toward the Development of a Cortically Based Visual Neuroprosthesis," Journal of Neural Engineering, vol. 6, 035001, June 2009.

[7] L. R. Hochberg, D. Bacher, B. Jarosiewicz, N. Y. Masse, J. D. Simeral, J. Vogel, S. Haddadin, J. Liu, S. S. Cash, P. van der Smagt, J. P. Donoghue, "Reach and Grasp by People with Tetraplegia Using a Neurally Controlled Robotic Arm," Nature, vol. 485, pp. 372-375, May 2012.

[8] K. D. Wise, D. J. Anderson, J. F. Hetke, D. R. Kipke, K. Najafi, "Wireless Implantable Microsystems: High-Density Electronic Interfaces to the Nervous System," Proceedings of the IEEE, vol. 92, pp. 76-97, Jan. 2004.

[9] R. R. Harrison, P. T. Watkins, R. J. Kier, R. O. Lovejoy, D. J. Black, B. Greger, F. Solzbacher, "A Low-Power Integrated Circuit for a Wireless 100-Electrode Neural Recording System," IEEE Journal of Solid-State Circuits, vol. 42, pp. 123-133, Jan. 2007.

[10] K.-W. Cheng, X. Zou, J. H. Cheong, R.-F. Xue, Z. Chen, L. Yao, H.-K. Cha, S. J. Cheng, P. Li, L. Liu, L. Andia, C. K. Ho, M.-Y. Cheng, Z. Duan, R. Rajkumar, Y. Zheng, W. L. Goh, Y. Guo, G. Dawe, W.-T. Park, M. Je, "100-Channel Wireless Neural Recording System with 54-Mb/s Data Link and 40%-Efficiency Power Link," IEEE Asian Solid-State Circuits Conference, Nov. 2012, pp. 185-188.

[11] R. R. Harrison, "The Design of Integrated Circuits to Observe Brain Activity," Proceedings of the IEEE, vol. 96, pp. 1203-1216, July 2008.

[12] R. R. Harrison, C. Charles, "A Low-Power Low-Noise CMOS Amplifier for Neural Recording Applications," IEEE Journal of Solid-State Circuits, vol. 38, pp. 958-965, June 2003.

[13] M. Chae, W. Liu, Z. Yang, T. Chen, J. Kim, M. Sivaprakasam, M. Yuce, "A 128-Channel 6mW Wireless Neural Recording IC with On-the-Fly Spike Sorting and UWB Transmitter," IEEE International Solid-State Circuits Conference, Feb. 2008, pp. 146-147.

[14] X. Zou, L. Liu, J. H. Cheong, L. Yao, P. Li, M.-Y. Cheng, W. L. Goh, R. Rajkumar, G. S. Dawe, K.-W. Cheng, M. Je, "A 100-Channel 1-mW Implantable Neural Recording IC," IEEE Transactions on Circuits and Systems-I: Regular Papers, vol. 60, pp. 2584-2596, Oct. 2013.

[15] D. Han, Y. Zheng, R. Rajkumar, G. Dawe, M. Je, "A 0.45V 100-Channel Neural-Recording IC with Sub-μW/Channel Consumption in 0.18μm CMOS," IEEE International Solid-State Circuits Conference, Feb. 2013, pp. 290-291.

[16] S. Mitra, J. Putzeys, F. Battaglia, C. M. Lopez, M. Welkenhuysen, C. Pennartz, C. van Hoof, R. F. Yazicioglu, "24-Channel Dual-Band Wireless Neural Recorder with Activity-Dependent Power Consumption," IEEE International Solid-State Circuits Conference, Feb. 2013, pp. 292-293.

[17] L. Liu, L. Yao, X. Zou, W. L. Goh, M. Je, "Neural Recording Front-End IC Using Action Potential Detection and Analog Buffer with Digital Delay for Data Compression," Annual International Conference of the IEEE EMBS, July 2013, pp. 747-750.

제4회 지능형 차량용 전자 Workshop 2014

한양대학교 IDEC센터는 지능형 차량용 전자 기술 및 반도체 설계 관련 강좌를 통해 산업체 인력 재교육과 대학의 인력 양성사업을 보강하여 대학, 산업체, 연구소 인력이 정보교류와 연구 개발 협력에 참여할 수 있는 기회를 제공하고 국제 경쟁력을 가진 star engineer 와 researcher를 양성하여 산학연 모두에게 도움이 되고자 합니다. 이에 본 센터에서는 국내외에서 연구 및 개발되고 있는 지능형 차량용 전자 및 운전자 보조시스템 관련 기술에 대한 현황을 소개하고, 정보교류 및 산학연협력 관계를 증진시키기 위하여 발전 방향에 대하여 토론하는 장을 마련하고자 [지능형 차량용 전자 Workshop 2014] 을 개최합니다. 이번 워크샵에서는 지능형 차량용 전자 기술 분야에 대하여 현재 우리 기술의 경쟁력을 돌아보고, 산학연 전문가들이 그 간 연구해 오신 결과를 공유함과 동시에 관련 기술 분야의 향후 연구 방향 및 전략을 세우고, 산학연 간 교류의 활성화를 촉진하는 좋은 기회가 될 것입니다. 본 워크샵에 참석 및 발표하시는 여러분께 진심으로 감사드리며, 짧은 시간이나마 알찬 성과가 있는 워크샵이 되길 기원하며, 여러분을 정중히 초대합니다.

2014년 7월
한양대학교 IDEC 센터장 신현철

준비위원
김재석, 김시호, 강진구,
조중휘, 신현철 교수

후원
대한 전자 공학회 반도체 소사이터티
자동차 전자 연구회
SOC 설계 연구회
자동차 부품 연구원

| 세부 프로그램

시 간	주 제	발 표 자
09:00~09:20	사전등록 확인 및 참가자 등록	
09:20~09:50	자율주행 자동차 산업부 R&D 지원 방향 R&D 지원 방향	한국산업기술평가관리원(KEIT) 조광오 책임
09:50~10:20	자율주행 차량 플랫폼 개발과 활용	자동차부품연구원(KATECH) 자율주행기술연구센터 김문식 박사
10:20~10:50	보행자 보호를 위한 자동긴급제동시스템(AEB) 설계를 위한 고려 사항	자동차부품연구원(KATECH) 지능제어시스템연구센터 이혁기 팀장
10:50~11:20	ADAS 시스템에서의 MAP 응용기술 및 표준화	자동차부품연구원 (KATECH) 차량IT융합연구센터 이정욱 선임
11:20~11:50	지능형 교통 시스템 개발 동향	전자부품연구원(KETI) 임기택 센터장
11:50~12:20	자율 주행 교통 시스템 구현을 위한 Traffic simulator 개발	연세대 김시호 교수
12:20~13:20	중 식	
13:20~13:50	스마트 롤링	아이트론닉스 홍승표 부사장
13:50~14:20	ADAS를 위한 전장용 SOC 기술 개발동향	넥스트칩 정희인 이사
14:20~14:50	차량용 네트워크를 통한 시스템 반도체 고장 점검 기술	한양대 박성주 교수
14:50~15:00	휴 식	
15:00~15:30	자율 주행 기술 동향	현대 모비스 신광근 이사
15:30~16:00	ADAS 환경 인식 기술 개발 동향	만도DAS R&D Center 강형진 상무
16:00~16:30	지능형 차량용 비전 기술	한양대 신현철 교수
16:30~17:00	보행자 인식을 위한 앙상블 학습 알고리즘	서울대 최기영 교수
17:00~17:30	Telematics를 이용한 car life 발전 방향	현대자동차 송복구 이사
17:30~18:00	Last 마일 이동 서비스를 위한 근거리 Park & Ride 기술 개발 동향	한국 전자 통신 연구원(ETRI) 산업IT융합연구단 손주찬 단장

*사정에 따라 프로그램이 변경될 수도 있습니다..

| 워크샵 개요

- 행사명 : 제4회 지능형 차량용 전자 Workshop 2014
- 일 시 : 2014. 08. 29 (금)
- 장 소 : 한양대학교 에리카 캠퍼스 제1학술관 202호 (경기도 안산시 상록구 한양대학교로 55)
- 주 관 : 한양대학교 IDEC 센터
- 담 당 : 한양대학교 IDEC 행정원 오경주 (☎ 031-400-4079 / E-mail : ipc@hanyang.ac.kr)

| 등록안내

- 등록비(사전등록 2014.08.21 까지)점심제공
사전 : 학생 50,000원 일반 100,000원
현장 : 학생 60,000원 일반 120,000원
(단체 할인 문의 : 031-400-4079)

| 행사장 오시는 길

버스 안산 시외버스터미널에서 하차하여 학교 셔틀버스 (예술인 아파트 앞) 이용
지하철 4호선 한대앞역에서 하차하여 학교 셔틀버스 이용.



Mentor사 Calibre DRC, LVS

1. Calibre DRC

A. 목적 : Physical Verification

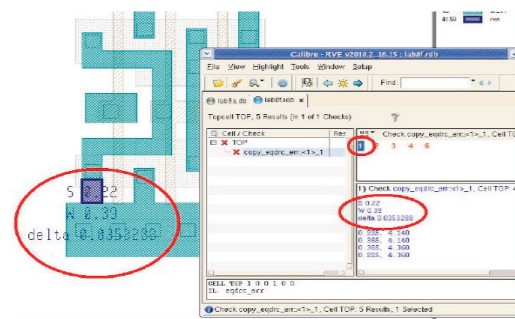
B. 구분 : Mentor 사의 Calibre DRC는 IC Design등의 Physical Verification Solution을 제공

C. Supported Platform and O/S System

- Solaris (32/64bit) 8,9,10
- HPUX 11 64-bit
- RedHat 7,8,9
- Red Hat Enterprise (32/64bit) Linux 3,4,5
- SuSE (SLES 9/10) (32/64bit) Linux

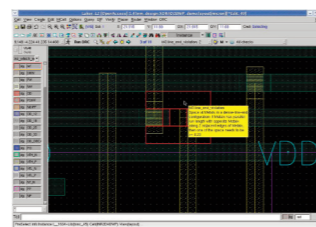
D. 특성 및 기능

Calibre DRC는 Foundry에서 제공하는 Physical Mask Rule에 맞게 Layout이 제작되었는지 검증해주며 또한 Layout Polygon, Edge, Space등을 사용자가 정한 조건에 맞게 수정할 수 있다. Calibre DRC는 Virtuoso, Laker, ICC, EDI등 대부분의 Layout Editor Tool과 Interface가 되며 결과를 쉽게 Debugging할 수 있도록 RVE (Result View Environment)를 제공한다.



RVE 통해 Layout Editor에서 DRC Error를 확인하는 그림

Real Time을 이용하면 Layout 제작 중 Calibre DRC가 실시간으로 DRC Error를 Highlight해 주며 이는 Final DRC 검증시간을 크게 줄여 줄 수 있다.



HTML Report 기능을 이용하면 전체 DRC Error를 HTML Format으로 제작하여 Physical Data를 전달 하지 않고도 설계/공정 Engineer와 Technical Marketing에서 쉽게 문제점을 파악할 수 있다.



2. Calibre LVS

A. 목적 : Layout Verification

B. 구분 : Mentor 사의 Calibre LVS는 IC design등의 Physical Verification Solution을 제공

C. Supported Platform and O/S System

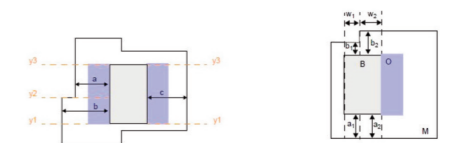
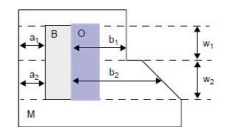
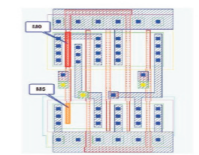
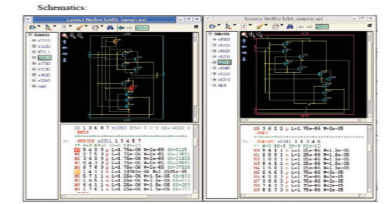
- Solaris (32/64bit) 8,9,10
- HPUX 11 64-bit
- RedHat 7,8,9
- Red Hat Enterprise (32/64bit) Linux 3,4,5
- SuSE (SLES 9/10) (32/64bit) Linux

D. 특성 및 기능

Metastability in Hardware

Calibre LVS는 설계자가 작성한 설계도와 그것을 기반으로 제작한 Layout을 서로 비교한다. 이를 위해 설계자가 제작한 Layout Data를 먼저 설계도 Format으로 변경 후 기존의 설계도와 전기적으로 같은 기능을 할 수 있는가를 검증한다.

Calibre LVS는 Virtuoso, Laker, ICC, EDI등 대부분의 Interface가 가능하며, GDSII, OASIS, LEFDEF OA, Milkyway, SPICE, CDL등 다양한 Format을 지원한다.



회사명 : Mentor Graphics
 (Subsidiary of Ansys Inc.)
 웹 주소 : <http://www.mentorkr.com/>
 한국지사 : 한국멘토
 전화 : 031) 8061-0790
 주소 : 경기도 성남시 분당구 판교역로 192번길 12 (삼평동) 판교 미래에셋센터 7층

Part 2

IEEE 1588 PTPv2: 분산시스템 실시간 동기

IEEE 1588 PTPv2: Distributed Real-Time Synchronization



기안도 박사
 (주)다이나리시스템 연구소장
 E-mail : adki@dynaIith.com
 www.dynaIith.com

요약

여러 노드들이 지역적으로 분리되어 있고, 각 노드들이 시계를 갖고 있는 시스템에서 동일한 시간을 유지하기 위한 방법이 필요하다. 데이터 통신 네트워크를 이용하여 분산된 시계들의 시간을 동기화하는 방법이 있으나, 실시간 제어 시스템과 같이 보다 정확하고 정밀한 시간동기가 필요한 경우는 새로운 방법이 필요하다. IEEE Std. 1588 PTPv2는 실시간 응용을 위한 시간동기 표준이다. 첫 회에서는 데이터 통신 네트워크를 통한 시간 동기의 일반적인 것을 살펴 보았고, 이번 회에서는 PTPv2에 대해 상세하게 살펴본다.

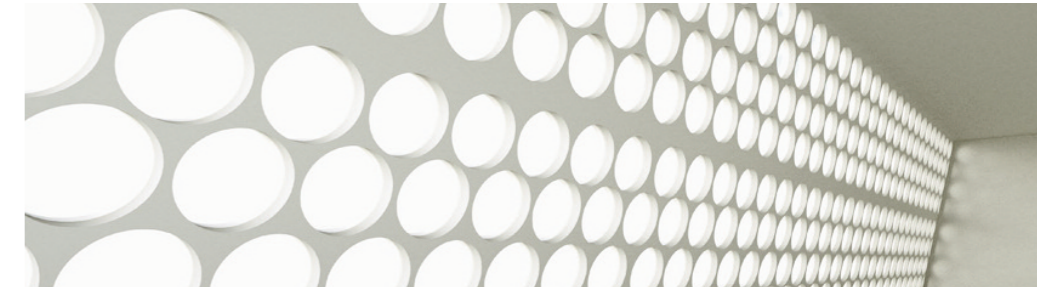
4. PTP

1990년대 말 미국 Agient Technology 사에서 분산된 노드들에서 측정된 데이터 사이의 명확한 시간 순서를 정하는 문제에서 아이디어가 시작되었고, 그 해결 방법이 IEEE 표준안으로 제출되었다. 2002년 11월 IEEE 1588 "IEEE Standard for a Precision Clock Synchronization Protocol for Networked Measurement and Control Systems" 로 표준화되었고, 이후 버전과 구별하기 위해 IEEE 1588v1 또는 PTPv1이라 한다. 2004년 5월, IEC 61588로도 채택되었으며, 이후 학술대회 등에서 IEEE 1588 적용 구현 예들이 시연되었는데 당시 +/-200nsec 이내로 동기화되었으며 +/-50nsec 범위까지 동기되는 경우도 있었다. 이후 새로운 요구사항들을 반영하여 2008년 IEEE 1588 Version 2 (PTPv2)가 새표준으로 채택되었다. PTPv1은 TC (Transparent Clock)과 Pprofile 을 지원하지 않으며, 패킷이 상대적으로 길고, 통신 대역폭도 상대적으로 크다. PTPv2는 E2E (End-To-End)와 P2P(Peer-to-Peer) 지연을 포함하는 TC를 허용하고, 활용 응용의 특성을 반영한 Profile 들을 정의하고 있다. 또한 Announce 메시지를 추가로 정의하여 BMC(Best Master Clock) 알고리즘을 통해 재설정을 신속하게 할 수 있도록 하여 장애허용(fault tolerance) 기능이 강화되었다. PTP는 다음과 같은 목적을 갖고 개발되었다.

- 1) 마이크로초 더 나아가 나노초 수준의 정확성을 제공한다.
- 2) 구현에 필요한 추가 요소를 최소화하여 고가 장비에서부터 저가 장비까지 쉽게 적용이 가능하도록 한다.
- 3) 단일 또는 수개의 서버넷에 적용함에 있어 관리의 필요성을 없게 하거나 최소화 한다.
- 4) 일반적인 기존의 네트워크에도 손쉽게 적용이 가능하도록 한다.
- 5) 정확도와 정밀도가 다른 클럭으로 구성되는 불균일(heterogeneous) 시스템에서도 적용이 가능하도록 한다.

참고 REFERENCE

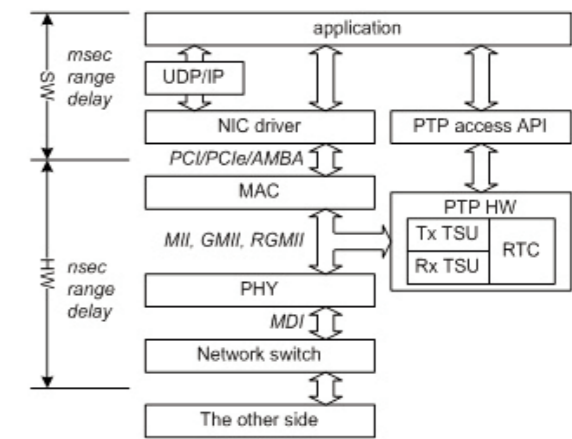
1 Ando Ki, Ph.D.: adki@dynaIith.com



첫째 목적을 위해 RTC와 TSU로 구성되는 PTP 하드웨어를 사용한다. 둘째 목적을 위해 PTP 하드웨어는 비교적 단순하게 구성할 수 있도록 한다. 셋째 목적을 위해 자동 또는 반자동으로 시간동기가 되게 한다. 넷째 목적을 위해 Ethernet, UDP/IP 등에 적용하는 방법을 규격화 한다. 다섯째 목적을 위해, BCM 알고리즘을 통해 서버넷에서 최적으로 클럭을 선택하여 시간을 동기하도록 한다. PTP는 네트워크 통신을 사용하는 측정 및 제어시스템에서 정확하고 정밀한 시간동기가 가능한 규격이며, 정확도는 마이크로초 이하로 가능하다. 네트워크는 방송기법(broadcasting)을 지원하는 것이어야 하고, Ethernet (Layer 2), DeviceNet, UDP/IP 등에 적용할 수 있다. 특히 측정과 제어분야는 통신(communication)과 계산(computation)이 분리된 분산시스템 관련 기술들을 점점 더 많이 채용하고 있으며, 이런 환경에서 시간동기의 정확성과 정밀도가 중요한 역할을 한다.

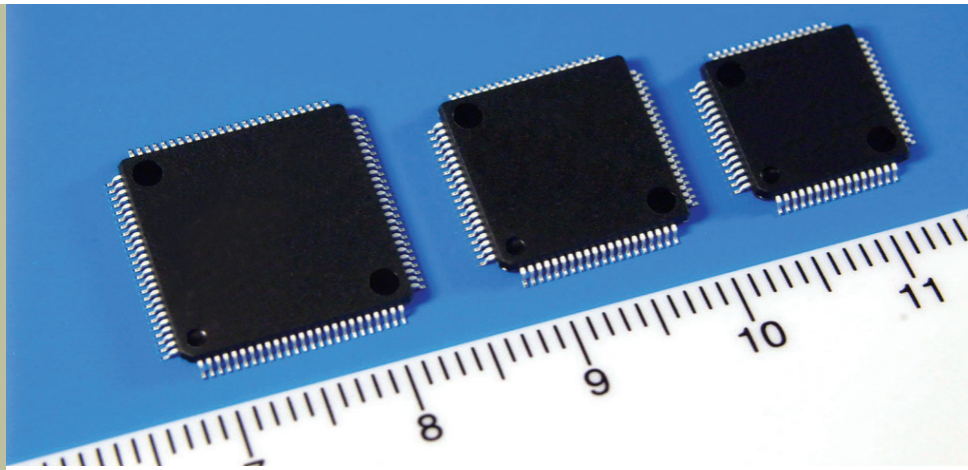
PTP는 패킷전송기반 네트워크에서 수 백 나노초에서 수 마이크로초 단위의 정확하고 정밀한 시간동기를 하기 위해 RTC(Real-Time Clock)와 TSU(Timestamp Unit)로 구성되는 PTP 하드웨어를 사용한다. PTP 하드웨어는 지연시간의 영향을 최소화하기 위해 가능한 물리적인 네트워크 링크에 가깝게 구현한다. Ethernet 예를 보면, 그림 1과 같이 MAC과 PHY 사이의 MII 또는 GMII를 직접 참조하도록 한다. RTC의 역할은 매우 정밀한 시간 정보를 생성하는 것이고, TSU의 역할은 PTP 관련 메시지 중 사건 메시지(Event Message)에 대해 송신 또는 수신 시점의 시간을 정확하게 측정하여 상위 소프트웨어 또는 메시지 자체에서 사용할 수 있도록 하는 것이다.

그림1 PTP 위치



패킷기반 네트워크 통신에서 시간동기에 영향을 주는 지연요소들을 분류해 보면, 그림 1과 같이 OS(Operating System) 관리를 통해 동작하는 SW 부분은 msec 단위의 지연이 생기고, HW 부분은 nsec 단위의 지연이 생긴다. 비록 매우 정확한 하드웨어 클럭이 시스템에 있다 하여도, SW에서 참조하고 처리하는 과정에서 수msec~수십msec 지연이 생기므로 NTP같은 순수 SW 기법으로 시간을 동기 할 경우, msec 이상으로 정확할 수가 없다.

PTP는 시간을 동기 할 클럭들을 논리적으로 묶어서 도메인(domain)이라 하고, 도메인은 물리적으로 연결된 통신망에서 논리적인 클럭계층구조를 의미한다. 따라서 도메인 내부에서 PTP 규약으로 각 클럭이 동기된다. 이러한 이유로 PTP는 다음 두 단계를 갖는다.



- ① [Phase 1] 클럭 도메인 구성: 도메인에서 하나의 마스터클럭을 결정하고 나머지 클럭은 멤버클럭이 된다. 이때 'Announce' 메시지를 사용하고, BMC(Best Master Clock) 알고리즘을 사용한다.
- ② [Phase 2] 클럭 동기: 동기관련 메시지를 통해 시간을 동기한다.

클럭 도메인 구성 단계에서 BMCA(Best Master Clock Algorithm)를 통해 크럭마스터와 클럭슬레이브들로 구성되는 계층구조를 형성하는데, 잠재적으로 최정밀마스터클럭(GMC: grand master clock)이 될 클럭들이 'Announce' 라는 메시지를 통해 GMC를 결정하며, 이때 다음과 같은 우선 순위가 있는 정보를 통해 이루어지며, BMCA를 통해 각 클럭은 'MASTER', 'SLAVE', 'PAS-SIVE' 상태로 관리된다.

- ① 클럭 1차 우선순위 (1st order priority): 8-비트로 지정되며 낮은 값이 높은 우선순위를 갖는다.
- ② 클럭의 클래스 (class)
- ③ 클럭의 정확도 (accuracy)
- ④ 클럭의 안정도 (stability, variance)
- ⑤ 클럭 2차 우선순위 (2nd order priority)
- ⑥ 클럭의 구별자 (unique identifier)

클럭 동기 과정에는 'one-step' 과 'two-step' 기법이 있다. 'one-step' 은 MAC-PHY를 통해 송신 또는 수신 되는 PTP 관련 메시지의 시간정보 필드를 하드웨어가 자동으로 채우는 기능이 필요하고, 'two-step' 은 'Follow_Up' 와 'Pdelay_Resp_Follow_Up' 메시지를 사용한다. 즉, 후자는 정확한 시간정보를 'Sync' 메시지가 아닌 'Follow_Up' 로 전달한다. (상세한 것은 그림 2 참고)

- one-step clock: 'Sync' - 'Delay_Req' - 'Delay_Resp'
- two-step clock: 'Sync' - 'Follow_Up' - 'Delay_Req' - 'Delay_Resp'

클럭 동기에는 메시지(또는 메시지를 담고 있는 패킷) 전송에 소요되는 전송지연시간이 정밀하고 정확하게 측정되어야 하며, 이를 위해 두 가지 방법이 가능하다.

- 'Sync' - 'Follow_Up' - 'Delay_Req' - 'Delay_Resp'
- 'Pdelay_Req' - 'Pdelay_Resp' - 'Pdelay_Resp_Follow_Up'

PTP의 경우, 실시간 응용을 위해서는 하드웨어의 도움이 필요하다. 그림 2은 two-step PTP의 개념적 동작을 정리한 것이다. 시간동기를 위해 클럭마스터가 'Sync' 메시지를 전송한다.

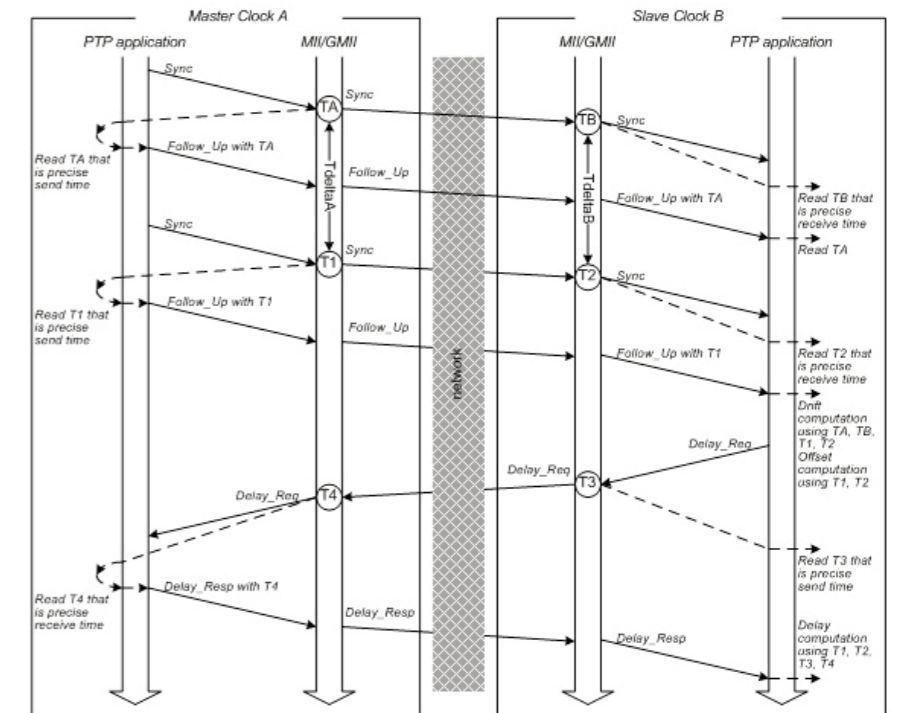
이때 'Sync' 메시지에는 해당 메시지가 전송을 시작한 정확한 시간을 포함하지 않고, 이어지는 'Follow_Up' 메시지에 정확한 시간정보 T1을 전송한다. 이때 하드웨어의 도움을 받아 정확한 시간(T1)을 확보한다. 이를 위해 정밀한 RTC(real-time clock)과 TSU(timestamping unit)이 사용된다. 클럭슬레이브가 'Sync' 메시지를 받은 후, 하드웨어의 도움을 받아 'Sync' 메시지가 도착한 정확한 시간 T2를 확보한다. 그리고 이어지는 'Follow_Up' 메시지에서 T1 시간을 확보한다. 정확한 T1과 T2가 있고, 네트워크의 전송지연 시간을 알고 있다면 클럭마스터의 시간에 클럭슬레이브 이 시간을 매우 정확하게 맞출 수 있다. 만약 전송지연시간을 알 필요가 있다면, 클럭슬레이브가 'Delay_Req' 메시지를 클럭마스터로 보내고, 클럭마스터가 회신하는 'Delay_Resp' 메시지를 받는다. 이때 하드웨어의 도움을 받아 확보한 정확한 시간 T3과 T4 그리고 'Sync' 메시지를 통해 확보한 T1과 T2를 이용하면 전송지연을 계산한다. 여기서 클럭슬레이브가 Toffset 만큼 시간이 빠르다고 가정하고, 패킷 전송은 양방향일 동일한 지연 Tpd라고 가정한다.

- Toffset = [T2 + T3 - T1 - T4] / 2
- Tdelay = [(T2 - T1) + (T4 - T3)] / 2

이론적으로 어떤 발진기도 불변의 특성을 가질 수 없고, 다른 발진기들과 동일 할 수 없으므로, 어떤 형태든 상호 보정하는 과정을 통해 동기시킬 필요가 있다. 동기의 기본 동작은 그림 3과 같이 기준시간(ideal clock)에 맞추는 것이고, 일정 주기 간격으로 보정을 한다. 이상적인 클럭인 기준시간은 현실적으로 존재하지 않지만, 여러 GPS를 통해 수신되는 정보를 기준으로 하는 것이 일반적이다. 그림 3에서 스큐(skew)란 클럭들 사이의 차이를 의미하고, 드리프트(drift)는 클럭이 정확한 주파수를 갖지 않아 시간을 정확하게 계산하지 못하는 것을 의미하며, 드리프트율(drift rate)은 그림 3에서 기울기에 해당한다. 따라서 이상적인 클럭은 드리프트율이 10이 되고, 상대적으로 빠른 클럭은 1보다 크고, 상대적으로 느린 클럭은 1보다 작게 된다.

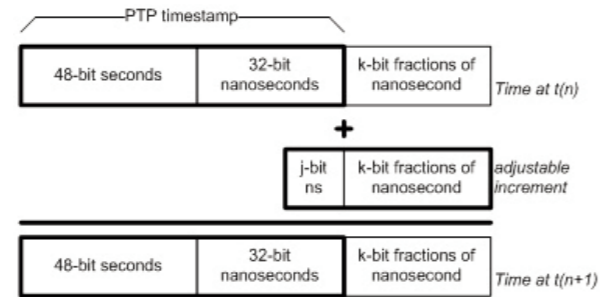
- Tdelay = [(T2 - T1) + (T4 - T3)] / 2

그림2
Two-step PTP의 개념적 동작



- ② 마스터로 동작할 수 있는 경우 128을 기본값으로하고, 슬레이브로만 동작할 경우 255로 설정한다.
- ③ PTP 표준에서는 특별한 하드웨어를 반드시 사용하는 것으로 한정하지는 않지만 순수 소프트웨어로 구현할 경우 정확도를 보장할 수 없다.

그림3
Conceptual PTP
hardware clock



예를 들어 PTP 하드웨어 클럭에 125Mhz를 사용한다면 매 클럭마다 8nsec를 더해 주어야 하지만, 클럭마스터에 비해 시간이 빨라지면 이보다 작은 값을, 시간이 느려지면 이보다 큰 값을 더함으로써 클럭의 차이를 보정한다. PTP 시간은 그림 3의 10-바이트(48-bit + 32-bit)의 값에 따라 결정되고, 10-바이트가 0인 경우를 1970년1월1일 0시로 해석한다.

4.2 PTPv2 클럭의 종류

PTP 클럭은 네트워크 포트 수와 기능에 따라 OC와 CC 두 가지로 구분할 수 있고, CC의 경우 PTPv1에서는 BC만 정의되었으나 PTPv2에서 TC가 추가로 정의되었다.

- 보통클럭(OC: ordinary clock): 네트워크에 연결되는 포트가 하나인 말단 클럭을 통칭하는 것으로 기능에 따라 GMC가 될 수 있다.
 - ✧ 최상마스터클럭(GMC: grandmaster clock) 또는 마스터클럭(master clock)
 - ✧ 슬레이브 클럭(slave clock)
- 연결클럭(CC: connection clock): 네트워크에 연결되는 포트가 두 개 이상인 스위치 또는 라우트에 해당하고, 동기 된 클럭을 제어 등 다른 목적으로 사용하지 않는 경우
 - ✧ 경계클럭(BC: boundary clock): 네트워크 포트가 마스터 또는 슬레이브로 동작한다.
 - ✧ 투명클럭(TC: transparent clock): 네트워크 포트는 마스터나 슬레이브로 동작하지 않고, PTP 메시지를 전달하며 이때 필요에 따라 메시지의 일부를 수정한다.
 - E2E TC (End-to-End TC)
 - P2P TC (Peer-to-Peer TC)
- 관리노드(Management Node): 시스템을 구성하고 클럭의 상태 등을 모니터링하며, 시간 동기에는 직접적으로 참여하지 않는다.

PTP는 클럭 계층구조 구성 단계에서 BMC 알고리즘으로 가장 좋은 클럭이 최상마스터클럭(grand-master clock)로 선택되고, 나머지 클럭들은 슬레이브클럭으로 동작한다. 네트워크에서 스위치와 라우터는 내부에서 큐를 사용하고 패킷을 처리하는 기능이 있기 때문에 입력된 네트워크 패킷이 출력될 때까지 지연이 발생하고, 이는 네트워크 상태에 따라 매우 유동적이다. 따라서 이런 현상을 PTP 시간 동기화 반영할 수 있도록 경계클럭(boundary clock)과 투명클럭(transparent clock)을 정의한다. 경계클럭은 각 포트가 마스터 또는 슬레이브로 독립적인 PTP 상태를 유지하며 동작하고, 슬레이브 포트는 입력된 PTP 메시지를 일단 처리하고, 마스터 포트는 새로운 PTP 메시지를 통해 시간 동기를 한다. 따라서 경계클럭으로 기준으로 클럭 네트워크가 분리된다. 반면 투명클럭은 PTP 메시지 받아서 다른 포트에 전달하며, 이때 PTP 메시지의 헤더에 있는 수정필드(correction field)에 내부 지연을 반영하므로 투명클럭으로 연결된 네트워크는 동일한 클럭네트워크이다.

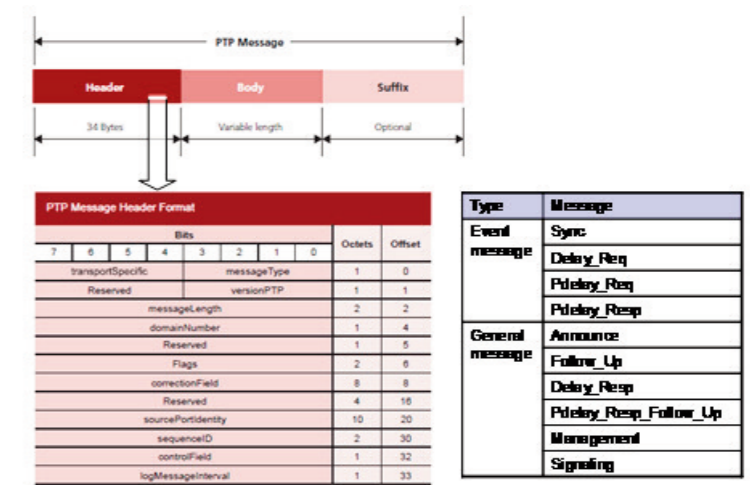
- ④ Toffset = Clock_slave - Clock_master
- ⑤ T2 = T1 + Tpd + Toffset; T4 = T3 + Tpd - Toffset;



4.3 메시지 �핑

PTP는 헤더(header)와 바디(body) 그리고 스픽스(suffix)로 구성되는 독립적인 메시지 구조를 갖고 있다. 메시지 헤드는 34-byte이고, 이어서 메시지 종류에 따라 길이가 변하는 바디 그리고 필요한 경우에만 추가되는 스픽스로 구성된다.

그림4
PTP message
structure and types



PTP 메시지를 기존의 통신망에서 제공하는 전송규약(transport protocol)을 통해 상호 주고 받음으로써 시간동기를 구현한다. IEEE 1588에서 정의하고 있는 메시지 �핑은 다음이 있다.

- IEEE 802.3 (Ethernet): Ethernet 패킷에서 '0x88F7' 을 Type-Length 값으로 사용
- UDP over IPv4 or IPv6: UDP port 319와 320을 사용
- DeviceNET
- ControlNET
- PROFINET: IEC 61158 Type 10

그림 5와 같이 PTP 메시지를 Ethernet의 순수 페이로드(payload)로 전송할 수 있고, 이때 Ethernet의 Type-Length 필드 값은 '0x88F7' 이다. 아울러 PTP에 참여하는 MAC의 물리주소(physical address)를 사용하지 않고 정해진 도착지 주소를 사용하여 기존 네트워크 구성을 관리하는 부담을 줄이고 있다. 이때 사용하는 물리주소는 다음과 같다.

- 01-1B-19-00-00-00 (delay message)
- 01-80-C2-00-00-0E (peer delay message)

- ⑥ 보정에 사용하는 값의 해상도는 구현에 따라 결정된다. 즉, PTP 클럭을 125Mhz를 사용하면 j-비트는 8ns를 표현할 수 있는 범위가 된다.
- ⑦ As MAC multicast address should use higher 25 bits of 01-00-5E-00-00-00, the low 23 bits of the IP address are mapped directly to the low 23 bits in the MAC address.

그림5
PTP message
over Ethernet

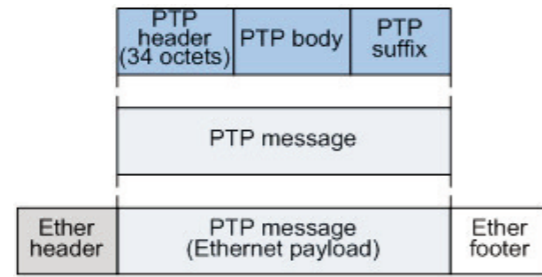


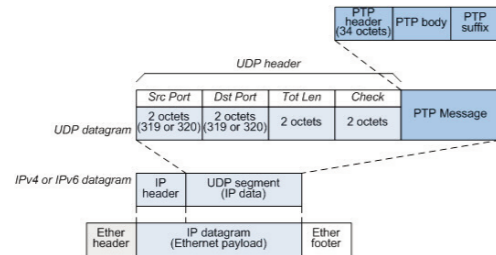
그림 5와 같이 PTP 메시지를 Ethernet의 순수 페이로드(payload)로 전송할 수 있고, 이때 Ethernet의 Type-Length 필드 값은 '0x88F7' 이다. 아울러 PTP에 참여하는 MAC의 물리주소(physical address)를 사용하지 않고 정해진 도착지 주소를 사용하여 기존 네트워크 구성을 관리하는 부담을 줄이고 있다. 이때 사용하는 물리주소는 다음과 같다.

- IPv4
 - ❖ 224.0.1.129 (delay message)
 - ❖ 224.0.0.107 (peer delay message)
- IPv6
 - ❖ FF0x::181 (delay message)
 - ❖ FF02::6B (peer delay message)

PTP 메시지가 다중수신(multicasting)용 IP 주소를 사용하기 때문에 IPv4의 경우 다음을 물리주소(physical address)로 사용한다.

- MAC: 01-00-5E-00-01-81 (delay message)
- MAC: 01-00-5E-00-00-6B (peer delay message)

그림6
PTP message over
UDP over IPv4



4.4 프로파일과 관련 표준들

PTP는 매우 정밀한 시간동기를 목표로 정리된 표준이며 다양한 선택 및 속성을 갖고 있기 때문에 특정 응용에 적합한 일련의 구성을 프로파일(profile)이라 정의하는데, 이를 통해 동일 응용환경에 사용하는 장비들 사이에 호환성을 보장하기 위함이다. 다음은 IEEE 1588표준에서 기본으로 정하는 프로파일과 PTP를 시간동기의 기본 방법으로 채용하고 있는 응용의 프로파일들이다.

- 기본 프로파일 두 가지: IEEE 1588 Annex J.
 - ❖ Delay Request-Response Default PTP profile
 - ❖ Peer-to-Peer Default PTP profile
- 전화통신 프로파일(telecom profile): ITU-T G.8265.1, Precision Time Protocol Profile for Frequency Synchronization

⑥ The set of allowed Precision Time Protocol (PTP) features applicable to a device.



- 전력 프로파일(power profile): PSRC (IEEE Power System Relaying Committee), IEEE PC37.238 IEEE Standard Profile for Use of IEEE 1588 Precision Time Protocol in Power System Applications
- AVB(Audio Video Bridging): IEEE 802.1AS, Timing and Synchronization for Time-Sensitive Applications in Bridged Local Area Networks

그림 5와 같이 PTP 메시지를 Ethernet의 순수 페이로드(payload)로 전송할 수 있고, 이때 Ethernet의 Type-Length 필드 값은 '0x88F7' 이다. 아울러 PTP에 참여하는 MAC의 물리주소(physical address)를 사용하지 않고 정해진 도착지 주소를 사용하여 기존 네트워크 구성을 관리하는 부담을 줄이고 있다. 이때 사용하는 물리주소는 다음과 같다.

5. 종합

비결정적 특성(non-deterministic characteristic)에도 불구하고 Ethernet 즉 CDMA(Collision Detection Multiple Access) 기반 패킷통신은 점점 더 많은 응용에 적용되고 있다. 특히 필드버스(field bus)로 통칭되는 산업용 통신에도 Ethernet이 광범위하게 채용되고 있는데, 이들은 정확한 시간동기가 필요한 응용이다. '시험과 측정' 분야에서는 기본적으로 센서들의 정보를 샘플링하고 이들을 처리하는 것인데, 규모를 확장하기 위해서는 분산시스템 형태로 측정과 처리가 가능해야 하며, 이때 동일한 시간정보가 필수적이다. '공장자동화' 분야에서는 효과적인 로봇 제어와 진단 등을 위해서는 시간적으로 잘 조정되어 상호 일사분란하게 제어되어야 하고, 이를 위해서는 일정수준이상의 시간정확도와 시간정밀도가 보장되어야 한다. 아울러 필드버스로 통칭되는 이러한 공장제어용 통신네트워크가 Ethernet 기반으로 바뀌는 추세를 감안할 때 PTP가 반드시 적용될 분야라 할 수 있다. '전력분야'는 발전소가 지역적으로 멀리 떨어져 있고, 각 제어 대상도 규모가 크고, 사고에 따른 위험성이 높기 때문에 제어와 보호 그리고 진단 등이 매우 정확한 시간에 기초해야 한다. 일반적으로 시간동기를 위한 전용 통신 네트워크를 갖고 있으나, Ethernet 기반 통신 및 제어 네트워크에 통합할 필요가 있고, 이러한 분야에 PTP가 매우 적합하다. '통신 및 방송' 분야에서는 정보를 시간 단위로 제어하는 것이 기본이므로 정확하고 정밀한 시간동기가 꼭 필요하고, 음성 또는 정보 통신 사용자도 점점 더 정확한 시간정보를 요구하므로 PTP의 적용이 가능하다. 방송 역시 여러 기지국에서 동일한 시간에 방송하는 등의 목적으로 정확하고 정밀한 동기가 필요하다. '항공 및 위치추적' 분야에서 위치정보는 시간과 연관이 있으므로 정확한 시간동기가 요구된다.

본 고에서는 패킷 통신망으로 연결된 분산 시스템에서 상호 시간을 동기시키는 방법을 살펴보고, 마이크로초(microsecond) 단위의 정확도(accuracy)와 수백나노초(100's nanosecond) 단위의 정밀도(precision)를 갖는 PTPv2(Precision Time Protocol Version 2, IEEE 1588 standard)에 대해 정리하였다. PTPv2는 응용범위가 확대되고 있는 Ethernet 기반 통신망에서 매우 중요한 기능이 될 것이다.

참고자료

- IEEE Std. 1588-2008, IEEE Standard for a Precision Clock Synchronization Protocol for Networked Measurement and Control Systems, 2008.
- RFC 5905, Network Time Protocol Version 4: Protocol and Algorithms Specification, 2010.6.
- RFC 2030, Simple Network Time Protocol (SNTP) Version 4 for IPv4, IPv6 and OSI, 1996.10.
- F. Cristian, Probabilistic clock synchronization, Distributed Computing, Vol. 3, Issue 3, pp.146-158, Springer, 1989.
- R. Gusella and S. Zatti, The accuracy of the clock synchronization achieved by TEMPO in Berkeley UNIX 4.3.BSD, IEEE Trans. on Software Engineering, Vol. 15, No. 7, pp.847-853, July 1989.
- H. Weibel, Technology Update on IEEE 1588: The Second Edition of the High Precision Clock Synchronization Protocol, Zurich University of Applied Science, 2009.
- J.C. Eidson, Measurement, Control and Communication Using IEEE 1588, Springer, 2010.
- D.L. Mills, Computer Network Time Synchronization, 2nd Edition, CRC Press, 2010.



박운상 교수
서강대 컴퓨터공학과

오랜 시간 자신과 싸워야만 하는 길

컴퓨터 비전 분야는 문제 자체가 매우 흥미로우며 다양한 응용 분야를 가지고 있지만, 실생활에 응용할 수 있도록 성능을 내기가 쉽지 않아 한동안 답보 상태에 머물렀었다. 하지만 최근 십여 년간 얼굴 검출 등 몇 가지 실용화가 가능한 알고리즘이 개발되면서 학계 및 산업계의 관심이 증가하고 있는 분야다. 이에 컴퓨터 비전, 영상 처리, CCTV 카메라 시스템, 패턴인식에 관한 연구를 진행하고 있는 박운상 교수를 만나 그간의 연구 인생에 대해 들어보았다.

“현재보다 앞으로가 더 기대가 큰 연구 분야”

현재, 서강대학교 컴퓨터공학과 조교수로 재직 중이며, 컴퓨터 비전, 영상 처리, CCTV 카메라 시스템, 패턴인식에 관한 연구를 진행하고 있는 박운상 교수는 아직 해결해야 할 문제가 많이 남아 있고 응용 가능성이 큰 컴퓨터공학 연구 분야 중 하나인 컴퓨터 비전 분야를 전망이 좋은 연구 주제로 평가하며 큰 자부심을 보였다.

“학창 시절 짜릿함을 느꼈던 잊지 못할 한 마디 “Amazing” ”

박운상 교수는 다양한 내용을 담고 있는 이미지 및 비디오 처리에 흥미를 느껴 <얼굴인식>, <이미지 검색>, <CCTV 영상 처리>, <영상 필터링> 등의 연구를 석·박사 과정 중에 진행했다고 한다. 그 시절 그는 “좋은 연구 성과를 내서 교수님을 모시고 발표를 하는 미팅 때, 교수님께서 “amazing” 을 연발하셨습니다. 그런 칭찬은 그때가 처음이자 마지막이었던 듯합니다.”라며 추억을 되새겼다. 그래서인지 그는 석·박사 과정을 진행하고 있는 후배들에게 따뜻한 충고도 잊지 않았다. “석·박사 과정을 하는 동안에는 미래에 대한 불확실성 때문에 연구에 대한 집중도가 떨어지는 경우가 종종 있어요. 좋은 연구를 하려면 오랜 시간 자신과 싸움을 해야 하죠. 자신이 좋아하는 일에 열중하다 보면 나중에 그에 대한 보답이 주어지기 마련이라고 생각합니다.” 그러기 위해서 그는 자신의 적성에 맞고 좋아하는 주제를 선택하는 것이 무엇보다 중요하다고 강조했다. 그리고 다른 연구자들의 연구내용을 많이 접하기를 권했다. “저 역시 연구를 진행하면서 많은 어려운 점이 있었어요. 그럴 때마다 저는 다른 연구자들의 연구 내용을 참고하면서 진지하게 고민하고 다양한 시도를 통해 극복하곤 합니다.”

“도전하고 풀고 응용하고”

마지막으로 반도체 산업에 대한 전망을 묻는 말에 그는 최근 반도체의 성능 개선을 위한 소프트웨어의 중요성이 점차 부각되고 있는 것에 주목했다. “특화된 소프트웨어와 결합하여, 단순한 저장 기능뿐만 아니라 고속 연산 및 다양한 센서 등으로 기능을 확장해 나간다면 더욱 발전 가능성이 있을 것으로 생각됩니다.” 박운상 교수는 <CCTV 시스템의 지능화를 위한 영상 처리 알고리즘 개발>을 위한 연구에 도전하고 싶다는 포부도 밝혔다. “CCTV 시스템의 지능화를 위한 영상 처리 알고리즘을 개발하여 현재 단순 녹화용으로만 사용되고 있는 CCTV 시스템들의 활용도를 향상시키고 싶습니다.” 기회가 있을 때마다 새로운 문제에 도전하고 다양한 문제를 풀고 그것들을 응용할 수 있는 시스템을 개발할 수 있도록 노력하는 그의 열정에서 신진연구자로서 연구활동에 대한 기대가 전해진다.

문의 서강대학교 공과대학 컴퓨터비전 및 영상처리연구실
전화 02-705-8936 E-mail unsangpark@sogang.ac.kr
Homepage http://cviplab.sogang.ac.kr



11th International SoC Design Conference
Nov. 3-6, 2014, Jeju Island, S.Korea

<http://www.isocc.org>
Contact : secretary@isocc.org

International Organizing Committee

- ▶ General Chair
Jun Rim Choi (Kyungpook National Univ., Korea)
- ▶ General Co-Chairs
Jin-Ku Kang (Inha Univ., Korea)
Makoto Ikeda (Univ. of Tokyo, Japan)
Yeo Kiat Seng (Nanyang Tech. Univ., Singapore)
Shyh-Jye (Jerry) Jou (National Chiao Tung Univ., Taiwan)
- Jun Jin Kong (Samsung Electronics, Korea)
- ▶ Conference Secretary
Kyung Ki Kim (Daegu Univ., Korea)

Technical Program Committee

- ▶ Technical Program Chair
Jinwook Burm (Sogang Univ., Korea)
- ▶ Technical Program Co-Chairs
Ken Choi (Illinois Institute of Tech., USA)
Tony Tae Hyung Kim (Nanyang Tech. Univ., Singapore)
- An-Yeu (Andy) Wu (National Taiwan Univ., Taiwan)

A Unique Venue

- ▶ Seongsan Ilchulbong Tuff Cone



Seongsan Ilchulbong Tuff Cone was created by hydrovolcanic eruptions 100,000 years ago. The peak is a prime spot from which to view the sunrise. It was designated as a natural monument on July 19, 2000; a UNESCO World Natural Heritage site on July 2, 2007; a Global Geopark on October 1, 2010; and one of the New7Wonders of Nature on November 12th, 2011.

Yacht Tour



General Purpose Of The Conference

International SoC Design Conference (ISoCC) aims at providing the world's premier SoC design forum for leading researchers from academia and industries. Prospective authors are invited to submit papers of their original works emphasizing contributions beyond the present state of the art. ISoCC 2014 is technically co-sponsored by IEEE CAS Society and accepted papers will be published on IEEE Xplore. We also welcome proposals for special sessions.

Conference Theme

The theme for ISoCC 2014 is “SoC for Smart Connectivity”. Solutions for providing smart and secure connectivity will need to evolve new approaches to securing the shared resources. ISoCC 2014 is looking for novel SoC solutions to create truly smart connectivity.

Paper Submission

A complete 2-page manuscript must be submitted electronically in PDF format (in Standard IEEE double-column format posted on the conference website). Only electronic submission will be accepted. For more information, please refer to the conference website : <http://www.isocc.org>

Key Dates

- Deadline for submission of special session proposal : June 30, 2014
- Acceptance notice of special session proposal: July 10, 2014
- Deadline for submission of regular session full paper : July 15, 2014
- Deadline for submission of chip design contest: July 31, 2014
- Deadline for submission of special session full paper: July 31, 2014
- Notification of acceptance (all submitted papers): Sep. 01, 2014
- Deadline for author and early-bird registration: Sep. 15, 2014
- Deadline for submission of accepted papers : Sep.15,2014
- Deadline for chip design contest registration: Sep. 30, 2014

Conference Venue

RAMADA PLAZA JEJU HOTEL



Topics of Interest

- Analog and Mixed-Signal Circuits
 - Analog and Mixed-Signal Techniques
 - Data Converters
 - High-Speed Signal Interfaces
 - Wireline and Wireless ICs (RF ICs)
- Digital VLSI Circuits and Embedded Systems
 - Memory Circuits and Embedded Memory
 - Digital Circuits and VLSI Architectures
 - Multimedia (A/V) Algorithm and SoCs
 - Communication SoCs
 - Processors / Multi-Core Architectures & Software
 - Embedded Systems and Software
- SoC Design Methodology
 - HW-SW Co-design
 - SoC Testing
 - Design Verification
 - Signal Integrity / Interconnect Modeling and Simulation
- Low Power & Power Management ICs
 - Power Electronics / Energy Harvesting Circuits
 - Energy-Aware Systems
 - Low Power Design Techniques
- Application Specific SoCs & Emerging Technonogies
 - Display Drivers
 - Image Sensors
 - Sensors and MEMS Circuits
 - Biomedical SoCs
 - Automotive SoCs
 - Nanoelectronic Devices and Circuits
 - 3-D SoCs & System-in-Package

From Jeju International Airport
by Taxi: 10 minutes' ride

Website: <https://www.ramadajeju.co.kr>

