

VOL. 201  
MARCH 2014

IDEC Newsletter | 통권 제201호  
◎ 발행일 2014년 2월 28일 ◎ 발행인 박인철 ◎ 편집인 남병규 ◎ 제작 푸을디자인  
◎ 기획 전항기 ◎ 전화 042) 350-8535 ◎ 팩스 042) 350-8540 ◎ 홈페이지 <http://idec.or.kr>  
◎ E-mail [jhg0929@idec.or.kr](mailto:jhg0929@idec.or.kr) ◎ 발행처 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 미래창조과학부(산업통상자원부), 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩 반도체, 동부하이텍, 엠코테크놀로지코리아, KEC, 에이티세미콘, TowerJazz)의 지원으로 수행되고 있습니다.



VOL. 201 MARCH 2014

## MPW (Multi-Project Wafer) 2014년 MPW 진행 현황

공정	회차구분 (공정_년도순서)	모집칩수 ((mmxmm)x 칩수)/회별	우선모집 신청마감	정규모집 신청마감	참여칩수 ((mmxmm)x 칩수)	DB 마감 (Tape-out)	Die-out	비고
삼성 65nm	S65-1401	(4x4)x48	-	2013.12.09	(4x4)x20	2014.02.17	2014.08.18	DB검토진행
	S65-1402		2013.12.09	2014.02.03	(4x4)x25	2014.08.25	2015.02.27	설계중
	S65-1403		2014.03.03	2014.06.02		2014.12.15	2015.06.12	모집중
매그나칩/ SK하이닉스 0.18μm	MS18-1401	(3.8x3.8)x20	-	2013.12.09	(3.8x3.8)x20	2014.02.24	2014.07.28	설계중
	MS18-1402		-	2014.01.06	(3.8x3.8)x25	2014.05.19	2014.10.20	설계중
	MS18-1403		2013.12.09	2014.02.03	(3.8x3.8)x19	2014.08.11	2015.01.12	설계중(추가모집예정)
	MS18-1404		2014.02.03	2014.05.05		2014.11.10	2015.04.13	정규모집예정
매그나칩/ SK하이닉스0.35μm	MS35-1401	(5x4)x20	-	2014.01.06	(5x4)x20	2014.06.16	2014.10.06	설계중
	MS35-1402		2014.03.03	2014.06.02		2014.12.01	2015.03.23	모집중
동부0.11μm	D11-1401	(5x2.5)x24	-	2013.12.09	(5x2.5)x24	2014.04.02	2014.08.06	설계중
	D11-1402		2014.02.03	2014.04.07	(5x2.5)x8 (2.35x2.35)x8	2014.10.01	2015.02.04	정규모집예정
동부0.18μm BCD	D18-1401	(5x2.5)x4	-	2013.12.09	(5x2.5)x4	2014.02.05	2014.05.14	설계중
	D18-1402		-	2013.12.09	(5x2.5)x4	2014.04.30	2014.08.06	설계중
	D18-1403		2013.12.09	2014.02.03	(5x2.5)x3 (2.35x2.35)x2	2014.08.13	2014.11.19	설계중
	D18-1404		2014.02.03	2014.05.05		2014.11.05	2015.02.11	정규모집예정
동부0.35μm BCD	D35-1401	(5x2.5)x6	-	2013.12.09	(5x2.5)x6	2014.02.19	2014.05.28	제작중
	D35-1402		-	2014.01.06	(5x2.5)x6	2014.05.28	2014.09.03	설계중
	D35-1403		2013.12.09	2014.03.03		2014.09.10	2014.12.17	모집중
	D35-1404		2014.03.03	2014.05.05		2014.11.19	2015.02.25	정규모집예정
TowerJazz 0.18μm BC	TJB18-1401	(5x2.5)x6	-	2014.01.06	(5x5)x3	2014.05.12	2014.09.08	설계중
	TJB18-1402		2014.02.03	2014.04.07		2014.10.20	2015.02.16	정규모집예정
TowerJazz 0.18μm CIS	TJC18-1401	(2.5x2.5)x4	-	2014.01.06	(2.5x2.5)x4	2014.05.05	2014.09.01	설계중
	TJC18-1402		2014.02.03	2014.04.07	(2.5x2.5)x2	2014.10.13	2015.02.09	정규모집예정
TowerJazz 0.18μm CA18HA	TJR18-1401	(2.5x2.5)x4	-	2014.01.06	(2.5x2.5)x4	2014.05.12	2014.09.08	설계중
	TJR18-1402		2014.02.03	2014.04.07	(2.5x2.5)x2	2014.10.20	2015.02.16	정규모집예정
TowerJazz0.18μmSiGe	TJS18-1401	(2.5x2.5)x4	-	2013.12.09	(2.5x2.5)x4	2014.03.11	2014.07.08	설계중

\* 일정은 사정에 따라 다소 변경될 수 있음.  
 \* 우선/정규 모집은 마감일 2주전부터 신청 가능함  
 \* 회차 표기 방법 변경 : 공정코드-년도 모집순서 (예시) 삼성65nm 2014년1회차:S65-1401)  
 \* Package 제작은 Die out 이후 1개월 소요됨  
 \* 동부와 TowerJazz 공정은 sub chip(5mmx2.5mm 또는 2.35mmx2.35mm)으로 분리하여 모집  
 \* 선정 결과는 모집 마감후 15일 이내 개별 통보됨  
 \* 기준일 : 2014. 2. 27

\* 담당 : 이의숙 (042-350-4428, ylslee@idec.or.kr)

## 제 21회 한국반도체학술대회 Chip Design Contest 개최

### Best Design Award 수상 모습



좌 박인철 소장(IDEC), 우 이형우(KAIST)

지난 02월 25일(화), 한양대학교 제1공학관에서 「제21회 한국반도체학술대회 Chip Design Contest」를 개최했다. 이날 행사를 통해 전국 대학에서 참여한 149 참가팀(데모 10, 패널 139)이 그동안의 노력과 실력을 힘껏 발휘했다. Chip Design Contest에 제출한 149편의 논문 중 평가를 통해 가장 우수한 논문을 수상하는 Best Design Award는 KAIST 이형우(논문명 : A 2.4μ W 400nC/s Constant Charge Injection for Wirelessly-Powered Electro-Acupuncture)가 받는 영예를 안았다.

또한, 당일 심사를 통한 데모부분 Best Demo Award는 중앙대 류혁 수상하는 영예를 안았고, SSCS 서울첨터상은 고려대 이준구, 패널부분은 Best Poster Award로 김남형(고려대), 우중린(서울대), 송승훈(서울시립대), 육영섭(KAIST), 김경훈(KAIST)가 선정됐다.

### Chip Design Contest 수상자 명단

#### ● Best Design Award (상장 및 상금 100만원)

논문명	소속	저자
A 2.4μ W 400nC/s Constant Charge Injection for Wirelessly-Powered Electro-Acupuncture	KAIST	이형우, 이용수, 유희준

#### ● Best Demo Award (상장 및 상금 50만원)

논문명	소속	저자
Design of a Fractional-N Frequency Synthesizer for Near Field Communication	중앙대학교	류혁, 하금원, 박준홍, 백동현

#### ● Best Demo Award SSCS 서울첨터상 (상장 및 상금 50만원)

논문명	소속	저자
Streaming ISO18000-6 Type C RFID Tag Design	고려대학교	이준구, 김석욱, 이재성, 박중선, 김철우

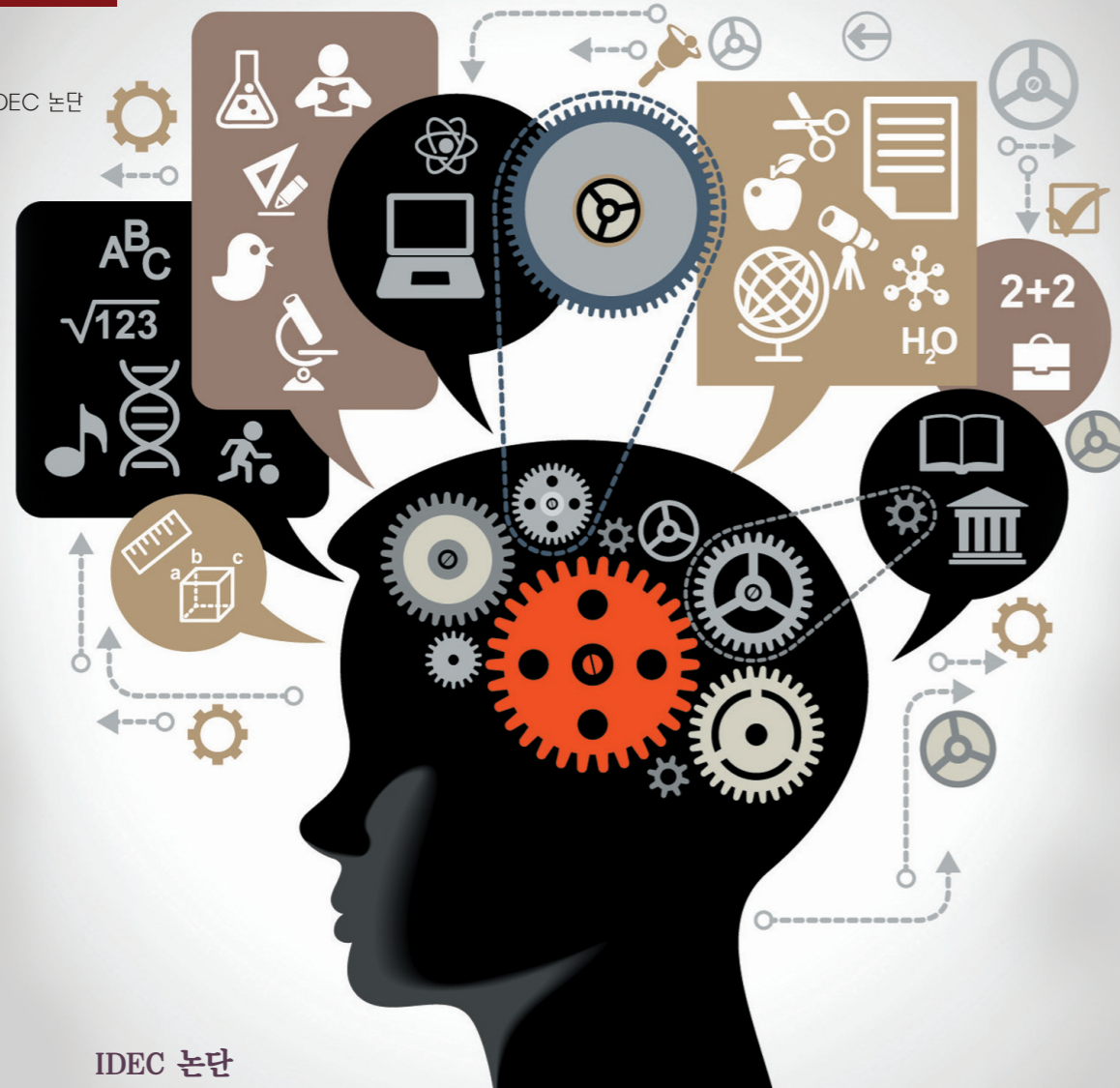
#### ● Best Poster Award (상장 및 상금 20만 원)

논문명	소속	저자
A 60/120 GHz Push-push Voltage Controlled Oscillator in 65 nm CMOS Technology	고려대학교	김남형, 윤종권, 이재성
A 1 W, 68 % PAE Stacked RF Power Amplifier Using 0.18-μ m SOI CMOS	서울대학교	우중린, 박성환, 권영우
A 14-b Ratio-Independent Algorithmic ADC	서울시립대학교	송승훈, 장기창, 박철규, 최중호
Vibration Induced Self-startup for Dual-source Energy Harvesting Interface	KAIST	육영섭, 권희동, 최성원, 조규형
An ANN-Searching Processor for Full-HD 30fps Video Object Recognition	KAIST	김경훈, 오진욱, 신동규, 유희준



### NDA가 체결된 Design Data 유출 금지 안내

IDEC의 MPW 참가를 통해 전달받은 Design Data 일체는 NDA를 통해서 법적인 구속력을 가지며, 관리 소홀로 인한 외부로의 공개 또는 유출 시 개인뿐만 아니라 개인이 속해 있는 WG에 자격 박탈과 같은 강력한 규제가 가해질 수 있습니다. 협약에 의해, 형사상 책임을 물을 수 있음을 알려 드립니다. MPW 참가자 분들은 Design Data 및 관련 자료의 관리를 철저히 하시어 불이익을 당하는 일이 없도록 거듭 당부 드립니다. NDA 체결 후 수령한 Design Kit 일체는 IDEC에 칩 수령 후 2개월 이내에 반드시 삭제하고, NDA 폐기확인서를 제출하여 제3자에 의한 공개 및 유출이 일어나지 않도록 주의 바랍니다.



IDEC 논단

# 사물 인터넷 (Internet of Things) 시대 속 시스템 반도체

아이폰의 등장으로 시작된 스마트 시대는 모바일 폰, 테블릿 등 IT 산업 분야뿐만 아니라 가전 산업, 자동차 산업 등 다양한 산업 분야에까지 큰 영향을 끼쳐 왔다. 특히, 스마트 디바이스의 급속한 확산에 따라 모바일 통신 산업의 패러다임은 '음성 통화'에서 '애플리케이션'으로 전환되었고 이에 따라 하드웨어적인 개선을 통한 고성능 구현이 제품 경쟁력의 척도가 되어 왔다. 각 스마트 디바이스 제조사들은 CPU 코어의 수를 4개 (쿼드 코어), 8개 (옥타 코어)까지 증가시키고 동작 속도 역시 2.0GHz 이상까지 향상 시키는 등 고성능 구현에 초점을 맞추어 개발해왔다. 이러한 기조는 각종 핵심 부품에서부터 최종 완성 제품까지의 하드웨어 경쟁력에 강점이 있는 우리나라에 큰 기회를 가져다 주었다. 이때까지 반도체 강국으로 불리면서도 반도체 산업 중 DRAM 분야에만 치중되어 있던 우리나라는 스마트 시대를 맞아 Flash 메모리 분야뿐만 아니라 그동안 가장 취약하다고 평가받았던 시스템 반도체 분야까지 범위를 확장시키는 계기가 되었다. 물론, 메모리 반도체 분야에 비하면 우리나라의 시스템 반도체 경쟁력은 아직도

많이 부족한 상황이지만 향후 국가 차원의 신 성장 동력으로서의 가능성을 확인하였다는 것에 큰 의미가 있다. 최근 하루가 다르게 급변하는 IT 기술의 발전으로 인해 한 시대를 담당할 기술 트렌드 주기가 점점 짧아지고 있다. 이제 막 시작된 것처럼 보였던 스마트 시대도 벌써 또 다른 모습을 보여주기 위한 준비를 하고 있다. 글로벌 스마트폰 시장은 여전히 성장하고 있지만, 성장률은 둔화 추세를 보이고 있으며 실제로 시장조사 기관 스트래티지 애널리틱스 10년 71.4%로 급증했던 스마트폰 성장률을 올해는 18.1%로 전망하였다. 이에 반해 스마트 글라스, 스마트 워치 등 웨어러블 디바이스는 시장조사 기관 주니퍼 리서치에 따르면 13년 매출 14억 달러에서 18년 190억 달러까지 증가할 것으로 예상하였다. 웨어러블 디바이스의 발전에 따라서 고성능 구현에만 집중하였던 기존 스마트 시대와는 달리 각종 센서를 활용하여 필요 정보를 수집 및 가공하고 사물 간에 통신하는 것이 중요해질 것이다. 즉, 일반 사물까지로 확장된 개념의 스마트 시대로서 사물 인터넷 (Internet of Things) 시대가 도래한 것이다.

사물 인터넷이란 다양한 디바이스 간 모바일 통신을 의미하는 M2M (Machine To Machine)에 컨텐츠까지 포함 시킨 개념이며, 최근 모든 IT 업체들이 역량을 집중하고 있는 분야이다. 구글이 스마트폰 제조 업체인 모토로라를 매각하고, 후 오토메이션 업체인 Nest를 인수한 것과 대부분의 자동차 업체들이 스마트 카를 강조한 것을 볼 때 향후 사물 인터넷의 가파른 성장이 예상된다. 최근 스마트 기기들도 가속도계, GPS, 근접 센서 등 자체 내장된 센서를 활용하여 새로운 서비스를 제공하고 있으나, 스마트 기기 센서의 크기나 가격, 제한된 공간 등으로 다양한 센서들을 모두 내장시킬 수 없는 한계가 있다. 이에 사물 인터넷과의 연동을 통해 외부에 위치하고 있는 다양한 센서를 활용하여 정보를 수집하거나 스마트 기기에서 원격으로 제어할 수 있는 기술 개발에 대한 관심이 증대되고 있다.

사물 인터넷의 핵심 기술은 크게 정보를 수집하기 위한 센싱 기술, 가공을 위한 프로세서 기술 그리고 사물 간 통신하기 위한 네트워크 기술로 구분할 수 있다. 이전까지는 센서의 종류가 많지 않았기 때문에 각 센서로부터 추출된 정보를 개별적으로 처리할 뿐 이를 복합적으로 처리하여 새로운 정보를 만들어 내는 것에 관한 고민이 많지 않았다. 하지만 최근 스마트 기기에는 가속 센서, 자이로 센서, 조도 센서 등 다양한 센서들이 기본적으로 내장 되어 있으며 향후 헬스케어 분야를 위한 인체 센서 등 새로운 센서들까지 그 범위가 확대될 것으로 보인다. 센서의 종류가 다양해짐에 따라 센서별 센싱 감도에 영향을 주는 MEMS 센서는 물론이고, 수많은 센서로부터 추출된 정보를 통합적으로 처리하는 기술이 특히 중요해졌다.

애플의 경우 아이폰5S에 메인 AP인 A7과는 별도로 가속기, 나침반, 자이로스코프 등을 통해 물리적 움직임의 연산 기능을 담당하는 M7이라는 센서 허브 칩을 별도로 내장하였다. 이는 각종 센서들로부터 끊임없이 생성되는 방대한 데이터를 AP에서 처리하게 되면 배터리 소모가 커지는 문제점을 해결하기 위한 방안으로 판단된다. 이 M7 센서 허브 칩은 향후 애플이 웨어러블 컴퓨팅 및 사물 인터넷 시장에 진출하기 위한 기반 기술이 될 것으로 보인다. 애플 외에도 ST마이크로일렉트로닉스 (이하 ST마이크로), NXP 등 다수의 업체가 센서 허브 칩을 개발하고 있으며, 향후 웨어러블 디바이스 시장이 확대되면 각종 생체 인식까지 포함한 통합형 센서 허브 기술의 중요성이 더욱 커질 것으로 예상된다.

특히, 이용자의 주변 정보 (Context)를 종합하여 이용자가 필요로 하는 결과를 제공해 주는 서비스인 맥락 인식 (Context Awareness)을 위해서는 각종 센서 입력 데이터들을 관리하는 소프트웨어 기반의 솔루션이 중요하다. 즉 센서 허브 칩과 같은 하드웨어 기술뿐만 아니라, 센서 퓨전 솔루션과 같은 소프트웨어 기술이 잘 융합되어야 경쟁력 있는 통합 센서 기술을 확보할 수 있다. ST마이크로의 저전력 마이크로 컨트롤러에 Movea의 모션 프로세싱 펌웨어를 탑재하여 상황 인지 및 모션 인식 플랫폼을 개발한 것처럼, 향후 센서 관련 하드웨어 및 소프트웨어 기술 간의 융합이 더욱 중요해질 것으로 보인다. 프로세서와 네트워크 기술의 경우 무엇보다 초저전력 구현

이 관건이다. 전통의 고성능 프로세서 강자이지만 저전력 프로세서 개발에 어려움을 겪고 있는 인텔도 사물 인터넷 시장 대응을 위해 최근 기존 '아톰' 프로세서 대비 사이즈는 1/5, 파워 소모량은 1/10 수준인 '쿼크'라는 이름의 초저전력 프로세서를 개발하였다. 네트워크 기술의 경우 Bluetooth, Zig-Bee, WiFi 등 다양한 표준이 존재하며 웨어러블 디바이스용으로는 Bluetooth가 가장 많이 활용되고 있다. 특히, 애플과 퀄컴은 저전력 기술이 적용된 Bluetooth 4.0 규격 기반의 근거리 무선 통신 기술인 비콘 (Beacon)을 적극 지원하고 있으며 향후 이 기술은 사물 인터넷에 중요한 역할을 할 것으로 예상된다. 최근까지 프리미엄 스마트 기기 개발을 목표로 고성능 구현에 집중하였던 국내 업체들은 사물 인터넷 시대를 대응하기 위해서는 초저전력 관련된 기술 확보가 시급할 것으로 보인다.

지금까지 사물 인터넷 시대를 맞이하기 위해서 필요한 핵심 기술들에 관해서 많은 이야기를 했지만, 이외에도 주의 깊게 봐야 할 기술이 하나 있다. 그것은 바로 보안 기술이다. 최근 해커들이 가정에 설치된 컴퓨터는 물론 TV, 냉장고까지 해킹하여 75만 건의 스팸 메일을 발송한 사실이 밝혀진 적이 있다. 사물 인터넷을 이용한 최초의 해킹 사례가 발생한 것이다. 이를 해결하기 위해서는 네트워크와 프로토콜, 기기나 센서, 서비스 플랫폼, 데이터 등 모든 요소를 고려한 광범위한 방안이 필요하다. 사물 인터넷 시대가 가져다주는 윤택한 삶을 온전히 누리기 위해서는 앞으로 보안 문제를 해결하기 위한 지속적인 고민이 필요할 것이다.

이제 포스트 스마트 시대인 사물 인터넷 시대가 개막되었다. 이때까지 막연하게 고성능과 저전력만을 강조하던 시대를 지나, 사용자 경험 기반의 기술 융합이 중요하다. 각 기술의 개별 기능과 성능 개선을 뛰어넘어 다양한 기술 간의 결합을 통해 새로운 가치를 만들어 내는 것이 필요한 것이다. 사물 인터넷이라는 새로운 기회의 장이 열리고 있다. 사물 인터넷은 제4의 산업 혁명으로 불리울 정도로 도시, 기업, 산업, 개인, 가정의 삶에 큰 변화를 가져다줄 것으로 예상된다. 그 동안 메모리 반도체 강국이지만 시스템 반도체의 불모지였던 우리나라가 한 단계 더 도약할 기회가 왔다. 지금까지 패스트 팔로워로서 성장해온 우리나라가 사물 인터넷 시대에는 퍼스트 무버가 되어 진정한 반도체 강국이 되기를 기대해 본다.



손 보익  
LG전자 SIC 연구소 연구소장

\*외부 필진 기고의 논조는 IDEC 방향과 다를 수 있습니다.



# CAM (Content Addressable Memory) 기술 동향 및 응용

## 서론

최근, 컴퓨터 및 반도체 집적회로 기술의 발전으로 메모리의 용량이 수 기가바이트 범위에 이르고 있다. 하지만 단일 프로세서 구조의 경우에 하나의 CPU가 많은 양의 메모리를 한 번에 하나씩 읽어 처리해야 하기 때문에 CPU 자체의 처리성과 무관하게 전체 시스템의 성능이 저하될 수 있다.

Content Addressable Memory(CAM)는 메모리에 저장된 데이터에 접근할 때 주소를 이용하여 데이터에 접근하는 RAM과는 달리 저장된 내용 자체를 검색하는 방법으로 데이터에 접근하고 처리한다. CAM은 모든 워드를 대상으로 검색 과정이 동시에 진행되므로 한 번의 검색으로 저장된 데이터의 개수에 무관하게 검색할 수 있다. [1] 그러므로 메모리와 CPU 사이에서 발생하는 병목현상에 대해 CAM은 효과적인 개선책이 될 수 있으며, 이러한 이점으로 다양한 연구 분야에서 활용되고 있다.

본 칼럼에서는 대용량 병렬 처리 시스템 개발에 용이한 CAM의 설계 기법을 소개하고자 한다. 또한, 최근에 발표된 주요 연구 그룹들의 CAM과 관련된 응용 연구 동향에 대해 요약하고자 한다.

## 본론

1. CAM(Content Addressable Memory)  
일반적으로 CAM 구동을 위해 CAM 셀 어레이에 여러 주변 회로를 함께 구성하여 설계한다. 그림 1은 CAM 어레이와 주변 회로 구성도를 보여준다.

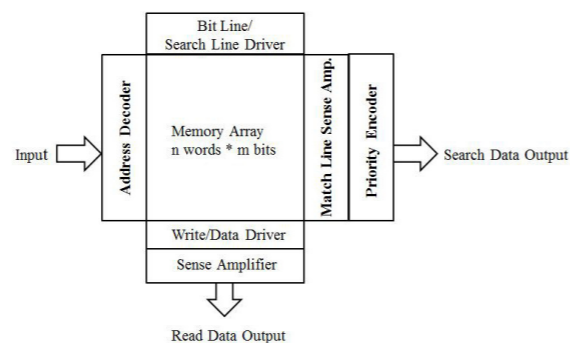


그림 1 CAM 어레이와 주변 회로 구성도

CAM 설계에서 가장 많은 전력을 소모하는 회로는 매치라인 센스 앰플리파이어(Match Line Sense Amplifier)이다. MLSA에 따라 CAM 성능의 차이가 벌어질 수 있으므로 MLSA 설계가 매우 중요시 된다. 일반적으로 고속의 성능을 지닐수록 전력 소모량이 많아지며, 그림 2는 여러 가지 MLSA 구조를 이용하여 각 동작 주파수(50MHz, 500MHz, 1GHz)에서 시뮬레이션했을 때의 전력 소모량을 보여준다. 본 연구팀에서는 고속의 CAM 설계를 위해 고속에서 더욱 적은 전력 소모를 나타내는 Selective Charging MLSA(그림 3)를 사용하였다. [2]

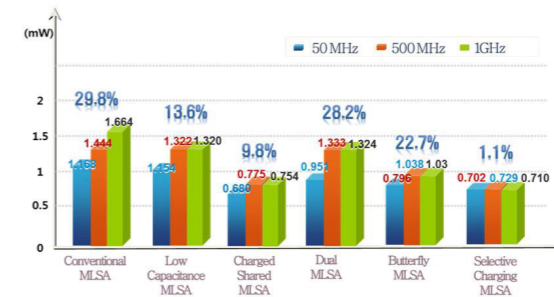


그림 2. MLSA 구조에 따른 전력 소모 비교

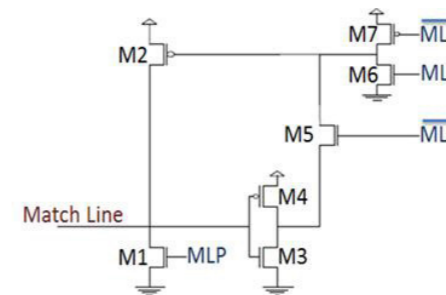


그림 3. Selective Charging MLSA

## 2. CAM 기술 응용

### 2-1. TCAM(Ternary Content Addressable Memory)

· 네트워크 프로세서의 IP 주소 검색 : 인터넷 초창기의 IP 주소 검색은 고정된 길이의 프리픽스를 비교하는 완전 일치 방식(Perfect matching)을 사용하여 단순하게 처리될 수 있었다. 그러나 가변 길이의 프리픽스를 허용하는 CIDR(Classless interdomain routing)의 등장 이후, 목적지 주소에 매치되는 여러 프리픽스 중 최장 매치 프리픽스(LMP, Longest Matching Prefix)를 가장 적합한 프리픽스로서 선택하는 방식으로 처리하게 되었다. 이에 따라 IP 주소 검색이 복잡하게 되었는데, 이를 해소하기 위하여 하드웨어 접근 방식의 IP 주소 검색 기법은 대부분 TCAM(Ternary Content Addressable Memory)을 기반으로 제안되었다. TCAM은 데이터 저장 시 "0", "1" 뿐만 아니라 "X(Don't care)" 값까지 사용할 수 있기에 다수의 메모리 사이

클을 필요로 하는 다른 IP 주소 검색 방식보다 고속의 검색이 가능하여 지속적인 관심을 받고 있다. 그림 4는 병렬 TCAM 기반의 IP 주소 검색 구조를 보여준다. T0~T6의 7개 TCAM 각각은 중첩되지 않는 프리픽스만을 저장한다. 하지만 만일 중첩되는 프리픽스가 발생하게 되면 중첩 프리픽스의 저장에 허용된 T7에 저장한다. 병렬 TCAM 기반 구조는 PE가 필요하지 않으므로 매우 빠른 동작 시간을 갖는다. T7의 경우 PE를 필요로 하지만 저장되는 프리픽스가 극소수이기 때문에 매우 작은 용량으로 만들 수 있다. [3]

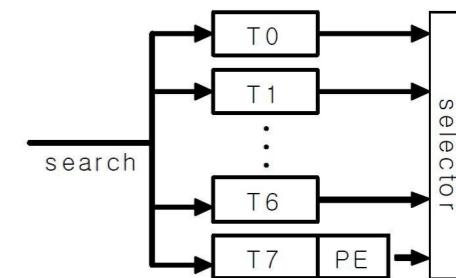


그림 4. 병렬 TCAM 기반 구조

· 제스처 인식 및 모션 감지 : TCAM을 이용하여 제스처 인식 및 모션 감지를 통한 어플리케이션에 활용하는 연구 또한 제안되고 있다. 대용량 병렬 구조의 TCAM을 사용하게 되면 실시간으로 처리되는 데이터양이 많아지므로 3D 비전 프로세서 개발에 용이하다. 최근, 제스처 고유의 이진 데이터를 부여하는 방식을 이용한 어플리케이션 연구 개발이 활성화 되고 있으며, 그림 5는 TCAM 매칭 과정과 이를 이용한 응용 예를 보여준다. [4]

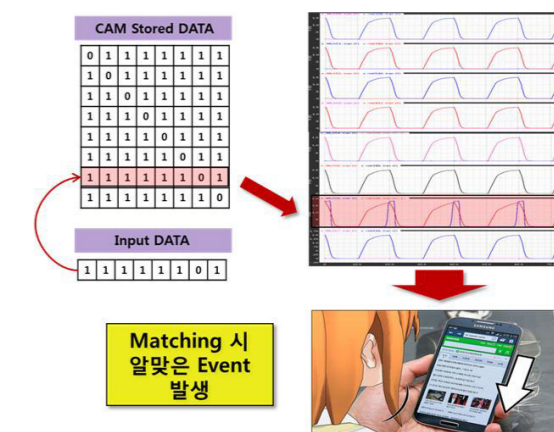


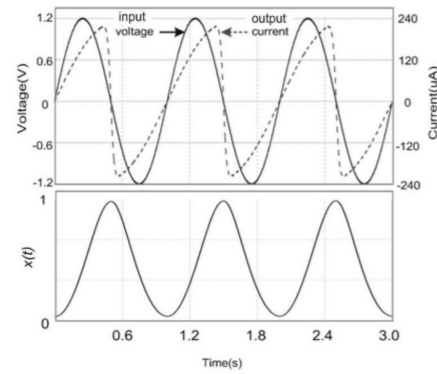
그림 5. TCAM 매칭 과정 및 응용

### 2-2. M\_CAM(Memristor MOS CAM)

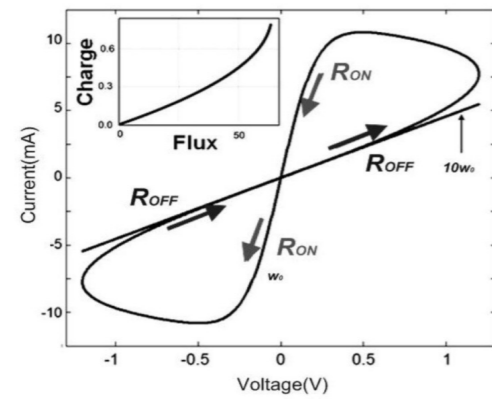
일반적으로 SRAM 기반의 CAM의 문제점은 데이터 저장 방식에 따른 전력 소모와 집적도이다. 이 문제를 해결하기 위해서 메모리 소자인 멤리스터에 데이터를 저장하는 멤리스터 기반의 CAM인 M\_CAM가 제안되고 있다. 멤리스터(Memristor)는 메모리와 레지

스터의 합성어로 이전의 상태를 모두 기억하는 메모리 소자이다. 전 원공급이 끊어졌을 때도 직전에 통과한 전류의 방향과 양을 기억하기 때문에 다시 전원이 공급되면 기존의 상태가 그대로 복원된다.

그림 6 (a)의 실선의 사인곡선은 입력 전압 파형이고, 오른쪽으로 기울어진 점선은 출력 전류 파형이다. 입력전압에 대하여 출력 전류의 위상차이가 생기게 되고 이는 그림 6 (b)와 같은 히스테리시스 곡선으로 표현된다. 이는 지나간 전류의 양을 기억하고 그 결과로서 자체 저항 크기가 변하는 멤리스터의 특성을 보여준다.



(a)



(b)

그림 6. 멤리스터의 전류 전압 특성 곡선  
(a) 입출력 신호 (b) 히스테리시스 곡선

그림 7은 7T-NOR 구조의 M\_CAM 회로를 나타내었다. 빨간색으로 표시되어진 부분은 멤리스터를 메모리 셀로 사용하기 위해 멤리스터에 1개의 액세스 트랜지스터를 더해 단위 셀로 구성하여 나타낸 것이며, M\_CAM을 구성하는 트랜지스터는 NMOS로만 구성되어 있기 때문에 기존의 CAM에 비해 집적도가 높다. [5] 최근, HP에서 D램과 낸드플래시 메모리 반도체의 최대 집적도 향상의 한계에 맞서 멤리스터를 사용한 100Tb 드라이브를 오는 2018년까지 개발 완료하겠다고 발표한 것이 화제가 된 만큼 지속적인 연구 개발을 통하여 고성능 M\_CAM을 개발하게 되면 향후 활용하는 분야가 다양해질 것으로 보인다.

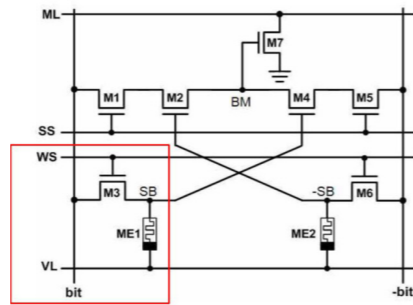


그림 7. 7T-NOR 구조의 M\_CAM 셀

### 2-3. PICAM(Pipelined CAM)

인터넷 라우터에서 기존 CAM을 사용한 방법에서 더 나아가 파이프라인 CAM 구조인 PICAM을 이용하여 라우터의 룩업 테이블의 갱신의 속도를 빠르게 하고, 복잡도도 줄인 IP주소 룩업 방법이 제안되고 있다. PICAM은 그림 8과 같이 3단계의 파이프라인 단계로 이루어진다. 단계 1은 m개의 키필드 블록과 1개의 제어모듈로 이루어진다. 각 키필드 블록은 모두 동시에 동작하며, 블록 단위의 매치 여부를 탐지한다. 제어 모듈은 각 키필드 블록에서의 매치여부를 기반으로 어느 키필드 블록까지 연속적으로 매치가 되는지 탐지하여 매치되지 않는 첫 번째 키필드 블록의 정보와 매치벡터를 다음 단계로 보낸다.

단계 2는 CAM 어레이, 제어 모듈 및 매치벡터버퍼로 구성된 키필드 블록으로 이루어진다. 앞 단계에서 지정해준 키필드 블록에 대해서만 매칭점을 탐지하며, 패킷충돌 시 원활한 처리를 위한 매치 벡터버퍼가 존재한다. 제어 모듈은 BMP 매치되는 엔트리의 위치를 나타내는 히트 벡터를 생성한다. 단계 3은 데이터 필드로 구성되어 있다. 바로 앞 단계에서 입력된 히트 벡터를 기반으로 데이터 필드에서 해당하는 출력 데이터를 외부로 출력하며, 패킷 충돌 시 원활한 처리를 위한 히트 벡터버퍼가 배치된다.

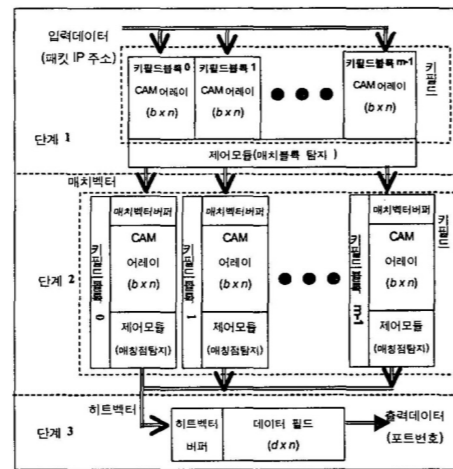


그림 8. PICAM의 구조

표 1은 기존 CAM을 이용한 IP주소 룩업방법과 PICAM을 이용한 방법을 비교하여 정리하였다.

	기존 CAM을 이용한 IP주소 룩업방법			PICAM을 이용한 IP주소 룩업방법
	SLMC방법	MLSC방법	SLSC방법	
IP주소 룩업률	(1/32)P-P	P보다 작음	P	P보다 큼
룩업테이블 갱신시간	O(1)	O(1)	O(n)	O(1)
복잡도	CAM 셀수	32n	422n	64n
	제어회로수	1	32	1

표 1. IP주소 룩업방법 비교표

$P = T_{cam}$ 이고,  $T_{cam}$ 은 일반 CAM 메모리 접근 시간이다. n은  $2^{16}$ 으로, 룩업 테이블의 엔트리 개수이다. 기존의 IP주소 룩업 방법들은 룩업 테이블의 갱신에 대한 고려 없이 오직 IP 주소 룩업률만 높이는 데 주력해, 고속 라우팅에서 룩업 정지나 시호가 지난 경로에 의한 부정확한 라우팅을 하게 되는 문제가 있었다. PICAM을 이용한 IP주소 룩업은 갱신 속도도 매우 빠를 뿐만 아니라 IP주소 룩업률도 높아 라우터의 룩업 테이블의 갱신이 매우 빈번한 백본 라우터에서 더욱 유용하다. [6]

### 결론

이상에서 CAM 설계 기법과 연구 동향 및 응용에 대해 살펴보았다. CAM은 메모리와 CPU 사이에서 발생하는 병목현상 개선에 효과적이므로 고성능 회로 기술 개발 및 응용을 통해 차세대 네트워크 프로세서의 개발에 적용할 수 있게 하는 것이 중요시된다.

최근 연구 동향을 살펴보면, 기존의 CAM에서 더 나아가 TCAM, PICAM을 이용하여 IP 주소 룩업 방법을 개선하려는 시도와 차세대 메모리 소자인 멤리스터를 사용하여 CAM의 집적도를 향상시키는 등의 다양한 연구가 활발하게 이루어지고 있으며, 모바일 기기 중심의 애플리케이션 연구 또한 활성화되고 있어 이종단말기의 특성상 저 전력을 타겟으로 한 고성능화 기술 개발이 필요할 것으로 생각된다.



최 준림 교수  
경북대학교 전자공학부 경북대 모바일-AP 플랫폼센터 CEO  
분야 : System On Chip, 마이크로 센서, 디지털 시스템설계  
이메일 : jrchoi@ee.knu.ac.kr  
http://digital.knu.ac.kr

### Reference

- [1] 박태근, "Content-Addressable Memory를 이용한 확장 가능한 범용 병렬 Associative Processor 설계", 전자공학회 논문지, 43(2), pp.51-59, 2006, 2.
- [2] Gun Sang Park, Hyun Jin Choi, NagaKarthik, T, "Verification of an efficient Match-line Sense Amplifier for the High Frequency Search Operation", ISOC2012, pp.462-465, 2012, 11.
- [3] 김진수, 김정환, "병렬 TCAM 기반의 IP 주소 검색에서 신속한 프리락스 삭제", 한국컴퓨터정보학회논문지, 제15권 제12호 통권 제81호, pp.93-100, 2010, 12.
- [4] T.NagaKarthik, Eun Hye Ahn, Yun Sik Bae, "TCAM Based Pattern Matching Technique for Hand Gesture Recognition", ISOC2013, 2013, 11.
- [5] 강순구, 김두환, 이상진, 조경록, "멤리스터의 모델링과 연상 메모리(M\_CAM) 회로 설계", 전자공학회논문지, 48(7), pp.1-9, 2011.
- [6] 안희일, 조태원, "파이프라인 CAM 구조를 이용한 고속 IP주소 룩업", 전기전자학회논문지, 제5권 제1호 통권 제8호, pp.24-34, 2001.

# 새로운 개념의 웨어러블 디바이스의 출현

## 웨어러블 디바이스의 최신 트렌드

한국에서 웨어러블 디바이스라 하면 갤럭시 기어를 제일 먼저 떠올리겠지만, 그것은 광고의 힘일 뿐이고 실제로 대중적으로 많이 알려지고 사용되는 제품은 바로 나이키의 나이키+ 퓨얼 밴드(Nike+ Fuel Band)다. 나이키 퓨얼밴드는 국내에서 정식으로 판매되지 않아 정확한 사용자 수를 알기는 어렵지만, 상당히 많은 사람이 미국에서 직접 구입하여 국내에 들여오는 것으로 알려져 있다.



김석기 대표이사  
 (주)모폰웨어블스  
[www.facebook.com/mophon](http://www.facebook.com/mophon)

### 웨어러블 디바이스 어떤 것들이 있나

나이키 퓨얼 밴드 외에도 비슷한 기능의 피트빗(FitBit), 미스핏 샤인(shine), 조본(Jawbone) 등이 있고, 스마트 시계로는 e-Ink 스크린을 채용한 펠 워치(Pebble Watch)와 소니의 스마트 워치(Smart Watch) 그리고 갤럭시 기어가 있다. 여기까지가 세상에서 실제 판매되고 사용되는 웨어러블 기기들이다. 안경형 디바이스인 구글 글래스(google glass)역시 유명하기는 하지만 실제로 써본 사람이 몇 명 없어 본격적으로 대중적 기기라 말하기는 어렵다.

### Wearable Device 시판 제품 형태별 분류

안경형 Device	시계형 Device	밴드형 Device	기타 Device
 Google glass	 Galaxy Gear	 Nike+ Fuel	 Underarmour e39
	 Pebble Watch	 Misfit Shine	 Google talking shoes
	 Sony Smart Watch	 Jawbone	 Fitbit

← Multi Function      Simple Function →



Notificator



신체기능 확장



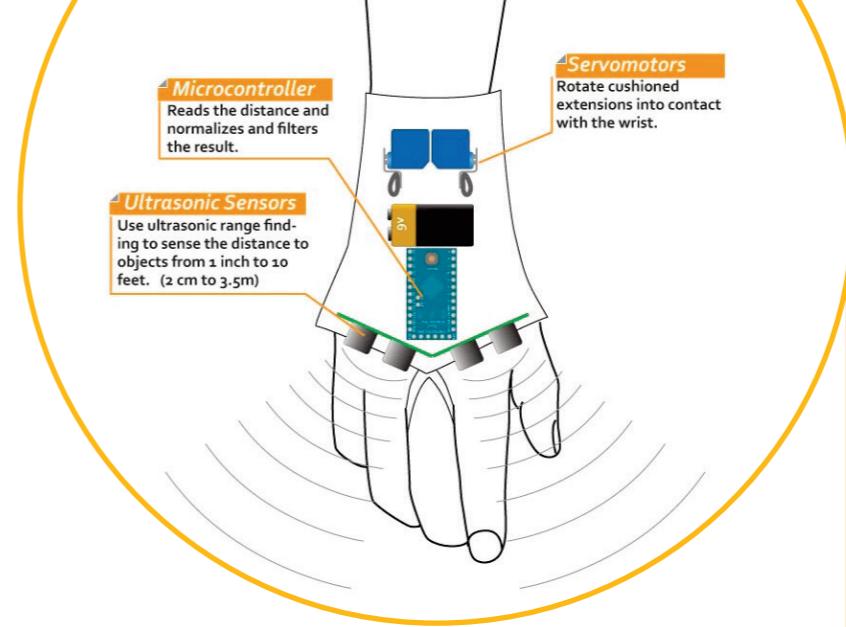
Activity Tracker



Health Care

이제까지 나온 유명한 기기들을 살펴보면 (구글 글래스를 제외하고) 폼팩터로 보면 크게 두 가지인데 하나는 펠워치나 갤럭시 기어와 같은 '시계형 기기' 이고 비슷하게 손목에 차지만 시계형이 아닌 '밴드형 기기' 이다. 사실 웨어러블 기기를 편의상 형태별로 나누긴 했지만 웨어러블 기기를 폼팩터로 나누는 것은 적절한 분류 방법이 아니다. 스마트폰이나 태블릿과 달리 웨어러블 기기는 특정하지 않은 형태로 얼마든지 구현 가능하다. 구글은 안경뿐 아니라 콘택트렌즈 형 기기를 개발하고 있으며, 가발이나 목걸이, 반지, 장갑 등 무엇이든 웨어러블 기기가 될 수 있다. 형태별로 분류하자면 제품이 나올 때마다 새로운 분류가 생겨나야 한다.

오히려 형태적인 측면의 분류보다는 기능적인 측면에서의 분류가 더 타당하다. 나이키나 조본은 일종의 만보기로서 사람들의 운동량과 거리 등을 측정한다. 액티비티 트래커(Activity Tracker)로 분류하고, 펠워치는 스마트폰과 연동하여 전화나 메시지가 오는 것을 알려주는 noti피케이터(Notificator)이다. 갤럭시 기어는 두 가지 기능이 다 있지만 주로 사람들이 noti피케이터로 사용한다. noti피케이터나 액티비티 트래커 외에 웨어러블 디바이스의 또 다른 기능은 헬스케어(Health care) 기능이다. 액티비티 트래커와 유사하지만, 혈당이나 체온, 혈압 등을 측정하여 운동량이 아니라 건강을 체크하는 기기이다. 나머지 기능적 분류로는 장애극복 등을 위한 신체기능의 확장이다.



웨어러블 디바이스를 통한 신체기능확장이란 예를 들어 청각장애인이 구글 글래스를 이용한다고 가정해보자. 청각장애인은 들을 수 없지만 청각장애인이 착용한 구글 글래스의 마이크를 통해 전달된 음성은 Speech to Text 기능을 통해 글자로 변환되어 구글 글래스의 디스플레이에 보여진다. 이렇게 되면 청각장애인은 상대방의 말소리 자체를 들을 수는 없지만, 상대가 무슨 말을 하는 지 구글 글래스를 통해 전달받을 수 있게 된다. Tacit이라는 기기는 시각장애인을 위한 웨어러블 장치인데 울트라 소닉센서(Ultrasonic Sensor)를 이용하여 손등에 착용하면 2CM에서 3.5M 전방에 있는 물체를 센서로 감지하여 이에 대한 정보를 시각 장애인에게 가볍게 두들겨서(Haptic) 제공하는 기기이다.

### 새로운 개념의 웨어러블 디바이스의 출현

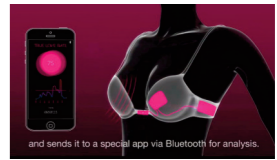
현재까지 출시된 웨어러블 디바이스 제품들이 대부분 손목에 착용하는 시계형이나 밴드형이었지만 이런 형태를 탈피한 새로운 개념과 기능의 웨어러블 디바이스들이 속속 개발되고 있다.

### 웨어러블 디바이스 핵심 요소

시계산업을 보면 시계에 들어가는 무브먼트는 전 세계에서 몇 개의 회사에서만 생산하며, 수천 개의 시계회사에서 이곳 회사의 무브먼트를 받아다 시계를 생산한다. 당연히 기능적인 차이도 거의 없으며, 요즘에는 싸건 비싸건 시간이 안 맞는 시계도 거의 없다. 그 많은 시계의 경쟁력은 정확한 시간이나 시계의 기능적인 측면보다는 디자인과 시계의 소재, 브랜드 등에서 나오는 것이다.

마찬가지로 현재 웨어러블에서 사용되고 있는 통신기술(blueooth, Wifi 등)과 각종 센서들(GPS, Gyro Sensor 등)은 모두 산업 표준 기술을 사용한다. 이 이야기는 누구라도 기능적인 측면에서 웨어러블 디바이스를 구현하고자 할 때 특허와 같은 기술적인 진입 장벽이 없다는 의미이며, 시계산업과 마찬가지로 웨어러블 디바이스의 디자인과 사용성, 브랜드가 바로 경쟁력이다. 그리고 한가지 더한다면 가격 경쟁력이다. 웨어러블 디바이스는 디지털기기의 영역에 있으면서 동시에 패션 제품의 영역에 속하고 있기 때문에 패션 산업이 가지는 속성에 주목해야 하는 이유이다. 아무리 기능이 뛰어나다 하더라도 착용에 불편함을 느끼거나 디자인이 떨어지면 사용하지 않는 것이 착용하는 제품의 가장 큰 특징이다.

작년부터 시작된 웨어러블 디바이스의 트렌드가 올해 가장 뜨거운 이슈가 될 전망이다. 전세계 스마트폰 시장의 성장률이 둔화되고 있으며 이를 타개할 신성장 동력으로 많은 시장의 플레이어들이 웨어러블 디바이스를 주목하고 있다. 현재 주력으로 개발하는 웨어러블 디바이스는 주로 안경, 밴드, 시계, 팔찌 등의 형태이지만 앞으로는 피부에 직접 부착하는 Patch 형태로 진화할 것이며 궁극적으로는 신체 내에 직접 이식하거나 나노기술을 이용하여 복용할 수 있는 단계까지 진화할 것이다. 어떤 형태까지 발전할지는 모르지만, 앞으로 웨어러블 디바이스가 대세가 되는 것은 분명하다. 세상은 우리가 느끼는 속도보다 빠르게 바뀌고 있다.



**1 트루러브 테스터**  
 True Love Tester 라는 이름의 브래지어는 일본의 Ravaijor사에서 개발했는데, 여성의 신체에서 발생하는 신호(호흡, 맥박, 체온) 등을 분석해서 이 브래지어를 착용하고 있는 여성이 진짜로 사랑하는 감정을 느낀다고 분석될 때 자동으로 브라의 후크가 풀리는 제품이다. 약간은 장난스러워 보이는 면이 없지 않지만, 상당히 유니크하고 재미있는 발상의 웨어러블 제품이다.



**2 헤드밴드형 전화기 RunPhone**  
 지난 1월에 라스베이거스에서 열렸던 CES 2014에서 선보인 헤드밴드형태의 전화기 RUNPHONE도 재미있는 웨어러블 기기이다. 골전도를 이용하여 밴드형태로 통화가 가능해 운동 시에 유용한 기기이다.



**3 일상을 기록하는 개인 블랙박스 LOOXIC 3**  
 자동차에 장착된 블랙박스처럼 몸에 부착하는 개인용 블랙박스 형태의 웨어러블 디바이스인 LOOXIC도 눈여겨 볼만하다. 이 제품은 HD급 비디로를 라이브 비디오 스트리밍과 스냅 등을 통해 일상의 모든 장면을 기록할 수 있다.



**4 스마트폰을 조정하는 iRing**  
 이 반지는 애플의 모바일 기기(iPhone, iPad)를 제어하는 장치로 반지 내에 센서가 장착되어 이 센서가 애플 제품의 카메라와 인터페이스 되어 반지의 움직임에 의해서 애플 제품의 카메라와 인터페이스 되어 반지의 움직임을 읽어낸다. 현재까지는 IOS기기의 뮤직앱을 제어하는 기능에 머물고 있지만, 활용범위가 넓어질 것이다.



XILINX SPARTAN-3, XC3S1000(1백만 게이트, 432K Block RAM)

IS61LV256AL-10T, 1M-bytes of Fast Asynchronous SRAM on Board

VGA, RS-232, LED, Switch, PS-2 등의 각종 인터페이스

50MHz crystal oscillator, 3개의 40-PIN expansion connectors

# 디지털 시스템의 MPW 설계 방법에 대한 이해 (1)

## SoC 시스템과 IDEC MPW Flow 소개

### 서론

최근 심각해지는 반도체 업계의 인력난과 어려움에 반하여 대학 및 관련 분야에서는 숙달된 고급 인력의 지속적인 양성이 힘들어 둘 사이에 장벽이 존재하고 있다. 이는 축적된 노하우를 바탕으로 지속적인 칩 제작을 하면서 고급인재를 양성하는 대학 및 연구실이 많지 않다는 것을 뜻하며, 칩을 만들고자 하는 대학은 HOW-TO 문서를 그때그때 검색하고 짧은 기간에 임기응변식의 칩 제작을 한다는 뜻이기도 하다. 실제 MPW 참여자들의 경우 정기적으로 참여하는 팀과는 대조적으로 MPW 참여와 동시에 구글링부터 시작하는 사람들

이 많다. 칩 설계 고급 인력 양성을 위해서는 시간과 노력이 많이 들어가야 하므로 직관적이고 정확한 이론 및 실습자료가 매우 필요하다.

이 때문에 SoC 디자인의 물리적인 구현을 하는 방법에 대하여 본고를 포함하여 총 4회에 걸쳐 소개하고자 한다. 실제 공정사의 PDK를 전체 칩 구현 과정에 적용하는 모습을 볼 수 있도록 작성하여 디지털 SoC 시스템을 칩으로 구현하려는 사람들에게 매우 유용한 가이드가 될 것이다. 먼저 본고에서는 SoC 시스템 소개 및 IDEC에서 진행하는 MPW Flow에 대해 알아보려고 한다.

### 본론

#### 1. 시스템 구조 소개

본 고에서 소개할 디자인은 2013년 9월에 IDEC 본 센터에서 개설된 IDEC 연구원 교육에서 사용된 디지털 시스템이다. 그림 1에서 기본적인 구조를 확인할 수 있다. FPGA 내부에 구성될 온칩 시스템을 살펴보면, Core-A 프로세서와 SRAM 인터페이스, UART 컨트롤 모듈이 암바 버스를 통해 연결되어 있다.

암바 버스는 AHB 와 APB, 그리고 AHB-to-APB 브리지로 구성되어 있으며 UART 컨트롤 모듈을 제외한 모든 모듈은 AHB 통신을 하고 있다.

전체 시스템 클럭 스피드는 50MHz이며 AHB 버스는 50MHz, APB 버스는 25MHz로 동작한다. 보드 레벨을 살펴보면, FPGA와 SRAM 메모리, UART 전압 레벨 슈프터로 구성되어 있다. Xilinx Spartan 3 FPGA의 경우, 내부에 존재하는 Block 메모리의 크기가 432K bytes로 서 용량이 제한적이므로 보드에 있는 1M bytes SRAM 메모리를 사용하기로 한다.

UART 전압 레벨 슈프터는 PC의 UART 전압과 온칩 레벨의 UART 전압이 서로 다르다는 문제를 해결해준다. 이는 검증 보드에 구성된 것으로서, RTL 소스 코딩이 별도로 필요하지 않으므로 추가적인 고려는 하지 않는다.

이 시스템의 기본 동작 원리는 메모리에 "Hello World"를 출력하는 기본적인 C 프로그램을 내장한 뒤 시스템 리셋을 시키면, Core-A 프로세서가 인스트럭션 흐름에 맞게 순차적인 동작을 수행한 뒤 UART 케이블을 통해 문자를 전송하여 PC 화면으로 출력하는 것이다.

기본적으로 UART는 PC로의 출력만을, 메모리는 Read 동작만을 수행하게 되어 있다. 그런데 대부분의 검증 보드 제작 회사들은 보드 메모리의 단순 읽기, 쓰기만 하는 테스트 예제만 제공할 뿐, SoC 시스템 개발자 입장에서 꼭 필요한 기능인 소프트웨어 hex, bin 파일의 다운로드 기능은 제공하지 않는다.

간혹 양방향 메모리를 보드에 구성하고, 옵션적인 모듈과 프로그램 및 케이블을 통해 PC와 연결하는 방법으로 제공하는데, 이를 위해 추가적인 구매를 하도록 유도하는 경우도 많다

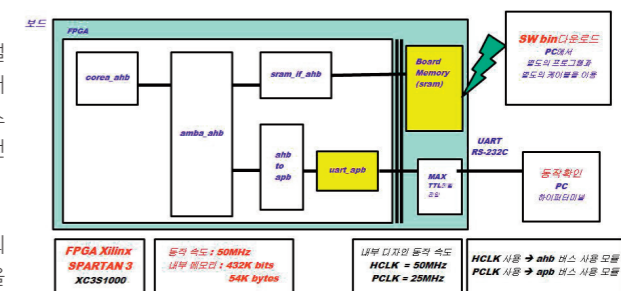


그림1 기본 시스템 구조

이런 문제를 해결하기 위하여 IDEC은 그림 2와 같이 온칩 시스템 내부에 FIFO를 추가 구성하는 방안을 제안했다. 기존 시스템의 Board 메모리와 uart 컨트롤러 사이에 FIFO를 1대 1로 연결하는 방식으로서, PC에서 터미널 콘솔을 이용하여 hex 파일을 보내면 UART를 통해 들어온 8 Bit 인스트럭션을 순차적으로 32 Bit로 구성하여 메모리에 적재하는 방식이다.

통신 속도는 다소 느리지만, 기존의 시스템에 큰 변화를 주지 않고 복잡한 통신을 이용하지 않으면서 하드웨어 사이즈 변화를 최소화할 수 있다는 장점이 있다.



그림2 FIFO를 포함한 제안된 구조

이런 구성 방식을 채택하게 되면 온칩 시스템 개발자는 중점 문제를 해결하고자 메모리와 UART로 가는 길을 선택적으로 운영해야만 한다. FIFO는 소프트웨어를 메모리에 적재하는 경우에만 사용하기 때문에 시스템 리셋 전까지는 메모리-FIFO-UART가 직접 연결되도록 한다.

소프트웨어 적재가 완료되면 FIFO의 점유를 분배하여 기존 동작이 가능하도록 하면 쉽게 해결할 수 있을 것이다. 아울러, 보드에 구성된 외부 스위치의 ON, OFF를 사용하면 사용자가 편리하게 선택적인 통제를 할 수 있을 것이다.

본 시스템을 합성한 결과로서, Slice Register는 2,172 사용으로서 전체 용량의 14%를 사용했고, 4 input LUT는 5,530 사용으로서 전체 용량의 36%를 사용했다.

## 2. 시뮬레이션 및 FPGA 검증

SoC 시스템 검증은 시뮬레이션 검증 및 FPGA 검증 순으로 진행한다. 검증 툴로는 Xilinx ISE, Mentor Modelsim SE를 사용하는데 툴 버전의 제한은 특별히 없다.

순수한 Modelsim SE는 Xilinx 라이브러리를 포함하지 않기 때문에 Xilinx ISE 툴의 Accessory 기능인 Simulation Library Compilation Wizard 실행을 통해 라이브러리들을 생성한 뒤 modelsim.ini 파일을 수정하여 모델심 환경 안으로 Import하면 되겠다.

본 시스템 검증에 사용한 FPGA 보드는 그림 3을 통해 확인할 수 있다. 사용된 보드는 Xilinx SPARTAN-3 Starter Board로서 간단한 스펙은 아래와 같다.

특징으로는 사용된 Asynchronous 메모리가 256K x 16 SRAM이 2개라는 점과 40 핀의 커넥터 헤더 3개를 통해 외부와의 GPIO 연결이 가능하다는 점 그리고 가격이 매우 저렴하다는 점을 꼽을 수 있다.

- XILINX SPARTAN-3, XC3S1000(1백만 게이트, 432K Block RAM)
- IS61LV256AL-10T, 1M-bytes of Fast Asynchronous SRAM on Board
- VGA, RS-232, LED, Switch, PS-2 등의 각종 인터페이스
- 50MHz crystal oscillator, 3개의 40-PIN expansion connectors

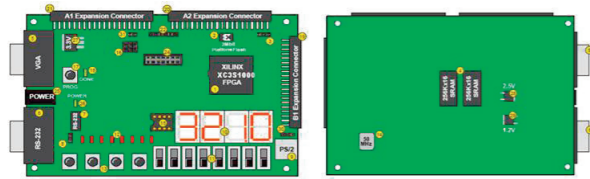


그림3 검증 보드 Xilinx Spartan-3 Starter Board

전체적인 테스트 환경은 그림 4에 묘사되어 있다. 합성될 영역은 FPGA 내에서 구현될 SoC 모듈이다. Core-A 프로세서, AMBA 버

스, UART, FIFO를 모두 포함하고 있는 TOP 모듈이다. 오른쪽으로는 메모리 Behavioral 모델이 보이는데, 위에서 언급된 것처럼 메모리 모델 2개가 모여 1M Bytes 용량을 이룬다.

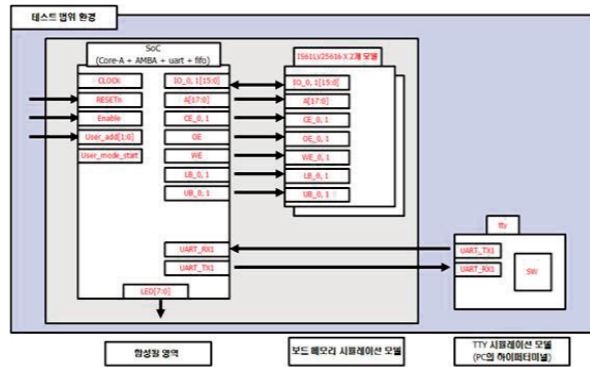


그림4 테스트 환경

메모리는 Asynchronous 하기 때문에 클럭 대신 추가적인 Enable 신호가 필요하다. 아울러 PC에서 터미널 프로그램을 통해 소프트웨어 hex 파일을 전송할 것이므로 이를 동일하게 모델링한 UART 통신 기반의 TTY 모듈도 준비되어 있다.

TTY 모듈은 HEX 파일을 8비트 단위로 분할하여 UART 통신 라인으로 전송하는데, 이를 위해 FIFO 알고리즘이 내부적으로 구현되어 있다.

아울러, 그림 4에서 묘사하고 있는 모듈들은 모두 RTL 소스로 구성되어 있다. 따라서 SoC 모듈에 메모리를 더하면 시뮬레이션으로 보드 동작까지 테스트할 수 있고, 더 나아가 TTY 모듈까지 통합한다면 PC의 동작까지 시뮬레이션 할 수 있으므로 매우 신빙성 있는 검증을 할 수 있다.

온칩, 보드, PC까지 포함한 시뮬레이션이 가능하도록 하는 RTL 소스의 공개는 현재로서는 일부만 가능하다. FIFO 및 UART, 메모리와 관련한 소스들은 오픈이 가능하여 현재 IDEC 홈페이지에서 다운로드가 가능하다.

홈페이지 최초 이용자의 경우 간단한 회원 가입이 필요할 것이다. 시뮬레이션 결과 파형은 그림 5와 6을 통해 확인할 수 있다.

그림 5의 시뮬레이션 TOP 모듈은 SoC로서, PC에 있는 HEX 코드가 SoC 모듈의 UART 포트를 통해 들어오면 FIFO를 통해 메모리로 전송하는 모습을 볼 수 있다.

그림 최하단의 UART\_RX1 포트에서 토글링이 계속 일어나는 모습

은 PC로부터 UART Receive 단자로 HEX가 들어오고 있다는 것이며, 실제 HEX 전송은 PC를 모델링 한 TTY 모듈에서 하고 있다.

입력되고 있는 HEX 코드들은 UART를 거치므로 8bit로 들어오며, FIFO는 수신한 코드들을 그림 하단의 흰색 표시된 write\_value\_to\_IO\_0, 1 포트들을 통해 외부로 순차적으로 전송한다.

이 포트들은 보드 SRAM 메모리와 직접 연결되어 있으므로 write\_flag 값이 1인 동안 메모리에 WRITE를 수행한다. A 포트는 메모리로 인가될 주소 값을 담당하는데 전송을 4번하여 32비트 적재를 완료하면 자동으로 +1이 될 수 있도록 구현되었다.

그림 상단에는 HEX 파일의 내용을 볼 수 있는데, Endian에 맞게 0C, 6C, 06, 01 순으로 전송되는 모습을 확인할 수 있다.

그림처럼 FIFO가 이상 없이 동작할 수 있는 것은 흰색으로 표시된 Enable 신호가 1이 되어 있기 때문인데, 이 신호는 Fifo의 동작을 제어하며, 보드 검증시 유저가 스위치를 통해 직접 조작할 수 있도록 구성했다.

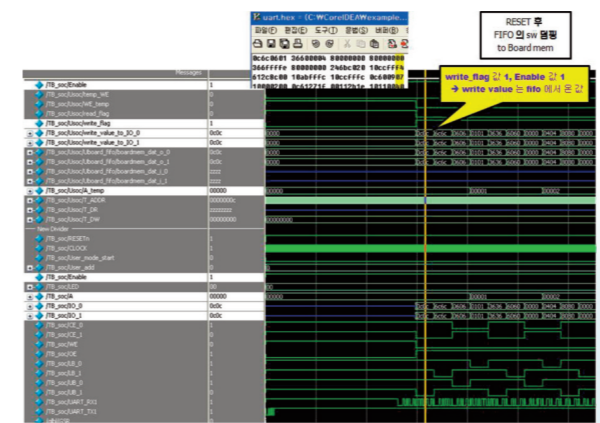


그림5 시뮬레이션 검증 결과

그림 6은 HEX 파일의 메모리 덤프가 완료된 직후 모습을 나타내고 있다. 그림 6에서의 TOP 모듈은 역시 SoC로서 시스템 리셋 후 정상 동작을 하는 모습을 확인할 수 있다.

그림에서 흰색으로 하이라이트 처리된 RESET이 토글된 후 UART\_TX1 포트값이 빈번하게 토글링되는 모습을 확인할 수 있다. 이는 Hello 메시지가 나오고 있는 것으로서, 보드 검증 시에는 터미널 콘솔 프로그램을 통해 Hello 메시지를 확인할 수 있을 것이다.

참고로 화면에서 나타낸 시그널들 중에 A, IO\_0/1, CE\_0/1, WE,

OE, LB\_0/1, UB\_0/1 등은 보드 메모리와 직접 연결되어 있는데, 현재 시점은 덤프 후 시스템 리셋된 직후이므로 모든 포트의 통제는 메인 프로세서인 Core-A가 스스로 하고 있다.

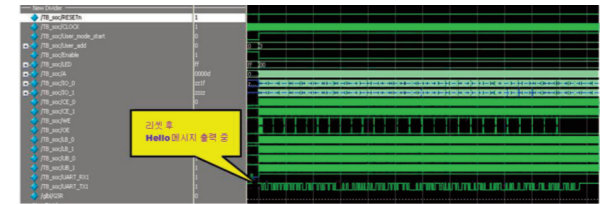


그림6 시뮬레이션 검증 결과

보드 검증 결과는 그림 7에서 확인할 수 있다. PC에서 실행된 터미널 콘솔의 조작을 통해 FPGA 내부에서 동작하는 SoC 모듈의 이상 유무를 검증한다. 터미널 프로그램은 Multi threaded TTY를 사용했는데, 독자들이 이미 사용하고 있는 콘솔이 있다면 기존 것을 사용해도 문제없다.

그림에서는 통신 포트와 Baudrate 를 설정하여 UART 통신을 시작하고, 준비된 hex 파일을 전송한 뒤 최종적으로 터미널에 나타나는 메시지들을 보여주고 있다. 동일한 메시지가 반복되는 것은 유저가 시스템 리셋 스위치를 반복적으로 누른 결과로서, 이는 Core-A 프로세서가 메인으로 동작할 때의 결과이다.





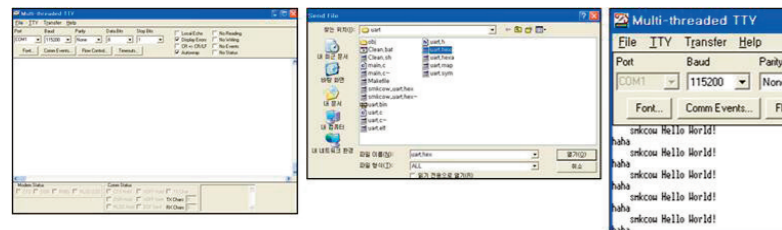


그림7 보드 레벨 검증 결과

전체 시스템에 이상이 없고, 제안된 FIFO가 잘 구현되었음을 확인했다면 SoC 설계자는 하드웨어의 안정화가 끝났으니 그 위에서 구동되는 소프트웨어의 설계 및 검증을 하게 될 것이다.

이 과정에서는 소프트웨어의 메모리 적재 과정이 매우 빈번하게 일어날 테니 FIFO의 존재 하나만으로 하드웨어와 관련되어 낭비될 반복적인 컴파일 시간을 비약적으로 단축시킬 수 있을 것이고 유저 입장에서는 메모리 접근에 있어서 편리함을 느낄 수 있을 것이다.

본 내용에서는 자세히 소개하지 않았지만 FIFO를 통한 메모리 덤핑 직후에 간단한 디버깅 모드가 추가적으로 구현되어 있다.

메모리에 값이 잘 들어가 있는지를 판단하기 위한 것으로서 유저가 확인하고자 하는 주소 값을 보드에 구성되어 있는 스위치를 통해 입력하면, 메모리에 있는 인스트럭션 값을 읽어온 뒤 LED를 통해 출력하여 유저가 확인할 수 있도록 한다. 자세한 내용은 IDEC 홈페이지에 있는 내용을 확인하면 되겠다.

### 3. IDEC MPW flow 소개

본격적으로 합성 내용에 들어가기 전에 IDEC MPW flow를 먼저 살펴봐야 할 것이다. IDEC에서 권장하는 Design Flow 는 Front-End 와 Back-End를 합쳐 총 11개의 단계로 구성된다.

합성 Synthesis와 합성 전후의 RTL-to-Netlist 비교를 통한 Equivalence Check, Static Timing을 분석하는 STA 과정, Dynamic Simulation을 통한 검증까지를 Front-End 라고 일컫는다.

그림 8에서 Front-End 과정을 확인할 수 있다. 공정사 자체적으로 사용하는 In-House 툴인 Vela, Cubic 등의 Delay Calculation 툴도 사용한다면 Front-End 범주 안에 들어갈 것이다.

당연한 얘기지만, 각 과정을 끝냈을 때 결과가 만족스럽지 못하다면 이전 과정으로 돌아가서 문제점을 보완해 나가야 한다. 예상치 못한 이유로 반복적인 작업이 계속될 수 있으니 최단 시간에 결과를 만족시키기 위해서는 많은 경험과 노하우가 필요할 것이다.

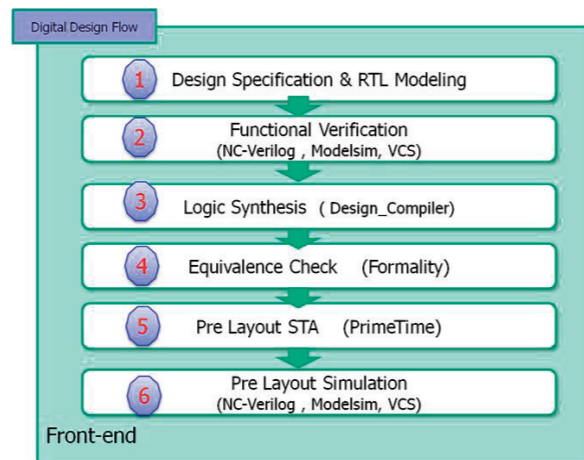


그림8 IDEC MPW FLOW (Digital Front-End)

Front-End 과정이 이상 없이 끝났다면 최종 결과 파일인 게이트 레벨 넷리스트 및 타이밍 constraint 파일 등을 입력으로 한 Back-End 과정을 진행한다.

그림 9에서는 Back-End 과정을 볼 수 있는데, 가장 중요한 과정은 7번으로서 Auto Floorplanning 과 Auto Routing을 할 수 있는 Synopsys Astro 또는 IC Compiler 이다.

이 툴들을 통해 배치 배선을 완료하면 전후 비교를 하는 Equivalence Check 후에 실제적인 딜레이 값을 뽑아내는 RC Extraction 단계를 거치게 된다. 실제 딜레이 값은 배치 배선되어 있는 layout 상태를 참고하여 뽑아내는데, layout 정보를 표현하는 넷 리스트 파일과 연동하여 Static 타이밍과 Dynamic 타이밍을 모두 체크하면 최종 검증이 완료된다.

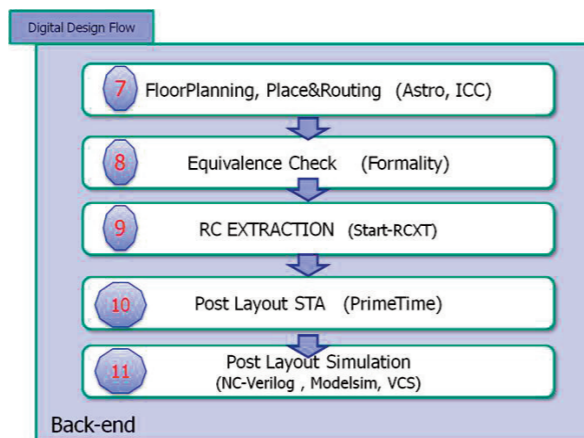


그림9 IDEC MPW FLOW (Digital Back-End)

11 단계를 모두 거쳐야만 칩 동작을 최소한 보장할 수 있다. 하지만 노하우가 없거나 툴 사용이 처음인 사람들은 문제 해결 능력이 다소 부족하므로 많은 시간을 필요로 할 것이다.

그래서 실제 MPW 참가자들 중에는 11 단계를 모두 진행하지 못하고 합성과 Auto PnR만을 진행한 뒤 Tape Out을 하는 사람들이 다수 발생하곤 한다. 아날로그, RF 설계자들이 Post Simulation 까지 진행한 뒤 최종 DB를 제출하는 것과는 대조적인 모습인데, 칩 동작 성공률이 기대치보다 적은 것은 그런 이유 때문이 아닐까 생각한다.

물론 11 단계 후에 설계자들이 사용했던 패턴셀을 Real 셀로 Overwrite 하는 마지막업이 있고, 그 후에도 검증을 할 수 있는 단계가 있지만 11단계를 다 완료한 사람이라면 실패할 확률이 그만큼 줄어들 것이다.

이번 호에서는 Core-A 시스템의 FPGA 검증과 IDEC MPW Flow에 대해서 알아보았다. 다음 호에는 IDEC MPW Flow를 참고하여 Synopsys Design Compiler를 이용한 합성에 대해 알아보려고 한다.

본 내용은 2013년 9월에 IDEC 본센터에서 개설된 IDEC 연구원 교육 자료를 요약, 정리한 것으로서 자세한 자료는 IDEC 홈페이지에서 다운로드 및 VoD 시청이 가능합니다.



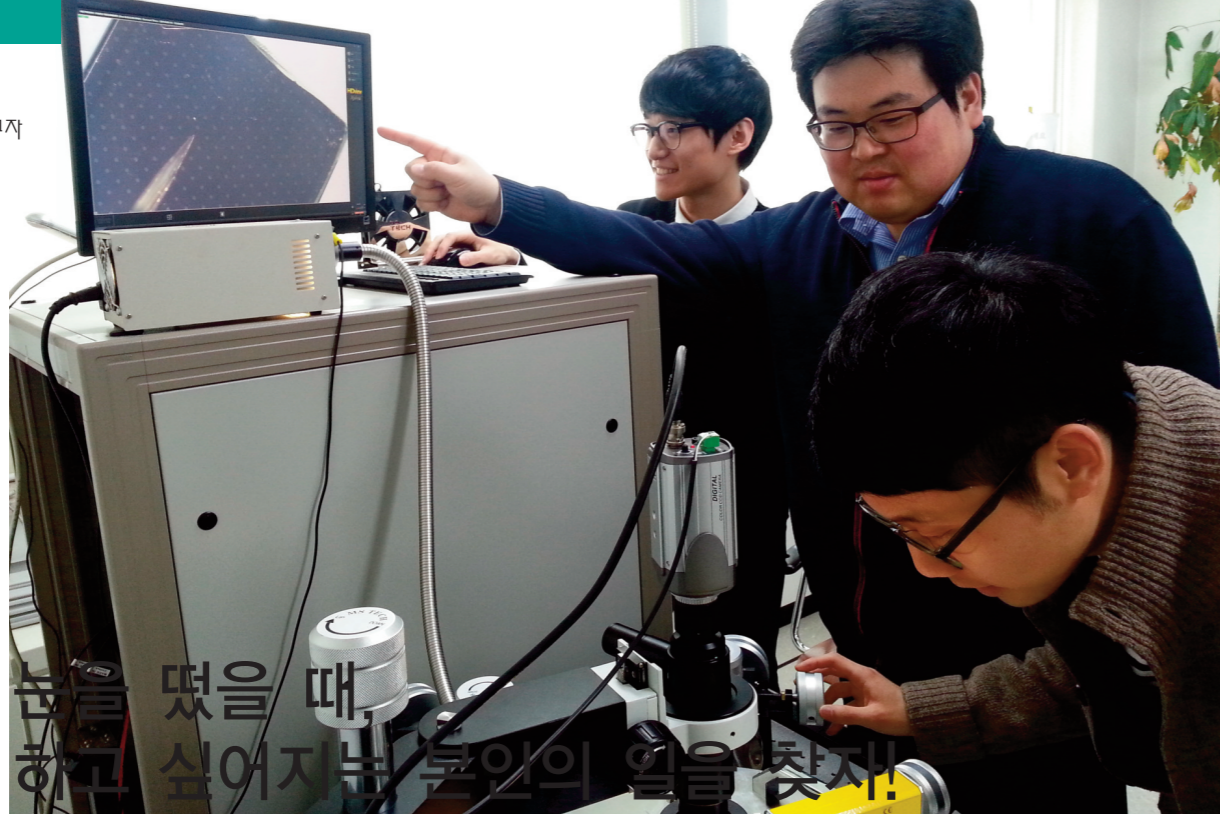
선혜승 선임연구원  
소속 : 반도체설계교육센터  
E-mail : smkcow@idec.or.kr  
http://www.idec.or.kr

### 참고문헌

다이나믹, Core-A Processor 예제, 2009  
Synopsys, Design Compiler Student Guide  
Synopsys, solvnet.synopsys.com  
Core-A, www.core-a.net

본 내용의 무단 배포 및 사용을 금합니다





**매일 아침 눈을 떴을 때, 가장 먼저 하고 싶어지는 본인의 일을 찾게!**

문제가 잘 풀리지 않다가 어느 한순간의 노력과 아이디어로 지난 몇 달 혹은 몇 년간 풀리지 않던 문제가 해결되는 짜릿한 경험을 해본 적이 있는가? 꾸준한 노력에 대한 값진 보상과 보람 덕분에, 지치지 않고 묵묵하게 연구를 수행하고 있는, 서울시립대 전자·전기컴퓨터 공학부의 신창환 교수를 만나보았다.



신 창 환 교수  
서울시립대  
전자전기컴퓨터공학부

**“현재보다 앞으로가 더 기대가 큰 연구 분야”**

신창환 교수는 서울시립대 전자·전기컴퓨터 공학부에 조교수로 재직 중이며, 0.5V 이하의 구동전압으로 동작 가능한 Steep-switching 트랜지스터 개발 및 random variation의 물리적 이해 및 모델링인 10-nm 이하급 CMOS extension technology 개발과 종이 위에 출력하여 사용할 수 있는 전자소자를 연구하고 있다. 실리콘 기반의 공정미세화 기술 개발 속도 둔화에 따라 CMOS extension technology 개발은 앞으로 반도체 시장의 확대에 매우 중요한 분야이다. 양산 가능성, cost-effectiveness 등을 고려한 상용 가능한 반도체 기술 개발은 힘들지만 성공 시 큰 가치가 있는 분야 중 하나일 것이다. 때문에 20년 이후에는 원자(atom)로 이루어진 atom transistor가 CMOS 연장 기술의 핵심이 될 것이다.

**“어려움 속에서 찾은 즐거움으로 시작된 길”**

그는 학부 시절, 반도체 물리 및 소자와 관련된 학부 수업이 가장 어렵게 느꼈었다고 한다. 반면에 가장 재미있던 분야 또한 이 수업이었다면서 “물성전자공학, 반도체공학, 반도체디바이스, 반도체 공정, 전자회로, 아날로그집적회로, 디지털집적회로와 같은 교과목을 수강하면서 제 세부 전공분야를 결정하게 되었습니다.” “특히, 회로를 구성하는 기초 부품소자인 트랜지스터 설계를 통해, 반도체 공정 및 소자 설계관점에서 저전력 혹은 고성능 집적회로 설계를 해보고 싶었고, 지금까지도 그 분야로 계속해서 공부 및 연구 중입니다.” 그는 석박사 과정 중에 〈Random Variation in CMOS technology and variation-robust device design〉, 〈SRAM Yield Analysis〉, 〈Steep-switching CMOS Device〉 연구를 진행했다고 한다.

**“미래를 꿈꾸는 자만이 대성할 수 있다는 믿음”**

공부에 지치거나 연구를 진행함에 있어서 막혀, 현재 내가 가는 길에 대한 확신이 없어 힘들어 하는 학생들을 만날 때가 있다. 이에 신창환 교수는 본인이 처한 환경을 탓하기에 앞서, 미래의 성공한 자기 모습을 꿈꾸며, 매 순간 열정을 가지고 기회를 잡을 수 있는 준비되어 있는 삶을 강조했다. “미래를 꿈꾸는 자만이 대성할 수 있다고 믿습니다. 그리고 매일 아침 눈을 떴을 때, 가장 먼저 하고 싶어지는 본인의 일 (job)을 찾을 수 있기를 희망합니다.” 그는 연구를 진행하다가 긴 시간 어려운 문제에 부딪혔을 때, 한순간의 노력과 아이디어로 해결되는 짜릿한 경험을 느꼈다고 한다. 그 짜릿함의 매력 때문에 힘든 과정에서도 지치지 않는다고 한다. “꾸준한 노력에 대한 보상과 보람은 고민 중의 문제가 해결될 때 받는 거 같습니다. 그래서 새로운 연구를 수행할 때면, 항상 열정을 가지고 연구에 임할 수 있습니다.” 현재 반도체 기술의 고도화와 다양한 Applications 발굴을 통해, 지금의 반도체 산업은 지속적으로 발전해 나갈 것이라고 생각하는 신창환 교수는 우리 대한민국이 이공학 분야의 노벨상 최다 수상자 배출을 꿈꾸고 있다. Atom 구성하고 있는 string (끈)을 이용한 트랜지스터 개발에 도전하고 싶다는 그의 포부에서 앞으로의 연구활동에 대한 기대와 희망이 느껴진다.

▶ 문의 서울시립대학교 공과대학 반도체소자및회로연구소 전화 02-6490-2348  
E-mail cshin@uos.ac.kr Homepage https://sites.google.com/site/edlatuos/



**시상 및 포상 종류**

반도체설계대전 자유주제 공모전 (기존 공모전)					
구분	대상	인원수	포상	비고	당선자에 대한 지원
대학원생	최우수상	1	1,000만원	대통령상	<ul style="list-style-type: none"> <li>기술혁신형 중소기업 (INNOBIZ) 지정 평가시 가점 부여</li> <li>수상자에 대한 기술 거래 및 상업화 지원</li> <li>언론 매체를 통한 수상자와 수상작 홍보</li> </ul>
	우수상	1	700만원	국무총리상	
	장려상	2	각 400만원	산업통상자원부장관상	
대학원생	최우수상	3	각 300만원	특허청장상	
	우수상	1	200만원	한국과학기술원장상	
	장려상	1	200만원	한국반도체산업협회장상	
반도체설계대전 창의 IP 공모전					
구분	대상	인원수	포상	비고	
대학생	최우수상	1	200만원	특허청장상	
	우수상	1	150만원		
	장려상	1	100만원		
대학원생	최우수상	1	200만원	특허청장상	
	우수상	1	150만원		
	장려상	1	100만원		
반도체설계대전 진흥 유공자 포상					
구분	대상	인원수	포상	비고	
장르	최우수상	1	400만원	특허청장상	
	우수상	1	200만원		
	장려상	1	200만원	한국반도체산업협회장상	

**신청자격, 대상**

**반도체설계대전 자유주제 공모전**  
 신청자격: 내국인으로서 반도체설계의 연구 또는 개발업무에 종사하는 반도체설계 관련 기업·연구소·대학의 개인 또는 팀(3인 이하)  
 응모대상: 2014년 3월 3일 현재 정부시상 또는 동 설계대전에서 수상한 사실이 없으며, 설계결과를 제출하기까지 반도체 설계가 완성된 작품

**반도체설계대전 창의 IP 공모전**  
 신청자격: 내국인으로서 국내소재 반도체설계분야 대학·대학원에 재학중인 대학생 또는 대학원생 개인 또는 2인의 팀  
 응모대상: 2014년 3월 3일 현재 정부시상 사실이 없으며, 결과를 제출하기까지 설계가 완성된 작품

**반도체설계대전 진흥 유공자 포상**  
 공 로 상: 반도체 설계 분야에서 5년 이상 재직하며, 국내 반도체 설계 관련 산업과 기술을 진흥함으로써 국민 경제의 발전에 이바지한 자  
 특 별 상: 국내 반도체설계 분야의 진흥, 인력양성 및 자부심 함양에 기여한 기업 또는 개인

**신청기간**

**반도체설계대전 자유주제 공모전**  
 참가신청: 2014. 3. 3(월) ~ 2014. 4. 27(일)  
 ≪ 설계결과를 설명서 제출기한: 2014. 7. 27(일) ≫

**반도체설계대전 창의 IP 공모전**  
 참가신청: 2014. 3. 3(월) ~ 2014. 4. 27(일)  
 ≪ 설계작품 설명서 및 결과를 제출기한: 2014. 7. 20(일) ≫

**반도체설계대전 진흥 유공자 포상**  
 참가신청: 2014. 3. 3(월) ~ 2014. 7. 27(일)

**신청방법 및 결과발표**

• 참가 신청서 또는 포상 신청/추천서를 작성하여 특허청 홈페이지, 우편 또는 E-mail로 신청  
 홈페이지: [www.kipo.go.kr/semicon-design](http://www.kipo.go.kr/semicon-design)  
 우 편: 대전광역시 서구 청사로 189, 정부대전청사 4동 602호  
 표준특허반도체팀 (우)302-701  
 E-mail: [semicon-ip@kipo.go.kr](mailto:semicon-ip@kipo.go.kr)  
 • 공모전 참가신청서는 홈페이지에 공개된 권리보호요강을 서명하여 같이 제출하여야 함

**반도체설계대전 창의 IP 공모전 주제 및 참고사항**

• 주제: 이미지 무손실 압축 및 복원 제품의 구현  
 • 결과물 제출목록: 소스파일, 실행파일, 이미지 압축 결과물 및 복원된 이미지 결과물 모두  
 -우편 이용시 결과물이 가뭇된 저장 매체(USB 등)를 함께 제출해야 함  
 • 설계 언어: C언어(대학생) 및 HDL(대학원생)  
 • 사용 이미지: 홈페이지에 공개된 5개의 샘플을 모두 사용해야 함  
 • 2014년 8월 31일까지 수상작 발표 예정

**선정절차**

**반도체설계대전 자유주제 공모전**  
 • 예선심사(설계결과물제출서의 서류평가, 8월) 및 본선심사(설계결과물 시연 및 발표, 9월)

**반도체설계대전 창의 IP 공모전**  
 • 설계작품 설명서의 내용과 설계작품 결과물을 시뮬레이션하여 종합 평가(8월)

**반도체설계대전 진흥 유공자 포상**  
 • 반도체설계 분야의 진흥, 인력양성 및 지식재산 창출 공헌도 등을 고려하여 산·학·연 전문가, 특허청 및 유관단체 인사 중에서 5~7인으로 구성된 포상추천심사위원회(8월)가 추천한 대상자 중 1인 선정(9월)

**공모전 선정방법 및 결과발표**  
 • 선정방법: 산·학·연·관 전문가 중에서 7인 이하로 구성된 심사위원회에서 평가  
 • 결과발표: 특허청 홈페이지 게시 및 개별통보

**기 타**

• 문의처: 특허청 특허심사기획국 표준특허반도체팀  
 ☎ 042-481-8499, [semicon-ip@kipo.go.kr](mailto:semicon-ip@kipo.go.kr)  
 • 참가신청서, 제출서류 및 결과물의 보안 유지(심사위원: 비밀유지 서약서 제출)  
 • 시상식 일자: 2014. 10월 (예정)

주 최: 특허청  
 공동 주관: 특허청 · 한국반도체산업협회  
 후 원: 산업통상자원부 · 한국발명진흥회