



VOL. 200
JANUARY 2014

IDEC Newsletter | 통권 제200호

◎ 발행일 2014년 1월 31일 ◎ 발행인 박인철 ◎ 편집인 남병규 ◎ 제작 푸울디자인
◎ 기획 전항기 ◎ 전화 042) 350-8535 ◎ 팩스 042) 350-8540 ◎ 홈페이지 <http://idec.or.kr>
◎ E-mail jhg0929@idec.or.kr ◎ 발행처 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 미래창조과학부(산업통상자원부), 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩 반도체, 동부하이텍, 엠코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.

VOL. 200 FEBRUARY 2014

MPW (Multi-Project Wafer) 2014년 MPW 진행 현황

공정	회차구분 (공정_년도순서)	모집팀수 ((mmxmm)x 칩수)/회별	우선모집 신청마감	정규모집 신청마감	참여팀수 ((mmxmm)x 칩수)	DB 마감 (Tape-out)	Die-out	비고
삼성 65nm	S65-1401	(4x4)x48	-	2013.12.09	(4x4)x18	2014.02.17	2014.08.18	설계중
	S65-1402		2013.12.09	2014.02.03		2014.08.25	2015.02.27	모집중
	S65-1403		2014.03.03	2014.06.02		2014.12.15	2015.06.12	
매그나칩/ SK하이닉스 0.18μm	MS18-1401	(3.8x3.8)x20	-	2013.12.09	(3.8x3.8)x20	2014.02.24	2014.07.28	설계중
	MS18-1402		-	2014.01.06	(3.8x3.8)x25	2014.05.19	2014.10.20	설계중
	MS18-1403		2013.12.09	2014.02.03		2014.08.11	2015.01.12	모집중
	MS18-1404		2014.02.03	2014.05.05		2014.11.10	2015.04.13	
매그나칩/ SK하이닉스0.35μm	MS35-1401	(5x4)x20	-	2014.01.06	(5x4)x20	2014.06.16	2014.10.06	설계중
	MS35-1402		2014.03.03	2014.06.02		2014.12.01	2015.03.23	
동부0.11μm	D11-1401	(5x2.5)x24	-	2013.12.09	(5x2.5)x24	2014.04.02	2014.08.06	설계중
	D11-1402		2014.02.03	2014.04.07		2014.10.01	2015.02.04	모집중
동부0.18μm BCD	D18-1401	(5x2.5)x4	-	2013.12.09	(5x2.5)x5	2014.02.05	2014.05.14	설계중
	D18-1402		-	2013.12.09	(5x2.5)x4	2014.04.30	2014.08.06	설계중
	D18-1403		2013.12.09	2014.02.03		2014.08.13	2014.11.19	모집중
	D18-1404		2014.02.03	2014.05.05		2014.11.05	2015.02.11	모집중
동부0.35μm BCD	D35-1401	(5x2.5)x6	-	2013.12.09	(5x2.5)x6	2014.02.19	2014.05.28	설계중
	D35-1402		-	2014.01.06	(5x2.5)x10	2014.05.28	2014.09.03	설계중
	D35-1403		2013.12.09	2014.03.03		2014.09.10	2014.12.17	
	D35-1404		2014.03.03	2014.05.05		2014.11.19	2015.02.25	
TowerJazz 0.18μm BC	DTJB18-1401	(5x2.5)x6	-	2014.01.06	(5x2.5)x1	2014.05.12	2014.09.08	설계중
	TJB18-1402		2014.02.03	2014.04.07		2014.10.20	2015.02.16	모집중
TowerJazz 0.18μm CIS	TJC18-1401	(2.5x2.5)x4	-	2014.01.06	(2.5x2.5)x4	2014.05.05	2014.09.01	설계중
	TJC18-1402		2014.02.03	2014.04.07		2014.10.13	2015.02.09	모집중
TowerJazz 0.18μm CA18HA	TJR18-1401	(2.5x2.5)x4	-	2014.01.06	(2.5x2.5)x1	2014.05.12	2014.09.08	설계중
	TJR18-1402		2014.02.03	2014.04.07		2014.10.20	2015.02.16	모집중
TowerJazz0.18μmSiGe	TJS18-1401	(2.5x2.5)x4	-	2013.12.09	(2.5x2.5)x4	2014.03.11	2014.07.08	설계중

* 일정은 사정에 따라 다소 변경될 수 있음.
 * 우선/정규 모집은 마감일 2주전부터 신청 가능
 * 회차 표기 방법 변경 : 공정코드-년도 모집순서 (예시) 삼성65nm 2014년1회차:S65-1401)
 * Package 제작은 Die out 이후 1개월 소요됨
 * 동부와 TowerJazz 공정은 sub chip(5mmx2.5mm 또는 2.35mmx2.35mm)으로 분리하여 모집
 * 선정 결과는 모집 마감후 15일 이내 개별 통보됨
 * 최종 정리일 : 2014. 1. 22

* 문의 : 이의숙 (042-350-4428, ylslee@idec.or.kr)

2014년 2월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

강좌 일정

센터명	강의일자	강의제목	분류
본센터	02월 11일-13일	IC Compiler 사용법 및 활용예	Tool강좌
	02월 14일	Virtuoso AMS Designer v11.1	Tool강좌
	02월 17일-19일	Mixed Analog Layout	설계강좌
	02월 21일	Virtuoso Analog simulation Technique v6.15	Tool강좌
	02월 27일-28일	High speed broadband transceiver IC design technique	설계강좌
경북대 IDEC	2월 11일-13일	PCB 설계의 이해와 실습 (Cadence OrcAD/Allegro 활용)	설계강좌
부산대	2월 05일-07일	공학도를 위한 MATLAB 기초 및 활용	설계강좌
	2월 19일-21일	Verilog-HDL을 이용한 Digital System 설계	설계강좌

- 강좌일 : 2월 11일-13일
- 강좌 제목 : IC Compiler 사용법 및 활용예
- 강사 : 신학건 차장 (Synopsys)

강좌개요 Synopsys 가 제공하는 Auto place & routing tool인 IC Compiler 트레이닝을 기반으로 하여 Auto P&R 에 대한 design flow 를 이해 하고, ICC 를 실행시키기 위해 필요한 input file 을 읽어 들이는 방법을 습득하고, Auto P&R 의 각 절차를 진행하기 위해 필요한 ICC 명령어를 이해 하고 실행해 봄으로서, 금번 교육과정 이수 후에C Compiler를 이용하여 산업현장에서 chip 에 대한 implementation 을 위해 Auto P&R 을 진행 할 수 있는 능력을 키우기 위한 교육

수강대상 대학원생, 회사원
강의수준 초급
강의형태 이론+실습
사전지식,선수과목 Design Compiler, PrimeTime

- 강좌일 : 2월 14일
- 강좌 제목 : Virtuoso AMS Designer v11.1
- 강사 : 서승원 차장 (Cadence Korea)

강좌개요 Analog-Mixed Signal Circuit Simulator Tool인 AMS Designer 사용방법 교육
수강대상 Analog-Mixed Signal Circuit Engineer
강의수준 중급
강의형태 이론+실습
사전지식,선수과목 사전지식 : Analog/Digital Design simulation 경험 필수
선수과목 : Verilog Language/ NC-Verilog Simulator/ Spectre Simulator Analog Design Environment/ Schematic Editor

- 강좌일 : 2월 17일-19일
- 강좌 제목 : Mixed Analog Layout
- 강사 : 박익근 이사 (파인스)

강좌개요 IC 개발 단계 중 Layout 의 중요성에 대한 인식을 재고하고 Layout 수행 시 고려해야 할 사항을 고찰하며, 고려해야 할 사항에 대해 실습을 통하여 체득하게 하고, 체득된 내용을 실무에 적용할 수 있도록 하는데 목표를 갖는다. 또한 특성 과 원가 개념 모두에 대한 고취가 이루어지도록 한다.

수강대상 Chip설계 유 경험자 대학원생 (아래의 사전지식 및 선수과목 필히 참조 요망)
강의수준 중초급
강의형태 이론+실습
사전지식,선수과목 Mixed Analog Circuit 의 간단한 동작 특성 해석 가능
 Process 개요 및 소자의 수평 수직 구조 이해
 Virtuoso Layout Editor이용 작업 가능 및 실무 경험(필수)
 Calibre Verification Tool 사용 및 검증 기능(필수)

- 강좌일 : 2월 21일
- 강좌 제목 : Virtuoso Analog simulation Technique v6.15
- 강사 : 이상철 차장(Cadence Korea)

강좌개요 ADE-XL을 이요한 Circuit simulation 진행시 필요한 기능에 대한 전반적인 설명 및 Lab진행
수강대상 Analog circuit design engineer
강의수준 중급
강의형태 이론+실습
사전지식,선수과목 사전지식 : Analog Circuit Simulation
 선수과목 : Virtuoso Analog Design Environment, Spectre Circuit simulator

- 강좌일 : 2월 27일-28일
- 강좌 제목 : High speed broadband transceiver IC design technique
- 강사 : 배현민 교수 (KAIST)

강좌개요 광대역 송수신기와 관련된 통신이론과 구현방법 그리고 각 구성요소들(PLL, equalizer, MUX/DeMUX, VGA)에 관한 설계 기법을 배운다.
수강대상 대학원생, 직장인
강의수준 중급 **강의형태** 이론
사전지식,선수과목 전자회로 디지털 통신

∞ 문의 : KAIST IDEC 구재희 (042-350-8536, kjh9@idec.or.kr)

○ 2014년 2월 교육프로그램 안내

- 강좌일 : 2월 11일-13일
- 강좌 제목 : PCB 설계의 이해와 실습 (Cadence OrCAD/Allegro 활용)
- 강사 : 장대웅 과장 (나인플러스EDA(주))

강좌개요 PCB는 모든 제품에 빠지지 않을 정도로 많이 사용되고 있으며, 현재는 고밀도, 다층, 고효율 PCB가 요구되고 있다. PCB 설계의 트렌드는 비약적으로 발전하고 있으며 또한 이에 부합하는 엔지니어의 능력도 요구되고 있다. 본 교육을 통해 PCB 설계의 흐름을 이해하고 PCB설계 실습을 통해 설계의 전반적인 흐름을 이해하고 활용할 수 있다.

수강대상
전자, 전기, 정보통신공학전공 관련 대학생
관련 분야 산업체 연구원

강의수준 초, 중급

강의형태 이론+실습

∞ 문의 : 경북대학교 IDECC 주현아 (053-950-6857, idecc@ee.knu.ac.kr)

- 강좌일 : 2월 5일-7일
- 강좌 제목 : 공학도를 위한 MATLAB 기초 및 활용
- 강사 : 차의영교수 / 부산대학교 공과대학 정보컴퓨터공학부

강좌개요
- MATLAB의 기본 개념 및 명령어에 대해서 배운다.
- MATLAB을 이용한 프로그래밍 방법과 시각화에 대해 배운다.

- GUI의 설계 방법에 대해 배운다.
- GUI를 이용하여 간단한 응용 프로그램을 만들어 본다.

수강대상 이공계열의 학부 및 대학원생

강의수준 초급 ~ 중급

강의형태 이론+실습

사전지식, 선수과목 다른 컴퓨터 언어를 알고 있으면 배우기가 쉬움.

- 강좌일 : 2월 19일-21일
- 강좌 제목 : Verilog-HDL을 이용한 Digital System 설계
- 강사 : 강봉순 교수/동아대학교 전자공학과

강좌개요 디지털 하드웨어 설계의 국제 표준언어인 Verilog HDL의 기초이론과 응용에 대하여 학습한다. 습득한 이론을 바탕으로 기능 블록을 설계하고, 최종적으로 디지털 전자시계의 전체 기능을 Verilog HDL을 이용하여 설계한 후에 Training Kit에 Download 하여 기능을 확인한다.

수강대상 2학년 수료자 디지털논리회로 설계 초보자

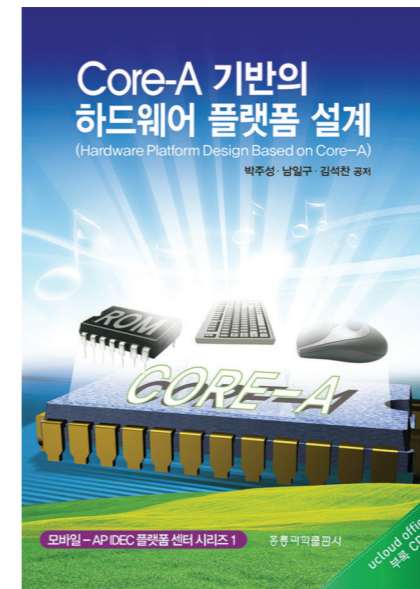
강의수준 중급

강의형태 이론+실습

사전지식, 선수과목 논리회로

∞ 문의 : 부산대 IDECC 윤성심, 지화준 (051-510-2828, idecc@pusan.ac.kr)

○ 경북대 모바일-AP 플랫폼 센터 신/간/소개



Core-A 기반의 하드웨어 플랫폼 설계

- 박주성, 김석찬, 남일구 저 -

이 책은 특허청에서 지원으로 개발한 한국형 CPU인 Core-A를 기반으로 한 플랫폼을 개발하는 과정을 다룬다. 플랫폼 개발과정을 소개하는 목적은 독자들이 다른 CPU를 이용하여 특수목적에 맞게 독자적인 플랫폼을 개발할 때 참고할 수 있게 하는 것이다. 완벽한 플랫폼을 만드는 것은 현실적으로 많은 어려움이 있다. 이 책은 기본적인 플랫폼을 구성하는 과정을 소개하여 독자들이 스스로 필요한 플랫폼을 구성할 수 있는 능력을 갖추게 하는 것을 목표로 한다. 그리고 대학원 수준에서 하드웨어와 소프트웨어를 인터페이스하고 전체 시스템을 구성하는 방법에 대하여 공부할 수 있게 하는 목적도 있다. 교재와 더불어 HW와 SW 소스 코드를 제공 받을 수 있어 독자 스스로 플랫폼을 설계하고 구현해 볼 수 있다.

가격 : 20,000원

출판사 : 홍릉과학출판사 (Tel: 02-999-2274, hongpub@hongpub.co.kr)
문의 : 변보련 행정원 (Tel : 053-950-6858, ipc-mobile@ee.knu.ac.kr)

○ Chip Design Contest (CDC)

제21회 한국반도체학술대회(KCS) Chip Design Contest 개최

- 1. 일정 및 장소**
가. 일정 : 2014년 2월 25일(화)
나. 장소 : 한양대학교 제1공학관, 서울

2. 행사 진행 일정

구분	시간	장소
데모/패널 전시	09:30 ~ 16:30	한양대학교 내
시상식	18:30 ~	시상식

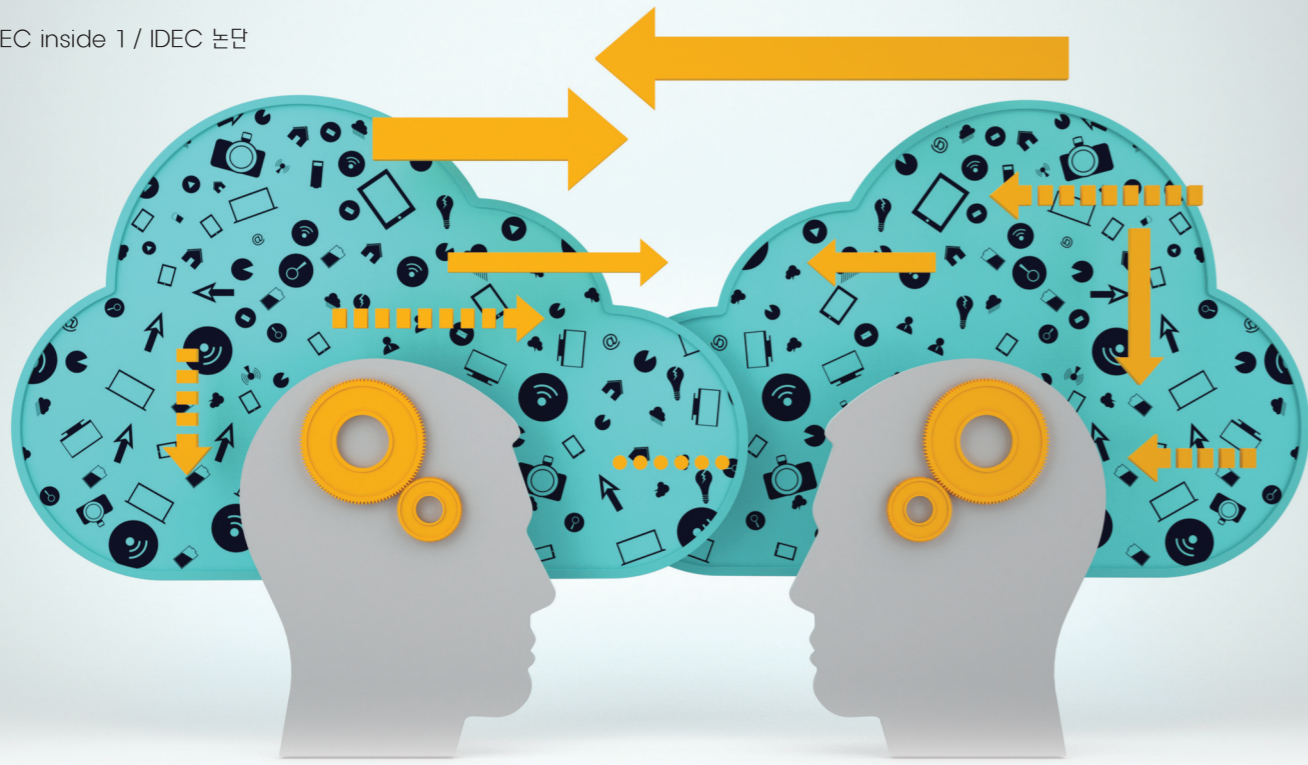
3. 시상내역

Award 명	수상팀수	내역
Best Design Award	1팀	상장 및 상금 100만원
Best Demo Award	1개팀	각 상장 및 상금 50만원
	특별상(SSCS 서울챔피언) 1팀	
Best Poster Award	5개팀	각 상장 및 상금 20만원

* 수상팀 수는 참여팀 수 등에 따라 조정될 수 있음.

관련사항

- * KCS와 관련한 자세한 사항은 홈페이지(<http://kcs.cosar.or.kr>)를 참조
- * 담당 : 구재희 선임(042-350-8536, kjh9@idecc.or.kr)



IDEC 논단

시스템반도체의 미래, SW융합에 달려있다

1993년쯤으로 기억한다. 범 부처사업으로 수행되었던 4M DRAM을 성공적으로 마무리하고, 다음 단계인 16/64M DRAM의 성과도 가시화되면서 메모리반도체 개발에 모두들 자신감을 가지고 가속도를 내기 시작할 즈음이었다. 자문위원회의 끝마무리쯤 해서 우리는 왜 유독 주문형 반도체 (시스템반도체의 옛 이름)에 약한지가 화두로 떠올랐다. 이에 대해 KAIST의 어느 교수님은 “서양 사람들은 개인별로 주문하는 것에 너무나 익숙한 반면, 우리는 한 사람이 ‘짜장면’이라고 외치면 대부분 ‘나도요.’ 하면서 통일시켜 주문한다. 이러한 문화적 특성 때문에 메모리는 잘할지 몰라도 시스템이 요구하는 다양한 성능을 설계해야 하는 시스템반도체(SoC: System On Chip)가 뿌리를 내리려면 아마도 상당한 시간이 걸릴 거다.” 라고 일갈했다.

필자의 지도교수이기도 하셨던 그분은 이제 은퇴하셨고, 메모리반도체는 기술에서나 시장점유율에서 세계 일등이 된 지도 오래되었지만, 그 시장의 4배나 되는 SoC 시장에서는 아직도 5% 내외의 시장밖에 점유하지 못하고 있다. 이 수치도 그나마 최근 대기업의 약진에 힘입은 바 크지만, SoC 산업의 꽃이라 할 수 있는 중소 설계전문회사들의 매출액 비중은 여전히 미미하다. 정부는 SoC 시장 크기와 산업고도화에 미치는 파급효과의 중요성을 일찌감치 간파하고 지난 20여 년간 집중 육성해왔다. 역량 있는 사람들도 주위에 많아졌고, 수많은

프로그램과 과제를 통해 개발된 기술들도 주변에 널려있다. 더구나 우리도 이제는 각자가 주문하는 문화에 더 이상 불편해하지 않는다. SoC 산업이 한 단계 더 도약하기 위한 에너지가 있음이 느껴진다. 원가의 트리거가 필요하다.

SoC는 여러 가지로 정의할 수 있겠지만, 쉽게 이야기하자면 **시스템 혹은 서비스의 요구사항과 운용방식을 반도체 칩에 심어 놓은 것이다.** 그런데 이러한 사용자의 요구사항은 다름 아닌 SW (주로 임베디드 SW)로 기술되고 실행된다. 시스템이 복잡화, 고도화되면서 SW의 비중은 크게 증가하고 있는 만큼, 앞으로는 SW의 적용성과 효율성을 얼마나 더 용이하게 수용할 수 있는가의 여부가 SoC의 경쟁 포인트가 될 것이다. SoC가 SW의 덩어리라고 이야기한 지가 얼마 되지 않았는데, 벌써 주도권이 SW로 넘어간 듯하다. 이제 시스템반도체는 System On Chip이라기보다 차라리 Software On Chip으로 불려야 할까 보다. 이 같은 SW-SoC 융합 추세는 지난해 8월 가트너가 분석한 자료에서도 명확히 드러난다.

요약하면, **첫째, 지난 2011~12년의 18개월간 가장 활발하게 M&A가 일어난 분야가 바로 SW와 SoC 산업계이며 이들은 M&A의 수단을 통해 SW-SoC 융합화를 가속화 하고 있다.**

둘째, 앞으로의 SoC 업계는 단순히 칩을 공급하는 기존의 회

사와 SW-SoC 융합을 통한 솔루션을 제공하는 회사로 구분될 것이며, 당연히 기존의 회사는 경쟁에서 탈락할 것이라고 예견한다.

셋째, SoC 개발에 소요되는 개발비용의 비중이 종래의 HW 위주에서 점차 SW 비중이 높아지며 첨단 공정 (예: 22nm)으로 갈수록 최고 36%라는 막대한 비중으로 높아진다.

이쯤 해서 대만을 비롯한 중국, 싱가포르 등 중화권의 SoC 산업생태계를 살펴보자. 다양한 분석이 있겠지만, 이들의 경쟁력을 한마디로 요약하자면 적어도 현재까지는 파운드리 (즉, SoC 제작전문회사)를 중심으로 구축된 강력한 생태계에 있다고 본다. 우리 중소기업들은 일부 아날로그 칩을 제외한 대부분의 디지털 칩 제작을 이들 외국 파운드리에 의존하고 있으며 이 과정에서 단가 경쟁력이 상대적으로 불리한 입장에 있음을 지적하지 않을 수 없다. 대규모 투자가 필요한 파운드리 산업을 정부가 강제할 수는 없지만, 마냥 두고만 볼 수도 없는 노릇이다.

‘공유형 SW-SoC 융합플랫폼’을 제안한다. 파운드리가 전형적인 Hardware 형태의 Factory라면, 그 대안으로 우리의 현실을 반영한 Soft 한 Factory를 구축하자는 것이다. 2013년 현재, 약 170여 개의 SoC 회사와 200여 개의 임베디드 SW 업체가 근근이 영업하고 있다. R&D를 통해 도출된 다양한 핵심기술들이 녹아 들어가고 검증된 IP들로 구성된 SW-SoC 플랫폼을 공유할 수 있다면 중소기업들의 개발비용과 기간이 획기적으로 줄 것이다. **원가경쟁력 향상, 핵심기술의 활용, 세트업체 연계를 통한 물량확보, 이에 따른 지속성장은** 이들 업계로선 너무나 절실한 요소들이다. 중소기업이 개발에 필요한 모든 IP를 모두 확보하기란 현실적으로 무척 버겁다. 이 점은 신생 벤처 출현의 직접적이고도 현실적인 진입 장벽이기도 하다. 최근 SW-SoC 분야의 창업기업 출현이 거의 전무하다는 현실은 바로 이러한 요인을 잘 반영하고 있다. 정부는 창조경제의 실현을 위한 새로운 시스템 및 서비스를 발굴하고 있다. 이들이 성공적으로 자리 잡으면 그 과실의 대부분이 약 3,900억 불의 거대한 SoC 및 임베디드 SW 시장으로 결국 편입된다. 이 점은 지난 기간의 학습을 통해 잘 알고 있다.

SW-SoC 융합플랫폼은 그 기능상 시스템·서비스산업과 그 후방에 위치한 부품산업을 연결하는 **허리(중추) 역할**을 한다. 플랫폼이라는 장치를 통해 시스템의 개발 초기부터 SW-SoC 중소기업들을 효과적으로 묶어주자. 플랫폼의 형태를 개방형으로 만들어 국가 R&D의 요소기술들을 수용하고 다수가 활용할 수 있게 하자. 기술의 사업화 및 확산을 현재의 개별 과제, 사업책임자 개개인 중심에서 이제 좀 더 구조화된 형태로 발전시킬 때도 됐다. 플랫폼을 통해 개발한 IP들은 세트업체의 요구사항을 만족하기 때문에 그 신뢰성을 제품수준으로 끌어올릴 수 있다. IP 유통의 실질적인 걸림돌이었던 활용에 대한 위험부담을 획기적으로 낮출 수 있는 것이다. SW-SoC Bank에 이들 IP를 등록시키고 플랫폼과 연계하여 활용성을 높여주자. 수많은 파생 IP의 생성과 관리, IP 거래의 활성화는 말 그

대로 기술은행의 실질적인 출현을 의미한다. 기술거래에 대한 실효적인 제도보완이 뒷받침된다면, 이 같은 SW-SoC 산업생태계는 생기를 가지며 선순환의 단계로 진입하게 될 것이다. 수요(시스템·서비스)와 공급(SW-SoC)을 연결고리를 초기부터 단단하게 구성하는 것이야말로 우리 중소기업의 절실한 바람인 동시에 건강한 수평적 산업생태계 구축을 위한 출발점이기도 하다.

‘모~두 짜장면’이라고 외치던 집단문화가 바뀌는데 20년 걸렸다. 또 다른 20년을 기다리기엔 우리 중소기업에 불어오기 시작한 황색 태풍은 너무나 강력하다. 시간이 별로 없다. 우선 SW-SoC 융합플랫폼이라는 장치를 통해 흩어져 있던 우리의 역량과 자원을 도메인별로 특화하고 효과적으로 잘 엮어보자. 수평적 생태계를 조성해서 기존의 열악한 중소업체를 살리는 것은 물론 창업자의 출현을 쉽게 하자. 유능한 학생들의 참신한 아이디어를 실체화하는 아키텍트급 인재양성의 수단으로도 활용하자. 창조경제 실현이 멀리 있는 것만은 아니다.

유 현 구
ETRI SW-Soc 책임연구원

*외부 필진 기고의 논조는 IDEC 방향과 다를 수 있습니다.



Trojan Horse in Hardware

하드웨어 보안



배경

소프트웨어의 트로이 목마 (Trojan Horse) 악성 코드는 익히 알려진 악성 루틴이 숨어있는 프로그램으로, 겉보기에는 정상적인 프로그램으로 보이지만 실행 시 악성 코드가 컴퓨터, 스마트 폰 등의 기기에 실행이 된다. 겉으로 보기에는 정상적인 프로그램인 듯하지만 실제로는 사용자 몰래 백도어 (Back Door) 프로그램 등이 설치되어 해커가 외부로부터 컴퓨터에 침입하거나, 사용자가 키보드로 입력하는 자판 정보를 외부에 알려주어 신용카드번호 혹은 비밀번호가 유출될 가능성이 있다.

또한, 스마트 폰에서 연락처 등을 유출 시키거나 소액 결제 등을 하기도 한다. 트로이 목마 (Trojan Horse)의 이름은 그리스가 트로이를 무너트릴 때 목마에 군인들을 매복시키고 트로이 성을 함락시킨 대서 유래하여, 상대방이 눈치채지 못하게 몰래 숨어든다는 의미에서 소프트웨어 트로이 목마 악성 코드로 이용된다. 기존까지는 소프트웨어 분야에서 주로 언급이 되었지만, 칩 (Chip)이 매우 복잡해지고 거대해지면서 하드웨어 분야에 등장하기 시작했다. 하드웨어의 트로이 목마 (HTH : Hardware Trojan Horse)는 소프트웨어 트로이 목마 악성 코드와 유사한 문제점을 일으키지만, 그 영역이 하드웨어라는 차이를 가진다. 본 기고에서는 HTH의 등장 배경과 분류, 일반적인 탐지법에 대해 알아보고자 한다.

HTH는 궁극적으로 하드웨어의 신뢰성에 관한 문제로 환원될 수 있다. HTH는 설계자의 의도와는 관계없이 추가로 포함된 하드웨어로, 삽입된 HTH는 결과적으로 하드웨어의 성능 저하, 하드웨어 복제, 칩의 인증 체계 무력화, 칩의 완전한 파괴, 기밀 정보 유출 등 전반적인 칩의 신뢰도에 치명적인 영향을 미치게 된다. 이러한 위험성을 인지하고 미 국방성은 하드웨어 안정성을 평가에 중요성을 두고 있다. 또한, 2011년에 미국 정부는 백악관 Cyber Policy Review를 출간하고 이의 문제점을 언급하기도 하였다. 미국, 영국, 호주 정보국에서는 일부 컴퓨터의 하드웨어 백도어 (Back Door) 가능성 및 해커들로부터 하드웨어를 통한 외부 접근 가능성의 이유로 레노버 (Lenovo) PC의 사용을 금지한 예도 있다.

HTH란 하드웨어 제조자의 신뢰성과 관련된 문제 중 하나로, 설계자와 제조자가 서로 다른 회사인 경우 설계자 측에서 전달한 디자인에 제조자가 악의적인 목적으로 특수한 기능을 수행하는 회로를 추가하는 경우를 뜻한다. 날로 복잡해지는 Integrated Circuit (IC)는 수많은 IP Core가 집적되어 있으며 이에 따라 칩의 테스트 과정 또한 상당한 시간이 소요된다. 이에 모든 설계를 내부적으로 하지 못하고 IP Vendor 들로부터 IP를 구매하여 IC 설계에 이용하는 경우가 찾아지게 되었다. 이 경우, IP 내에 HTH가 포함되어 있으면 해당 IP를 이용하여 IC를 설계하는 경우 HTH가 포함되게 된다. 아래의 그림 1은 IC에 HTH가 IP를 통해 칩에 삽입되는 경로를 보여주고 있다.



〈그림 1〉 IP Vendor 측에서 HTH가 포함된 IP를 제공하는 경로

또한, 설계와 공정이 세분화되어 전 세계적인 협업 체계가 이루어지고, 중국 및 동남아 지역의 값싼 인건비로 인해 해당 지역들에 많은 생산 라인이 만들어지면서, 반도체 생산 라인을 가지고 있지 않은 Fabless Company가 등장함에 따라 대두하였다. 따라서 설계와 생산이 구분된 환경에서 설계자들이 생산된 칩에 대한 100% 신뢰를 할 수 없는 환경이 만들어지게 된다. 생산자가 설계자 모르게 HTH를 삽입하고 칩을 생산하게 되면 이는 HTH가 포함된 칩이 사용자에게 전달되는 것이다. 〈그림 2〉는 반도체 생산 라인에서 HTH를 삽입하는 경로를 보여주고 있다.

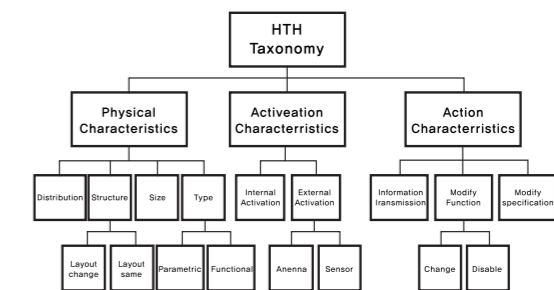


〈그림 2〉 IC Manufacturer 측에서 HTH를 칩에 삽입하는 경로

위와 같은 상황에서 HTH를 찾기 위한 뚜렷한 해결책이 나오지 않은 상태이며, HTH에 대응해야 하는 당위성은 증가하고 있다. 이러한 상황을 반영하여 최근에 제안된 HTH를 방지 혹은 예방하는 방법을 개발하기 위한 연구들이 진행되고 있는 상황이다.

HTH 분류

HTH의 분류는 X. Wang, M. Tehranipoor, J. Plusquellic이 처음으로 구체적으로 제시하였으며, 〈그림 3〉과 같이 물리적/기능적 요소에 따라 나누어진다. HTH 종류를 구체적인 기준으로 분류하는 것은 HTH 탐지에 접근하는 방법을 제시하는데 의의가 있다. 또한, 아직 HTH 탐지 방법의 효과성을 평가하는 기준이 마련되어 있지 않기 때문에, HTH 분류를 통해 기준을 정할 수 있는 토대를 마련할 수 있는 점 또한 주목하여야 한다.



〈그림 3〉 HTH 구분

Physical characteristic은 HTH가 물리적으로 구현된 방식을 말한다. Distribution은 HTH가 삽입된 위치에 따라 분류되며, Structure는 Layout의 변경 여부를 구분한다. Type의 Functional은 HTH가 기존의 게이트를 삭제하거나 추가하는 경우를 뜻하며, Parametric은 기존 로직이나 와이어만 변경된 경우를 말한다. Activation Characteristics은 어떻게 HTH가 활성화되는가를 구분하며 크게 외부적인 활성화와 내부적 활성화로 나뉜다. 외부적 활성화의 경우 칩의 외부에서 오는 신호에 HTH가 반응하는



경우를 뜻하며 내부적 활성화는 칩의 내부 신호만으로 HTH가 활성화되는 것을 말한다. 외부적 활성화는 안테나나 센서 등을 통하여 이루어질 수 있다. Action Characteristic은 HTH의 행동 양식에 의해 구분된다. 크게 칩 내부의 정보를 외부로 빼돌리는 행위 (Information Transmission), 칩의 기능 (Modify Function)과 Specification을 변경함 (Modify Specification)으로써 성능 저하, 더 나아가서 칩을 불능상태로 만드는 파괴적인 역할을 하기도 한다. 위에서 기술한 바와 같이 HTH는 정보 유출, 성능 저하, 파괴, 오작동 유도 등 악의적인 의도로 IC에 삽입되는 것을 알 수 있다. 따라서 IC의 활용도가 극대화되었고, 사용도와 기능이 기하급수적으로 늘어나는 오늘날 칩의 신뢰도를 유지하기 위한 HTH 탐지, 예방은 필수적이다. 하지만 HTH를 탐지하는데 있어서 여러 문제점으로 인해 아직까지 효과적이면서도 Coverage와 Accuracy를 모두 만족시키는 HTH 탐지, 예방 방법론은 요원하다. HTH 탐지, 예방을 어렵게 만드는 주요인들은 다음과 같다. 기본적으로 HTH는 일반 모드에선 잠잠하지만, 특정조건이 만족하면 동작하는 '은밀한' 회로이므로 일반적인 칩 테스트 방식으로는 탐지되지 않을 가능성이 매우 높다.

또한, HTH가 상대적으로 IC에서 차지하는 면적은 매우 작은 관계로 10억 개 이상의 트랜지스터가 집적되어 복잡도가 매우 높은 칩에서 상대적으로 매우 작은 Logic 영역을 차지하는 HTH를 탐지하는 것은 매우 어려우며, 많은 수의 트랜지스터가 집적된 만큼 HTH를 삽입하는 측은 HTH를 삽입할 수 있는 조합의 수는 매우 다양하

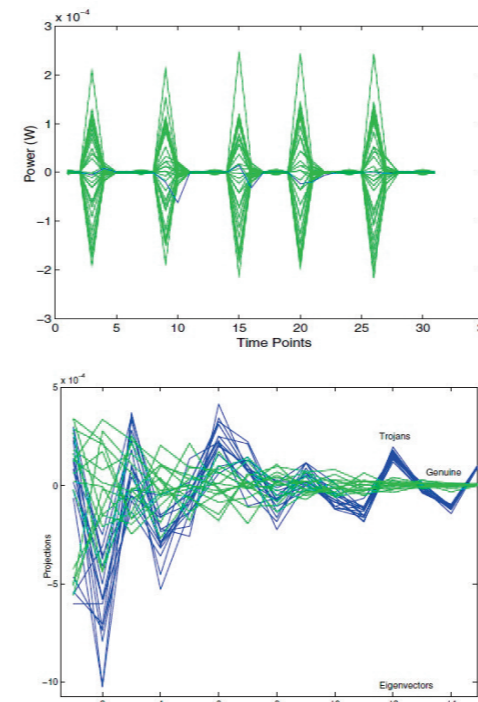
다는 점도 탐지를 매우 어렵게 만드는 요인이다. M.Tehraniipoor와 B.Sunar는 다음과 같이 HTH 탐지의 어려움을 정리하였다.

- a) 많은 수의 Soft, Firm, Hard IP가 SoC에 집적되어 있고, SoC의 복잡도가 기하급수적으로 증가함에 따라 상대적으로 매우 작은 회로로 이루어진 HTH를 탐색하기는 매우 어렵다.
- b) 각 트랜지스터의 크기는 나노미터 스케일로 작아졌으므로 물리적인 방법을 사용하는 탐지 방법은 거의 불가능 하다. 역설계 방법 (Reverse Engineering)으로 HTH를 찾아내기엔 비용과 시간이 많이 들며, 이 방법으론 모든 칩을 확인할 수 없으므로 HTH가 일부 칩에만 삽입되었을 경우 탐지하기 매우 곤란하다.
- c) HTH 회로는 매우 특수한 조건에서만 동작하도록 설계되어 있으므로 일반적인 칩 테스트과정에서 탐지하기 매우 어렵다.
- d) 트랜지스터의 채널 길이가 매우 짧으므로 공정, 환경에 의한 트랜지스터 변수들이 변화가 심하다. 따라서 단지 이들 변수로 HTH를 탐지하는 것은 효과적이지 않다.

HTH 탐지 방법들

HTH를 찾아 칩의 신뢰성을 향상시키는 방법으로 1) Side-Channel Signal Analysis를 활용한 탐지 전략과 2) 삽입된 HTH를 강제로

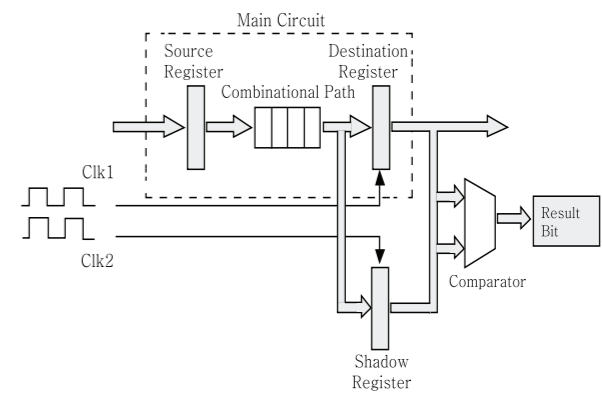
활성화해 탐지하는 Trojan Activation Method로 분류된다. HTH가 칩에 삽입되었을 때 Trojan의 종류와 관계없이 기존 칩의 논리 게이트, 와이어의 Power, Delay 특성에 영향을 미친다. Side-Channel Signal Analysis 방법은 Power와 Delay 특성을 이용하여 Trojan을 탐지하는 방법이다. Power-Based Analysis는 삽입된 Trojan을 완전히 활성화 시키지 않으면서도 칩의 내부 구조와 활성화 상태에 관한 정보 획득을 가능하게 한다. D. Agrawal 등 이 발표한 논문에서 Trojan Circuit 탐지를 위해 Power와 전자기파 방출 등의 Side-Channel 방식을 이용할 것을 최초로 제안하였다. 실험 방법으로는 1) 동일한 설계, 동일한 레이아웃으로 구현된 칩을 선정하고 2) 반복적인 I/O 테스트를 통해 칩의 Side-Channel 특성 (Power, EM, Thermal Emission 등) 자료를 수집하며 3) 2)에서 모인 자료를 기반으로 IC Fingerprint를 형성 후 5) 다른 칩의 Fingerprint를 측정하여 Golden Chip(Reference Chip)의 Fingerprint와 비교, 대조하였다. <그림 4>는 Golden Chip과 HTH가 삽입된 칩 사이의 Side-Channel을 통해 얻은 차이를 보여주고 있다. 이 방법의 장점으로는 다양한 사이즈, 기능을 구현하는 Trojan Circuit이 발생시키는 Power Consumption, Heat Dissipation 특성을 기존 회로의 특성과 비교 분석하여 탐지 가능하다는 점과 Trojan Circuit을 반드시 활성화 시킬 필요가 없다는 점이다. 하지만 단점으로 Golden Chip의 프로세스 노이즈가 지나치게 심할 경우 탐지에 실패할 수 있다는 점이다.



<그림 4> 녹색선: Golden Chip의 Fingerprint, 청색선: HTH 삽입된 Chip의 Fingerprint

Delay 특성을 이용한 HTH 탐지 방법은 HTH가 칩에 삽입되면 상당한 path delay가 변하는 것을 활용한다. 기존 칩의 Path Delay 특성과 의심스러운 칩의 Path Delay 특성을 비교, 대조하여, HTH

의 포함 여부를 발견하는 기법이다. <그림 5>는 Path Delay 특성을 측정하는 회로를 보여주고 있고, clk1은 주 회로에, clk2는 clk1 기준으로 Phase offset을 두고 Shadow Register에 인가되며 비교기를 통해 주 회로와 비교를 한다. 이 방법은 여타 기법들과 달리 효율적이라는 장점을 지닌다. 그러나 추가 테스트 회로가 필요하고, 이것이 차지하는 면적이 다른 경쟁 기법들에 비해 상대적으로 넓은 편이며 Trojan 회로를 활성화 시키지 않은 상태로 탐지하므로 비활성화 상태인 Trojan 회로를 탐지하지 못할 가능성이 존재한다.



<그림 5> Path Delay 특성을 이용한 HTH 탐지 회로

항상 작동하는 형태의 HTH는 HTH가 존재하지 않는 레퍼런스 회로만 얻을 수 있다면 위의 방법들로 비교적 손쉽게 판별 가능하나, 특정 입력이나 상황에서 활성화되도록 설계된 HTH의 경우 일반적인 Test Vector를 입력했을 때 그것이 작동되지 않는 상태이기 때문에 활성화 방법 (Activation Method)의 적용이 없는 판별이 어렵다. 이러한 HTH 활성화 방법은 크게 Region-Free Trojan Activation과 Region-Aware Trojan Activation의 두 가지 분류로 나뉜다. Region-Free는 회로 내부가 어떻게 구성되어 있는가에 대한 정보를 가지지 않은 상태로 활성화를 유도한다는 것이다. Region-Aware Trojan Activation은 HTH를 찾기 위해 정밀하게 만들어진 Test Vector를 이용하는, 회로 내부를 고려한 방법이다.

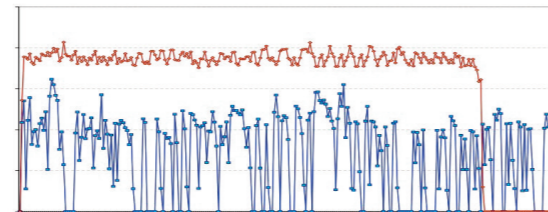
Region-Free 방법은 Region-Aware 방법에 비해 테스트 생성 시간과 비용 면에서 유리하다 할 수 있지만, HTH 활성화 자체는 우연에 의존한다는 점에서 활용도에서는 의문점이 있다. Test Vector 자체는 회로에 특화되어 있지 않으므로, 회로 인풋의 개수만 일치한다면 어떤 회로에나 적용하는 방법이므로 Test Generation 관점에



서 볼 때는 시간과 예산을 절약할 수 있는 방법이다. 하지만 회로 하나를 테스트하는 시간이 필연적으로 길어지기 때문에, 이러한 접근은 HTH가 없음을 확신해야 하며, 만일의 경우 출력 하나하나를 구체적으로 분석할 수 있어야 하는 경우, 즉 Detection의 기반으로 삼기 위한 Golden Chip을 선택하는 데 사용하는 것이 더 적합할 수 있다.

Region-Aware Trojan Activation 방법을 위해 회로를 보다 작은 Sub-Circuit으로 만들어, 즉, 영역 (Region)을 만들고 해당 영역을 테스트하기 위한 벡터를 생성한다. Trojan이 작동되어 있지 않다고 가정했을 때, HTH는 Trojan을 활성화 시키기 위한 신호를 기다리고 있는 입력 감시 상태 (Trigger Monitoring State)라 가정할 수 있다. 즉, 회로 내부의 Flip-flop과 같은 회로 상태 로직들 (Circuit State Element) 들과 HTH는 연관이 되어 있다고 가정할 수 있다. 모든 Flip-flop을 기준으로 영역을 정하는 것이 이상적이겠지만, 그 수가 너무 많은 경우에는 Trojan이 있을 만한 Flip-flop들을 클러스터로 만드는 접근법이 유용하다. 이 경우, Flip-flop의 임계치를 정하고, 임계치를 넘는 수의 Flip-flop을 담고 있는 영역들만을 테스트에 반영할 수 있다. 테스트시에 한 번에 하나의 영역 안에서 Switching, 즉 파워 소모가 일어나게 하고, 영역 밖에서의 파워 소모를 최소화하는 테스트 벡터를 입력하는 방향으로 테스트 벡터가 만들어져야 한다. 이런식으로 영역을 제외한 부분의 파워 소모가 거의 0에 가까워져, 만약 영역 안에 Trojan이 존재할 경우, 그 존재가 파워 소모의 증가로 더욱 명확하게 드러나게 된다.

또한 기본적으로 영역 안에서만 Switching이 잦도록 유도하여 회로 전체 수준으로 보면 저 전력으로 동작하게 되어, HTH를 발견하기 더욱 쉬워진다. 즉, 해당 영역 안의 Dynamic Power Consumption 증가를 통해 HTH를 찾는다. 이러한 접근 방법은 실제 게이트의 Layout을 모두 알고 있지 않으면 영역 설정이 불가능하다는 문제점을 가지고 있지만, 실제 HTH가 어디에 삽입이 되었는지 발견할 수 있으며, 측정 오차 등으로 알아보기 어려운 경우를 방지한다는 점에서 장점을 가진다. 하지만 테스트 벡터를 만드는데 시간과 비용이 드는 단점이 있다. <그림 6>은 ISCAS 벤치마크 회로 s3271 회로에 적용된 Region-Aware Trojan Activation 방법을 통해 얻어낸 Dynamic Power Consumption의 결과를 보여주고 있다. 이 회로에 삽입된 Trojan gate는 전체 gate count의 1%에 불과하지만, 2% 이상의 Switching 증가가 나타나고 있다.



<그림 6> s3271 회로의 Toggle Count Magnification 결과. 파란색이 Golden Chip, 붉은색이 HTH를 포함한 Chip

HTH 예방 전략

현재의 IC design 방법론은 HTH를 탐지하는데 중점을 두지 않았으므로 효과적인 Side-Channel Signal 분석을 가능하도록 도움을 주지 못하다. 따라서 하드웨어 보안, 신뢰성에 주안을 두고 HTH 방지, 탐색을 돕는 IC 설계 방법론인 Design-for-Hardware-Trust의 중요성이 커지고 있다. 이의 일환으로 CAD Tool 자체에서 Side-Channel Analysis가 가능한 형태의 설계 레이아웃을 지원하는 방법이 주목받고 있으며, 현재까지 알려진 방법으로 대표적인 것은 Dummy FF를 삽입하여 활성화 확률을 높이는 방법과 테스트 상황에서 역전압을 걸어도 작동하게끔 설계하여 HTH 활성화 확률을 반전시키는 방법들이 제안되고 있다. 또한, 입출력을 감시하는 별도의 프로그램 가능하고 외부 입력으로부터 분리된 모듈을 SoC 내부에 삽입하여, 잘못된 동작이 감지될 경우 안전 모드로 작동하거나 해당 부분을 비활성화시키는 방식의 DEFENSE 로직의 개념이 소개되었다. 마지막으로 원래는 IP를 보호하기 위해 만들어진 개념인 Circuit Obfuscation 역시 HTH를 예방하는 방법으로 제시된다. 무엇을 하는지 알아볼 수 없도록 코딩하는 소프트웨어 보안 기법인 Code Obfuscation에서 출발한 이 방법은 회로설계에서도 비슷한 개념으로 적용이 가능하며, 이미 IP의 역설계를 방지하기 위해 사용되고 있는 기술 중 하나이다. 간단하게 요약하면 제조사가 HTH를 어디에 어떻게 주입해야 할지 알아볼 수 없도록 하여 HTH를 예방하는 방법이라 할 수 있겠다.



양 준 성 교수
 소속 : 성균관대 반도체시스템학과
 연구분야 : SoC 설계, 보안 및 테스트
 이메일 : js.yang@skky.edu
<http://sites.google.com/site/datesskku/>



Reference

- 1) Wang, Xiaoxiao, Mohammad Tehranipoor, and Jim Plusquellic, "Detecting malicious inclusions in secure hardware: Challenges and solutions," Hardware-Oriented Security and Trust, 2008, HOST 2008, IEEE International Workshop on, IEEE, 2008.
- 2) D. Agrawal et al, "Trojan detection using IC fingerprinting", IEEE Symp. on Security and Privacy, 2007.
- 3) X. Wang, H. Salmani, M. Tehranipoor and J. Plusquellic, "Hardware Trojan Detection and Isolation Using Current Integration and Localized Current Analysis," in Proc. of the International Symposium on Fault and Defect Tolerance in VLSI Systems (DFT08), pp. 87-95, 2008.
- 4) M. Potkonjak et al, "Hardware Trojan Horse Detection Using Gate-Level Characterization", DAC, 2009.
- 5) J. Li and J. Lach, "At-Speed Delay Characterization for IC Authentication and Trojan Horse Detection", HOST, 2008.
- 6) Y. Jin and Y. Makris, "Hardware Trojan Detection Using Path Delay Fingerprint", HOST, 2008.
- 7) Jha, Susmit, and Sumit Kumar Jha, "Randomization based probabilistic approach to detect trojan circuits," High Assurance Systems Engineering Symposium, 2008, HASE 2008, 11th IEEE, IEEE, 2008.
- 8) Wolff, Francis, et al. "Towards Trojan-free trusted ICs: Problem analysis and detection scheme," Design, Automation and Test in Europe, 2008, DATE'08, IEEE, 2008.
- 9) Banga, Mainak, and Michael S. Hsiao, "A region based approach for the identification of hardware Trojans," Hardware-Oriented Security and Trust, 2008, HOST 2008, IEEE International Workshop on, IEEE, 2008.
- 10) M. Abramovici and P. Bradley, "Integrated Circuit Security - New Threats and Solutions", CSIR Workshop, 2009.
- 11) R. S. Chakraborty and S. Bhunia, "Security against Hardware Trojan through a Novel Application of Design Obfuscation", ICCAD, 2009.
- 12) R. S. Chakraborty and S. Bhunia, Hardware protection and authentication through netlist level obfuscation. In Proceedings of IEEE/ACM ICCAD, pages 674, 677, 2008.



국제학회 참관기

(IEEE GLOBECOM 2013) <http://www.ieee-globecom.org>

1. 학회 개요

GLOBECOM (Global Communication Conference) 학회는 IEEE Communication Society에서 주관하는 2개의 flagship 국제 학회 중 하나로 겨울에 북아메리카 대륙 도시에서 개최되는 세계 최고 및 최대 규모의 통신 공학 분야 국제 학술대회이다. 평균 3,000여 편의 논문이 제출되며 이 중 일부만이 승인되는 기술 수준이 높은 학회로, 올해 56회째 개최되었으며 20여 개의 Symposia, Tutorial, Workshop, Industrial Forum과 Exhibition에 총 2000여 명의 연구자, 개발자, 산업계 종사자 및 관료들이 참석하여 최신의 연구 및 기술 개발 동향을 공유하고 각 분야의 연구 결과를 소개하는 자리를 제공하였다.

■ 주요 일정

《 13. 12. 9(일) ~ 13. 12. 14(토) (4박 6일) 》

- 12. 9 한국 출발, 미국 애틀랜타 도착
- 12. 9~13 IEEE GLOBECOM 2013 참석
- 12. 14 휴스턴 출발 (13일 오전), 한국 도착 (14일 저녁)

2. 학회 일정

IEEE GLOBECOM은 아래의 표와 같이 보통 5일간 개최되며, 첫날과 마지막 날은 주로 튜토리얼과 특정 주제를 집중적으로 발표하는 워크숍으로 구성된다. 중간의 3일은 평상적으로 Keynote Speech, Industry Forum & Exhibition (IF&E) 및 심포지엄으로 구성되며, 평균 1,000여 편의 논문들이 구두 또는 포스터 형식으로 소개된다. 심포지엄은 십여 개의 주제로 여러 개의 병렬 세션으로 구성된다.

학회 프로그램 일정

PROGRAM AT A GLANCE						
MONDAY Dec 9	TUESDAY Dec 10	WEDNESDAY Dec 11	THURSDAY Dec 12	FRIDAY Dec 13		
9:00 Workshops	9:00 Opening Ceremony & Keynote	9:00 Jessica Rosenwoel Keynote	9:00 Branko Bjelajac Keynote	9:00 Workshops	Tutorials	
10:00 coffee	10:00 coffee	10:00 coffee	10:00 coffee	10:00 coffee		
11:00 Workshops	11:00 Symposia	11:00 Symposia	11:00 Symposia	11:00 Workshops	Tutorials	
12:00 coffee	12:00 Industry Forums	12:00 Industry Forums	12:00 Industry Forums	12:00 coffee		
1:00 lunch	1:00 lunch	1:00 lunch	1:00 lunch	1:00 lunch		
2:00 Workshops	2:00 Awards Luncheon	2:00 lunch	2:00 lunch	2:00 Workshops	Tutorials	
3:00 coffee	3:00 Symposia	3:00 Symposia	3:00 Symposia	3:00 coffee		
4:00 Workshops	4:00 Industry Forums	4:00 Industry Forums	4:00 Industry Forums	4:00 Workshops	Tutorials	
5:00 coffee	5:00 coffee	5:00 coffee	5:00 coffee	5:00 coffee		
6:00 Workshops	6:00 Symposia	6:00 Symposia	6:00 Symposia	6:00 Workshops	Tutorials	
7:00 evening	7:00 Welcome Reception	7:00 Dialog with Industry	7:00 Banquet@Aquarium			

참고)

IEEE ComSoc (Communication Society): 1952년에 설립되어 현재 전 세계 약 50,000명의 회원을 보유하여 IEEE 38개 technical society 중 두 번째로 큰 규모임

3. 세부 프로그램 소개

아래는 각각의 대표적인 프로그램에 대해 설명하고 이번 학회에서의 참석 경험을 소개한다.

가. Tutorial

아래는 이번 2013년도 학회의 튜토리얼 프로그램(총 20개)으로, 주제마다 약 3시간 동안 최근 주목을 받고 있는 기술에 대해 집중적으로 소개하고 최신 결과들을 발표하였다.

TUTORIALS

Monday, Dec. 9 Morning Tutorials:

- T1: Interference Alignment: A Unified View of Signal Dimensions Across Wireless and Wired Communication Networks
- T2: Small Cell Technologies in LTE-Advanced and Beyond
- T3: Stochastic Geometry for the Analysis and Design of Wireless Networks
- T4: Information-Centric Networking: Current State of the Art and Future Directions
- T5: Cognitive Radio, Software-Defined Radio, and Adaptation of Wireless Mobile Radio Systems

Monday, Dec. 9 Afternoon Tutorials:



- T6: Fundamentals of Nanoscale Communications and Nano Networks
- T7: LTE-Advanced Modem Design: Challenges and Perspectives
- T9: Opportunistic Communication: Unified View and New Applications
- T10: Topology-Aware Modeling, Analysis, and Design of Multi-Tier Cellular Networks
- T11: Towards Distributed Autonomous Underwater Sensor Networks: Principles, Development, and Future
- T21: Vehicular Networking: Standards, Protocols, Applications, and Deployment Plans

Friday, Dec. 13 Morning Tutorials:

- T12: Implementing Network Coding
- T14: Wireless Device-to-Device Communications and Networks
- T15: Wireless Network Economics and Games
- T16: Emerging Concepts and Technologies towards 5G Wireless Networks
- T17: Cross-Layer Design for Spectrum- and Energy-Efficient Wireless Networks

Friday, Dec. 13 4Afternoon Tutorials:

- T8: Monitoring and Optimization for Smarter Power Grids
- T18: Energy Harvesting Wireless Communications
- T19: Machine-to-Machine Technologies & Markets - Shift of Industries
- T20: Online Learning in Multi-agent Environments - Applications

본인은 오후의 T7 튜토리얼 (LTE-Advanced Modem Design: Challenges and Perspectives)에 참석하였다. 이 자리에서 삼성 전자 미국 샌디에고 연구소 기술 팀에서 LTE 다음의 셀룰러 시스템인 LTE-advanced 시스템 단말기 개발 관련 최근 기술 이슈들을 구체적으로 소개하였다. LTE 표준의 진화 역사, ITU의 요구 사항 (3 Gbps in downlink, 30 bps/Hz or higher spectral efficiency) 등을 시작으로, 이를 만족하기 위해 요구되는 신호 처리와 물리 계층 기술들을 중심으로 중요 이슈들을 소개하였다. 현재 기본이 되는 Release 10 및 11의 핵심 기술들인 carrier aggregation, enhanced inter-cell interference coordination (eICIC), heterogeneous networks (HetNets), eight-layer spatial multiplexing detection 등에 대해 구체적으로 설명하고, 이를 실제 단말 칩에 구현할 때 발생하는 문제점들을 소개하였다. 이를 통해 저전력, 소형 단말 칩 구현 시 직면하는 기술적인 문제점들을 파악하고 핵심 연구 개발 이슈들에 대해 고민해 볼 수 있는 좋은 기회가 되었다.

나. Keynote

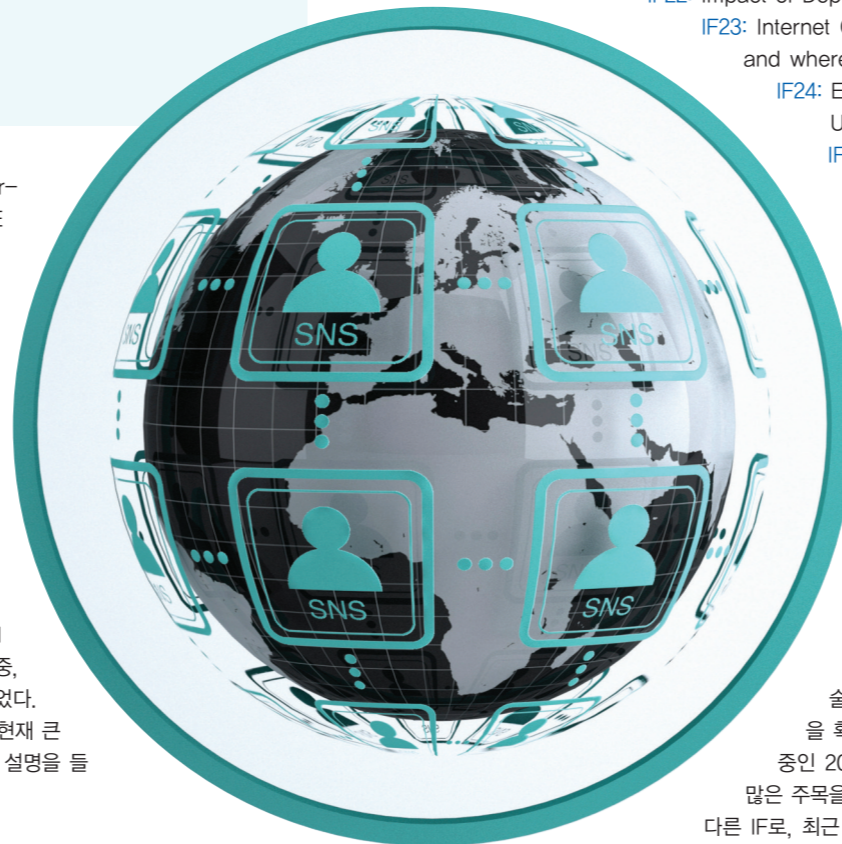
학회 일정 중 중간 3일 동안 매일 keynote speech가 개최되었으며, Cisco사, 미국 Federal Communications Commission (FCC), Landis+Gyr 사의 고위임원이 연설을 하였다. 이 중, Cisco 사의 Vice President 이자 CTO인 Lew Tucker의 keynote speech가 인상적이었다. "Cloud Computing and the Promise of Networking-as-a-Service " 의 제목으로 현재 큰 관심을 끌고 있는 cloud computing의 동향 및 선두 업체인 Cisco사의 대응 방안에 대한 설명을 들을 수 있었다.

다. Industry Forum & Exhibition (IF&E) 참석

최근 통신/네트워킹 분야 중 상당 부분을 산업계에서 선도하는 경향을 반영하여, 많은 Industry Forum & Exhibition (IF&E) 프로그램들이 진행되었으며 흥미로운 주제들이 많이 소개되었다. 아래와 같이 총 29개의 IF&E이 진행되었으며, 3~5명의 패널이 주제들에 대해 개별적으로 간단히 발표하고 청중들의 질문에 답하는 형식으로 진행되었다.

Industry Forum & Exhibition (IF&E) Program

- IF1: Smart Grid Standardization
- IF2: What is TV White Space and how can it be used?
- IF3: Smart Metering: Enabling Communications and associated Security and Privacy Challenges
- IF5: Hands-on Education and Training with Software-Defined Radio I
- IF6: Engineering the Multi-service Architecture Evolution



- IF7: Hands-on Education and Training with Software-Defined Radio II
- IF8: Network Function Virtualization
- IF9: Millimeter Wave Wireless Communications: The Ultrawideband Frontier
- IF10: Communications Policy in 2014 and Beyond: How will Federal Policy Impact the US Telecom Sector' s Place as a Technology Leader
- IF11: Patents, Patent Trolls and Trade Secrets
- IF12: Next Generation 4G/5G Cellular Networking
- IF14: Mobile Communication Beyond 2020: What is 5G I
- IF15: LTE-A Radio Network Planning Challenges & Opportunities
- IF16: 5G Vision: Driving the Need for Ubiquitous Gbps I
- IF17: Mobile Communication Beyond 2020: What Is 5G? II
- IF18: Spectrum Management and Policy
- IF19: 5G Vision: Driving the Need for Ubiquitous Gbps II
- IF20: IPv6 goes Mobile
- IF21: Internet of Humans and Machines

IF22: Impact of Deploying IPv6 based SDN on Enterprise Networking

IF23: Internet Governance Why should the technical community care and where do they fit in

IF24: Emerging Standards in Autonomic Management, SDN & NFV, and Unified Management of Converged Networks I

IF25: Big Data Cloud Networking

IF26: Emerging Standards in Autonomic Management, SDN & NFV, and Unified Management of Converged Networks II

IF27: Programmable Cloud Networking

IF28: New Trends in Math and Signal Processing for Communications

IF29: Next Generation Wi-Fi

이 중 개인적으로 인상적이었던 4개의 IF&E 프로그램에 대해 아래와 같이 간단히 소개한다. IF9 (Millimeter Wave Wireless Communications)의 경우, 5세대 통신의 주된 기술 중 하나인 mm-wave 기술 현황을 소개하였으며, 이 분야의 세계적 전문가인 NYU의 Rappaport 교수, 텍사스 주립대 Heath 교수, 노키아 Ghosh 박사, 삼성전자 설지운 박사 등이 패널로 참여하여 최근의 기술 발전 현황과 문제점들에 대해 솔직한 토론을 진행하였다.

십여 년을 내다보고 최근 관심이 증가하고 있는 THz 통신 기술의 전 단계로서의 mm-wave 기술이 주된 논의 내용으로, 최근 1~2년간 급속히 RF, 아날로그, 디지털 칩 구현 기술이 발전되어 장애물에 의한 통신 두절, 과도한 발열 등의 문제점들이 상당 부분 해결되었음을 확인할 수 있었다. 특히 삼성전자가 5세대 backhaul 및 이동 통신 서비스를 위해 연구 개발 중인 20~30GHz 대역의 mm-wave 통신 프로토타입의 실제 개발 및 테스트 결과들을 발표하여 많은 주목을 받았다.

다른 IF로, 최근 표준화를 본격적으로 시도하고 있는 5세대 (5th Generation) 셀룰러 시스템 연구 개발과 관련해 IF16/19 (5G

Vision: Driving the Need for Ubiquitous Gbps)에 참석하였다. 차이나모바일, NTT DoCoMo, 삼성전자, 인텔, 에릭슨, 화웨이 등 5세대 시스템의 주력 개발사들의 연구개발 진행 상황과 비전을 공유할 수 있는 자리가 되었다. 아직은 5세대 시스템의 구체적인 사항들이 정해지지는 않았지만, 요구사항을 뒷받침할 수 있는 핵심 기술들에 대한 설명들이 이어졌으며, energy efficiency, diverse network topologies, multi-mode 및 multi-node communication, ubiquitous computing 등의 핵심 화두들이 제시되었다.

또한, 차세대 WiFi를 다룬 IF29 (Next generation WiFi)에 참석하여 인텔, 브로드컴, 퀄컴 등의 메이저 칩 벤더들의 연구 개발 현황을 청취하고 향후 WiFi의 진화 방향에 대한 각 사의 비전을 확인할 수 있었다. 최근 access point (AP) 수의 폭발적 증가





로 말미암은 간섭 문제가 심각해지는 상황에서 WiFi 성능의 대폭적인 향상이 쉽지 않기 때문에, 셀룰러 시스템과 유사한 high efficiency WLAN (HEW) 시스템에 대한 연구 및 표준화를 장기 과제로 진행하고 있으며, 동기화 지연 감소, 대역폭 향상, range 향상 등의 목표를 가진 개별 진화 방향에 대한 내용도 소개되었다. 또한 IEEE 802.11n/ac/ad 칩들의 시장 상황이나 예상 출시 시기 등도 제시되었으며, 2014년에는 802.11ad가 포함된 tri-band 칩까지 출시될 수 있을 것으로 예상하고 있었다. 현재의 WiFi의 문제점과 이를 해결할 수 있는 기술들에 대한 진지한 토론 분위기가 인상적이었으며, 향후 진행할 연구 방향 설정에 있어 좋은 참고의 시간이 되었다.

라. 전시장 참관

참여 업체 중 삼성전자 부스가 가장 눈길을 끌었다. 삼성전자에서는 5G 시스템 프로토타입과 60GHz 802.11ad 기반 HD 영상 전송 시스템을 소개하였다. 특히 표준 연구가 갓 시작된 5G 시스템과는 달리, 표준이 이미 완성된 802.11ad WiGig 시스템의 경우 기존에는 높은 주파수로 인한 기술적 문제점들이 많아 몇 년 전까지만 해도 상용화 가능성이 불투명한 상황이었으나, adaptive beamforming, 저전력 설계 등의 기술 개발을 통해 많은 어려운 점들을 극복한 것으로 판단되었다. 장애물을 사이에 놓거나 송수신기를 움직여보는 등 무선 채널 상태를 인위적으로 나쁘게 해보았으나 통신 품질은 저하되지 않는 것을 보고 기술적으로 많은 진보가 이루어졌음을 확인할 수 있었다. 내년엔 여러 회사가 칩을 양산하여 차세대 WiFi 시장에 새로운 경쟁 구도가 펼쳐질 것이라고 예상되며, 이후의 WiFi 기술에 대한 연구 방향을 고민할 수 있는 기회가 되었다.

그 외 총 12개의 technical symposia에서 주제별로 163개의 technical session 들이 구성되어 총 863개의 논문을 발표하였으며, 아래와 같이 총 15개의 개별 소규모 workshop들이 진행되었다.

WORKSHOPS

Monday, 9 December 2013

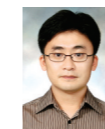
- W1. Trusted Communications with Physical-Layer Security
- W2. Broadband Wireless Access
- W3. Workshop on Cloud Computing Systems, Networks, and Applications
- W4. Device-to-Device (D2D) Communication With and Without Infrastructure
- W5. Heterogeneous and Small Cell Networks
- W6. Management of Emerging Networks and Services
- W7. Wireless Networking and Control for Unmanned Autonomous Vehicles
- W8. Optical Wireless Communications

Friday, 13 December 2013

- W9. Security and Privacy in Big Data?(Half Day)
- W10. Emerging Technologies for LTE-Advanced and Beyond 4G
- W11. Cloud-Processing in Heterogeneous Mobile Communication Networks
- W12. Vehicular Network Evolution
- W13. Control Techniques for Efficient Multimedia Delivery?(Half Day)
- W14. Quality of Experience for Multimedia Communications
- W15. Software-Defined Networking (SDN) on Optics

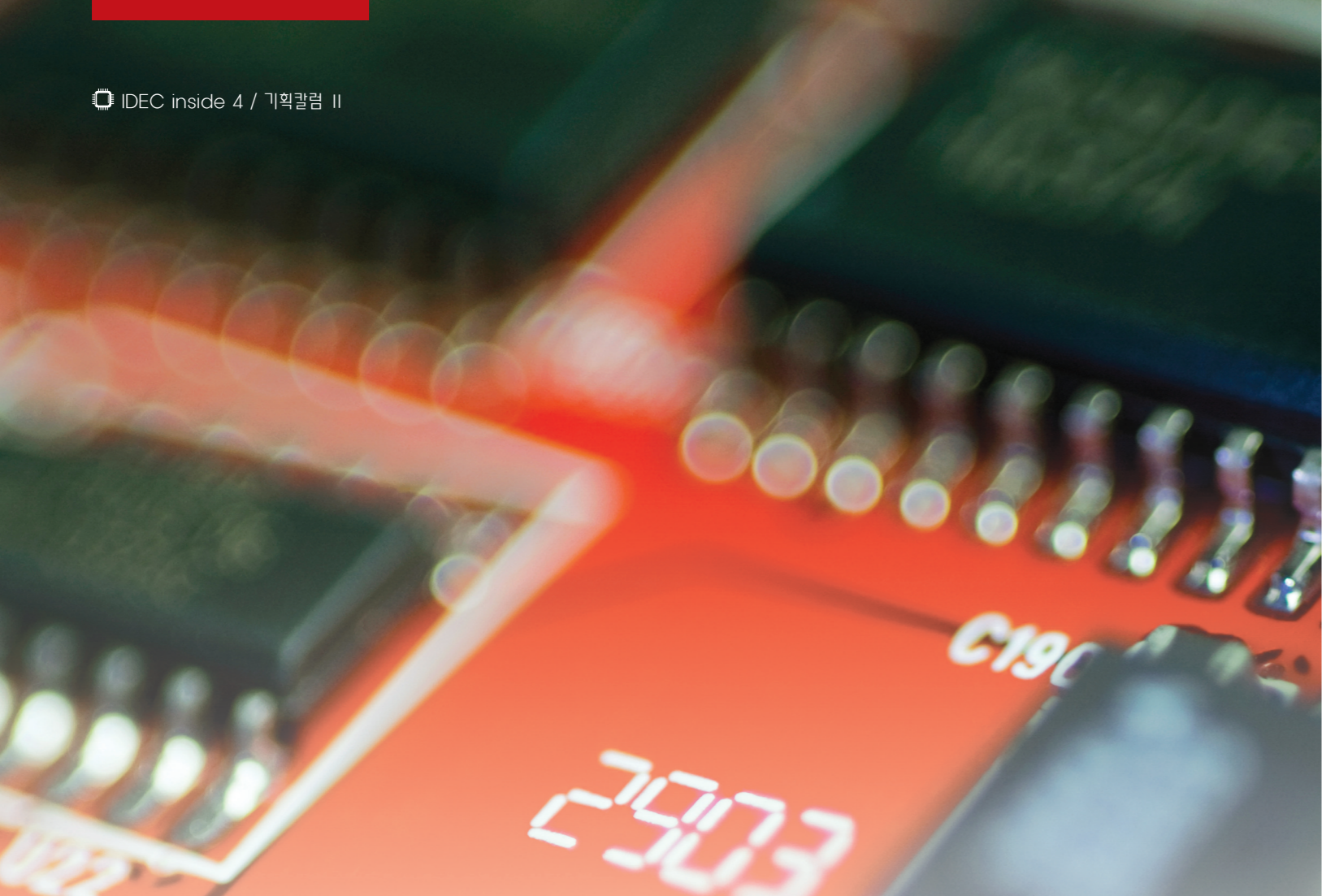
4. 결론

이번 GLOBECOM 2013 학술대회 참석을 통해서 2020년경 상용화를 목표로 한 5세대 통신 시스템 연구 개발이 보다 구체화되고 있음을 확인하였으며, mm-wave 기반의 셀룰라 및 WiFi 기술의 급속한 발전 정도를 몸소 체험할 수 있는 기회가 되었다. 추가적으로 미국에서 근무하고 있는 연구자들과의 교류를 통해 공동 연구의 방향을 모색할 수 있었으며, 예전에 학회를 주도하던 산업계 거인이었던 노키아, 에릭슨, 모토로라 등 거대 통신 기업들의 활동이 미약해지는데 반해 활발한 활동을 보인 삼성전자의 위상을 확인할 수 있었다.



최지웅 교수
 소속 : 대구경북과학기술원(DGIST) 정보통신융합공학전공
 연구분야 : 차세대 통신 및 신호처리, 바이오메디컬 시스템, brain-machine interface (BMI)
 이메일 : jwchoi@dgist.ac.kr
 홈페이지 : comm.dgist.ac.kr





ANSYS사 PowerArtist-XP

매년 새롭게 출시되고 빠르게 발전하는 EDA Tool에 대한 정보 부족 때문에 설계자들이 충분히 활용하지 못하는 현상이 일어나고 있다. 특히, 시스템반도체 예비설계자들에게는 최신 EDA Tool을 통한 교육과 설계실습이 꼭 필요한 상황이다. 이에, 본 고에서는 반도체설계교육센터(IDEA)에서 지원하는 다양한 EDA Tool중 Ansys사의 "PowerArtist-XP"의 특성 및 세부 기능, 활용법, O/S 정보 등을 소개하고자 한다.

A. 목적 : 칩 설계 초기 단계에서 Power Management 및 Estimation

B. 구분 : Ansys사의 "PowerArtist-XP"는 Design Engineer or Verification Engineer에게 Power Management Based Debugging Solution 및 Low Power Design 가이드를 제공한다.

C. Supported Platform and O/S System
- Solaris (64bit) 8,9,10

- RedHat 7,8,9
- Red Hat Enterprise (64bit) Linux 3,4,5
- SuSE (SLES 9/10) (64bit) Linux

D. 특성 및 기능

Apache Subsidiary of Ansys사의 "PowerArtist-XP"는 반도체 설계 Process의 Early Stage인 RTL 설계 단계에서 Chip이 소모할 파워를 예측하는 기능을 가지고 있으며, 예측된 파워를 기반으로 파워 누수 부분과 수정 가능 포인트를 알려줌으로써 Front-End 기반 설계에서의 전력관리 및 저전력 설계가 가능하도록 돕는 획기적인 툴이다. 또한, "PowerArtist-XP"는 RTL 설계 단계에서 실제로 소모될 IC의 전력을 예측할 수 있으며, IC 기능 동작 검증을 위하여 만들어진 시나리오를 바탕으로 실제 IC의 동작환경을 통해 소비전력을 유추하고 평균 전력량 및 순시적 전력 변동량을 측정하여 초기 설계단계에서부터 IC 소비 전력을 관리할 수 있도록 도와준다.

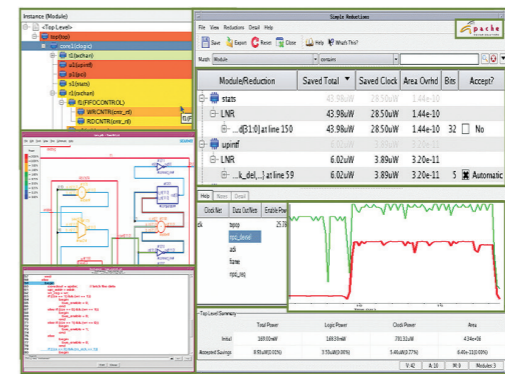


그림1. PowerArtist GUI

■ 평균전력량 측정(Average Power Calculation)

FSDB 나 VCD 등의 Activity Waveform을 기반으로 해당 시간 구간 동안의 평균 전력을 각각의 컴포넌트, 인스턴스 단위로 파워를 계산한다.

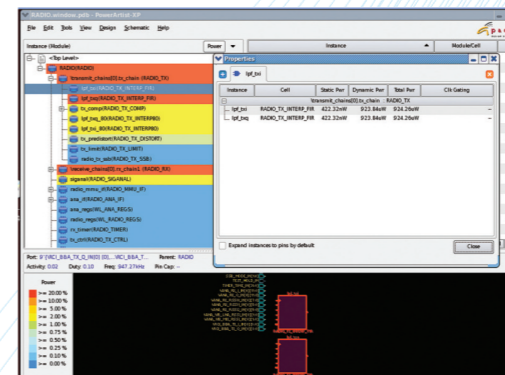


그림2. Average Power Calculation 결과 및 전력소모가 큰 핫스팟 표시

■ Time Based Calculation

Activity Waveform 파일의 시나리오를 바탕으로 순시적인 전력의 변동량을 측정하여, 최대소비 전력(Peak Power)을 측정하고 기능블록이 시나리오대로 동작하는지를 직관적으로 파악할 수 있도록 도와준다.

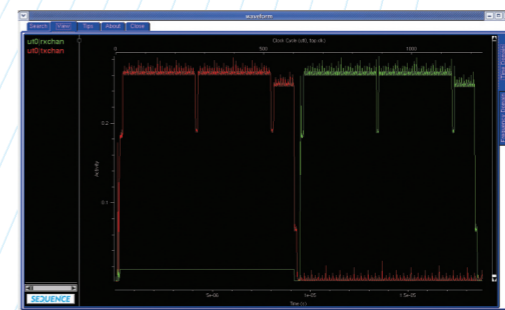


그림3. Time Based Calculation 결과

■ Power Reduction

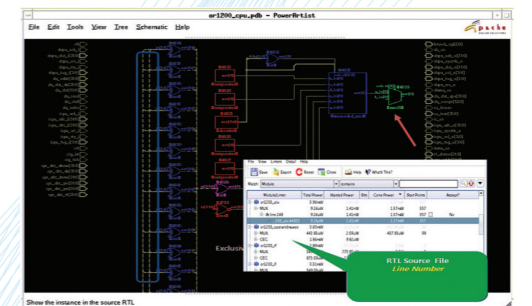


그림4. Power Reduction

GUI를 통해 전력소모량과 전력누수 부분, 그리고 이에 관련된 분석을 위한 여러 가지 파라미터(Activity, Frequency, Capacitance, Clock Gating Efficiency 등)들과 Gate Level의 Schematic을 보여주고, RTL 코드상에서 전력 세이브를 위한 수정 포인트를 찾아주어 디자이너가 직접 저전력설계를 할 수 있도록 안내 해준다.

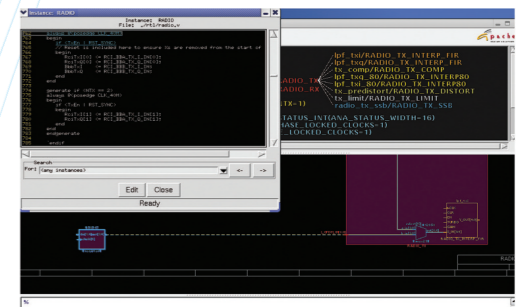


그림5. 저전력 디자인 가이드



회 사 명 : Apache Design Solutions Inc. (Subsidiary of Ansys Inc.)
 웹 주 소 : www.apache-da.com
 한국지사 : Ansys Korea Co., Ltd.
 전 화 : 02-3441-5000
 주 소 : 23F CityAir Tower 159-9 Samsung-dong, Gangnam-gu, Seoul, 135-973, Korea