



**VOL. 199**  
JANUARY 2014

IDEC Newsletter | 통권 제199호  
◎ 발행일 2013년 12월 31일 ◎ 발행인 박인철 ◎ 편집인 남병규 ◎ 제작 푸울디자인  
◎ 기획 전향기 ◎ 전화 042) 350-8535 ◎ 팩스 042) 350-8540 ◎ 홈페이지 <http://idec.or.kr>  
◎ E-mail [jhg0929@idec.or.kr](mailto:jhg0929@idec.or.kr) ◎ 발행처 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 산업통상자원부, 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.

## MPW (Multi-Project Wafer) 2014년 MPW 진행 현황

\* 회차 표기 방법 변경 : "공정코드-년도모집순서" (예시) 삼성65nm 2014년 1회차: S65-1401  
 \* 아래 일정은 공정사의 사정에 따라 변경될 수 있음.

공정사	회차구분 (공정_년도순서)	우선모집 신청마감	정규모집 신청마감	후기 접수시작 (선착순마감)	제작 칩 수	DB 마감 (Tape-out)	DB 전달 (Fab-in)	Die-out
삼성 65nm	S65-1401	-	2013.12.09	-	48	2014.02.17	2014.03.17	2014.08.18
	S65-1402	2013.12.09	2014.02.03	2014.05.05	48	2014.08.25	2014.09.29	2015.02.27
	S65-1403	2014.03.03	2014.06.02	2014.09.01	48	2014.12.15	2015.01.12	2015.06.12
매그나칩/ SK하이닉스 0.18μm	MS18-1401	-	2013.12.09	-	20	2014.02.24	2014.03.10	2014.07.28
	MS18-1402	-	2014.01.06	2014.02.03	20	2014.05.19	2014.06.02	2014.10.20
	MS18-1403	2013.12.09	2014.02.03	2014.04.07	20	2014.08.11	2014.08.25	2015.01.12
	MS18-1404	2014.02.03	2014.05.05	2014.07.07	20	2014.11.10	2014.11.24	2015.04.13
매그나칩/ SK하이닉스 0.35μm	MS35-1401	-	2014.01.06	2014.03.03	20	2014.06.16	2014.06.30	2014.10.06
	MS35-1402	2014.03.03	2014.06.02	2014.09.01	20	2014.12.01	2014.12.15	2015.03.23
동부 0.11μm	D11-1401	-	2013.12.09	-	12	2014.04.02	2014.04.23	2014.08.06
	D11-1402	2014.02.03	2014.04.07	2014.07.07	12	2014.10.01	2014.10.22	2015.02.04
동부 0.18μm BCD	D18-1401	-	2013.12.09	-	2	2014.02.05	2014.02.19	2014.05.14
	D18-1402	-	2013.12.09	-	2	2014.04.30	2014.05.14	2014.08.06
	D18-1403	2013.12.09	2014.02.03	2014.05.05	2	2014.08.13	2014.08.27	2014.11.19
	D18-1404	2014.02.03	2014.05.05	2014.08.04	2	2014.11.05	2014.11.19	2015.02.11
동부 0.35μm BCD	D35-1401	-	2013.12.09	-	3	2014.02.19	2014.03.05	2014.05.28
	D35-1402	-	2014.01.06	2014.03.03	3	2014.05.28	2014.06.11	2014.09.03
	D35-1403	2013.12.09	2014.03.03	2014.06.02	3	2014.09.10	2014.09.24	2014.12.17
	D35-1404	2014.03.03	2014.05.05	2014.08.04	3	2014.11.19	2014.12.03	2015.02.25
TowerJazz 0.18μm BCD	TJB18-1401	-	2014.01.06	2014.02.03	3	2014.05.12	2014.05.19	2014.09.08
	TJB18-1402	2014.02.03	2014.04.07	2014.07.07	3	2014.10.20	2014.10.27	2015.02.16
TowerJazz 0.18μm CIS	TJC18-1401	-	2014.01.06	2014.02.03	1	2014.05.05	2014.05.12	2014.09.01
	TJC18-1402	2014.02.03	2014.04.07	2014.07.07	1	2014.10.13	2014.10.20	2015.02.09
TowerJazz 0.18μm CA18HA	TJR18-1401	-	2014.01.06	2014.02.03	1	2014.05.12	2014.05.19	2014.09.08
	TJR18-1402	2014.02.03	2014.04.07	2014.07.07	1	2014.10.20	2014.10.27	2015.02.16
TowerJazz 0.18μm SiGe	TJS18-1401	-	2013.12.09	-	1	2014.03.11	2014.03.18	2014.07.08

\* Package 제작은 Die out 이후 1개월 소요됨.  
 \* 동부와 TowerJazz 공정은 sub chip(5mmx2.5mm 또는 2.35mmx2.35mm)으로 분리하여 모집함.  
 \* 선정 결과는 모집마감후 15일내 개별 통보됨.

\* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)

## 2014년 1월 교육프로그램 안내

수강을 원하는 분은 IDEC 홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

### KAIST 개설 강좌 안내

센터명	강의일자	강의제목	분류
본센터	01월 08일-10일	Calibre DRC/LVS and LVS debug	Tool강좌
	01월 13일-14일	Linux Management & EDA tools Installation	Tool강좌
	01월 16일-17일	[IDEC 연구원 강의] Full-Custom 설계 Flow 교육	설계강좌
	01월 20일-21일	Intuitive analysis of analog and RF circuits based on industrial practice in Silicon Valley	설계강좌
총복대	01월 06일-10일	Full custom IC설계 입문	Tool강좌

- 강좌일 : 1월 8일-10일
- 강좌제목 : Calibre DRC/LVS and LVS debug
- 강사 : 박지훈 대리 (Mentor Korea)

**강좌개요** Calibre 사용법 및 효율적인 LVS Debug 방법  
**수강대상** Calibre User  
**강의수준** 초중급  
**강의형태** 이론+실습  
**사전지식, 선수과목** Calibre경험이 필요하나Basics 내용이 포함 되어있기 때문에 처음 Tool을 사용하시는 분도 가능 합니다.

- 강좌일 : 1월 13일-14일
- 강좌 제목 : Linux Management & EDA tools Installation
- 강사 : 송상우 대표 (크리시스)

**강좌개요** Linux시스템에 대한 관리 및 EDAtool설치 및 보안설정에 대해 이해를 높인다.  
**수강대상** 리눅스관리자 초중급/중급  
**강의수준** 초중급  
**강의형태** 이론+실습  
**사전지식, 선수과목** 리눅스 사용경험과 기본 커맨드에 대한 이해가 필요함

- 강좌일 : 1월 16일-17일
- 강좌 제목 : [IDEC 연구원 강의] Full-Custom 설계 Flow 교육
- 강사 : 조인신 연구원 (IDEC)

**강좌개요** CMOS 공정을 이용한 Full-custom 설계를 위한 기초 원리로서, 설계 Flow 에 대해 알아보고, 설계에 필요한 EDA Tools (Cadence Virtuoso, Mentor Calibre) 의 설정 방법과 이 EDA Tools를 이용하여 실습 프로젝트를 수행함으로써 설계능력을 배양한다.  
**수강대상** CMOS 공정을 이용한 아날로그 설계 분야의 입문자  
**강의수준** 초급  
**강의형태** 이론+실습  
**사전지식, 선수과목** 전자회로, 반도체 공학, 회로이론

- 강좌일 : 1월 20일-21일
- 강좌 제목 : Intuitive analysis of analog and RF circuits based on industrial practice in Silicon Valley
- 강사 : 박진호 박사 (Terasquare Inc.)

**강좌개요** 반도체 산업은 점차적으로 더 빠른 속도와 고주파수, 그리고 고성능의 집적회로 들이 주류를 이루고 있고, 이 같은 경향은 앞으로도 더욱 가속화될 전망이다. 고주파수 회로 설계자들, 특히 RF 디자이너들은 크게 두가지 부류를 이루어왔다. 첫째는 microwave분야에서 접근하는 디자이너, 둘째는 analog회로설계분야에서 접근하는 부류들

이다. 하지만, IC의 고집적화가 가속화되면서, analog회로설계자들의 RF 지식이 더욱 요구되는 것이 현실이다. 이번 강의는 국내의 analog /RF 회로설계 분야에 종사하거나 관심을 갖는 이들에게 analog의 기초와 RF 설계의 기본을 완전히 다른 각도에서 다시한 번 다지는 내용들로 이루어질 예정이다.  
**수강대상** Analog / RF Design Engineering 백그라운드를 가진 전문인, 직장인, 대학원생  
**강의수준** 초중급  
**강의형태** 이론  
**사전지식, 선수과목** Fundamental understanding about CMOS devices, analog circuitries, RF theory

\*문의 : KAIST IDEC 구제희 (042-350-8536, kjh9@idec.or.kr)

- 강좌일 : 01월 06일-10일
- 강좌 제목 : Full custom IC설계 입문
- 강사 : 김영석 교수(총복대학교)

**강좌개요** 1. Full custom IC 설계에 필요한 tool 사용법을 배운다.  
 2. Unix 명령어를 배우고, cadence를 이용하여 schematic과 layout을 만들고 simulation 하는 방법을 배운다.  
 3. 디지털 로직, Bandgap 기준전압 발생기, 증폭기 회로 예제를 이용하여 회로 설계 및 레이아웃을 실습한다.  
**수강대상** Cadence를 사용한 Full custom IC 설계 초급자  
**강의수준** 기초  
**강의형태** 이론+실습  
**사전지식, 선수과목** 전자회로

\*문의 : 총복대지역센터 라혜미 (043-261-3572, idec\_haemi@naver.com)

## 2014년 IDEC 교육일정

No.	월	개설날짜(안)	기간	강좌종류	개설 강좌	강사	소속
1	1월	1.8-10	3일	Tool강좌	(Mentor)Calibre DRC/LVS and LVS debug	박지훈 대리	Mentor
2		1.13-14	2일	Tool강좌	Linux Management & EDAtools Installation	송상우 대표	크리시스
3		1.16-17	2일	설계강좌	[IDEC 연구원 강의] Full-Custom 설계 Flow 교육	조인신 연구원	IDEC
4		1.20-21	2일	설계강좌	Intuitive analysis of analog and RF circuits based on industrial practice in Silicon Valley	박진호 박사	Terasquare
5	2월	2.14	1일	Tool강좌	Virtuoso AMS Designer v11.1	서승원 차장	Cadence Korea
6		2.17-19	3일	설계강좌	Mixed Analog Layout(1차)	박익근 이사	파인스
7		2.21	1일	Tool강좌	Virtuoso Analog simulation Technique v6.15	이상철 차장	Cadence Korea
8		2.27-28	2일	설계강좌	High speed broadband transceiver IC design technique	배현민 교수	KAIST
9	4월	4.11	1일	설계강좌	클럭 생성 회로 설계	심재윤 교수	포항공대
10	6월	6.26-27	2일	Tool강좌	(Mentor)Calibre xRC		Mentor
11		6.30-7.2	3일	설계강좌	고성능 데이터변환기 설계를 위한 이론 및 실습	류승탁 교수	KAIST
12	7월	7.3-4	2일	설계강좌	디지털 신호처리를 위한 고성능 저전력 SoC 설계	박성정 교수	건국대학교
13		7.7-8	2일	설계강좌	SoC Architecture	한태희 교수	성균관대
14		7.10-11	2일	Tool강좌	(Mentor)Questa	박성철 부장	Mentor
15		7.14-16	3일	설계강좌	센서 신호 처리용 아날로그 프론트엔드 설계 기법	고형호 교수	충남대학교
16		7.21-25	5일	설계강좌	[IDEC 연구원 교육]IDEC MPW 설계를 위한 교육	선혜승,유은광, 김연태 연구원	IDEC
17	8월	8.4-7	4일	설계강좌	RF IC 설계 교육(1)		
		8.4	1일	설계강좌	- RF 시스템 개요	유형준 교수	KAIST
		8.5	1일	설계강좌	- CMOS 능동/수동 소자	이종욱 교수	경희대
		8.6-7	2일	설계강좌	- LNA 및 Mixer 설계	이상국 교수	KAIST
18		8.8	1일	Tool강좌	Incisive Verilog simulation	김일중 부장	Cadence Korea
19		8.11	1일	설계강좌	고속 인터페이스 회로 설계를 위한 Signal Integrity이론 및 등화기 이론	김병섭 교수	포항공대
20	8월	8.12-14	3일	설계강좌	RF IC 설계 교육(2)		
		8.12-13	2일	설계강좌	- RF PLL 주파수합성기	신현철 교수	광운대
		8.14	1일	설계강좌	- RF Power Amplifiers	이욱구 교수	부산대
21		8.18-20	3일	설계강좌	Mixed Analog Layout(2차)	박익근 이사	파인스

No.	월	개설날짜(안)	기간	강좌종류	개설 강좌	강사	소속
22	8월	8.25	1일	설계강좌	CMOS 이미지 센서 교육	이성수 상무	픽셀플러스
23		8.26-27	2일	설계강좌	RF 중급	박진호 박사	Terasquare
24	11월	11.27-28	2일	설계강좌	무선전력 전송용 송수신 시스템 및 회로 설계	이강윤 교수	성균관대
25	미정		2일	설계강좌	Verilog HDL을 활용한 IP 설계 + FPGA 교육	김지훈 교수	충남대
26			2일	설계강좌	Mobile GPU 설계 교육	남병규 교수	충남대
27			1일	설계강좌	하루만에 배우는 고주파 임피던스 정합	김병섭 교수	한밭대학교
28			52~3일	설계강좌	삼성전자 메모리 교육	미정	삼성전자
29			2일	Tool강좌	Encounter Digital Implementation	TBD	Cadence Korea
30			3일	Tool강좌	Design Compiler 사용법 및 활용예	미정	Synopsys
31			3일	Tool강좌	PrimeTime 사용법 및 활용예	미정	Synopsys
32			3일	Tool강좌	IC Compiler 사용법 및 활용예	미정	Synopsys
33			2일	Tool강좌	Sentaurus Training	미정	Synopsys

\*상기 일정은 추후에 변동될 수 있습니다.  
\*향후 홈페이지 (<http://www.idec.or.kr>) 참조

## Chip Design Contest (CDC)

제21회 한국반도체학술대회(KCS) Chip Design Contest 개최

### 1. 일정 및 장소

가. 일정 : 2014년 2월 25일(화)  
나. 장소 : 한양대학교, 서울

### 2. 행사 진행 일정

구분	시간	장소
데모/패널 전시	09:30 ~ 16:30	한양대학교 내
시상식	18:30 ~ 20:30	Banquet

### 3. 시상내역

Award 명	수상팀수	내역
Best Design Award	1팀	상장 및 상금 100만원
Best Demo Award	- 1개팀 - 특별상(SSCS 서울챌러지) 1팀	각 상장 및 상금 50만원
Best Poster Award	- 6개팀 내외	각 상장 및 상금 20만원

\* 수상팀 수는 참여팀 수 등에 따라 조정될 수 있음.



\* CDC 참여와 관련한 자세한 사항은 홈페이지(<http://www.idec.or.kr>)를 참조  
\* 담당 : 구제희 선임(042-350-8536, kjh9@idec.or.kr)



시스템 반도체, 메모리 반도체  
스마트 시스템 분야의  
전문 인력을 양성하기 위하여  
모든 노력을 다 하겠습니다.  
함께 참여해 주시고 도움을  
주시기 바랍니다.

안녕하십니까? 갑오년 새해가 밝았습니다.

평소에는 무슨 해 인지도 모르고 살지만, 신년사를 쓰면서 문득 갑오년이라는 것을 알게 되면서 갑오경장, 동학운동, 정봉준 이런 단어가 떠오릅니다. 120년이나 지난 후이지만, 예나 지금이나 어렵기는 마찬가지였나 봅니다. 작년은 새로운 정권이 시작하는 해여서 더구나 우리나라 역사상 처음으로 엔지니어링을 전공한 분이 대통령이 되었기 때문에 기대가 많았습니다. 그러나 예년처럼 힘들게 오히려 더 힘들게 한 해를 지냈다는 느낌이 드는 것은 저 만의 추억이기를 바랍니다.그래도 IDEC의 가치를 인정하고 지원해주는 많은 기업과 격려와 독려를 아끼지 않으시는 많은 분들이 있어서 힘을 얻고 있습니다.

IDEC은 1995년에 설립된 이래로 꾸준한 발전을 거듭하였습니다.

이제는 70개의 대학 워킹그룹과 7개의 지역센터를 운영하고 있고 매년 300여 개의 반도체 칩 제작 기회와 3000 copy 이상의 다양한 EDA 설계 도구를 대학교에 지원하고 있습니다. 그 사이 우리나라 반도체 산업은 비약적인 성장을 지속해 왔으며, 최근 들어서는 시스템 반도체 분야도 메모리 반도체와 더불어 우리나라 발전을 견인하는 핵심 동력이 되었습니다.

이러한 성장은 우리나라 반도체 관련 기업, 패키지 기업, EDA 벤더, 그리고 정부 기관의 지속적이고 적극적인 협조를 통하여 이루어진 것이며, IDEC도 반도체 설계 인력 양성을 통하여 조금이나마 그 역할을 하였다고 자부합니다.

반도체 칩 하나가 응용 시스템인 시대가 되면서 반도체 부품과 소프트웨어를 구분하는 것은 더 이상 의미가 없어졌으며, 오히려 설계 초기부터 응용 시스템을 고려하여 모든 것을 동시 개발해야 하는 시대가 되었습니다.

IDEC은 이러한 변화를 수용하여 보편적인 교육 환경은 물론 전문적인 시스템 교육 체계를 구축해 가고 있고, 특히 지난해에는 여러 가지 의미 있는 시도를 하였습니다. 홈페이지도 새로 개편하였고, 실제 설계를 위한 연구원 강의와 녹화된 강의의 VOD 서비스도 시작하였고, 아날로그 회로 설계를 위한 디지털 표준 셀도 개발하여 모든 대학에서 사용할 수 있도록 하였습니다. 항상 한정된 예산에서 그리고 오랜 기간 동안 많은 시도를 해 온 상태에서 모두에게 이로운 새로운 방향으로 결과를 만들어 가는 것은 어려운 일이지만, 올해도 IDEC은 새로운 시도를 지속해 나갈 것입니다.

한층 넓어지고 전문화된 반도체 설계 교육과 교육 인프라를 구축하기 위해서는 더 많은 열정과 여러 분야의 협력이 필요합니다. IDEC은 우리나라의 시스템 반도체, 메모리 반도체, 더 나아가 스마트 시스템 분야의 전문 인력양성하기 위하여 모든 노력을 다 하겠습니다. 함께 참여해 주시고 도움을 주시기 바랍니다. 끝으로 웃음과 기쁨이 넘치는 새해 맞으시고 항상 건강하시기를 기원합니다.

IDEC 소장 박인철 배상

message





# 초고해상도 UHD급 비디오 코덱의 최근 기술 동향

대용량 고품질 비디오 콘텐츠를 효율적으로 압축 처리하여 전송하는 방송통신 융복합 기술의 비약적인 발전으로 초고해상도 미디어가 등장하고 TV뿐만 아니라 스마트 모바일 단말에서도 고해상도를 지원하는 시대가 열리고 있다.

이에 따라 3D 미디어의 등장, 실감방송, 교육, 회의, 의료 및 게임 서비스의 수요가 증가하는 추세이다. 현장의 감동과 생동감을 현실감 있게 수요자에게 전달하기 위해서 미디어 서비스는 Full HD급(1920x1080) 해상도를 넘어 4K/8K UHD급(4096x2160/8192x4096) 초고해상도 발전해 갈 것으로 예측되며 아울러 실시간 비디오 코덱(Codec) 솔루션이 시장에서 요구되고 있다.

## JCT-VC 표준화 동향

초고해상도 비디오를 처리하기 위해서는 고효율 압축 비디오 코덱 개발이 필수적이므로 이를 위해 2010년 1월 비디오 표준기관인 ISO/IEC의 MPEG과 ITU-T의 VCEG이 공동으로 JCT-VC(Joint Collaborative Team on Video Coding)을 구성하기로 합의 하였다. 그에 따라 JCT-VC 에는 약 188명의 전문가가 참여하여 2010년 4월 제1차 독일 드레스덴 회의부터 표준 제정에 착수하여 2013년 1월 제12차 스위스 제네바 회의에서 HEVC(High Efficiency Video Coding) 표준 최종안(FDIS: Final Draft International Standard)을 완성하였다.

HEVC는 기존 비디오 압축기술인 H.264/AVC에 비하여 주관적 화질평가를 기준으로 압축률이 50% 이상 개선된 차세대 비디오 코덱 기술로서 UHD급 비디오의 대용량 데이터를 효과적으로 압축

부호화하기 위한 핵심기술로 사용될 것이다. JCT-VC 표준화 맵은 그림 1과 같다. 2013년 12월 현재 JCT-VC는 스케일러블 HEVC(SHEVC)와 3차원 HEVC(3D-HEVC) 관련 Ad hoc 그룹을 구성하여 HEVC 기반 스케일러블 비디오 코딩기술과 3차원 코딩 기술에 대한 표준화를 진행하고 있다[1-2].

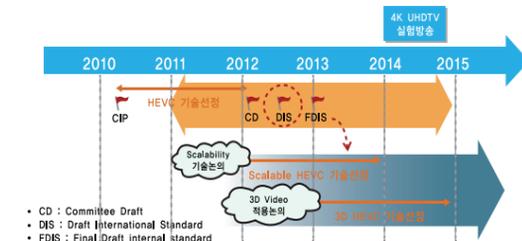


그림 1. JCT-VC 표준화 로드맵

국내에서는 2014년 인천 아시아 게임에서 4K UHD TV 시험방송, 2018년 평창 동계올림픽에서 8K UHD TV 시험중계를 목표로 하고 있으며 UHD TV 기술을 주도하고 있는 일본은 2014년 6월부터 HEVC 압축기술을 시범적으로 도입한 케이블 4K UHD 시험방송에 들어갈 예정이다.

## UHD급 HEVC 코덱 주요기술

HEVC는 기존 H.264/AVC와 같은 블록 코딩 방식이며 화면 내 예측 (Intra Prediction)과 화면 간 예측(Inter Prediction: Motion

Estimation)을 동시에 수행하여 코딩효율이 우수한 모드를 선택하는 그림 2와 같은 하이브리드 구조를 가진다[3-4]. 디블록킹 필터

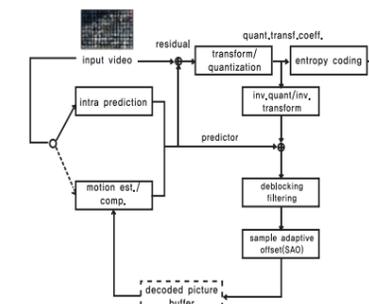


그림 2. HEVC 인코더 블록도

링 이후 남아있는 영상의 오류를 보정하기 위해 HEVC 표준화에서 제안된 새로운 방법의 인루프 필터링 기술인 적응적 샘플 오프셋(Sample Adaptive Offset, SAO)을 제외하면 대부분의 기본적인 부호화 기술들은 이전의 비디오 압축표준인 H.264/AVC에도 존재 하지만 각 기능 요소들의 세부적인 부분은 코딩 효율을 높이기 위하여 다양한 모드가 추가 되었다[5].

## (1) HM-12.0 부호기 주요 기술

2013년 7월 14차 스위스 제네바 회의에서 결정된 HEVC 테스트 모델(HEVC Test Model, HM 12)에서 정의하고 있는 주요기술은 표 1과 같다[4-5].

표 1. HM 12.0 인코더 주요기술

<b>Main/Main10 Profile</b>
<b>Coding, Prediction, Transform Unit</b>
Coding: 8x8 부터 64x64 크기의 쿼드트리 구조
Prediction: Symmetric, Asymmetric 블록
Transform: 4x4 부터 32x32 크기 블록 (Always Square)
<b>Special Signal Transformation</b>
4x4, 8x8, 16x16, 32x32 크기의 DCT 정수 변환
화면내 4x4 블록을 위한 DST 정수 변환(Luma)
무손실 압축 PCM 부호화
<b>Intra-Prediction</b>
DC, Planar Prediction
35개의 방향성을 갖는 Angular Prediction
<b>Inter-Prediction</b>
Luma 1/4 Sample Prediction (8-tap DCT-IF)
Chroma 1/8 Sample Prediction (4-tap DCT-IF)
Advanced Motion Vector Prediction (AMVP with Merge)
<b>Entropy Coding</b>
Arithmetic entropy coding (CABAC)
Rate-Distortion Optimized Quantization (RDOQ)
<b>In-Loop Filtering</b>
Deblocking filter
Sample-adaptive offset filter (SAO)
<b>Picture Storage and Output Precision</b>
8/10 bit

대부분의 기본적인 기능은 이전 표준과 유사하지만, 부호화 단위인 코딩 유닛의 크기가 64x64로 확장되었으며 정수배변환에서 DST (Discrete Sine Transform) 추가, 화면 내 예측모드(Intra Prediction)에서 방향성 추가 그리고 인루프 필터링에서 SAO(Sample-Adaptive Offset)가 추가된 것이 가장 큰 차이이며 부호화 및 복호화를 위한 구성요소의 집합한 프로파일은 메인, 메인 10, 메인 스틸 픽처 프로파일로 정의되어 있다.

## (2) 부호화 단위

MPEG-4, H.264/AVC의 비디오 표준에서는 하나의 화면을 16x16 크기 블록단위인 매크로 블록(Macroblock, MB)으로 분할하여 부호화했으나 HEVC에서는 부호화 기본단위로 코딩 트리 유닛(Coding Tree Unit, CTU)을 사용하며 이는 이전표준에서 매크로 블록과 유사한 개념이다. 표준이 확정된 HEVC의 메인 프로파일(Main/Main10)에서는 8x8에서 64x64 크기의 CTU 크기를 그림 3과 같이 화면의 해상도에 따라 유연성 있게 지정할 수 있으며 고 해상도의 영상의 경우 큰 블록으로 부호화된 우측 영상의 화질이 우수함을 알 수 있다. 이는 이전 표준보다 압축효율을 높일 수 있는 가장 중요한 역할을 한다 [5-6].



그림 3 좌측 16x16 CTU 와 우측 64x64 CTU 사이즈에 따른 HEVC 부호화 결과

CTU 크기가 결정되면 그림 4와 같이 CTU 내에서 정사각형의 쿼드트리 형태로 최소 8x8 크기까지 코딩유닛(Coding Unit, CU) 단위로 영상이 분할되어 부호화와 복호화가 수행되는 기본단위가 된다.

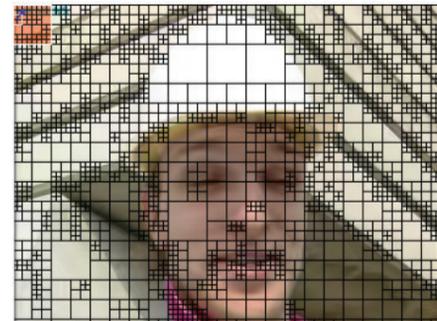


그림 4. 코딩 트리 구조

CU 사이즈의 결정은 CU 내에서 다양한 형태의 예측 유닛(Prediction Unit, PU)에 따라 최소 4x4 단위까지 화면 내 예측과 화면 간 예측 결과에 대하여 4x4에서 32x32 크기의 정수 배 변환을 각각 수행하고 최종 최소 비트를 발생시키는 모드를 결정(Rate Distortion Optimization, RDO) 하게 된다. 이는 HEVC 구현 시 계산량과 복잡도를 H.264/AVC 표준과 비교하여 4배 이상 증가시키게 되어 실시간 압축복원을 어렵게 하는 요인이다. 이를 해결하기 위하여 다양한 실험을 통한 고속화 알고리즘에 대한 연구가 활발히 진행 중이다.

## (3) 정수배 변환

H.264/AVC에서는 모든 블록사이즈에 대해 4x4 크기의 정수배 변환과 하이프로파일의 경우에만 8x8 크기의 정수배 변환이 사용되었지만 HEVC 표준에서는 새로 추가된 16x16와 32x32 크기의 DCT 변환이 사용되어 압축 효율을 증가시킨다. 특징으로는 화면 내 4x4 예측 블록에 대해서는 DST (Discrete Sine Transform)가 사용되는데 이는 원본 영상의 텍스처가 평탄한 영역에서는 DCT가 좋고 그 외의 영역에서는 DST가 좋기 때문에 비교적 화면이 복잡하여 화면 내 예측이 사용된 4x4블록에 대해서는 DST를 사용한다. DCT를 이용하면 저주파수 영역에 대한 필터링 특성이 좋으며 DST는 고주파 영역에 대한 특성이 좋아 특정 영역으로 필터링한 결과를 한곳으로 수렴할 수 있어 정수배변환 이후 양자화(Quantization)를 수행 시 그 외의 부분은 연속된 '0'으로 채워지게 되어 엔트로피 부호화를 수행할 때 압축효율을 높일 수 있다 [5-8]. 양자화 시에는 정수배변환의 결과 값인 양자화 계수(Coefficient) 레벨을 조정하여 필요한 비트량과 PSNR의 변화를 예측하여 가장 최소의 비트를 발생시키는 계수 값을 결정하는 RDOQ (Rate-Distortion Optimized Quantization)을 수행한다.

## (4) 화면내 예측

H.264/AVC 표준에서는 4x4와 8x8 크기의 블록에 대하여 9개의 방향성 모드를 16x16 크기의 블록에 대해 4개의 방향성 모드를 사용하였지만 HEVC 표준은 모든 블록크기에 대하여 그림 5와 같이 최대 35개의 방향성 예측모드를 제공한다[3].

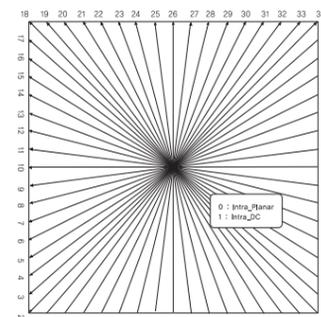


그림 5. HEVC 화면내 예측모드

예측 모드가 증가하게 되면 복잡도가 증가하고 이러한 정보를 전송하기 위한 비트가 늘어나게 되지만 다양한 예측을 사용함으로써 더

정확한 예측을 수행해 예측 오류가 줄어든다[5-8]. 색차 신호(Chroma)의 경우에는 H.264/AVC에서는 8x8 크기에 대해서만 화면 내 예측을 수행하였지만 HEVC에서는 최소 휘도(Luma) 예측단위인 4x4 크기에 대한 2x2 크기의 색차신호 4개를 모아서 4x4단위의 예측을 수행함으로써 좀 더 정확한 색차신호에 대한 예측 부호화를 수행한다. JCT-VC에서 제공하고 있는 테스트 시퀀스에 대한 화면 내 예측 부호화에 대한 실험결과 H.264/AVC와 비교한 결과 최대 35.5%, 평균 22.3%의 비트 감소율을 보인다. 그림 6은 1280x720 HD 해상도 영상의 경우에 HM과 H.264/AVC의 테스트 모델인 JM(Joint Model)으로 영상을 부호화한 결과를 동일 비트 레이트에서 비교한 영상인데[9], 그림에서 보는 바와 같이 상단 영상의 화질이 우수함을 알 수 있다.



그림 6. HEVC 와 H.264/AVC 부호화 비교영상: 상단: HM 6.0 vs. 하단: JM 18.2 at 4.9 Mb/s

## (5) 기존 표준과의 HEVC 성능비교

HEVC 메인프로파일과 기존 비디오 표준과의 왜곡률(Rate-Distortion) 비교는 그림 7과 같다[10].

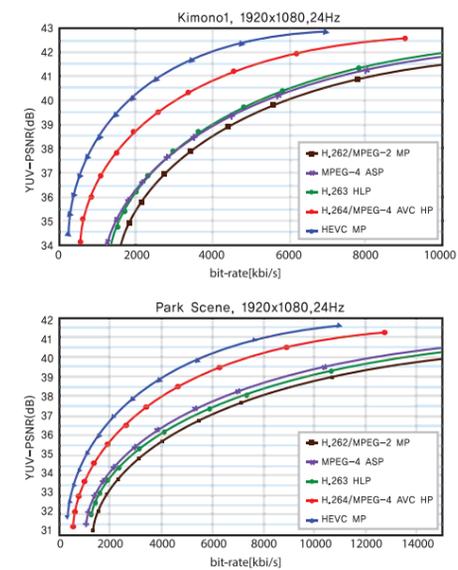


그림 7. HEVC와 이전 비디오 표준에 대한 왜곡률 비교

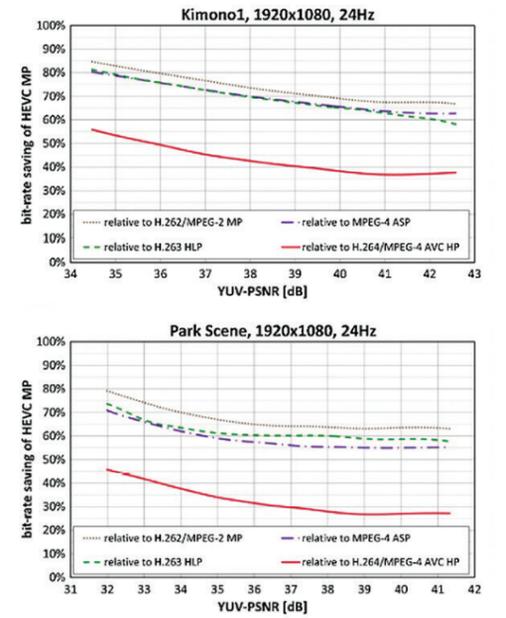


그림 8. HEVC와 이전 비디오 표준 별비트 레이트 감소율 (Bit-Rate Savings) 비교

1920x1080 해상도의 영상에서 동일 비트레이트 상에서 HEVC는 H.264/AVC와 비교하면 PSNR 이 평균 1dB 이상, MPEG-2와는 평균 3dB 이상 화질의 차이가 발생한다. 또한 동일 화질(PSNR)의 영상에서 HEVC 표준과 이전 비디오 표준과의 비트레이트 감소율 차이를 비교하면 그림 8과 같으며 이를 정리하면 표 2와 같다.

Encoding	Bit-Rate Savings Relative to		
	H.264/AVC HP	MPEG-4 ASP	MPEG-2 MP
HEVC MP	35.4 %	63.7 %	70.8 %
H.264/AVC HP	-	44.5 %	55.4 %
MPEG-4 ASP	-	-	16.2 %

표 2. 동일 화질 (PSNR)에서 비디오 표준 별 평균 비트 감소율 비교

HEVC 메인 프로파일은 H.264/AVC 하이프로파일과 MPEG-2 메인프로파일에 비해 각각 35.4%, 70.8%의 코딩효율 개선을 달성했으며, 낮은 비트 레이트일수록 차이는 더 벌어짐을 알 수 있다[10].

## 해외주요 기관의 표준화 및 기술개발 동향

2013년 1월 HEVC 표준 제정 이후에 스케일러블 HEVC와 3차원 HEVC에 대한 표준화 노력이 지속되고 있으며 2014년 1월에 미국

산호세에서 16차 회의가 진행될 예정이다. 주요 참여기관으로는 초기부터 HEVC 표준화를 주도한 삼성(Samsung), 한국전자통신연구원(ETRI), 에릭슨(Ericsson), 미디어텍(MediaTek), 샤프(Sharp), 소니(Sony), 퀄컴(Qualcomm) 및 하모닉(Harmonic) 등이 있으며 현재까지 활발한 표준화 활동을 하고 있다. 2013년 9월 네덜란드에서 개최한 국제방송장비 전시회(IBC 2013)에서는 HEVC, UHD, 그리고 클라우드 기반의 서비스를 향후 멀티미디어 시장의 미래를 선도할 기술로 선정하였다.

세계 각국에서 추진 중인 HEVC 고해상도 코덱 기반의 응용분야로는 UHD급 지상파 TV를 위한 방송장비 시스템, IPTV, CATV 및 위성방송 서비스를 위한 셋탑박스(STB) 내의 비디오 프로세서, 멀티스크린(Multiscreen) 서비스 그리고 클라우드 기반의 네트워크 비디오 레코더(Cloud-based network PVR) 등이 있으며 이와 같은 다양한 고해상도 미디어 콘텐츠를 처리하기 위한 비디오 코덱은 그림 9에서처럼 H.264/AVC 에서 HEVC로 진화하고 있다[11-12].

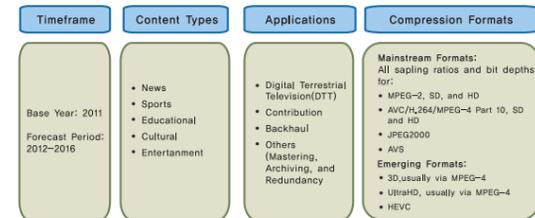


그림 9. HEVC 응용분야와 비디오 표준 진화

비디오 코덱 칩셋 개발을 선도하고 있는 해외 업체로는 아템(Atem), 디지털 래피드(Digital Rapids), 하모닉(Harmonic), 미디어엑셀(Media Excel)이 HEVC를 지원하는 인코더 및 트랜스코더(Transcoder)를 시연하였으며, 시스코(Cisco)는 차세대 사용자 인터페이스(UI)인 스노우플레이크(Snowflake)를 채택한 4K HEVC 방송장비를 개발하였다. 알레그로(Allegro), 브로드컴(Broadcom)은 위성, CATV 및 IPTV 4K HEVC 해상도의 비디오를 압축 복원하고 전송할 수 있는 방송용 코덱 칩셋을 개발하였으며 독일의 프라운호퍼(Fraunhofer) HHI 연구소에서는 1920x1080 해상도를 갖는 초당 60프레임 HEVC 압축 영상을 클럭속도 150MHz에서 복호화할 수 있는 실시간 전용 하드웨어 디코더를 개발하였다.

멀티 스크린 기술과 관련된 4K UHD급 초고해상도 서비스 기술은 에릭슨, 소니, 뉴텍(Newtec) 그리고 브리티시 텔레콤(British Telecom)을 중심으로 개발이 활발하게 이루어지고 있다[13]. 2013년 9월 독일에서 개최된 가전 전시회(IFA 2013)에서는 멀티미디어 전송인터페이스인 HDMI(High Definition Multimedia Interface)의 차세대 규격인 HDMI 2.0 이 발표되었다. 규격은 전송대역폭이 기존 10.2Gbps에서 18Gbps로 확장되고 4K 비디오 해상도로 초당 50/60 프레임의 영상을 전송할 수 있게 되었다. 이로 인하여 방송 및 통신네트워크를 통하여 전송된 생동감 있는 4K UHD 해상도의 HEVC 압축된 영상을 복원하여 고해상도의 멀티스크린 혹은 사용자의 디스플레이에 손실 없이 전달하는 역할을 할 수 있게 되었다.

## 국내 HEVC 코덱 개발 상황

한국전자통신연구원(ETRI)은 2010년 4월 HEVC 표준화 초기부터 현재까지 JCT-VC 국제 표준화 회의에 참석하여 압축 효율을 높이기 위한 부호화 기술에 대한 제안을 지속적으로 하고 있으며 표준채택을 위한 활동에 노력하고 있다. ETRI는 2013년 1월 스위스 제네바에서 열린 제12차 JCT-VC 국제 표준화 회의에 참석하여 HEVC 표준을 만족하고 SoC로 구현할 경우 1920x1080 해상도 영상을 초당 60장 처리할 수 있는 그림 10의 전용 하드웨어 기반 HEVC 디코더 프로토타입[14]의 공개 시연을 세계 최초로 가졌으며 2013년 12월 4K/8K-UHD급 멀티코어 기반의 하드웨어 디코더의 개발을 완료하였다.

특징으로는 전용 하드웨어 기반으로 초당 120프레임의 4K(4096x2160) 해상도를 갖는 HEVC 압축영상을 복원할 수 있으며, 병렬처리를 위하여 타일(Tile), 슬라이스(Slice) 및 웨이브프론트 병렬처리(Wavefront Parallel Processing) 형태로 압축된 영상을 다수의 하드웨어 디코더 코어(Multi Decoding Core)를 이용하여 동시에 실시간 처리할 수 있다.

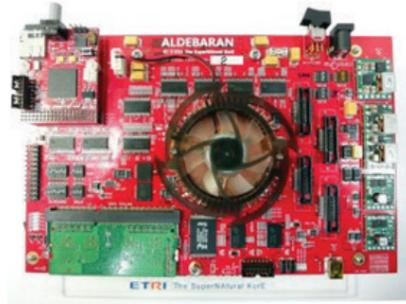


그림 10 제12차 JCT-VC 국제 표준화 회의에서 공개 시연한 ETRI HEVC 디코더

ETRI 외에도 (주)삼성전자, (주)LG전자 등 대기업 및 비디오 IP 전문 기업인 (주)칩스앤미디어 등에서 HEVC 코덱을 자체적으로 개발하고 있는 것으로 알려져 있다.

## 결론

MPEG-2 이후 2003년 비디오 표준으로 제정된 H.264/AVC 표준은 고해상도의 영상압축 표준으로 자리 잡아 왔으며 현재 디지털 방송뿐 아니라 미디어 압축복원을 위해 가장 널리 사용되는 기술이다. 그러나 낮은 비트율에서 화질의 손실 없이 사용자에게 UHD급의 초고해상도 실감영상 서비스를 제공하기 위해서는 차세대 비디오 코덱 표준인 HEVC 도입이 시급하다.

이제 도입기로서 구현의 복잡도로 인하여 상용화까지 해결해야 할 문제들이 많이 남아 있지만, 해외에서는 이미 HEVC 코덱칩셋 및 시제품 개발이 진행되고 있으며 H.264/AVC의 예처럼 향후 10년간 발전이 예상된다. 국내외 시장에서는 4K UHD급 해상도를 지원하는 디스플레이 장치가 출현하고 있으며 방송 및 통신 사업자는

2014년 UHDTV 서비스의 실험 방송을 기반으로 2018년 UHD급 초고해상도 미디어 서비스의 상용화를 준비하는 등 멀티미디어 시장이 급변하고 있다. 또한, 전송기술의 비약적인 발전으로 인한 유무선 네트워크 대역폭의 안정적인 확보는 초고해상도 미디어 서비스에 대한 수요를 폭발적으로 증가시킬 것으로 예상하며 이를 처리하기 위한 초고해상도 HEVC 코덱 SoC 기술의 요구도 동반 성장할 것으로 기대된다. 현재 수입에 의존하고 있는 국내 비디오 칩셋 시장에서 HEVC 코덱 핵심 IP를 조기에 국산화한다면, HEVC 표준화를 선도한 기술을 기반으로 향후 비디오 코덱 시장에서 주도적인 역할이 기대하며 우리나라 시스템반도체 산업의 위상도 제고될 것이다.



**엄 낙 응 부장**  
 소속 : ETRI 시스템반도체연구부  
 연구분야 : EDA, SoC 설계 등  
 이메일 : nweum@etri.re.kr  
 www.etri.re.kr

## Reference

- (1) MPEG포럼, "2013년 MPEG 포럼 Winter school", 2013.
- (2) MPEG포럼, "2012년 HEVC 및 MPEG 3DV 표준화 기술 심화 교육", 2012.
- (3) ISO/IEC JTC 2/SC 29/WG 11, "High efficiency video coding (HEVC) text specification draft 10," 2013.
- (4) ISO/IEC JTC 2/SC 29/WG 11, "High efficiency video coding (HEVC) test model 12 (HM12) encoder description," 2013.
- (5) 효요성, 최정아, "UHD 고화질 영상압축기술: HEVC 알고리즘 이해와 프로그램 분석", 진캠미디어, 2013.
- (6) Ji-Koo Kim, Junghye Min, Tammy Lee, Woo-Jin Han, and JeongHoon Park, "Block partitioning structure in the HEVC standard," IEEE Trans, Circuits Syst, Video Technol., vol. 22, no. 12, pp. 1697-1706, Dec, 2012.
- (7) "The H.264 advanced video compression standard," Wiley, 2010.
- (8) ISO/IEC 14496-1, "Information technology: Coding of audio/visual objects-Part 10: Advance video coding," 2008.
- (9) Jani Lainema, Frank Bossen, Woo-Jin Han, Junghye Min, and Kemal Ugur, "Intra coding of the HEVC standard," IEEE Trans, Circuits Syst, Video Technol., vol. 22, no. 12, pp. 1792-1801, Dec, 2012.
- (10) Jens-Rainer Ohm, Gary J. Sullivan, Heiko Schwarz, Thiw Keng Tan, and Thomas Wiegand, "Comparison of the coding efficiency of video coding standards-Including high efficiency video coding," IEEE Trans, Circuits Syst, Video Technol., vol. 22, no. 12, pp. 1669-1684, Dec, 2012.
- (11) Frost & Sullivan, "A reflection after IBC 2013," <http://www.frost.com>, 2013
- (12) Frost & Sullivan, "Global Broadcast and DTT video encoders market," <http://www.frost.com>, 2012
- (13) Frost & Sullivan Homepage, "High efficiency video coding: Status and strategy," <http://www.frost.com>, 2012
- (14) ISO/IEC JTC 2/SC 29/WG 11, "Hardware implementation of a HEVC decoder," 2013.



## A-SSCC 2013 학회후기

### 반도체 기술의 최대 축제



**남 병규**  
 충남대학교 컴퓨터공학과  
 연구분야 : 모바일 GPU, 애플리케이션 프로세서, 저전력 SoC, 임베디드 SW  
 Email : bgnam@cnu.ac.kr

아시아 반도체 기술의 최대 축제인 A-SSCC (Asian Solid-State Circuits Conference) 2013이 2013년 11월 11일부터 13일까지 3일간 싱가포르에서 개최되었다. A-SSCC는 반도체 기술 분야에서 아시아 최고 권위를 자랑하는 학회이며 IEEE SSCS (Solid-State Circuits Society)의 공식 후원을 받는 4대 학회 중의 하나이다.

A-SSCC는 올해로 9회째를 맞이하였으며 한국을 비롯한 대만, 일본, 중국을 돌아가며 매년 개최되고 있는데, 금년에는 처음으로 싱가포르에서 개최되었다. 이 학회는 세계에서 가장 성장률이 높은 아시아를 중심으로 미국, 유럽을 포함한 세계 산업계 및 학계의 반도체 분야 전문가들이 최신의 연구성과와 정보를 교환하고 반도체 산업의 미래와 기술을 의논할 기회의 장을 제공하고 있다.

이번 A-SSCC는 "Integrated Circuits and Systems for Mobile Society" 라는 주제로 진행되었으며, 세계 각국에서 총 316편의 논문이 제출되어 엄격한 심사를 통해 최종 111편이 선정되었다. 학회의 위원회는 한국, 일본, 대만, 중국 등의 학계와 산업계 전문가들로 구성되어 있으며, 한국에서는

KAIST 유희준 교수와 삼성전자 우남성 사장이 학회 이사회위원을 맡고 있다. 이 밖에도 전체 프로그램위원 97명 중 17명이 국내 반도체 설계 전문가들로 이루어져 있다. 올해 한국에서 채택된 논문은 10편으로 대만, 일본, 미국뿐만 아니라 중국과 싱가포르에 밀려서 6위에 머물렀다. 중국의 논문 채택률이 한국을 앞서는 이유는 정부 차원에서 SoC 분야에 대한 다양한 연구 활동을 적극 지원하고 있기 때문인데, 최근 우리 정부에서는 소프트웨어만을 강조하고 있지만, 우리의 강점인 SoC 분야의 경쟁력을 유지하고 발전시켜 나가기 위한 정부 차원의 꾸준한 지원이 필요하다고 생각된다.

### 반도체 기술의 최대 축제

## A-SSCC

(Asian Solid-State Circuits Conference)

2013이 2013년 11월 11일~ 13일까지 3일간 싱가포르 개최

금년 기조연설은 ETRI 유현규 본부장님께서 "Reliable Hand-top Many-core SW-SoC Platform" 이라는 주제로 연설하셨으며, SoC와 SW의 동반성장성에 대한 중요성을 역설하셨다.

튜토리얼 프로그램에서는 중국 칭화대학교의 이우근 교수께서 "Frequency Synthesizer: From Basics to Advanced Bundle" 이라는 주제로 강연하셨고, UAE의 유담 교수께서는 "Energy-Efficient Health Monitoring Sensors using Body Area Network" 이라는 주제로 강연하셔서 A-SSCC에서 한국인 전문가들의 활약이 크게 눈에 띄었다.

이 외에도, 동경대학교의 Makoto Ikeda 교수께서는 CMOS image sensor에 관한 강연을, 마카우 대학교의 Seng-Pan U 교수는 SAR-type ADC에 관한 강연을 성황리에 진행하였다.



〈유현규 본부장님 기조연설〉

본 기고문에서는 현재 A-SSCC의 각 기술분과에 TPC 멤버로 참여하고 계시는 한국 위원들께서 분과별 세션의 주요 논문들과 기술 동향을 정리하였다.

### RF 분과



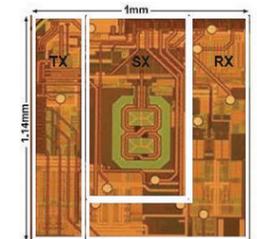
**김 태욱 교수**  
 연세대학교 전기공학과  
 연구분야 : RF 회로, wireless 회로  
 Email : taewook.kim@yonsei.ac.kr

최근 아시아 지역의 칩 설계에 대한 관심이 높아지는 것과 비례하여 RF 분야도 아시아 지역에서 많은 발전을 이루고 있다. RF 관련된 세션은 세션 12, 세션 18, 세션 22의 총 3개의 세션에서 17편의 논문이 발표되었다. 중국에서 4편의 논문이 발표되었고 추첨국인 싱가포르에서 4편 대만과 일본은 각각 2편이 발표되었으며 한국은 1편의 논문이 발표되었다. 최근 중국과 싱가포르 등 동남아 지역에서의 논문 편수와 질적인 면에서 향상이 돋보인다.

RF 시스템 논문이 주를 이룬 세션 12에서는 Bluetooth 수신기, WLAN SoC, 바이오 메디칼 응용을 위한 송신기 등 다양한 RF 송수신 시스템을 발표되었다. RF 개별 블록 회로 관련 논문이 발표된 세션 18에서는 VCO, PLL 관련된 논문과 GNSS와 TV 관련 수신기가 발표되었다. 밀리미터 대역 회로 설계가 주를 이룬 세션 22에서는 60-130GHz에 이르는 다양한 수신기와 증폭기 회로 VCO 회로 등이 선보였다.

주요 논문들을 살펴보면 다음과 같다. 싱가포르의 NUS에서 발표된 논문(12.1)은 Injection Locked Ring Oscillator를 사용하여 위상과 진폭을 직접 모듈레이션 하는 디지털 PA를 사용하여 효율적인 송신기를 구현하였다. Media Tek에서 발표된 FM transmitter 관련 논문 (12.4)은 휴대폰에서 차량의 FM 라디오 등의 연결을 위해 사용되는 송수신기를 발표하였는데 휴대폰 등에 거의 부담 없이 설치할 수 있도록 최소의 BOM을 만족할 수 있도록 설계되어 Antenna tuning 이 자동으로

될 수 있는 기능을 넣은 것이 인상적이었다. 일본 히로시마대학 발표된 논문 (22.1) 밀리미터 대역 (130GHz)에서 11Gbps의 속도로 통신이 가능한 CMOS 송수신기를 발표하여 주목을 받았다.



〈Media Tek 에서 발표한 FM Transmitter [12.4]의 레이아웃〉

### Digital 분과



**김 병섭 교수**  
 포항공과대학교 전자전기공학과  
 연구분야 : 저전력 회로 및 고속 I/O회로  
 Email : byungsub@postech.ac.kr

최근 모바일 기기의 사용이 확대됨에 따라 저전력 디지털 회로에 대한 수요가 꾸준히 증가하고 있으며, 이러한 영향으로 이번 2013년 Asian Solid-State Circuits Conference (A-SSCC)에서는 저전압 디지털 회로 설계 기법 및 그에 따른 신뢰성 문제를 다루는 논문들이 많이 발표되었다.

일본의 도시바 Microelectronics에서는 (7.1)논문에서 단지 21개의 트랜지스터를 가지고 구현한 fully static 저전력 flip-flop을 발표하였다. 이 flip-flop은 40-nm 공정으로 구현되었으며, 논리적으로 동등한 트랜지스터들을 효과적으로 병합하여 트랜지스터 수를 줄이면서도 fully static한 operation을 유지하는 기술을 선보였다. 이러한 기술의 장점은 fully static operation을 유지하였기 때문에, supply noise 및 input slew variation에 강력한 특성을 보인다.

이번에 사용된 기술은 특히 clock input 트랜지스터 수를 줄이는데 초점을 맞추어 디지털 회로에서 많은 전력소모를 차지하는 clock 전력을 크게 줄였으며, 그 결과로 0%의 data activity 상태에서 75%의 전력소모를 감소시키는 효과를 보였다. 이번 기술은 디지털회로에 topologically-compressing 기술을 적용하여 성능은 유지하면서 트랜지스터 개수 및 전력 소모를 크게 줄이는 효과를 보여 인상적인 발표였으며, 비슷한 기법을 잘 적용하면 아직도 디지털 회로에서 개선할 여지가 남아 있다는 교훈을 주고 있다.

일본의 교토 대학에서는 (7.1)논문에서 면적-효율이 높은 re-configurable on-chip MOSFET monitor를 발표하였다. 65 nm CMOS 공정으로 제작된 이 칩은 외부에서 digital 회로를 통해 다양하게 configuration을 바꿈으로써 global/local/dynamic variation을 측정할 수 있도록 설계되었다. 기존의 variation monitor 회로들은 각각 global, local, dynamic variation을 측정하기 위해서 따로 설계되었는데, 이

논문에서 흥미를 끄는 점은, 이러한 다양한 delay variation 측정을 위한 회로들을 단 하나의 회로로 통합하여 간단하게 구현하였다는 점이다.

그 외 이번 2013년도 ASCCC의 low voltage & variation-tolerant digital circuit세션에서는 다양한 논문이 발표되었다. 싱가포르의 난양 공과 대학(Nanyang Technological University, Singapore)에서는 (7.3)논문에서 Charge-pump를 이용한 energy-delay production을 개선한 low-voltage D flip-flop을, 싱가포르의 Institute of Microelectronics에서는 (7.4)와 (7.5)논문에서 각각 low-voltage digital circuit의 variation-tolerant를 향상 시키기 위해 In-situ timing error prediction/prevention 및 빠르고 효율적인 level-shifter를 제안하였고, 일본 오사카 대학에서는 (7.6)논문에서 variation-tolerant한 oscillator 기반의 true random number generation 회로를 발표하여 새로운 기술들을 선보였다.

이번 A-SSCC의 low voltage & variation-tolerant digital circuit 세션에서는 한국에서 발표된 논문이 없어서 많이 아쉬웠으며, 꾸준한 기술적 진보를 위해 정부/산업계/학계의 지속적인 투자와 노력이 필요할 것으로 생각된다.

#### Data Converter 분과



이 중 우 수석  
삼성전자 System LSI 사업부  
연구분야 : RFIC, Data converter  
Email : jw01.lee@samsung.ac.kr

2013년 A-SSCC의 data converter와 관련하여 3개의 session이 구성되었는데, 2개의 Nyquist-rate data converter와 하나의 oversampling data converter에 대하여 총 13편이 발표되었다. 구조별로 SAR ADC가 6편, CT DSM이 2편,



Pipeline ADC가 2편, two step ADC가 1편, Time-interleaved Nyquist DAC가 1편, oversampling DAC가 1편으로 대부분 ADC와 관련된 논문이 발표되었으며, 그중에서도 SAR type이 큰 비중을 차지하였다. 이는 공정이 더욱 미세화되면서 빨라진 digital processing 속도와 SAR type이 갖는 저전력 특징을 반영함을 알 수 있다.

National Cheng Kung 대학에서 3D mesh capacitor array를 구성하여 unit cap size를 0.5F로 줄여 면적을 최소화한 ADC를 2편을 발표하였고, National Taiwan 대학에서도 40nm CMOS 공정으로 0.004mm<sup>2</sup> SAR ADC를 발표하여 면적을 효율적으로 사용할 수 있음을 보여주었다. 그러나 실제 큰 면적을 차지하는 reference generation과 관련된 부분은 모두 측정 장비에 의존하고 있어 다소 아쉬움을 남겼다.

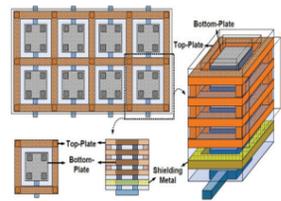
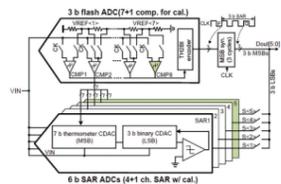


그림 1 3D meshed cap array



KAIST에서는 2Gs/s 고속의 SAR ADC 구현을 위하여 3bit Flash ADC를 이용하여 time-interleaved SAR channel을 선택함으로써 25% 이상 전력 효율을 개선할 수 있는 구조를 제안하였다.

Renesas에서는 GSM/WCDMA/LTE 각 mode에 따라 속도와 해상도를 reconfigurable하게 조정할 수 있는 triple-mode SAR ADC를 발표하였는데, 시장이 요구하는 trend를 잘 반영하였을 뿐만 아니라 reference generation과 digital cali-

## DC-DC converter: University of Tokyo

저전력 Buck converter 선보여...

zero crossing detector에는 tail 전류원의 body switching을 통해 low-voltage operation이 가능토록 하여 0.6V 입력에서 출력전압 0.5V를 생성함에 있어 최대 94%의 효율을 달성

bration/correction을 모두 on chip으로 구성하여 완성도 높은 논문을 보여주었다.

종합적으로 저전력 미세공정화 경향에 따라 SAR type 구조가 가장 많이 쓰이고 있으며, 공정 부정합 등에 의한 신호왜곡을 보상하기 위하여 digital calibration이 필요하게 되었다. 이에 따라 면적 및 FoM이 상당히 작아졌으나, 올해 발표된 A-SSCC 논문들은 대부분 reference generation과 digital calibration을 외부에서 처리하고 있어 발표되는 숫자들이 얼마나 의미가 있을지 의문점을 남기게 된다.

#### Analog 분과



류 승 탁 교수  
KAIST 전기 및 전자공학부  
연구분야 : Analog, Data converter  
Email : stryu@kaist.ac.kr

아날로그 분과가 주관한 4개의 세션에서는 총 24편 논문이 발표되었는데, 이들 세션 명은 각각 DC-DC Converters, Wireless Power and Energy Harvesting, Analog Sensing and Computation, Filter and Amplifier이었다. 제목에서 보듯이 두 개의 세션이 전적으로 전력 IC와 관련된 주제를 다루었고, 나머지 두 개의 세션에서도 전력 관련 회로들이 포함되어 있어서 최근 전력관리 IC에 대한 높은 관심을 확인할 수 있었다 (전력변환기, LDO, 및 에너지 하베스팅에 관한 논문이 16편으로 전체의 67%를 차지했으며, 이 중에서도 inductive coupling based wireless power transfer에 관한 기술이 4편 이상 소개되었다). 반면, 전통적인 아날로그 회로의 주제라고 할 수 있는 opamp와 filter는 각각 두 편씩만 발표되었다. 국가별로는 대만이 6편으로 가장 많았고, 대만의 논문들은 모두 전력회로에 집중되어 있었다. 한국은 카이스트와 서울대에서 역시 전력 관련 논문을 발표하였다. 아래에 대표적인 논문 몇 가지를 소개한다.

DC-DC converter: University of Tokyo에서는 wireless sensor node 등의 응용을 위한 낮은 입력을 받는 저전력 Buck converter를 선보였다. 간단한 combinational logic을 이용하여 automatic CCM/DCM controller를 구현하여 low

voltage 동작에 적합하게 하였고, 이를 위한 zero crossing detector에는 tail 전류원의 body switching을 통해 low-voltage operation이 가능토록 하여 0.6V 입력에서 출력전압 0.5V를 생성함에 있어 최대 94%의 효율을 달성했다. Switched-Capacitor DC-DC converter: National Chiao Tung University에서는 step-up과 step-down의 dual output을 출력하는 switched-capacitor DC-DC converter 구조를 제안하였고, pseudo 3-phase swap-and-cross control 기법을 제안하여 flying capacitor의 charge mismatch를 줄여 두 출력의 ripple를 uniform하게 낮추었다. 500kHz switching 클럭에서 동작하여 최대 330mW 출력을 제공할 수 있었는데, 효율 90.5%를 달성하였다.

Inductive link: National University of Singapore에서는 biomedical implantation을 위한 inductive coupling based wireless power transfer system 용 power management circuit을 제안하였다. 2차 측 코일 전체를 이용하여 고전압을 생성하고 중간 탭을 따서 저전압을 생성하던 기존의 기법은 두 전압을 모두 optimum하게 제어하는 것이 불가능하므로, 본 설계에서는 2차 측 코일을 이용해서는 낮은 전압만을 생성하고, 이를 boosting하여 높은 전압을 생성함으로써 두 전압을 개별적으로 최적조건으로 제어할 수 있도록 하였다.

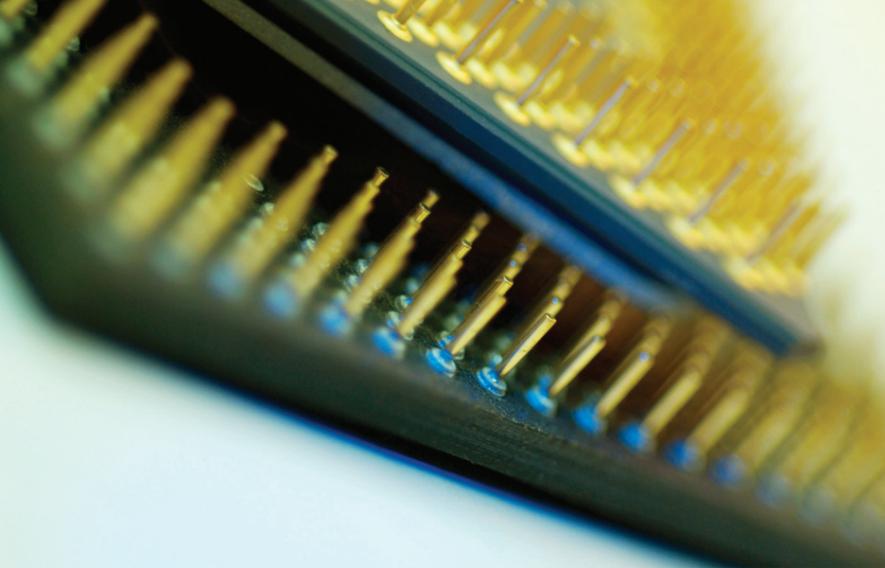
Temperature sensor: Chinese university of Hong Kong에서는 새로운 구조의 온도센서를 제안하였는데, poly resistor 온도에 대한 linearity 특성을 이용하여 온도에 따른 pulse delay 신호를 생성하고 이를 time-to-digital conversion하는 구조이다. 기존방식처럼 resistor에 일정 전류를 인가하여 발생한 전압정보로 온도를 센스하지 않고, 저항값 R(T) 자체를 온도 변화 신호로 사용하는 점이 참신한 접근으로 보였다.

#### Wireline 분과



김 종 선 교수  
홍익대학교 전자전기공학부  
연구분야 : Analog and Mixed-Signal IC Design, I/O Interface, Clocking Circuits, PMIC design  
Email : js.kim@hongik.ac.kr

2013년 A-SSCC의 Wireline & Mixed-Signal 분야에서는 두 개의 Session으로 총 10편의 논문이 발표되었다. Session 13 (Low-Power, High Speed Wireline Transceivers) 에서



5편의 초고속 transceiver 관련 논문과 Session 19 (Clocking and Mixed-Signal Circuits)에서 5편의 DLL/CDR 및 Read-out IC 관련 논문이 발표되었다. 두 세션에서 발표된 주요 논문은 다음과 같다.

Session 13의 첫 번째 논문 “A 32-Gb/s Backplane Transceiver with On-Chip AC-Coupling and Low Latency CDR in 32-nm SOI CMOS Technology” 은 IBM에서 발표한 것으로 4-tap FFE와 15-tap DFE를 이용하여 32-Gb/s 의 data rate을 구현하였으며, passive feed-forward restore (FFR) scheme을 사용하여 on-chip AC-coupling network 상의 pattern-dependent baseline wander를 제거한 것을 특징으로 한다. 두 번째 논문 “An Equalizer-Adaptation Logic for a 25-Gb/s Wireline Receiver in 28-nm CMOS” 은 Fujitsu 에서 발표한 것으로, high-frequency equalizer (HFEQ)와 low-frequency equalizer (LFEQ)를 모두 내장한 feed-forward equalizer (FFE)와 decision-feedback equalizer (DFE)로 구성된 25-Gb/s의 receiver를 소개한다. 세 번째 논문 “A Power Reduction of 37% in a Differential Serial Link Transceiver by Increasing the Termination Resistance” 은 POSTECH에서 발표한 것으로 차동 serial link상에 있는 Tx와 Rx의 Termination저항을 4\*Zo로 증가시킴으로써 37%의 transceiver 전력소모를 감축시킬 수 있는 기술을 소개하고 있다.

Session 19의 첫 번째 논문 “A 0.1-1.5 GHz All-Digital Phase Inversion Delay-Locked Loop” 은 홍익대에서 발표한 것으로, delay line을 구성하는 delay-element의 증가 없이 동작 주파수 영역을 최대 2배로 확장할 수 있는 phase inversion scheme을 적용한 세계 최초의 all-digital DLL로 새로운 feedback delay element (FDE)를 이용한 delay line과 duty-cycle corrector를 적용하여 저전력과 광대역 및 low-jitter 특성을 확보하였다. 두 번째 논문 “Pulse Width Controlled PLL/DLL Using Soft Thermometer Code” 은 University of Tokyo에서 발표한 것으로 soft thermometer code를 이용한 pulse width 조정 형식의 PLL/DLL을 소개한다. 세 번째 논문 “A 3x Blind ADC-Based CDR” 은 Fujitsu와 University of Toronto에서 발표한 것으로, 3-bit ADC를 이용하여 3x blind sampling을 이용하여 저전력을 구현하였다. 네 번째 논문 “10.3-Gb/s Burst-Mode CDR with Idle Insertion and Digital Calibration in 40-nm CMOS for 10 G-EPON Systems” 은 NTT에서 발표한 CDR기술로서 10.3 Gb/s의 전송능력을 보였다.

## Memory 분과



**김 태 형** 교수  
Nanyang Technological University  
연구분야 : 초저전력 직업회로, 고성능 저전력 메모리  
Email : thkim@ntu.ac.kr

전통적으로 메모리 분야의 회로 기술들은 Moore의 법칙에 근거한 Device Scaling과 관련된 설계 문제들을 해결하는데 초점을 맞춰왔다고 볼 수 있다. 이 경향은 최근에도 ISSCC나 A-SSCC에서 지속하고 있으며 꾸준히 연구 결과들이 발표되고 있다. 이와 더불어 메모리 회로기술 분야에서 뚜렷이 나타나는 추세는 새로운 non-volatile 메모리 소자들을 이용한 non-volatile 메모리 설계의 비중이 높아지고 있다는 점이다. 기존의 Flash 메모리를 뛰어넘어 embedded 메모리로도 사용할 수 있는 Resistive RAM (ReRAM)이나 Spin-Transfer Torque Magnetic RAM (STT-MRAM) 등이 소자뿐 아니라 회로기술 분야에서도 꾸준히 눈에 띄는 연구 결과들을 발표하고 있다. 모바일 기기의 발전과 지속해서 증가하고 있는 성능 요구를 만족시키기 위해서 동작성능의 큰 저하 없이 stand-by 전력을 최소화할 수 있는 non-volatile 메모리에 대한 연구는 앞으로도 상당기간 메모리 분야에서 큰 주목을 받을 것으로 예상된다.

이번 싱가포르에서 열린 A-SSCC 2013에서도 위의 추세들이 지속하고 있음을 확인할 수 있었다. 이번 A-SSCC 2013에는 총 5편의 메모리 논문이 발표되었다. SRAM과 DRAM 논문이 각각 1편씩 발표되었으며 Flash, ReRAM 그리고 STT-MRAM 논문이 각각 1편씩 발표되었다.

SRAM은 전통적으로 Device Scaling과 관련된 누설전류나 저전압, 저전력에 대한 연구가 주를 이루어왔다. 이번에 발표된 SRAM 논문도 이 추세와 크게 다르지 않았지만 응용 면에서 기존의 가전제품이나 PC, 휴대폰 등과는 상당히 다른 석유 굴착 장치나, 자동차, 항공기 등을 위한 메모리 기술을 소개하였다. 이들 응용에서는 온도에 따라 기하급수적으로 증가하는 누설전류가 회로 동작에 미치는 영향을 최소화하는 것이 매우 중요한데 300도의 동작 온도를 제공하기 위해서 온도에 따른 누설 전류를 고려하여 data sensing에 크게 영향을 주는 bit-line swing 을 최적화하는 회로를 발표하였다. 또한, 고온에서의 신뢰성을 위해서 텅스텐을 interconnection 재료로 사용하였다. 누설전류의 영향을 최소화하는 것은 기존의 SRAM에서도 동일하게 중요한 연구 과제이지만 이번에 발표된 SRAM 논문은 더 극한 동작 조건을 만족해야 한다는 점에서 기존의 SRAM 논문들과 차별이 된다.

DRAM 분야에서는 DRAM core나 high-speed memory interface가 아닌 sense amplifier와 관련된 논문이 발표되었다. 일반적으로 DRAM에서는 VDD/2 bitline precharging 기술이 sense amplifier를 위해서 많이 사용되었는데 이번에 발표된 sensing amplifier는 dual asymmetric bitline sense amplifier로 최근의 저전압 DRAM에 적용 시 sensing speed와 sensing margin을 20% 이상 최대 47%까지 개선할 수 있

는 것으로 보고되었다. 기존의 sensing 방법에 필요한 reference cell이나 VDD/2 generator를 사용하지 않고 회로 면적의 큰 증가 없이 sensing speed와 sensing margin을 개선한 것이 관심을 끈다.

Flash 분야에서는 고성능 모바일 기기의 발전으로 대용량과 고속 reading을 위한 embedded Flash (eFlash)에 대한 연구가 활발하게 이루어지고 있다. 일반적으로 사용되는 전압모드 sense amplifier는 작은 cell 전류와 long bitline 구조하에서 고속 sensing에 제한이 있어 전류모드 sense amplifier가 eFlash 분야에서 광범위하게 사용되어 왔다. Sense amplifier에서 속도를 결정하는 가장 중요한 요소 중의 하나는 입력 offset 전류로 이를 최소화 하거나 보상하는 기술에 대한 요구가 증가하고 있다. 이번 A-SSCC 2013에서도 eFlash를 위한 전류모드 sense amplifier가 소개되었다. Precharge 동작 시에 offset 전류를 전압의 형태로 저장하여 sensing 시에 순간적으로 보상하여 줌으로 offset을 효과적으로 보상하여 고속 sensing에 적합한 sense amplifier 구조를 선보였다. ReRAM은 endurance의 한계로 normally-off computing 응용에 적합한 메모리로 적합한 구조이다. 소자 연구도 활발히 진행되고 있지만 최근에는 전통적인 embedded 메모리와 ReRAM을 결합하여 새로운 형태의 메모리들이 소개되고 있다.

A-SSCC 2013에는 SRAM과 ReRAM을 결합한 7T2R non-volatile SRAM이 발표되었다. 이 구조는 일반적인 동작모드 시에는 SRAM으로 동작하며 stand-by 모드 시에는 데이터를 ReRAM에 저장하는 non-volatile 메모리로 동작하게 된다. 이는 SRAM과 ReRAM의 장점을 살리면서 단점을 극복할 수 있는 구조로 많은 고성능 저전력 응용에 유용할 것으로 보인다. STT-MRAM은 고성능과 뛰어난 endurance로 차세대 embedded 메모리 솔루션으로 많은 관심을 받고 있다. 현재 STT-MRAM 회로 분야에서 가장 많이 연구되고 있는 주제는 sense amplifier이다. 이는 현재의 STT-MRAM이 logic '1'과 logic '0'의 저항값이 기존의 메모리나 다른 메모리 소자에 비해서 작으므로 고속 동작의 장점은 있지만, sensing에 어려움이 있다.

이번에 발표된 STT-MRAM 논문은 0.38V에서도 동작하는 sense amplifier로 boosted 전압을 사용하여 sensing margin을 개선하고 device variation에도 저항력이 큰 구조를 가지고 있다. 일반적으로 저전압에서 구동이 어려운 것으로 알려진 STT-MRAM의 동작 전압을 트랜지스터의 문턱 전압까지 낮추었다는 점이 주목할만하다.

## SoC 분과

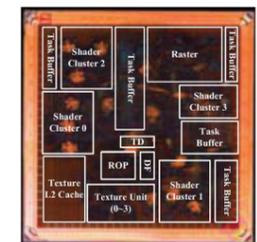


**남 병 규**  
충남대학교 컴퓨터공학과  
연구분야 : 모바일 GPU, 애플리케이션 프로세서, 저전력 SoC, 임베디드 SW  
Email : bgnam@cnu.ac.kr

최근의 높은 대역폭을 제공하는 이동통신의 발달로 인해, 이동

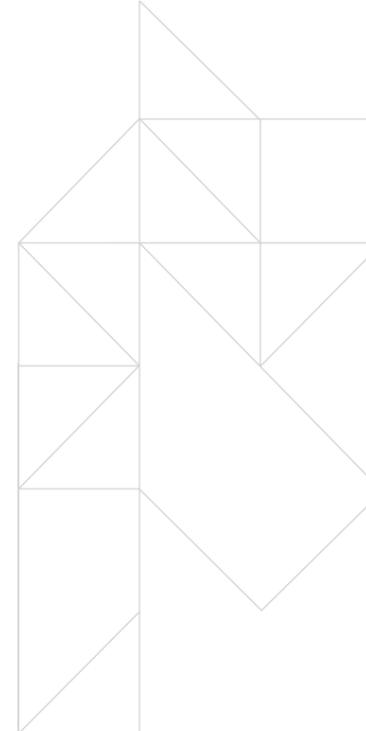
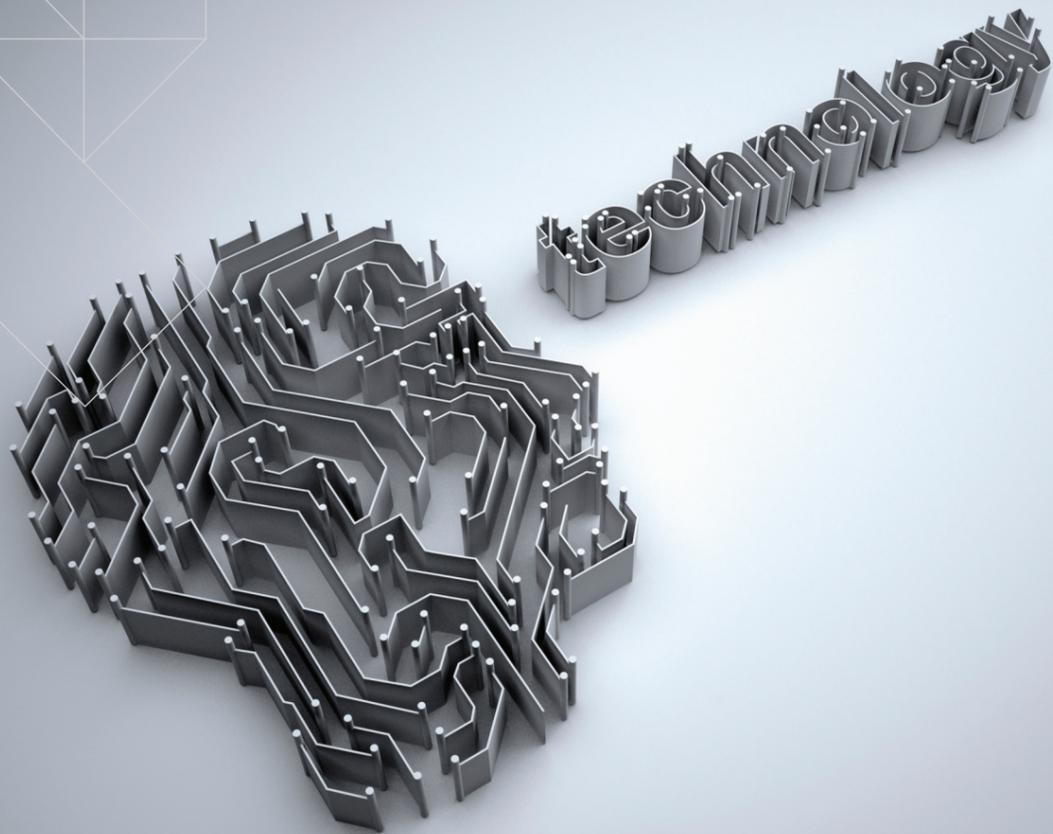
단말기 상에서의 통신과 멀티미디어 처리를 위한 다양한 알고리즘이 개발되고 있다. A-SSCC 2013의 SoC 분과에서는 이러한 알고리즘들이 가지는 높은 연산복잡도를 처리할 수 있는 신호처리 SoC 논문들이 다양하게 발표되어 향후 SoC의 발전 방향을 가능해할 수 있었다.

So7C 분과 관련 논문들은 디지털 통신용 SoC를 다룬 세션 8과 멀티미디어 SoC를 중심으로 한 세션 17에서 총 12개의 논문이 발표되었다. 올해 SoC 분과에서는 대만의 강세가 두드러졌으며, 중국 논문들의 약진이 두드러졌다. 디지털통신과 바이오-메디컬 신호처리를 함께 다룬 세션 8에서는 고속 디지털 통신을 위한 MIMO detector 및 LDPC 관련 논문들이 다수 발표되어 최근의 LDPC를 비롯하여 차세대 FEC 기법에 대한 학계의 높은 관심을 나타내었다. 또한, 이 세션에서는 헬스케어 위한 ECG 신호처리 SoC들이 함께 발표되어 눈길을 끌었다. 멀티미디어 SoC를 다룬 세션 17에서는 저전력 모바일 GPU를 구현한 논문과 함께 차세대 동영상을 위한 HEVC 코덱을 구현한 논문들이 다수 발표되었다. 한편, 이 세션은 디지털 분과와 공동으로 구성하여서 MTJ 기반의 비휘발성 플립플롭을 이용한 저전력 MPU가 함께 발표되어 높은 관심을 받았다. 주요 논문들을 살펴보면, 대만 NTU에서 발표한 모바일 GPU 논문(17.1)은 저전력 설계를 위해 근사화된 연산기법을 사용함으로써 16개의 코어를 집적하면서도 130mW의 낮은 전력 소모를 나타내었다. 일본의 Waseda 대학에서 발표한 논문(17.2)은 H.264에서 사용되던 FME (fractional motion estimation) 기법을 HEVC에 적용하여 약간의 PSNR을 감수하면서 throughput을 높인 설계를 제안했다. 대만의 NCTU에서 발표한 논문(8.4)은 tail-biting 기법을 적용한 LDPC-CC decoder chip을 제안하여 LTE-Advanced와 같은 패킷기반의 전송에도 LDPC-CC를 사용이 가능하도록 하였으며 대만 NTHU에서 발표된 논문(8.6)은 MIMO 시스템을 위해 QR decomposition과 lattice reduction을 통합한 연산블록을 소개하였다.



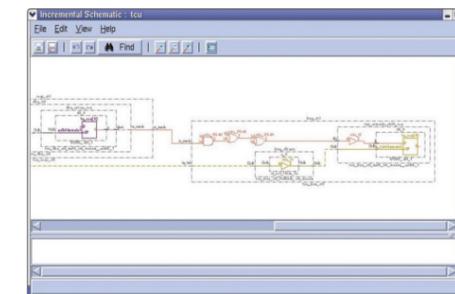
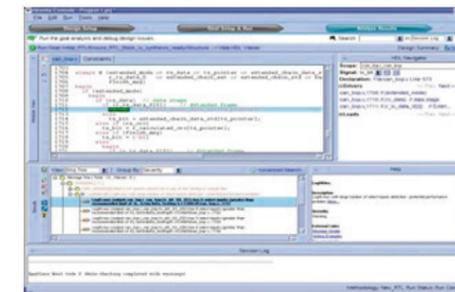
〈대만 NTU에서 발표한 16-core 모바일 GPU〉

SoC 설계를 비롯한 반도체 기술은 최근 아시아를 중심으로 급속도로 발전하고 있으며, A-SSCC 학회가 점점 핵심적인 교류의 장으로 받아들여지고 있다. 이를 반영하여 반도체 설계분야의 최고 권위지인 IEEE JSSC (Journal of Solid-State Circuits)에서도 A-SSCC에서 발표되는 우수한 논문들을 엄선하여 매년 11월 특집호로 발간하고 있으므로, 앞으로 많은 한국의 연구자들이 본 학회에 관심을 두고 적극적으로 참여할 수 있기를 기대하면서 학회 후기를 마칩니다.



- Lint, CDC, DFT, Constraints, Power and Cogestion 문제를 RTL단계에서 검증 할 수 있는 완벽한 Platform
- Guidware는 가장 필수적이고, 효과적인 rule set으로 구성
- RTL상의 문제를 보다 쉽게 검출
- Spyglass 자체 여러 engines이 탑재되어 implementation 단계에서의 실제 issue를 일치시킴

Spyglass는 GUI/BATCH 모드의 환경을 제공하며, GUI에서는 Source Code, Result, Schematic, Help Viewer 등이 제공된다. 이 Viewer들은 서로 간의 Cross Probing을 통해 쉬운 Debugging 환경을 제공한다.



서의 불필요한 Iteration을 최소화할 수 방법이다.

**Constraints**

Spyglass Constraints는 Synthesis, STA, Layout에 필수적인 SDC를 RTL단계에서부터 Generation, Validation, Managing 할 수 있다. RTL/Netlist와 SDC의 간의 일치성을 확인하며, 누락되거나 잘못된 Constraints가 있는지를 Check 한다.

**Power**

Spyglass Power는 Design에서 소모되고 있는 Dynamic Power/Leakage Power를 Estimation하고, Clock Gating을 통하여 소모되는 Power를 줄일 수 있는 Point를 찾아내어 Design의 Power Saving을 Guide 한다. 또한, CPF, UPF를 지원하여 Voltage Domain, Power Domain을 위한 Component들이 올바르게 Implementation 되었는지를 검증한다.

**Physical**

Spyglass Physical은 Layout 전에 RTL/Netlist를 이용하여 Layout 상황 예측을 통해, Layout에서의 Congestion 발생 여부를 확인할 수 있으며, Timing Critical Path 및 Physical Area를 예측한다.

**Lint**

Spyglass Lint는 Simulation, Synthesis 등의 단계에서 발생 가능한 문제를 미리 검증하기 위해 Design Rule Checking을 진행하며, Verilog, VHDL, SystemVerilog 등 여러 format의 RTL을 지원한다.

**CDC**

Spyglass CDC는 Asynchronous Clock 간의 Domain Crossing에서 발생할 수 있는 Meta-Stability, Reset Synchronization 등의 문제를 Check 한다. 추가로 Design 내에 CDC를 위해 사용된 장치에 대한 Formal Analysis를 진행하여 Functional Issue (Re-Convergence, Data Loss, FIFO Underflow/Overflow 등) 발생 여부에 대한 검증도 진행한다.

**DFT**

Spyglass DFT는 RTL단계에서 Stuck-At-Fault, Transition Fault에 대한 Test Coverage를 Estimation 한다. Coverage Drop이 발생하는 Point에 대해 Report 하여, Coverage를 높이기 위한 Guide를 준다. RTL 단계에서 DFT 문제를 미리 Fix 하는 것은 Scan-Insertion과 ATPG 단계에

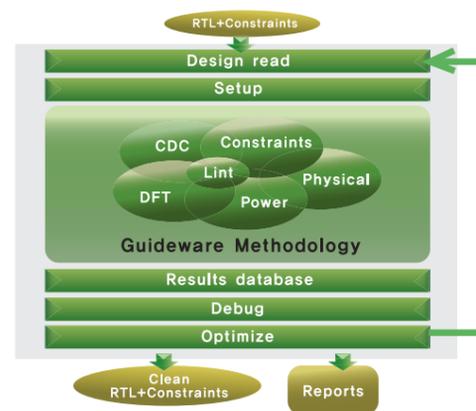
# Atrena사 SPYGLASS

**A. 목적** : RTL단계에서의 Design 문제 분석.

**B. 구분** : Atrena사의 Spyglass는RTL 설계 단계에서 예측 가능한 Lint, CDC, DFT, Constraints, Power, Physical 등 문제를 미리 검증하여 설계기간 단축과 비용 절감을 위한 Solution을 제공

**C. Supported Platform and O/S System**  
 - Linux (32/64bit), Solaris (32/64bit)  
 - RHEL 4.8, RHEL 5.2, RHEL 5.6, RHEL 6.0, CENTOS 5.4  
 - SLES 9.0, SLES 10 SP2, SLES 11 SP1

**D. 특성 및 기능**  
 Spyglass는 향상된 알고리즘과 분석 기술을 바탕으로 초기 RTL단계에서 Design에 대한 분석을 완벽하게 수행할 수 있도록 도와준다.





회사명 : ATRENTA  
 웹주소 : www.atrenta.com  
 한국대리점 : 다우엑실리콘  
 주소 : 경기도 성남시 분당구  
 서현동 대현빌딩 4 F  
 전화 : 070-8707-2500