



IDEDEC Newsletter

IDEDEC Newsletter | 통권: 제195호 발행일 | 2013년 8월 30일 발행인 | 박인철 편집인 | 남병규 제 작 | 푸물디자인
기 획 | 전향기 전 화 | 042) 350-8535 팩 스 | 042) 350-8540 홈페이지 | http://idec.or.kr
E-mail | jhg0929@idec.or.kr 발행처 | 반도체설계교육센터(IDEDEC)

Vol.195
2013
September

3차원 비디오 압축 표준기술의 기술동향 | 04 IEEE Symposium on VLSI Circuits | 08
SoC로 실시간 응답을 달성하고자 할 때 해결해야 할 과제와 활용 가능한 이점 (2) | 12

반도체설계교육센터 사업은 산업통상자원부, 반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.

3차원 비디오 압축 표준기술

2000년대 후반부터 3차원 영화들이 상업적으로, 또한 평론적으로 큰 성공을 하면서 3차원 비디오에 대한 대중들의 관심이 높아졌다. 3차원 비디오는 2차원 비디오보다 깊이감이 더하여 시청자가 입체감을 느낄 수 있다. 입체감을 느낄 수 있는 원리는 사람의 좌우 눈이 시점 차이가 있는 영상을 인식함에서 비롯된다. 이 때문에 3차원 TV를 통해서 입체감을 느끼려면 입체 안경을 써야 한다. 제조사에 따라 편광 원리를 사용하거나 좌안과 우안을 번갈아 여는 방식의 셔터글라스(shutter glasses)를 사용한다. 3차원 비디오는 이제 영화뿐만 아니라 광고, 다큐멘터리, 스포츠 중계 등으로까지 사용되는 분야가 늘어났으며 이 추세는 앞으로도 계속 이어질 전망이다. 본 고에서는 저3차원 비디오 압축 표준기술에 대해 살펴보고자 한다. (관련기사 P04~07 참조)

IEEE Symposium on VLSI Circuits

해마다 열리는 IEEE Symposium on VLSI Circuits는 Technology와 같이 열리는 학회로 회로 설계뿐 아니라 소자/공정까지 공부할 좋은 기회를 제공한다. 하와이와 일본 교토에서 번갈아 가며 열리는 데 올해는 교토에서 학회가 열렸다. 2년 전에는 일본의 원전 사고로 미국이나 유럽에서 참석자들이 많이 줄었는데 올해는 많은 부분 회복이 된 듯 보였다. 또 예년과 비교하면 우리나라에서 발표한 논문 수가 증가해서 우리 회로 설계 기술이 발전됨을 느낄 수 있었다. 본 고에서는 이번 학회에 참석한 고려대 김철우 교수와 조성환 교수, 그리고 함께 참여한 학생들의 시선으로 인상적인 논문들을 소개하고자 한다. (관련기사 P08~11 참조)

SoC로 실시간 응답을 달성하고자 할 때 해결해야 할 과제와 활용 가능한 이점 (2)

발전된 프로세스 기술과 시스템 통합에 대한 요구가 실리콘 융합을 가속화하는 원동력이 되고 있다. FPGA는 이러한 추세에 발맞추어서 SRAM 메모리, 디지털 신호 프로세싱(DSP) 및 곱셈기 블록, 직렬 트랜시버, 메모리 컨트롤러, 향상된 I/O 기능을 통합하고 있다. 프로그래머블 기술 분야의 가장 최신 기술이라고 한다면 Altera® FPGA에 ARM® 애플리케이션 프로세서와 풍부한 주변장치 프로세서 서브시스템을 통합한 SoC일 것이다. 그런데 이러한 기술 융합은 실시간 임베디드 시스템 디자인에 새로운 도전과제와 기회를 제공하고 있다. 본 고는 지난 호에 이어서 'SoC로 이용할 수 있는 하드웨어 및 소프트웨어 솔루션 알아보기'란 주제로 말하고자 한다. (관련기사 P12~18 참조)



아빠!
이 로봇으로 지구
지켜낼거야

www.skhyunix.com

꿈은 누구나 꿀 수 있지만
그 꿈이 현실이 되기 위해선
기술이 필요합니다

세상 모든 꿈을 가능하게 하는 기술-
SK하이닉스가 만듭니다



입계를 선도하는 기술 경쟁력으로 세계 최고의 메모리 반도체를 생산하는 SK하이닉스! 세상을 움직이는 진짜 기술을 만듭니다



MyChip Station Pro™

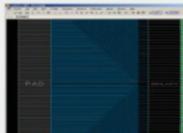
- LayEd Pro : Full-Custom IC Layout Editor
- MyDRC Pro : Hierarchical Design Rule Checker
- LayNet Pro : Hierarchical SPICE Netlist Extractor & ERC
- MyLVS Pro : Hierarchical Layout V. Schematic Netlist Comparator
- CIFGDS Pro : CIF / GDSII / DXF Translator(Database Converter)



IC Layout



MEMS-Gear



Auto Wiring



LayEd :
2D - Mirror



CIFGDS :
MyChip to Ansys



Cross-section



MEMS-Comb



Pixel Array



Ansys : 3D

서울시 송파구 송파동 95-55 장원빌딩 4층 Tel : 02-3432-1210
Email : mycad@seloco.com http://www.mycad.com



IDEC September | 2013 news

MPW (Multi-Project Wafer)															
2013년 MPW 진행 현황 * 2013년 MPW 설계팀 모집 완료															
공정	MPW 회차	제작가능면적 (면적mm ² x칩수) /회별	채택 팀수	설계면적 (면적mm ² x칩수)	DB마감	Die -out	비고	공정	MPW 회차	제작가능면적 (면적mm ² x칩수) /회별	채택 팀수	설계면적 (면적mm ² x칩수)	DB마감	Die -out	비고
삼성 65nm (년3회)	119		23	(4x4)x23	13.03.15	13.08.15	제작중	동부 0.35um BCD (년4회)	118		6	(5x2.5)x6	13.02.27	13.06.12	★제작완료
	121	(4x4mm ²) x 48	29	(4x4)x29	13.07.05	13.12.06	제작중		120	(5x2.5mm ²) x 6	10	(5x2.5)x2 (2.5x2.5)x8	13.05.01	13.08.14	★제작완료
	126		38	(4x4)x38	13.11.08	14.04.11	설계대기		123		6	(5x2.5)x6	13.08.14	13.11.27	DB 접수중
MH 0.18um (년4회)	118		24	(4.5x4)x16 (4.5x2)x8	13.02.18	13.07.22	★제작완료	TJ SiGe (년1회)	125		7	(5x2.5)x5 (2.5x2.5)x2	13.10.23	14.02.05	설계중
	120	(4.5x4mm ²) x 20	21	(4.5x4)x19 (4.5x2)x2	13.05.06	13.10.04	제작중		119	(2.5x2.5mm ²) x 4	4	(2.5x2.5)x4	13.03.12	13.07.01	★제작완료
	122		20	(4.5x4)x20	13.07.29	13.12.24	제작중		TJ CIS (년2회)	120	(2.5x2.5mm ²) x 4	4	(2.5x2.5)x4	13.05.06	13.09.16
MH 0.35um (년2회)	125		23	(4.5x4)x17 (4.5x2)x6	13.10.21	14.03.25	설계중	TJ BCD (년2회)	125		4	(2.5x2.5)x4	13.10.14	14.02.17	설계중
	121	(5x4mm ²) x 20	20	(5x4)x20	13.06.17	13.10.04	제작중		120	(5x2.5mm ²) x 4	2	(5x5)x1 (5x2.5)x1	13.05.20	13.09.16	★제작완료
	127		15	(5x4)x15	13.12.02	14.03.25	설계중 (후기모집예정)		125		2	(5x5)x2	13.10.21	14.02.17	설계중
동부 0.11um (년2회)	119	(5x2.5mm ²) x 24	27	(5x2.5)x20 (2.5x2.5)x7	13.03.20	13.07.31	PKG 제작중	TJ RF (년2회)	120	(2.5x2.5mm ²) x 4	4	(2.5x2.5)x4	13.05.20	13.09.16	제작중
	124		26	(5x2.5)x20 (2.5x2.5)x6	13.09.11	14.01.22	설계중		125		4	(2.5x2.5)x4	13.10.21	14.02.17	설계중
	120		4	(5x2.5)x4	13.05.15	13.08.28	제작중		* 일정은 사정에 따라 다소 변경될 수 있습니다. * 기준 : 2013. 8. 23						
동부 0.18um BCD (년4회)	121	(5x2.5mm ²) x 4	4	(5x2.5)x4	13.06.26	13.10.09	제작중								
	123		4	(5x2.5)x2 (2.5x2.5)x2	13.08.21	13.12.04	DB 검토중								
	126		5	(5x2.5)x3 (2.5x2.5)x2	13.11.13	14.02.06	설계중								

2014년 Working Group 선정 안내

IDEC은 “시스템반도체 설계인력 양성”과 “핵심적인 IP 개발”을 위하여 전국 대학의 교수들을 WG(Working Group)의 참여교수로 선정하여 지원하고자 한다.

- 지원 내용** : 최신 기술 공정의 MPW 칩 제작 지원(Cell Library 포함), EDA Tool(29종), IDEC 보유 Analog IP
- 선정 기준** : 기존참여교수는 당해연도 활동실적과 차년도 계획, 신규참여교수는 차년도 계획으로 진행

■ 선정 일정

일자	내용	비고
8/30	WG 선정 안내 공고	홈페이지, 뉴스레터, E-mail
9/1~9/30	WG 지원신청서 및 실적 접수	온라인(신규 홈페이지)
10/4~10/8	실적결과 조회 및 수정	신규 홈페이지
10/11~10/17	서류 심사	온라인
10/25(금)	WG 선정결과 안내	공문발송
10/31(목)	WG 우수 참여교수 시상(IPC workshop)	-
12월	차년도 협약	-

■ 지원신청서(온라인) 작성 : <http://idec.or.kr>에서 참여신청
■ 문의처 : Tel. : 042-350-8533, E-mail : ejkim@idec.or.kr
 ※ 자세한 사항은 IDEC 홈페이지를 참고하여 주세요.

2013년 9월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

센터별 강좌 일정

센터명	강의일자	강의제목	분류
KAIST	09월 04일-06일	IC Compiler 사용법 및 활용에	Tool강좌
	09월 09일-13일	[IDEC연구원 교육]IDEC MPW 설계를 위한 교육	설계강좌
	09월 24일-27일	Spectre circuit simulator and Analog Design Environment	Tool강좌
한양대	09월 13일	Data and Image Classification	세미나

▷KAIST 개설 강좌 안내

- **강좌일** : 09월 04일-6일
- **강좌 제목** : IC Compiler 사용법 및 활용에
- **강사** : 최종룡 책임 (파인스)

[강좌개요]

Synopsys의 auto place & routing tool인 IC compiler 의 기초를 이해하고, 필요한 input file 및 각 단계별 key command를 강의를 통하여 습득한 후 sample design에 대해 IC compiler를 직접 실행하여 real physical design에 적용할 수 있는 능력을 배양하고자 함

[수강대상]

· 학부생/대학원생/직장인

[강의수준] [강의형태]

· 초급 · 이론+실습

[사전지식, 선수과목]

· Design Compiler, PrimeTime

■ 강좌일 : 09월 09일-13일

- **강좌 제목** : [IDEC연구원 교육]IDEC MPW 설계를 위한 교육
- **강사** : 선혜승 선임연구원, 김연태 전임연구원, 유은광 선임연구원 (IDEC)

[강좌개요]

본 강의는 MPW 참여시 Cell based 디자인을 하는 사람들에게 기본적으로 직관적인 지식을 전달하는 것을 목표로 한다. RTL 소스로 구현된 SoC 플랫폼을 가지고 FPGA 스펙 구성부터 MPW DB Tape out 까지의 모든 과정을 이론과 실습으로 다룬다. 또한 실제 사용하고 있는 DK 를 사용하기 때문에 칩을 만들고자 하는 사람들에게 매우 유용할 것이다.

[수강대상]

· 칩 설계를 수행하는 학부생 및 대학원생

[강의수준] [강의형태]

· 중급 · 이론+실습

[사전지식, 선수과목]

· 디지털 회로 설계, 마이크로 프로세서, 컴퓨터 구조, VLSI 설계, FPGA 설계

■ 강좌일 : 09월 24일-27일

- **강좌 제목** : Spectre circuit simulator and Analog Design Environment
- **강사** : 이상철 차장(Cadence Korea)

[강좌개요]

본 과정에서는 Virtuoso Spectre Circuit Simulator 를 이용하여 빠르고 정확한 Analog Simulation에 대하여 아래와 같은 내용을 배우게 된다. Virtuoso Spectre analysis와 연동되어 있는 파라미터와 Spectre netlist 에 대한 Syntax, 그리고 global option에 따른 parameter를 이용하여 Convergence criteria를 setting하는방법 및 Simulation시 Transient timestep을 Control 하는 방법을 다룬다. 더불어 인지도 높은 SPICE Simulation 언어와 Virtuoso Spectre Simulator 의 호환성 및 Virtuoso Spectre 환경하에서 SPICE-based netlist를 변경하여 Simulation 하는 방법을 배운다.

[수강대상]

· 학부생/대학원생/직장인

[강의수준] [강의형태]

· 중급 · 이론+실습

[사전지식, 선수과목]

· SPICE 유경험자, Analog Design경험자

* 문의 : KAIST IDEC 구제희 (042-350-8536, kjh9@idec.or.kr)

■ 강좌일 : 2013년 9월 13일

- **강좌 제목** : Data and Image Classification
- **강사** : 최종현 박사과정 (University of Maryland)

[강좌개요]

Image classification에 관한 개관 및 최신 알고리즘 소개
 1. Object recognition 또는 Image classification에 관한 최근 경향과 attribute를 이용한 최신 알고리즘 소개
 2. 최근 주목받고 있는 Deep Learning을 이용한 Computer Vision 알고리즘에 대한 소개

[수강대상]

· 학부생, 석박사, 일반인

[강의수준] [강의형태]

· 일반(중급) · 이론

* 문의 : 문의 : 이은영 (031-400-4079, hyuipc@gmail.com)

Chip Design Contest (CDC)

■ International SoC Design Conference(ISOCC) 2013 Chip Design Contest 개최

* Chip Design Contest(CDC)는 2013 ISOCC 프로그램의 한 세션으로 진행 되나, 제출한 논문은 프로시딩(Proceedings)에 포함되지 않음.

1. 일정 및 장소

가. 전체 진행 일정 : 2013년 11월 17일(일) ~ 19일(화)

나. BEXCO Convention Hall, 부산

다. CDC 주요 일정

논문 제출 마감	논문 채택 통보	Chip Design Contest
2013. 8. 16	2013. 9. 10	2013. 11. 18

* 일정은 사정에 따라 다소 변경될 수 있음.

2. 논문 접수 분야 : SoC 설계

3. 시상 내역

Award 명	수상팀수	내역
Best Design Award	1팀	상장 및 상금 100만원
Best Demo Award	3개팀	각 상장 및 상금 50만원
Best Poster Award	9개팀 내외	각 상장 및 상금 20만원

* 수상팀 수는 참여팀 수 등에 따라 조정될 수 있음.

■ 제21회 한국반도체학술대회 Chip Design Contest 개최

1. 일정 및 장소

가. 전체 진행 일정 : 2014년 2월 24일(월) ~ 26일(수)

나. 한양대학교, 서울

다. CDC 주요 일정

논문 제출 마감	논문 채택 통보	Chip Design Contest
2013. 10. 25	2013. 12. 20	2014. 2. 25

* 일정은 사정에 따라 다소 변경될 수 있음.

2. 논문 접수 분야 : SoC 설계

3. 시상 내역

Award 명	수상팀수	내역
Best Design Award	1팀	상장 및 상금 100만원
Best Demo Award	2개팀	각 상장 및 상금 50만원
Best Poster Award	5개팀 내외	각 상장 및 상금 20만원

* 수상팀 수는 참여팀 수 등에 따라 조정될 수 있음.

※ 관련 사항

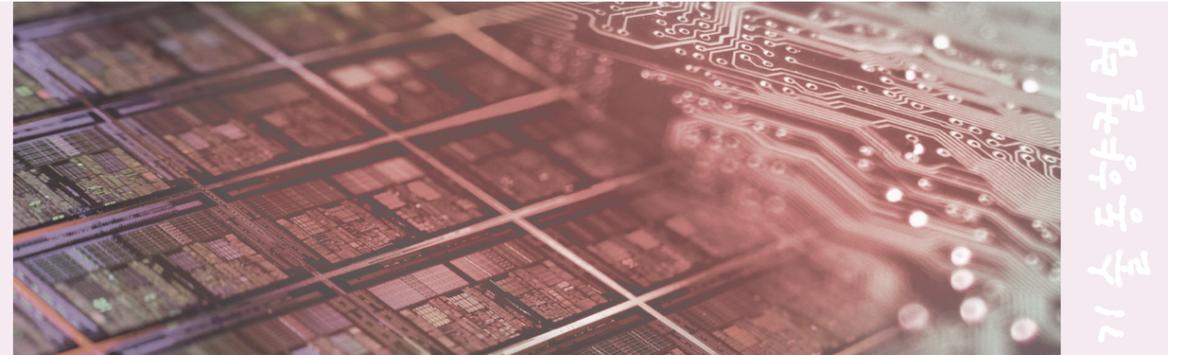
* CDC 참여와 관련한 자세한 사항은 홈페이지(<http://idec.or.kr>)를 참조

* 문의 : 구제희(042-350-8536, kjh9@idec.or.kr)

3차원 비디오 압축 표준기술의 기술동향



광주과학기술원 실감방송연구센터
 호요성 교수
 연구분야 : 영상신호처리, 영상압축, 3DTV, MPEG/HEVC
 E-Mail : hoyo@gist.ac.kr
 http://vclab.kjist.ac.kr/



본문영역

3차원 비디오 압축 기술의 필요성

2000년대 후반부터 3차원 영화들이 상업적으로, 또한 평론적으로 큰 성공을 하면서 3차원 비디오에 대한 대중들의 관심이 높아졌다. 3차원 비디오는 2차원 비디오에 깊이감이 더하여져 시청자가 입체감을 느낄 수 있다. 입체감을 느낄 수 있는 원리는 사람의 좌우 눈이 시점 차가 있는 영상을 인식함에서 비롯된다. 이 때문에 3차원 TV를 통해서 입체감을 느끼려면 입체 안경을 써야 한다. 제조사에 따라 편광 원리를 사용하거나 좌안과 우안을 번갈아 여는 방식의 셔터글라스(shutter glasses)를 사용한다. 3차원 비디오는 이제 영화뿐만 아니라 광고, 다큐멘터리, 스포츠 중계 등으로까지 사용되는 분야가 늘어났으며 이 추세는 앞으로도 계속 이어질 전망이다.

현재 주로 이용되는 3차원 비디오 기술은 약간의 거리를 둔 카메라로 영상을 획득하고 이를 시청자의 두 눈에 독립적으로 비추는 방법이다. 이는 간단하다는 장점이 있지만, 시청자의 위치 등과 같은 시청 환경에 따라 입체감이 급격히 달라지는 단점 또한 있다. 따라서 이를 극복하려면 자유시점(free viewpoint)을 기반으로 한 3차원 비디오 기술을 사용해야 한다 [1]. 이러한 시스템을 이용하면 사용자가 자유롭게 시청 시점을 변경하여 더욱 다양한 종류의 3차원 디스플레이에 재현 가능해진다.

3차원 비디오 시스템은 스테레오 카메라, 깊이 카메라, 다시점 카메라 등으로부터 영상을 획득하여 이를 부호화해서 비트스트림을 전송하고, 수신단에서 복호화가 완료되면 디스플레이에 영상을 재현하는 과정을 포함한다. 그림 1은 3차원 비디오 시스템의 구조를 나타낸다.

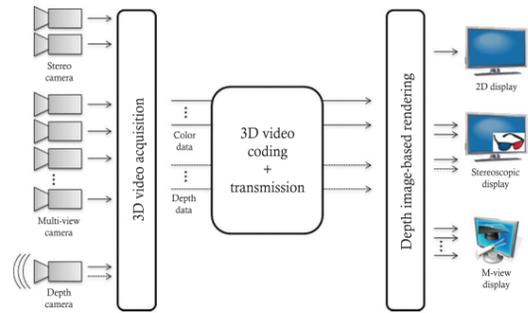


그림 1. 3차원 비디오 시스템의 구조

3차원 비디오는 데이터량이 막대하다. 깊이영상이 추가되고 한 개

의 시점이 아니라 여러 개의 시점 영상이 부호화되기 때문이다. 따라서 효율적인 압축을 위해서는 중복성을 이용해야 한다. 시공간적 중복성, 시점 간 중복성, 색상영상과 깊이영상의 유사성 등을 고려한 기술들이 표준화에서 연구되고 있다.

이러한 기술들은 기본적인 2차원 비디오 부호기에 확장되어 3차원 비디오 부호기를 이루게 된다.

JCT-3V의 3차원 압축 표준기술 개발

JCT-3V(Joint Collaborative Team on 3D Video Coding Extension Development)는 국제 표준화 기구인 ITU-T 산하의 VCEG(Video Coding Experts Group)과 ISO/IEC 산하의 MPEG(Moving Picture Experts Group)이 상호 협력하여 만든 그룹이다. JCT-3V는 MPEG에서 진행되던 3D Video Coding 그룹의 작업들을 바탕으로 2012년 7월 첫 회의를 했으며 현재도 계속 표준화가 진행 중이다.

3차원 비디오 부호기는 바탕으로 되는 2차원 비디오 부호기가 있어야 하는데 현재 JCT-3V 표준화 작업에서는 AVC(Advanced Video Coding)와 HEVC(High Efficiency Video Coding) 이렇게 두 가지를 사용한다 [2].

이들을 바탕으로 한 3차원 비디오 부호기를 각각 3D-AVC, 3D-HEVC라고 부른다. AVC는 2003년에 완성된 표준이며 현재 시장에서 널리 쓰이고 있고 굉장히 성공적인 비디오 압축 표준으로 평가받는다. 시간이 흐름에 따라 고해상도 비디오 압축 기술이 필요해졌고 이에 따라 HEVC가 개발되었다. HEVC는 2013년 1월에 최종 표준안이 완성되었으며 AVC에 비해 약 2배의 압축 성능을 보이는 차세대 기술이다 [3].

3차원 비디오 압축의 요구사항

부호화 효율

3차원 비디오 부호화 압축에서 한 시점에 대한 색상영상과 깊이영상의 비트율이 다른 표준을 사용해 색상영상을 부호화했을 때의 비트율보다 두 배 이상 높지 않아야 한다 [4].

또한 비트율 조절을 통해 3차원 영상의 화질을 평가하는 기준이 되는 합성 영상의 화질을 조절하는 기능이 있어야 한다.

전방향 호환성 (Forward compatibility)

3차원 비디오 부호기는 압축 기술들이 2차원 비디오 부호기를 바탕

으로 하게 된다. 현재 표준화에서는 AVC와 HEVC가 사용되고 있다. 3차원 비디오 압축 결과의 비트스트림은 기존 2차원 비디오 부호기로 기존 시점을 복호화될 수 있어야 한다. 이는 모노 비디오나 스테레오 비디오 모두에 해당한다.

시점 계위성 (View scalability)

비트스트림을 복호화할 때 사용자가 원하는 시점의 영상을 복원할 수 있어야 한다.

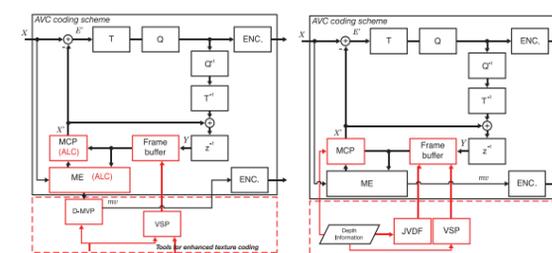
3D-AVC

3D-AVC를 개발하기 시작하기 전에 이미 AVC를 이용한 다시점 비디오 압축 표준은 존재했는데 이는 MVC(Multi-view Video Coding)이다 [5]. MVC에서는 색상영상과 깊이영상을 독립적으로 부호화한다.

즉, AVC에서 추가된 기술은 시점 간 중복성을 사용한 방법이다. 색상영상과 깊이영상은 움직임 정보 등이 유사하기 때문에 이를 부호기에서 활용하면 더 좋은 압축 성능을 얻을 수 있다.

따라서 시점 간 중복성 뿐만 아니라 색상영상과 깊이영상의 연관관계도 고려하는 압축 기술을 선보이게 3D-AVC 표준화가 시작되었다.

그림 2는 3D-AVC의 색상영상 부호화와 깊이영상의 부호화 구조를 나타낸다. 그림에서 검정색 부분은 기존 AVC의 순서도이다. 빨간색으로 표시된 부분들은 3차원 비디오 부호화를 위해 추가된 기술들을 나타낸다.



(a) 색상영상 부호화

(b) 깊이영상 부호화

그림 2. 3D-AVC의 구조

부호화 구조

JCT-3V의 표준화 작업에서 기고되는 기술들을 평가할 때 실험 시퀀스마다 지정된 3개의 시점을 색상영상과 깊이영상으로 모두 부호화한 결과를 확인한다. 따라서 총 6개의 시점이 부호화된다. 어떤 영상을 먼저 부호화하냐에 따라 참조 정보가 달라지기 때문에 부호화 구조는 3차원 비디오 부호기에서 틀이 된다고도 할 수 있다 [6].

부호화 순서를 효과적으로 설명하기 위해서 색상영상을 T, 깊이영상을 D라고 하고 3개 시점에서 가운데 기준 시점을 0, 나머지 참조 시점들을 0과 1이라 칭하겠다.

기준시점이라 함은 3개 시점에서 가운데 시점을 뜻한다. 나머지 참조 시점들 0과 1은 각각 기준시점의 왼쪽일 수도 있고 오른쪽일 수도 있는데 이는 실험 시퀀스에 따라 다르게 설정되어 있다.

3D-AVC의 부호화 순서는 T0-D0-D1-D2-T1-T2이다 [7]. 이를 깊이 우선 부호화(depth first coding)이라고도 하며 참조시점의 색상영상들을 부호화할 때 기준시점의 색상영상과 모든 시점에서의 깊이영상들이 참조정보가 된다.

깊이영상 해상도

깊이영상의 해상도는 원본 해상도에서 수평과 수직으로 각각 반으로 줄인 크기를 사용한다. 따라서 전체적인 크기는 색상영상 해상도의 1/4이다.

이 작업을 다운샘플링이라고 하며 이를 수행하는 이유는 깊이영상은 상대적으로 색상영상보다 단순하고 덜 중요하기 때문이다. 다운샘플링해서 부호화하고 복호화 후에 업샘플링하면 영상의 화질은 해상도 변경이 없었을 때에 비해 떨어질 수밖에 없지만, 비트율을 크게 낮출 수 있다는 장점이 있다. 그림 3은 다운샘플링된 깊이영상을 나타낸다.

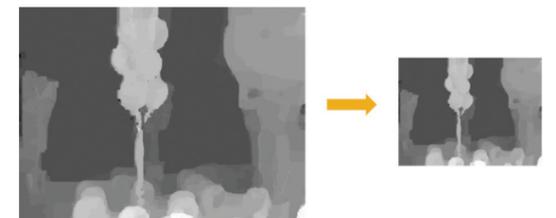


그림 3. 다운샘플링된 깊이영상 (1/4 크기)

주요 기술

표 1은 3D-AVC에서 사용하는 기술들을 정리한 것이다.

표 1. 3D-AVC 부호화 기술

기술 분야	부호화 기술 (AVC로부터 변경 또는 추가 사항)
색상영상 부호화	- 영상 합성 예측 (VSP: View synthesis prediction) - 적응적 밝기 보상 (ALC: Adaptive luminance compensation) - 런 기반 skip 산술 부호화 (RSAC: Run-based skip arithmetic coding) - 방향-분리 움직임 벡터 예측 - 변위 기반 skip, direct 모드
깊이영상 부호화	- 깊이 범위 기반 예측 (DRWP: Depth range based weighted prediction) - 시점 간 깊이 필터링 (JVDF: Joint inter-view depth filtering) - 화면 내 skip 예측 - 면 분할 기반 화면 내 예측 (PSIP: Plane segmentation based intra prediction) - 색상영상 부호화 기반 움직임 예측

깊이영상 부호화

깊이 범위 기반 예측은 깊이값의 불일정함을 보상하기 위함이다. 깊이값의 불일정함은 깊이값의 최대값과 최저값이 달라질 때 발생한다. 깊이 범위를 고려해 무게를 설정하고 이를 통해 값을 보정한다. 시점 간 깊이 필터링은 시점 간에 발생하는 깊이값의 차이를 줄이기 위한 기술이다.

깊이 데이터 획득 시 다양한 오차 때문에 같은 물체에 대한 깊이값이라도 시점이 달라지면서 화소값이 변경될 때가 있다. 이 오차를 줄이기 위해 수행하는 필터링에서 깊이값의 차이에 따라 평균을 취할 지 여부 보정이 필요없는 지 등을 결정하게 된다.

화면 내 skip 예측은 깊이영상이 보이는 공간적으로 높은 상관관계를 이용하는 기술이다. 왼쪽과 위쪽으로 얼마나 값이 변경되었느냐에 따라서 방향 모드가 결정된다. 면 분할 기반 화면 내 예측은 경계 영역에 더 많은 비트를 사용해 더욱 정확히 부호화하기 위함이다. 영역을 분할한 후 영역에 따라 각기 다른 예측을 수행한다. 그림 4는 면 분할 기반 화면 내 예측을 나타낸다.

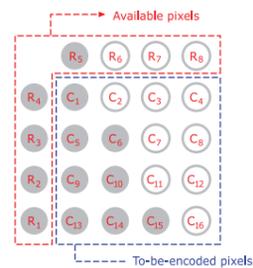


그림 4. 면 분할 기반 화면 내 예측

색상영상 부호화

영상 합성 예측은 인접한 시점에서 복원한 영상을 이용하여 영상을 합성하고 이를 참조 데이터로 이용하는 방법이다. 합성된 영상은

부호화할 시점의 영상으로부터의 거리가 인접한 시점의 영상보다 더 가깝기 때문에 이를 활용하면 잔여 데이터를 줄일 수 있다.

적응적 밝기 보상은 시점 간 깊이 필터링과 같은 맥락으로 시점 간에 발생하는 영상의 오차를 줄이기 위한 기술이다.

움직임 벡터를 기반으로 무게값을 정하여 화소값을 보정한다. 런 기반 skip 산술 부호화는 B-slice에서 skip이 많이 일어나는 것을 고려하여 엔트로피 부호화 방법을 이에 맞게 변경시킨 기술이다.

3D-HEVC

3D-HEVC의 개발 작업은 HEVC의 표준이 완성되기 전에 시작했다. 따라서 HEVC의 버전이 바뀌면 3D-HEVC도 따라 바뀌었다. 3D-HEVC는 3D-AVC와 마찬가지로 색상영상과 깊이영상의 유사성을 활용한다. 기본 부호기로서 HEVC가 AVC에 비해 성능이 좋기 때문에 3D-HEVC 또한 3D-AVC보다 뛰어난 성능을 낸다.

그림 5는 3D-HEVC의 구조를 나타낸다. 빨간색으로 표시된 부분들은 3차원 비디오 부호화를 위해 추가된 기술들을 나타낸다 [8].

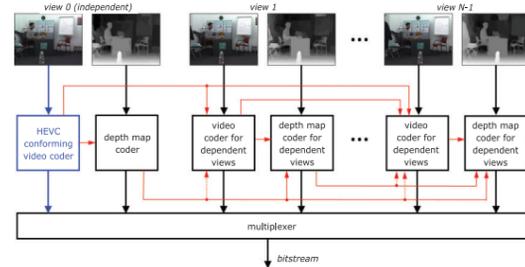


그림 5. 3D-HEVC의 구조

부호화 순서

앞장에서 3D-AVC의 부호화 순서를 설명했을 때의 표기를 여기서 다시 활용하면 3D-HEVC의 부호화 순서는 T0-D0-T1-D1-T2-D2가 된다. 이는 색상 우선 부호화(texture first coding)라고 불린다.

항상 한 시점에 대하여 색상영상과 깊이영상을 차례대로 부호화하고 다른 시점의 부호화로 넘어가는 형태이다.

깊이영상 해상도

3D-AVC와는 다르게 3D-HEVC에서는 깊이영상 해상도를 낮추지 않는다. 원본 해상도를 그대로 유지하여 깊이영상의 화질을 최대한 좋게 하는 목적이다.

이는 초기에 3D-HEVC의 첫 모델을 만들때 결정되면서 많은 주요 기술들이 색상영상과 깊이영상들이 같은 해상도를 갖는 것을 고려하여 설계되었다.

여러 기관이 이러한 연관 기술들을 변경시키고 낮은 해상도 깊이영상 부호화를 통해 비트율을 낮추자는 기고를 했지만, 아직 반영되지는 않았고 추후에 바뀔 수 있는 여지는 남아있다.

주요 기술

표 2는 3D-HEVC의 부호화 기술들을 정리한 것이다.

표 2. 3D-HEVC 부호화 기술

기술 분야	부호화 기술 (HEVC로부터 변경 또는 추가사항)
깊이영상 부호화	- 루프 필터링 미사용 - 깊이 모델링 모드 (DMM: Depth modeling modes) - 영역 경계 연결 부호화 (Region boundary chain coding) - 깊이 부호화의 간단화 (SDC: Simplified depth coding) - 깊이 쿼드트리 예측 (DQP: Depth quadtree prediction)
색상영상 부호화	- 인접 블록 기반 변위 벡터 - 시점 간 잔여 데이터 예측 - 밝기 보상 (IC: Illumination compensation) - 영상 합성 예측 (VSP: View synthesis prediction)

깊이영상 부호화

깊이영상 부호화 시에는 루프 필터링이 사용되지 않는다. HEVC의 루프 필터링에는 두 가지 종류가 있는데 디블록킹 필터(deblocking filter)와 적응적 샘플 오프셋(SAO: Sample adaptive offset)이 있다. 이 기술들은 색상영상에서 생기는 왜곡들을 보정하기 위해 설계되어 있는데 깊이영상에는 적합하지 않다.

깊이 모델링 모드, 영역 경계 연결 부호화, 깊이 부호화의 간단화는 화면 내 예측(intra prediction)에서 사용되는 기술들이다. HEVC의 기존 화면 내 예측 모드는 색상영상을 위해 설계되었는데 깊이 영상에서의 경계 영역 부분을 정확히 부호화하기 위해 영역 분할을 사용한 모드 4개가 추가된다.

영역이 어떻게 분할되었는가에 대한 예측을 통해서 가장 정확한 분할구조를 찾는다. 영역 경계 연결 부호화는 경계를 정확히 부호화하기 위해 사용되는데 방향을 정의해서 가장 정확한 경계의 방향을 예측한다. 그림 6은 영역 경계 연결 부호화를 나타낸다. 깊이 부호화의 간단화는 기존방법을 사용하지 않고 간단한 3가지 모드로만 화면 내 예측을 하는 것이다. 모드 숫자가 줄어들고 보내는 전송량도 깊이 특성에 맞게 변경시키기 때문에 비트율을 줄일 수 있는 장점이 있다.

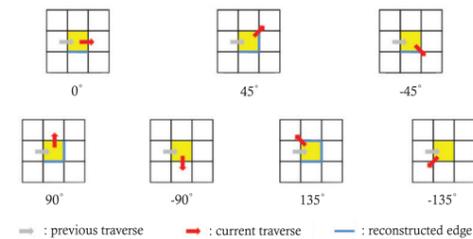


그림 6. 영역 경계 연결 부호화

깊이 쿼드트리 예측은 색상영상 부호화 때의 쿼드트리를 기반으로 깊이영상의 쿼드트리의 경우의 수를 한정하는 것이다. 이를 통해

복잡도가 많이 줄어든다. 또한, 깊이 쿼드트리를 전송할 때 색상영상의 쿼드트리와 차이가 나는 부분만 전송하는 방법을 이용해 비트율도 감소시킨다.

색상영상 부호화

인접 블록 기반 변위벡터는 변위 벡터를 찾는 기술이며 이는 시점 간 예측을 하기 위해 사용된다. 인접 블록의 움직임 벡터를 탐색할 때 공간적, 시간적 인접 블록을 차례대로 움직임 벡터를 찾을 때까지 검사한다. 이 블록들도 움직임 벡터를 포함하지 않으면 움직임 보상이 된 블록의 변위 벡터를 사용하게 된다. 시점 간 잔여 데이터 예측은 참조 시점의 잔여 데이터를 활용하여 현재 부호화할 시점의 잔여 데이터량을 예측하는 것이다. 이를 통해 부호화할 데이터량을 감소시킬 수 있다.

밝기 보상은 3D-AVC에서 적응적 밝기 보상과 같은 역할을 한다. 인접 시점에서 나타나는 밝기값 차이를 줄여 시점 간 예측을 개선시킨다. 영상 합성 예측은 3D-AVC에서 먼저 사용되었던 것을 3D-HEVC에서도 적용시킨 것이다. 블록 기반의 후방 투영 방법은 3D-AVC에서의 방법과 동일하며 변위벡터의 활용법과 매개변수 전송법은 차이가 있다.

결론

본고에서는 3차원 비디오 압축 표준 기술 동향에 대해 살펴보았다. 현재 표준화 관련 3차원 비디오 부호기는 크게 AVC(Advanced Video Coding) 기반의 부호기(3D-AVC)와 HEVC(High Efficiency Video Coding)기반의 부호기(3D-HEVC)로 나뉜다. 이 부호기들의 기본 구조와 주요 기술들에 대해 살펴보았다. 3D-AVC는 2014년에, 3D-HEVC는 2015년 이후에 최종 표준이 제정될 것으로 예상된다. 3차원 비디오 부호기의 표준화가 완성되고 이를 이용한 제품이 시장에 출시되기 시작하면 3차원 비디오 관련 다양한 응용 산업이 더욱 탄력을 받을 것이다.

Reference

- [1] 효요성, 이천, "3차원 비디오 부호화 표준 기술 동향," TTA 저널, vol. 142, pp. 88-94, 2012년 8월.
- [2] H. Schwarz, K. Wegner, and T. Ruster, "Overview of 3DV Coding Tools Proposed in the CTP," MPEG N12348, Dec. 2011.
- [3] 효요성, 최정아, "UHD 고화질 영상 압축 기술: HEVC 알고리즘 이해와 프로그램 분석," 진샘미디어, 2013.
- [4] 효요성, 이천, "다시점 3차원 영상처리 및 부호화 기술," 진샘미디어, 2013.
- [5] Y.S. Ho and K.J. Oh, "Overview of Multi-view Video Coding," Proc. of International Workshop on Systems, Signals and Image Processing (IWSSIP), pp. 9-16, June 2007.
- [6] 효요성, 송윤석, "3차원 비디오 부호화의 표준화 작업과 깊이 영상의 해상도 조정 기술," 전자공학회지, 제39권, 제10호, pp. 819-827, 2012년 10월.
- [7] D. Rusanovskyy, F.C. Chen, L. Zhang, and T. Suzuki, "3D-AVC Test Model 6," JCT3V-D1003, April 2013.
- [8] G. Tech, K. Wegner, Y. Chen, and S. Yea, "3D-HEVC Test Model 4," JCT3V-D1005, April 2013.



해마다 열리는 IEEE Symposium on VLSI Circuits는 Technology와 같이 열리는 학회로 회로 설계뿐 아니라 소자/공정까지 공부할 좋은 기회를 제공한다. 하와이와 일본 교토에서 번갈아 가며 열리는 데 올해는 교토에서 학회가 열렸다. 2년 전에는 일본의 원전 사고로 미국이나 유럽에서 참석자들이 많이 줄었는데 올해는 많은 부분 회복이 된 듯 보였다. 또 예년과 비교하면 우리나라에서 발표한 논문 수가 증가해서 우리 회로 설계 기술이 발전됨을 느낄 수 있었다.

Welcome session에서는 스탠포드 대학의 Brodersen교수가 일본의 경우 여러 분야에서 기술력이나 특허 등에 있어 다른 나라보다 앞서고 있지만 벤처 기업이 별로 없는 이유에 대해 분석한 결과를 발표해 큰 주목을 받았다. 많은 우리나라 참석자들이 일본의 현실이 우리나라와 비슷한 면이 많아 공감하고 학회 기간 도중 대화의 주제로 종종 언급되었다. Plenary session 첫 번째 발표자는 삼성전자의 정세용 부사장이었다. 모바일 기기에 대한 전망과 반도체 기술에 대한 모바일 기기의 양향에 대한 발표로 청중들의 관심을 끌었다. 특히, 미국 인기 드라마에서 주인공들이 10년 전에는 식당에서 서로 즐겁게 대화를 나누는 장면이 최근에는 같은 장소 같은 주인공들이 대화 없이 스마트폰만 들여다보고 있는 장면으로 바뀐 것을 비교한 부분에서 재미와 관심을 끌었다.

많은 좋은 논문들이 발표되었으나 모두 소개하기는 지면상 어려움이 있어 몇 가지 분야에서 인상적인 논문들을 소개를 하고자 한다.

SPECIAL Column

IEEE Symposium on VLSI Circuits

Power Management Techniques Session

주위 환경 에너지를 전기로 변환하여 무선 기기를 동작시키는 에너지 하베스팅 분야는 특히 지난 10년간 폭발적인 관심의 증가로 다양한 연구가 진행되었다. 이 중 빛 에너지 하베스팅과 함께 가장 활용도가 높을 것으로 예상하는 것이 바로 RF 에너지 하베스팅이다. ISSCC 2013에서 RF 에너지 하베스팅에 대한 중요한 연구 성과들이 발표되었는데, 이번 SOVC 2013에도 이와 같은 흐름을 이어받아 4편의 에너지 하베스팅 논문 중 3편이 RF 에너지 하베스팅이 주제였다.

RF 에너지 하베스팅 연구에서 가장 중요하게 다루는 사양은 전력 변환 효율(PCE)이다. 특히 AC 전압인 RF 신호를 DC 전압으로 변환하는 정류기의 개선을 통해 PCE를 향상할 수 있다. 첫 번째(#18.1) 대만 논문은 정류기와 DC-DC 부스트 변환기의 연결에서 효율적인 전력 전달 구조를 찾아 PCE를 향상시켰다. 또한, 최적 전력점 추적 기술(MPPT)과 부가 제어 회로의 저전력 설계를 통해 효율 향상을 뒷받침하였다. 정류기 외에도 부스트 변환기가 포함되어 고정 전압을 출력하게 되며, 기존에 발표된 이와 같은 유형의 변환기 중에서는 가장 높은 35.7%(@PIN=-15dBm)의 PCE를 달성하였다. 그림 1은 정류기와 부가 회로들을 포함하는 칩 사진을 나타낸다.

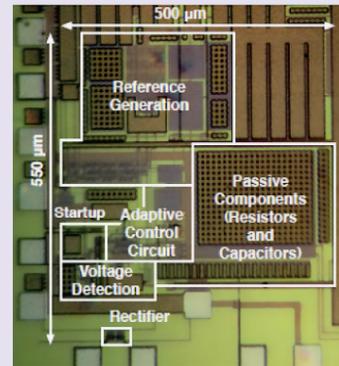


그림 1. 830MHz 고효율 무선 충전 수신칩

두 번째(#18.2)의 네덜란드 논문은 self-calibration 기법을 이용해 -26.3 dBm에서 1V를 출력해, 발표된 기술 중 장거리에서 가장 훌륭한 sensitivity 성능을 발휘하는 기술을 선보였다. 네 번째(#18.4) 우리나라 논문은 6W급 대용량 DC-DC 변환기에 관한 연구 결과이며 무선 기기의 전력 송수신을 가능하게 하는 양방향 기술을 소개한다.

양방향 DC-DC 변환기는 최근 많은 관심을 받고 있는데, 송신용과 수신용의 별도 변환기를 단일 변환기만으로 사용하는 장점을 제공한다. 수신 시 81.7%, 송신 시 76.5%의 최대 효율을 보이고 있다. 그림 2는 실제 제품을 이용한 실험 환경의 촬영 사진을 나타낸다.



그림 2. 휴대용 기기의 무선 전력 전송 (a) 수신 모드, (b) 송신 모드

상기 3편의 RF에너지 하베스팅 논문 외에 MPPT에 관한 미국의 논문(#18.3)이 있었다. 이 논문은 기존의 전력 측정에서 전류 측정 및 고속 증폭기가 수반되는 단점을 해결하기 위해 리플 전압의 정보를 이용하였다. 높은 추적 효율을 유지하며, μW 영역을 넘어 nW 영역의 전력만을 소비하기 때

문에 더욱 장시간 및 소형화의 센서 네트워크 구성을 용이하게 하였다.

이처럼 예년의 에너지 하베스팅 연구에 관한 관심은 계속 유지되고 있는 것을 확인하였으며, 고효율 전압 변환기 및 저전압 저전력 MPPT의 설계가 에너지 하베스팅 시스템의 주요 화두임은 변함없을 것이다.

Memory Session

2013년 SOVC의 메모리 관련 세션에는 4편의 임베디드 비휘발성 메모리 관련 논문과 3편의 메모리 인터페이스 관련 논문 등 총 7편의 논문이 발표되었다.

임베디드 비휘발성 메모리 세션 네 편의 논문 중 먼저 발표된 두 편의 논문은 각각 FRAM(#16.1)과 CBRAM(#16.2)을 기반으로 임베디드 플랫폼에 적합하도록 매우 적은 전력을 소모하는 비휘발성 메모리 회로에 관한 논문이었다.

첫 번째 논문의 FRAM은 종래의 Flash 메모리보다 100배의 빠른 쓰기 동작이 가능한 반면에 절반 이하의 메모리 액세스 에너지를 소모하기 때문에 앞으로 Flash 메모리를 대체할 메모리로 크게 주목받을 것으로 생각된다.

두 번째 논문의 CBRAM은 0.6V의 낮은 전압에서 동작이 가능하고, 쓰기 동작에 8pJ의 작은 에너지를 소모하기 때문에 바이오 관련 분야나 저전력 소모를 필요로 하는 분야의 각광을 받을 것으로 생각된다.

임베디드 비휘발성 메모리 세션의 다른 두 편의 논문은 ROM 관련 논문이었는데, 공공롭게도 두 편 모두 동일한 메모리 셀 면적에서 구조적 개선을 통해 액세스 시간 개선 효과를 얻는 방법에 관한 논문이었다.

세 번째 논문(#16.3)은 Triple-Wire-Program-Cell 구조를 적용하여 액세스 시간을 38% 개선하였으며, 네 번째 논문(#16.4)는 OD-Space-Effect를 최소화하는 레이아웃 개선을 통해 액세스 시간을 30% 개선하였다.

메모리 인터페이스 관련 논문은 Session 19. Clocking and Memory Interface에서 발표되었는데, 한 편의 인터페이스 관련 논문과 두 편의 DLL 관련 논문이 발표되었다.

인터페이스 관련 논문(#19.3)에서는 LPDDR3 이후의 1.0V 이하 5Gbps 이상의 모바일 인터페이스 규격에는 현재 DDR4의 표준 규격인 VDDQ Termination의 POD 방식이 아닌 VSSQ Termination의 low voltage-swing terminated logic이 보다 나은 특성을 보임을 제시하여 관심을 끌었다.

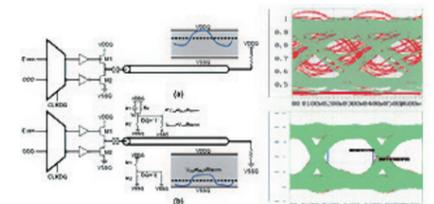


그림 3. (a) 기존의 POD 방식 (b) 제안된 LVSTL 방식

논문에서 VDDQ Termination을 사용하는 경우 1.2V 이하 2.1Gbps 이상의 동작 speed를 얻기 어렵다고 하는데, DDR4의 속도 목표가 3.6Gbps까지여서 앞으로의 DDR4 개발 방향에 영향을 줄지 귀추가 주목된다.

네 번째로 발표된 논문(#19.4)은 3.6 Gbps의 고속 동작 메모리의 신호 특성을 확보하기 위해 공급 전압 노이즈에서 기인된 jitter를 감소시키기 위한

CML 타입의 DCDL을 CMOS 타입의 DCDL과 함께 사용하는 구조를 채택하였다. 그리고 ZQ 공급 전압 노이즈에서 기인된 jitter를 줄이기 위해 기존과 다르게 UP/DOWN 각각 독립적인 LPF를 갖는 형태를 사용하였다.

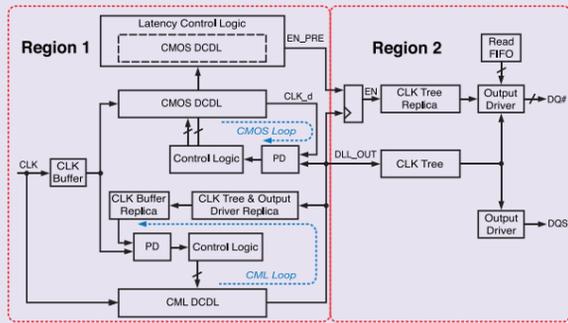


그림 4. 혼성 이중 모드 DLL과 지연 제어 회로

마지막으로 발표된 논문(#19.5)은 TDC 회로를 추가하여 Fast lock을 구현하였다. 고속 락킹을 하는 경우 wake up time이 늘어나면서 Read 지연이 증가하는 현상을 막을 수 있어 메모리 인터페이스의 에너지 효율을 개선할 수 있다.

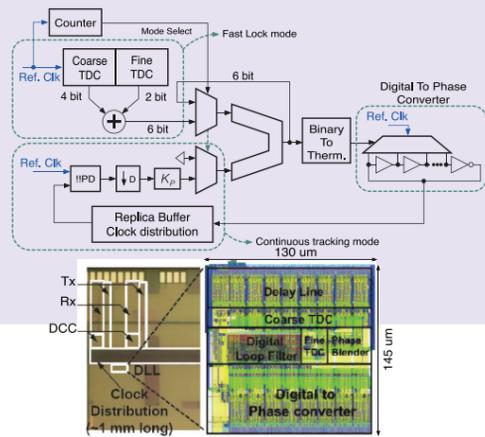


그림 5. 고속 락킹 DLL 구조와 칩 사진

이번 SOVC에 채택된 논문들을 보면서 고속 락킹 DLL(#19.5)이나, 6.5us의 시스템 wake-up time을 갖는 임베디드 메모리 (#16.1)와 같이 단순히 ACTIVE 모드 혹은 SLEEP 모드의 소모 전류를 줄이는 관점의 개선 방향에서 SLEEP 모드에서 ACTIVE 모드로, 혹은 그 반대로 전환하는데 걸리는 지연을 최소화하여 wake-up 전력 소모를 최소화하는 데에 다양한 연구가 진행되는 모습을 볼 수 있었다.

고려대학교 전기전자전파공학부
 김철우 교수
 연구분야 : Transceiver, PLL, DC-DC 변환기, 에너지 하베스팅
 E-mail : ckim@korea.ac.kr

Analog to Digital Converter

올해는 ADC 관련 논문은 크게 3개의 세션에서 발표되었다. Oversampling ADC는 Session 5, Delta-sigma modulator 세션에서 발표되었고, Nyquist ADC는 Session 8, Pipeline ADC와 Session 21, Nyquist Converter 세션으로 나뉘어 발표되었다. 본 절에서는 Nyquist ADC에 대해서 정리하기로 한다.

Pipeline ADC 세션의 총 5개의 논문 중 Broadcom에서 발표한 High speed pipeline ADC(#8.1)를 제외한 4개의 논문(#8.2, #8.3, #8.4, #8.5)은 기존 방식의 opamp의 대체할 새로운 방식의 amplifier를 제안하였다. 이는 공정 발전에 따라 발생하는 analog 회로 설계의 어려움을 극복하기 위한 연구가 주목받고 있음을 보여주고 있다.

#8.2의 경우는 기존의 발표된 ring amplifier의 문제점을 개선하여 pipeline의 모든 stage를 ring amplifier로 구성하였다. 그 결과 75.9dB-SNDR 20Msps 2.96mW의 성능의 ADC를 제작하였다. #8.3에서는 Voltage to Time Converter와 time-domain amplifier를 이용하여 pipeline ADC를 구성하였고 65.2dB-SNDR 70Msps 6.38mW의 결과를 얻었다. #8.4는 총 13-stage pipeline 구조에서 파워 소모가 큰 초반 5-stage를 bucket brigade 회로를 이용하여 구현하여 57.6dB-SNDR 200Msps 11.5mW의 ADC를 구현하였고, 8.5에서는 약 6bit 정도로 제한되어 있던 current-steering opamp를 개선하여 10bit 수준의 pipeline ADC를 제작하였다.

하지만 이번에 제안된 구조들은 calibration을 전제로 하였고, 여전히 취약점이 존재하였다. 아직 이 분야에 대한 지속적인 연구가 필요함을 보여주었다. Nyquist Converter 분과에서는 High speed ADC에 대한 관심이 컸음을 확인할 수 있었다.

3개의 논문(21.1, 21.2, 21.3)은 GSps대역의 ADC였으며 21.5의 경우도 410Msps time interleaved SAR ADC였다. 21.4만이 medium speed(24Msps)의 ADC였지만 time interleaved ADC의 sub ADC로 사용되는 것을 목표로 만든 ADC였다.

Intel에서 발표한 #21.1은 8개의 SAR ADC를 이용한 time interleaved ADC로 8bit 8.8Gsps 성능을 보여주었고, Broadcom에서 발표한 #21.2는 current-steering DAC을 이용하여 9Gsps 13bit 성능의 ADC를 구성하였다. #21.3은 Flash ADC로 reference를 comparator의 threshold 전압을 조절하여 만들었고, 그 결과 5Gsps 6bit의 성능을 얻을 수 있었다.

#21.4에서는 SAR ADC에 사용된 Comparator의 threshold voltage를 variable register를 이용하여 조절하여 24Msps 7bit에 0.0056mm²의 작은 크기를 갖는 ADC에 관한 논문이었으며, imec에서 발표한 #21.5는 기존에 발표한 time interleaved ADC에 background calibration circuit을 추가하여 410Msps 12fJ/cs의 우수한 결과를 보여주고 있다.

PLL Session

PLL과 직접적인 연관이 있는 세션은 전체 중에서 Session 10, PLL Building Blocks, Session 12, Clock and Frequency Generation, Session 15, All Digital Phase-Locked Loops 등 총 3개 세션이며, 이들 세션에는 총 12편의 논문이 발표되었다.

그 외에도 transceiver나 memory interface 세션 등에서도 PLL과 관련한 논문이 발표되었다. 올해도 작년과 마찬가지로 디지털 PLL과 관련한 논문을 다루는 별도의 세션이 마련되어 있었다.

SOVC에서 발표된 PLL과 관련한 논문 중에서 PFD나 TDC에 관련한 논문이 큰 비중(약 40%)을 차지하였으며, 그 외에 VCO에 관련된 논문이나 fast locking에 관련된 논문, supply rejection과 관련한 논문이 발표되었다. PLL 연구자들이 성능향상을 위해서 in-band-phase noise를 줄이고자 하고 있는 것을 PFD와 TDC의 논문 비중이 큰 것을 통해서 추측할 수 있었다. 필자의 경우에는 PLL Building Blocks 세션에서 Pipelined TDC 논문(#10.1)이나 All Digital Phase-Locked Loops 세션의 Hybrid PLL 논문(#15.4)을 주목했다.

Pipelined TDC 논문(#10.1)은 시간 정보를 저장하고 시간 연산을 할 수 있는 회로를 처음으로 제시하였으며, 이를 이용하여 pipeline TDC를 제안하였다. 그 결과 250Msps에서 1.12ps의 분해능을 얻었으며, 0.325pJ/cs의 FOM을 얻었다.

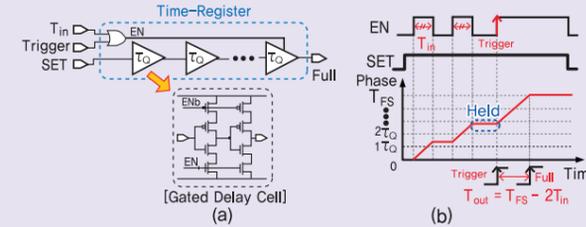


그림 6. Time domain register

Hybrid PLL 논문(#15.4)은 proportional path와 integral path를 별도의 path로 분리할 수 있는 디지털 PLL의 장점을 활용한 논문이다. 기존의 구조에서는 proportional path와 integral path를 모두 디지털이거나 아날로그로 구성하였지만, 이 논문에서는 proportional path를 Charge Pump를 이용하여 아날로그로 구성하고, Integral path를 디지털로 구성하는 것을 제안했다.

이 때문에 기존의 디지털 PLL에서 저 잡음 구현에 필요한 높은 분해능을 가지는 TDC가 없어도 저 잡음을 구현하면서 동시에 아날로그 PLL에서 넓은 면적을 요구하는 capacitor를 없앨 수 있었다.

그 결과 28GHz에서 in-band-phase noise -90dBc/Hz, out-band-phase noise -110dBc/Hz@10MHz를 얻을 수 있었다.

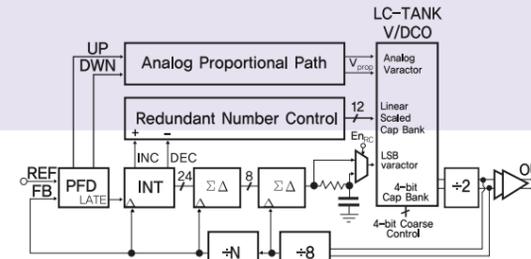


그림 7. Hybrid PLL의 구조

Bio-Medical Session

최근 Bio-Medical application에 이용 되는 회로와 SoC(System-on-Chip)에 대한 관심이 급증하고 있는 가운데, 이번 SOVC 2013에서도 어김없이 많은 수의 관련 논문이 발표되었다.

Session 4, Circuits for Biomedical Applications, Session 17, Sensors, Session 20, Medical Processing의 3개의 Session에서 발표된 논문들 중 직접 Bio-Medical과 관련된 논문은 약 10여 편이며 저마다 다양한 Application에 적용되는 회로와 시스템을 제안하고 있다.

Session 4, Circuits for Biomedical Application에서는 세션 이름에 잘 나타나 있듯이 실제 Bio-Medical에 적용되는 회로들이 발표되었는데, 총 5편의 논문 중 3개의 논문이 synaptic level에서 생성되는 electrical signal을 직접 recording하는 micro-electrode array를 주제(#4.1, #4.2, #4.4)로 하고 있어 흥미로웠다. 전자 회로의 크기가 점점 작아지면서 미시적 관점에서 연구되는 바이오 산업에 큰 영향을 미칠 것으로 예상하는 부분이었다.

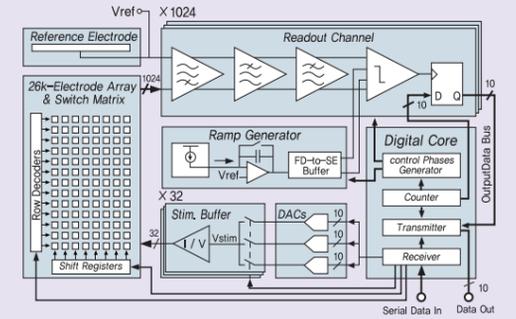


그림 8. CMOS Micro-electrode array chip block diagram

Session 17, Sensors 에서도 두 편의 Bio-Medical관련 논문이 발표되었다. 지금까지 대부분의 Bio-Medical 센서들은 ECG, EEG, Neural signal등을 측정하는 센서들이 주류를 이루어 왔다. 기 나열된 신호들은 비교적 중요도가 높고 전기적 신호이기 때문에 이를 측정하는 회로에 많은 발전이 있어왔다.

이번 SOVC 2013에서는 기존과 달리 비전기적 신호인 혈류 속도를 전기적으로 측정하는 논문(#17.4)이 소개되었다. 혈류에 의한 Impedance변화를 감지하는 Sensor를 이용하였으며 처음으로 혈류 속도 Sensing IC를 제안하여 사람들의 관심을 끌었다.

같은 Session에서 사람들의 관심을 끈 또 한 편의 논문은 Quantitative polymerase chain reaction(qPCR)을 수행하는 CMOS Lab-on-Chip에 관련된 논문(#17.5)이었다.

이 시스템에서는 electrowetting-on-dielectric transport를 이용한 극소량의 DNA solution의 제어, 새로운 temperature regulation방식 및 single photon avalanche diode를 이용한 fluorescent detection등을 효과적으로 사용하였다.

논문의 주제와 시스템의 구현 방법이 Bio-Medical application과 물리적 현상의 회로적 이용 등 융합 학문의 성격을 띄며 사람들의 이목을 집중시켰다.

	KAIST 전기 및 전자공학과 김규식 석사과정 연구분야 : CMOS Sensors E-mail : pgonha@kaist.ac.kr
	KAIST 전기 및 전자공학과 김중호 석사과정 연구분야 : ADC, TDC E-mail : jhkim0@kaist.ac.kr
	KAIST 전기 및 전자공학과 김효준 석사통합과정 연구분야 : PLL E-mail : khj3027@kaist.ac.kr
	KAIST 전기 및 전자공학과 조성환 교수 연구분야 : ADC, PLL and CMOS Sensors E-mail : chosta@ee.kaist.ac.kr



SoC로 실시간 응답을 달성하고자 할 때 해결해야 할 과제와 활용 가능한 이점 (2)

Soc로 이용할 수 있는 하드웨어 및 소프트웨어 솔루션 알아보기



발전된 프로세스 기술과 시스템 통합에 대한 요구가 실리콘 융합을 가속화하는 원동력이 되고 있다. FPGA는 이러한 추세에 발맞추어서 SRAM 메모리, 디지털 신호 프로세싱(DSP) 및 공급기 블록, 직렬 트랜시버, 메모리 컨트롤러, 향상된 I/O 기능을 통합하고 있다. 프로그래머블 기술 분야의 가장 최신 기술이라고 한다면 Altera® FPGA에 ARM® 애플리케이션 프로세서와 풍부한 주변장치 프로세서 서브시스템을 통합한 SoC일 것이다. 그런데 이러한 기술 융합은 실시간 임베디드 시스템 디자인에 새로운 도전과제와 기회를 제공하고 있다.

지난 호에서는 SoC로 실시간 응답을 달성하고자 할 때 해결해야 할 과제와 활용 가능한 이점에 있어 'SOC 기술과 임베디드 시스템 설계에 대해서 알아보았다' 본 고에서는 'Soc로 이용할 수 있는 하드웨어 및 소프트웨어 솔루션'을 알아보고자 한다.

솔루션 1 - ARM Cortex-A9 프로세서만 이용

이 구현은 전체적인 FOC 모터 제어 벤치마크 코드를 C로 작성하며 전적으로 SoC의 ARM Cortex-A9 MPCore™ 프로세서만 이용해서 구현한다. 이 디자인은 운영체제가 없는 "bare metal" 솔루션으로서 운영체제로 인한 추가적인 모호성을 방지할 수 있다.

Cortex-A9의 인터럽트 응답 특성
Cortex-A9 프로세서의 응답 시간에 영향을 미치는 가장 중요한 요소는 인터럽트이다.

그림 1에서 보듯이 SoC 내에서 Cortex-A9 프로세서는 ARM의 Generic Interrupt Controller(GIC)로부터 인터럽트를 받는다. 인터럽트는 한 CPU로 보내는 것일 수도 있고 두 CPU 모두로 보내는 것일 수 있다.

GIC는 일차적으로 ARM의 애플리케이션 클래스 프로세서에 적합하도록 설계되었다. ARM의 실시간 프로세서인 Cortex-R 및 Cortex-M 제품은 벡터드 인터럽트 컨트롤러(vectored interrupt controller)를 채택함으로써 인터럽트 지연시간을 낮추도록 한다.

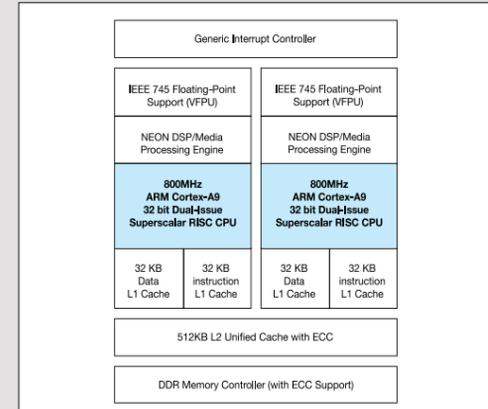


그림 1: SoC 내의 듀얼 코어 Cortex-A9 MPCore 프로세서

인터럽트 이벤트는 어느 때나 발생할 수 있다. 하지만 그림 2에서 보듯이 ARM CPU는 현재 실행하고 있는 머신 명령을 완료할 때까지는 이 인터럽트 이벤트를 인식하지 못한다. 800MHz이므로 각각의 명령을 통상적으로 빠르게 완료할 수 있으나 가장 크게 차이가 날 수 있는 것은 CPU가 현재 처리하고 있는 데이터의 액세스 시간이다.

예를 들어서 프로세서 레지스터를 액세스하는 것이 가장 빠르고, 그 다음이 L1 캐시를 액세스하는 것이다. L2 캐시 액세스는 그보다 느리고, 가장 느린 것은 DDR 메모리 컨트롤러가 막 리프레시 사이클을 시작했을 때 외부 메모리를 액세스하는 것이다. 인터럽트를 인식한 다음에는 Cortex-A9 프로세서가 800MHz로 ISR을 빠르게 실행할 수 있다.

예를 들어서 백그라운드 애플리케이션 코드가 중요도가 낮은 상태 표시 LED를 깜빡이기로 결정한 바로 그 때 안전성에 관련된 중요한 인터럽트 이벤트가 발생했다고 하자. 그리고 이 LED의 상태 변수는 외부 DDR 메모리에 저장

되어 있는데 이 메모리가 때마침 리프레시 사이클을 실시하고 있는 중이라고 하자. 그러면 우선순위가 높은 이 인터럽트가 CPU가 현재 명령, 다시 말해서 별로 중요하지 않은 LED를 깜빡이는 명령을 완료할 때까지 기다려야 한다. 그렇다면 디자인어는 어떻게 이러한 상황을 피하도록 할 것인가?

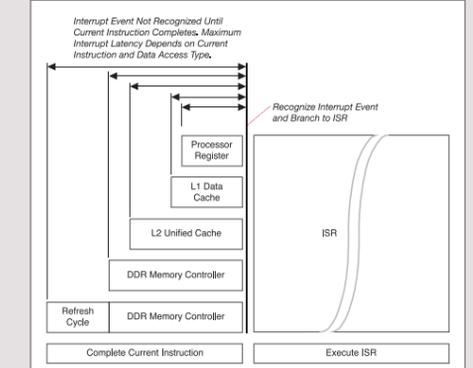


그림 2: 인터럽트 지연시간은 현재 명령의 데이터 액세스에 따라서 달라진다.

최악상황 인터럽트 지연시간은 최악상황 데이터 액세스 타입일 때 발생된다. 그러므로 데이터 액세스 타입을 제한함으로써 인터럽트 지연시간을 낮출 수 있다. SoC의 듀얼 코어 프로세서에는 2개의 CPU가 들어있다.

AMP(asymmetric multiprocessing) 기법을 이용함으로써 한 프로세서는 시간적으로 중요한 실시간 기능을 처리하도록 해서 신속한 인터럽트 응답을 달성하고 다른 프로세서는 운영체제, 애플리케이션 프로그램, 통신을 처리하도록 할 수 있다.

다음에서 설명하는 3개 구현은 백그라운드 코드 및 ISR을 고속 메모리로 제한함으로써 인터럽트 응답 시간이 어떻게 영향을 받는지 잘 보여준다. 물론 최대의 성능을 위해서는 백그라운드 코드가 "while (1)" 루프여야 한다.

이들 구현은 모두 FOC 벤치마크를 크리티컬 코드로 이용한다. 이들 구현은 "bare-metal" 솔루션으로서 운영체제로 인해 야기되는 추가적인 불확실성을 제거할 수 있다.

이 사례 분석을 위해서는 선택한 FOC 벤치마크 코드를 bare-metal 코드로 AMP 모드로 실행했으나, 듀얼 코어 ARM Cortex-A9 프로세서를 사용하는 방법으로 가장 널리 이용되고 있는 방법은 프로세스 처리를 위해서 RTOS 나 Linux 같은 고수준 OS와 함께 (대칭 멀티프로세싱(SMP) 모드로) 단일 실행 엔진으로 이용하는 것이다.

최선 상황 시나리오 - 크리티컬 코드와 백그라운드 코드를 32KB 미만으로 제한

듀얼 코어 ARM Cortex-A9 프로세서로 가능한 최상의 인터럽트 응답은 그림 3에서 보듯이 두 CPU 중의 하나를 전적으로 크리티컬 인터럽트를 처리하도록 했을 때 달성할 수 있는 것이다. 백그라운드 코드와 크리티컬 코드를 32KB 미만으로 제한함으로써 CPU의 L1 명령 캐시 안에 전부 들어갈 수 있도록 하고 모든 데이터 구조는 레지스터 또는 CPU의 L1 데이터 캐시로 할당한다.

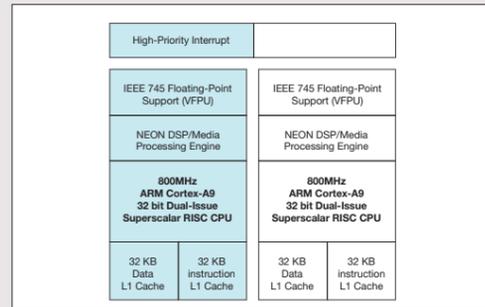


그림 3: 최상의 ARM Cortex-A9 인터럽트 응답 달성 - 크리티컬 코드와 백그라운드 코드를 32KB 미만으로 제한

표 1은 코드를 직접적으로 L1 캐시로부터 실행할 때의 FOC 벤치마크 테스트 결과를 보여준다. 평균값은 인터럽트 루틴을 1,024회 실행했을 때의 결과이다. 지터는 가장 빠른 응답과 가장 느린 응답의 차이이다.

이러한 파티셔닝일 때 표 1 및 그림 4에서 보듯이 인터럽트 응답 시간이 1μs 미만이다. 이것은 벡터드 인터럽트 컨트롤러를 사용하지 않은 애플리케이션 프로세서로서 굉장히 훌륭한 것이다. 이와 같은 뛰어난 성능을 달성할 수 있는 가장 큰 요인은 Cortex-A9 프로세서이다. ISR을 800MHz로 빠르게 실행할 수 있기 때문이다.

표 1: ARM Cortex-A9의 인터럽트 응답 시간 (코드 32KB 미만)

	Minimum	Average	Maximum	Jitter
Interrupt Latency, I (μs)	0.16	0.170	0.19	0.03
FOC Benchmark Code, E (μs)	0.70	0.705	0.73	0.03
Total ISR Execution Time, I+E (μs)	0.86	0.875	0.92	0.06

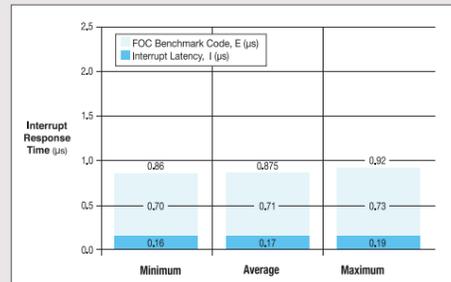


그림 4: ARM Cortex-A9의 인터럽트 응답 시간 (코드 32KB 미만)

ARM Cortex-A9의 인터럽트 응답 시간은 매우 일관적이어서 최소 시간과 최대 시간 사이의 지터 또는 차이가 불과 0.06μs 다시 말해 60ns 밖에 되지 않는다.

이 특수 사례는 뛰어난 인터럽트 응답 시간을 제공하는데 이것을 모든 애플리케이션에 적용할 수 있는 것은 아니다. 결국에는 SoC로 하나의 추가적인 ARM Cortex-A9 프로세서만 이용할 수 있으며 인터럽트 루틴이 32KB 안에 들어가지도록 해야 하기 때문이다.

뒤에서 설명하는 FPGA 기반 솔루션과 다르게 이 기법은 낮은 성능을 요구하지 않는 디자인에서만 이용할 수 있다. 다른 ISR을 추가하면 코드가 32KB 한계를 넘을 수 있고 그럼으로써 전반적인 응답이 느려질 수 있다.

크리티컬 코드와 백그라운드 코드를 256KB 미만으로 제한

이 글에서 이용하고 있는 FOC 벤치마크 코드는 32KB 한계 안에 다 들어갈 수 있는 것이지만 모든 인터럽트 루틴이 다 그렇지는 못하다. 그 다음 성능 범위는 그림 5에서 보는 것처럼 코드와 데이터를 L2 캐시의 256KB 안에 들어가지도록 하는 것이다. 이 SoC는 코드와 데이터를 캐시로 로딩함으로써 크리티컬 루틴을 빠르게 액세스할 수 있다.

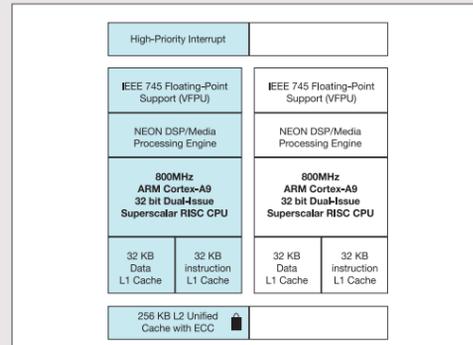


그림 5: 크리티컬 코드와 백그라운드 코드를 256KB 미만으로 제한

이 구현에서는 대규모 백그라운드 작업(32KB 이상)이 실행되고 있을 때 발생된 "eviction(제거)"을 에뮬레이트하기 위해서 L1 캐시를 비워 두었다. 인터럽트 이벤트가 발생하면 백그라운드 작업이 현재 머신 명령을 완료하기 위해서 L2 캐시에 들어있는 데이터를 액세스해야 할 수 있고 그런 다음에야 CPU가 인터럽트를 인식할 수 있다. 그럼으로써 표 2 및 그림 6에서 보는 것과 같이 인터럽트 지연시간(I)이 최선 상황일 때 0.165μs에서부터 최악 상황일 때 1.30μs로서 최고 8배까지 늘어날 수 있다.

표 2: ARM Cortex-A9의 인터럽트 응답 시간 (코드 256KB 미만)

	Minimum	Average	Maximum	Jitter
Interrupt Latency, I (μs)	0.165	0.86	1.30	1.135
FOC Benchmark Code, E (μs)	0.700	0.71	0.79	0.090
Total ISR Execution Time, I+E (μs)	0.865	1.57	2.09	1.225

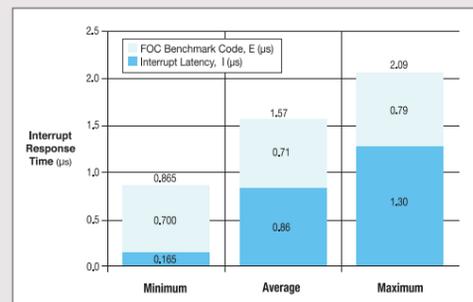


그림 6: 인터럽트 응답 - 크리티컬 코드와 백그라운드 코드 256KB 미만

표 1과 표 2를 비교해 보면 이 ISR이 이러한 조건일 때는 어떤 동작들에서 L2 캐시를 느리게 액세스함으로써 좀더 많은 시간을 필요로 한다는 것을 알 수 있다. 앞의 예에서는 전체적인 코드 및 데이터가 32KB 안에 들어감으로써

인터럽트 핸들러가 L1 캐시 안에 다 들어가므로 총 응답 시간이 더 짧았다.

그림 6에서는 최악 상황 시나리오와 비교했을 때 인터럽트 응답 시간의 지터 또는 차이가 최대 1.215μs로서 조금 높아졌다는 것을 알 수 있다.

하지만 총 최악상황 인터럽트 시간은 2.09μs로서 상당히 훌륭한 수준을 유지하고 있다.

크리티컬 코드와 데이터는 256KB 미만, 백그라운드 코드는 256KB 이상

이 예는 그림 7에서 보듯이 백그라운드 코드와 데이터가 너무 커서 L2 캐시에 다 들어가지 못하고 외부적 DDR 메모리를 액세스해야 하는 것으로 가정된 것이다.

크리티컬 인터럽트 핸들러 코드는 여전히 256KB 미만으로서 L2 캐시로 로딩할 수 있다. L1 및 L2 캐시가 외부 DDR 메모리에 대한 액세스를 가속화할 수 있다.

하지만 최악 상황인 경우에는 DDR 메모리 컨트롤러가 리프레시 사이클을 실시하는 도중이라서 일부 액세스가 지연될 수 있다. DDR 메모리 리프레시 동작은 총 액세스 시간으로 200ns를 추가할 수 있다.

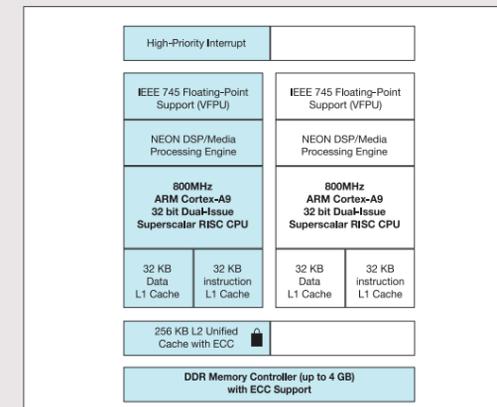


그림 7: 크리티컬 코드 및 데이터는 256KB 미만, 백그라운드 코드는 256KB 이상

크리티컬 코드가 256KB 미만이고 L2 캐시에 저장되므로 FOC 벤치마크 코드를 여전히 빠르게 실행할 수 있다.

총 인터럽트 시간은 백그라운드 작업이 외부 메모리를 액세스해야 함에도 불구하고 표 3에서 보는 것과 같이 2.29μs로 훌륭한 수준을 유지하고 있다.

표 3: ARM Cortex-A9의 인터럽트 응답 시간 (크리티컬 코드 및 데이터 256KB 미만, 백그라운드 코드 256KB 이상)

	Minimum	Average	Maximum	Jitter
Interrupt Latency, I (μs)	0.41	0.89	1.50	1.09
FOC Benchmark Code, E (μs)	0.70	0.71	0.79	0.09
Total ISR Execution Time, I+E (μs)	1.11	1.60	2.29	1.18

그림 8에서 보듯이 리프레시 지연은 최대 인터럽트 응답 시간을 증가시키지만 총 지터는 이전 시나리오와 비교해서 감소시킨다.

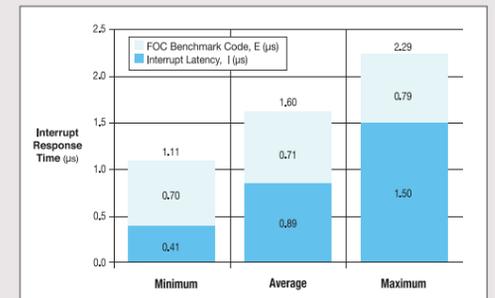


그림 8: 인터럽트 응답 - 크리티컬 코드 및 데이터 256KB 미만, 백그라운드 코드 256KB 이상

ARM Cortex-A9의 결과 요약

Cortex-A9 벤치마크 구현의 결과들을 살펴보면 다음과 같은 점을 알 수 있다 :

- 인터럽트 지연시간은 백그라운드 작업이 데이터를 액세스하는 위치에 따라서 직접적으로 영향을 받는다.

- 최대의 성능을 달성하기 위해서는 2개 Cortex-A9 프로세서 중의 하나를 전적으로 크리티컬 인터럽트 루틴만을 처리하도록 한다.

- 크리티컬 루틴을 처리하도록 된 Cortex-A9 프로세서는 크리티컬 루틴만 실행하도록 한다. 다른 백그라운드 작업을 처리해야 하면 크리티컬 루틴을 처리하는 데 걸리는 인터럽트 지연시간에 영향을 미친다.

- 인터럽트 실행 시간(E)은 코드 위치와 프로세서 클럭 주파수에 의해서 결정된다.

- 최상의 확정성을 달성하기 위해서는 크리티컬 루틴을 32KB 미만으로 유지하고 L1 캐시에 저장한다.

- 코드 크기와 성능 사이에서 절충을 이루기 위한 가장 좋은 방법은 크리티컬 루틴을 256KB 미만으로 유지하고 L2 캐시로 로딩하는 것이다.

솔루션 2 - 독립형 Nios II 프로세서를 이용한 FOC 알고리즘 실행

각각의 SoC는 최대 2개의 ARM Cortex-A9 프로세서를 포함한다. 이 중 하나를 전적으로 크리티컬 루틴을 처리하도록 한다고 하더라도 애플리케이션에 따라서는 다중의 동시적 크리티컬 동작을 필요로 할 수 있다. 완벽한 C 코드 호환성을 유지하면서 크리티컬 기능을 분담시킬 수 있는 비교적 간단한 방법이 Nios II 소프트웨어 프로세서를 이용하는 것이다.

최상의 실시간 응답을 달성하도록 그림 9에서 보듯이 FPGA 패브릭 내의 긴밀하게 결합된(tightly-coupled) 블록 RAM 메모리로부터 크리티컬 코드를 실행한다.

또한 인터럽트 지연시간(I)을 최소화하기 위해서는 벡터드 인터럽트 컨트롤러(vectored interrupt controller) 소프트웨어 IP를 사용해야 한다. Nios II 프로세서는 FPGA 패브릭을 이용해서 구현되므로 이의 최대 성능은 토대가 되는 FPGA 아키텍처(Cyclone V 또는 Arria V 디바이스)의 최대 성능에 따라서 결정된다. Cyclone V FPGA는 수월하



게 150MHz 성능을 달성할 수 있으나 이 벤치마크 예에서는 Nios II 프로세서를 보수적으로 100MHz로 실행하였다.

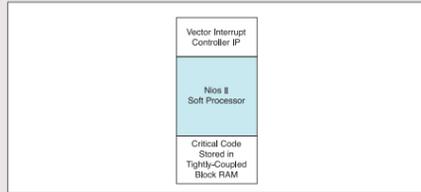


그림 9: Nios II 소프트웨어 프로세서를 최상의 실시간 응답을 달성하도록 구성 (DSP Builder 가속화 이용 않음)

이 구현은 FOC 벤치마크를 위해서 고정소수점 연산을 이용했다. Nios II 소프트웨어 프로세서를 전적으로 FOC 벤치마크만을 처리하도록 하였으므로 Nios II 프로세서가 어떠한 백그라운드 작업을 처리해야 할 부담이 없다.

그러므로 이 Nios II 솔루션은 수천 회의 테스트 런에 걸쳐서 지터를 거의 나타내지 않으며 거의 절대적인 확정성을 제공한다(표 4).

표 4: Nios II 소프트웨어 프로세서의 인터럽트 응답 시간 (가속화 이용 않음)

	Minimum	Average	Maximum	Jitter
Interrupt Latency, I (µs)	0.93	0.93	0.93	0
FOC Benchmark Code, E (µs)	4.50	4.50	4.50	0
Total ISR Execution Time, I+E (µs)	5.43	5.43	5.43	0

그림 10에서 보듯이 100MHz Nios II 소프트웨어 프로세서 솔루션은 800MHz ARM Cortex-A9 프로세서와 같은 엄청난 빠른 실행 시간을 제공하는 것은 아니지만 우수한 실시간 성능을 달성하도록 설계된 것으로서 널리 이용되고 있는 180MHz ARM Cortex-R4F 프로세서에 비견할 만한 결과들을 달성하고 있다.

Nios II 솔루션과 마찬가지로 Cortex-R4F 역시 벡터 인터럽트 컨트롤러를 이용해서 인터럽트 지연시간을 낮출 수 있도록 한다. 어쨌든 Nios II 소프트웨어 프로세서 솔루션은 이 고성능 모터 제어 애플리케이션 예에 이용하기에 훌륭하다고 할 수 있는 기준으로서 10µs보다 훨씬 더 짧은 시간 안에 인터럽트 응답을 완료한다. 또한 이 프로세서의 작업 부담을 덜 수 있는 맞춤형 명령을 이용함으로써 Nios II의 FOC 실행 시간을 추가적으로 단축할 수 있다.

예를 들어서 삼각법(trigonometric) 맞춤화 명령을 이용함으로써 제로 지터를 유지하면서 4.5µs 중에서 3µs를 단축할 수 있다.

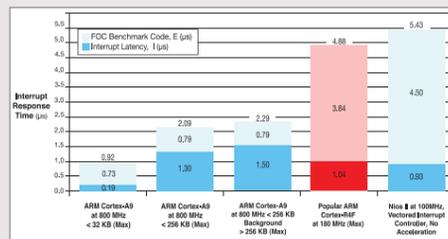


그림 10: 인터럽트 응답 - 가속화를 이용하지 않은 Nios II 솔루션과 Cortex-A9 MPCore 및 Cortex-R4F 프로세서 비교

벡터 인터럽트 컨트롤러를 이용함으로써 Nios II는 전용 Cortex-A9 프로세서에 32KB 미만의 크리티컬 코드를 이용할 때의 최선 상황 시나리오를 제외하고는 나머지 솔루션들보다 인터럽트 지연시간이 더 빠르다. 전반적으로 Nios II 솔루션은 빠르게 응답하며, 특히 대부분의 타이밍 크리티컬 동작이 ISR 내의 앞부분 명령들에 집중되어 있을 때는 더욱더 빠르게 응답한다.

솔루션 3 - FOC 알고리즘을 하드웨어와 소프트웨어로 파티셔닝

솔루션 2에서는 내측 제어 루프를 포함해서 전체적인 FOC 벤치마크를 소프트웨어로 Nios II 소프트웨어 프로세서로 실행하였다. 그렇다면 SoC 내의 FPGA 로직을 이용해서 전체적인 애플리케이션을 가속화할 수 있지 않을까?

아래에서 설명하는 예들에서는 그림 11에서 보듯이 위치와 속도를 모니터링하는 이 FOC 벤치마크의 외측 제어 루프는 소프트웨어로 Nios II 소프트웨어 프로세서로 실행한다. 하지만 성능적으로 중요한 내측 제어 루프는 Altera의 실시간 설계 툴인 DSP Builder를 이용해서 구현된 FPGA 하드웨어 가속화기를 이용해서 실행한다. 이러한 가속화 기능들로서 Park 변환 및 Clarke 변환과 이의 역 연산, SVM 기능을 포함하고 있다.

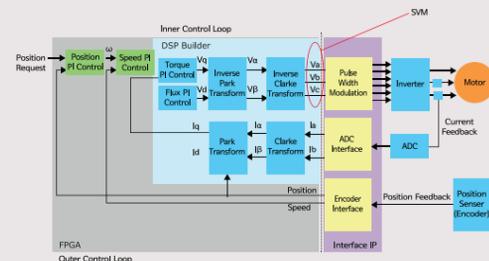


그림 11: 하드웨어 및 소프트웨어 파티셔닝을 이용한 FOC 벤치마크

그림 12는 다음에 설명하는 솔루션들의 대체적인 블럭 다이어그램이다. Nios II 소프트웨어 프로세서가 외측 루프를 처리하고 FPGA 기반 하드웨어 가속화기의 데이터 흐름을 제어한다. 내측 루프는 DSP Builder를 이용해서 구현된 FPGA 기반 하드웨어 가속화기로 처리하도록 한다. Nios II 소프트웨어 프로세서가 Avalon-MM(Avalon® Memory-Mapped) 인터커넥트 버스를 통해서 이들 하드웨어 가속화기로 데이터와 명령을 전송한다.

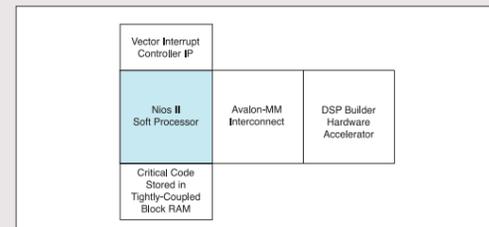


그림 12: DSP Builder 구현 하드웨어 가속화기를 이용한 Nios II 솔루션

데이터가 Nios II 소프트웨어 프로세서에서 DSP Builder를 이용해서 구현된 가속화 기능으로 이어주는 인터커넥트 로직

을 통과하기 위해서 필요한 클럭 사이클 수만큼 Avalon-MM 인터커넥트가 추가적인 지연시간을 유발한다. 이러한 추가적인 지연시간은 총 인터럽트 지연시간(I)을 증가시킨다.

또한 하드웨어 가속화기를 다중 축에 걸쳐서 파이프라이닝할 수 있다. FOC 제어는 1축, 2축, 4축, 심지어 16축까지도 총 지연시간이 선형적으로 증가하지 않으며 초기 지연시간이 지분된 후에는 매 클럭 사이클에 새로운 축 결과값을 얻을 수 있기 때문이다.

프로세서만 이용하는 구현에서는 축 수가 증가함에 따라서 이 시간 증가가 선형적이다.

FPGA 기반 하드웨어 가속화기는 다양한 방식의 구현이 가능하다.

예를 들어 DSP Builder를 이용함으로써 설계 엔지니어가 최상의 하드웨어 효율을 달성하거나, 지연시간을 최소화하거나, 아니면 성능을 극대화하는 솔루션을 선택할 수 있다. DSP Builder는 고정소수점 솔루션과 부동소수점 솔루션 모두를 지원한다. 부동소수점 연산은 추가적인 클럭 사이클을 발생시키지만 훨씬 더 넓은 동작 범위를 달성할 수 있으며, 고정소수점 연산은 더 빠르게 실행되고 더 적은 자원을 필요로 한다.

또한 DSP Builder를 이용함으로써 특정 기능에 소모하는 FPGA 자원과, 필요한 쓰루풋에 비해서 비교적 높은 FPGA 클럭 주파수를 활용, 로직 재사용으로 인한 추가적인 지연시간을 절감할 수 있다. 크리티컬 루프를 언폴딩하면 성능을 극대화할 수 있는 대신에 추가적인 자원을 소모한다. 크리티컬 루프를 폴딩하면 FPGA 자원을 절약할 수 있으나 추가적인 클럭 사이클을 필요로 한다. 폴딩으로 최대 10배까지 자원을 절약할 수 있다.

표 5 및 그림 13은 다양한 하드웨어 가속화 솔루션의 성능 이점을 보여준다. 이들 모든 예는 동일한 Nios II 소프트웨어 프로세서 코어에 벡터 인터럽트 컨트롤러를 이용하고 있다. 기준이 되는 비교 대상은 DSP Builder 가속화를 이용하지 않은 완전 소프트웨어 Nios II 솔루션이다.

표 5: 하드웨어 가속화를 이용한 Nios II 솔루션 (고정소수점, 부동소수점, 폴딩, 언폴딩)

Clock Rate	100 MHz			
	DSP Builder		None	
Hardware Acceleration	16 bit fixed-point		Single-precision, floating-point	
Data Type	Unfolded		Folded	
Folding	Unfolded	Folded	Unfolded	Folded
Interrupt Latency, I (µs)	1.68			
FOC Benchmark Code, E (µs)	0.22	0.88	1.00	1.73
Total ISR Execution Time, I+E (µs)	1.90	2.56	2.68	3.41

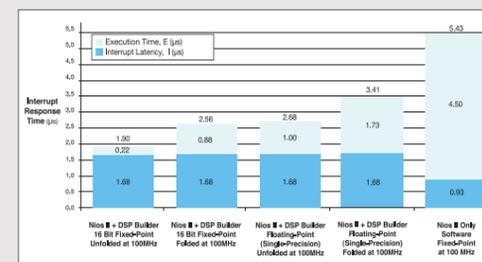


그림 13: 인터럽트 응답 - 하드웨어 가속화를 이용한 Nios II 솔루션 (고정소수점, 부동소수점, 폴딩, 언폴딩)

DSP Builder 하드웨어 가속화기는 Avalon-MM 인터커넥트에 필요한 추가적인 지연시간으로 인해서 인터럽트 지연시간(I)을 증가시킨다. 하지만 가속화기는 전반적인 성능을 크게 향상시킴으로써 실행 시간(E)을 단축하고 결과적으로 더 빠른 총 인터럽트 응답 시간(I + E)을 달성할 수 있다.

단정도(single-precision) 부동소수점 구현이라 하더라도 완전 소프트웨어 Nios II 고정소수점 솔루션보다 빠르다. 더 빠른 것은 16비트 고정소수점 솔루션이다. 루프를 언폴딩하면 전반적으로 최상의 성능을 제공하지만 대신에 추가적인 FPGA 자원을 소모한다.

이들 벤치마크 예에 이용된 FOC 알고리즘은 특별히 FPGA 아키텍처의 근본적인 병렬성을 활용하고 있지 않다. 다른 알고리즘들은 기존의 완전 소프트웨어 구현보다 높은 하드웨어 가속화를 활용할 수 있을 것이다.

DSP Builder 솔루션은 명백한 이점을 제공한다. 첫째, 가장 중요한 점으로서 거의 절대적인 확정성(determinism)을 제공하는 솔루션을 달성할 수 있다.

이것은 인터럽트 응답 시간에 거의 또는 전혀 차이가 없다는 것으로서 수천 회의 실행에 걸쳐서 거의 또는 아예 지터를 발생시키지 않는다는 것이다. DSP Builder의 부동소수점 기능은 훨씬 더 높은 동작 범위와 미세한 정밀도를 가능하게 한다. 대신에 지연시간을 다소 증가시키고 쓰루풋을 다소 감소시킨다.

결과 검토

그림 14는 이 벤치마크 예에서 살펴보았던 하드웨어 및 소프트웨어 솔루션들을 모두 보여주고 있다. 이들 모든 솔루션이 이와 같은 첨단 모터 제어 디자인에 요구되는 대로 10µs 미만에 명령을 완료하였다.

고도로 제약적이고 전용적인 800MHz ARM Cortex-A9 솔루션이 가장 빠른 인터럽트 응답을 나타냈으나 크리티컬 코드가 엄격하게 32KB 이내여야 하고 전적으로 L1 캐시로부터 실행되어야 한다. 이 솔루션은 유일하게 1µs 미만에 명령을 완료하였다. 하지만 이 특수 사례 솔루션은 고도로 제약적인 조건에서만 이용할 수 있다.

다른 솔루션들 역시 우수한 결과를 나타내고 있다. 16비트 고정소수점 언폴딩 DSP Builder 가속화기를 이용한 100MHz Nios II 솔루션은 불과 2µs 이내에 명령을 완료하였다. 모든 솔루션들이 6µs 이내에 완료하였다.

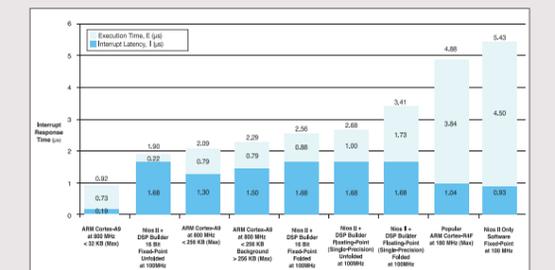


그림 14: 이 글에서 살펴보았던 모든 솔루션의 인터럽트 응답 시간

실시간 애플리케이션을 위해서는 확정적(deterministic) 인터럽트 동작이 또 다른 중요한 기준이다. 특히 긴밀하게 연

동된 동작을 이용하는 복잡한 시스템의 경우에는 더 그렇다. 그림 15는 이들 솔루션의 최대 인터럽트 응답 지터, 다시 말해서 최대 응답 시간과 최소 응답 시간의 총 차이를 보여주고 있다. 하드웨어 가속화를 이용하거나 이용하지 않은 Nios II 프로세서를 기반으로 한 솔루션이 가장 일관된 응답 시간을 나타내며 지터가 가장 낮다는 것을 알 수 있다. 여기에 가장 가까운 애플리케이션 프로세서 솔루션은 한 Cortex-A9 프로세서를 전적으로 고속 인터럽트 응답을 달성하도록 하고 전체적인 ISR이 L1 캐시의 32KB 안에 들어가는 고도로 제약적인 특수 사례이다. 좀더 통상적인 활용일 경우에 ARM 기반 솔루션들은 인터럽트 지터가 1μs 이상이다.

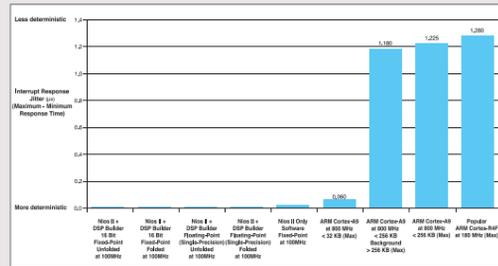


그림 15: 이들 솔루션의 인터럽트 응답 지터

결론

Altera의 프로그래머블 기술 기반 SoC는 매우 엄격한 실시간 애플리케이션에 이용할 수 있도록 고성능이며 확정적이고 유연성이 뛰어난 플랫폼을 제공한다. Altera의 SoC, 프로세서, 툴을 이용해서 디자이너들이 목표 애플리케이션의 성능, 전력, 비용, 지터 요구에 따라서 적합하게 실시간 알고리즘을 하드웨어(LE 및 DSP 블록)와 소프트웨어(ARM Cortex-A9 또는 Nios II 프로세서)로 분할할 수 있다. 이러한 기술들을 융합함으로써 실시간 임베디드 시스템 디자인으로 다음과 같은 새로운 가능성과 이점을 제공한다 :

■ SoC는 ARM 애플리케이션 프로세서, FPGA 패브릭, 직렬 트랜시버, 임베디드 블록 RAM 메모리, DSP 블록을 결합한 고도로 통합적인 플랫폼을 제공한다.

■ 유연한 SoC 아키텍처로 목표 애플리케이션의 성능, 전력, 비용, 지터 요구에 따라서 적합하게 실시간 알고리즘을 다양한 하드웨어 및 소프트웨어 솔루션으로 분할할 수 있다.

■ SoC의 듀얼 코어 ARM Cortex-A9 MPCore 프로세서는 신속한 실행 시간 및 최대의 데이터 쓰루풋을 달성하도록 설계되었다. 이 프로세서는 인터럽트 지연시간에 비해 실행 시간이 상당 부분을 차지하는 기능들에서 뛰어난 실시간 성능을 제공한다. L2 캐시를 로킹하고 크리티컬하지 않은 백그라운드 작업은 피하도록 함으로써 최상의 결과를 달성할 수 있다.

■ 고도로 범용성이 뛰어난 Nios II 소프트웨어 프로세서를 전적으로 크리티컬 실시간 기능을 처리하도록 함으로써 최소한의 지터로 확정적 인터럽트 응답을 달성할 수 있다.

■ DSP Builder를 이용함으로써 설계 엔지니어가 모델 기반 플로우를 이용해서 연산 집중적 DSP 중심적 실시간 기능에 이용하기 위한 하드웨어 가속화기를 작성할 수 있다.

이러한 하드웨어 가속화기는 또한 고도로 확정적 성능을 제공한다.

■ DSP Builder는 FPGA 자원을 풀딩 다시 말해서 재사용할 수 있다. 이 기능은 자원 요구량을 현저히 낮출 수 있으나 대신에 전반적인 성능이 다소 저하될 수 있다.

Reference

- SoC Overview:
www.altera.com/devices/processor/soc-fpga/proc-soc-fpga.html
- AN 595: Vectored Interrupt Controller Usage and Applications:
www.altera.com/literature/an/AN595.pdf
- Nios II Custom Instruction User Guide:
www.altera.com/literature/ug/ug_nios2_custom_instruction.pdf
- Using Tightly Coupled Memory with the Nios II Processor Tutorial:
www.altera.com/literature/tt/tt_nios2_tightly_coupled_memory_tutorial.pdf
- Webcast: Achieving 1-TFLOPS Performance with 28 nm FPGAs:
www.altera.com/education/webcasts/all/wc-2010-floating-point.html

감사의 말

■ Nirmal Kari, Product Marketing Manager, Embedded Products, Altera Corporation

문서 개정 이력

표 7은 이 문서의 개정 이력을 보여준다.

표 7: 문서 개정 이력

Date	Version	Changes
January 2013	1.0	Initial release.



Altera Corporation
한국 지사 - Altera Korea Co., Ltd.
주소 : 5F Yundang Bldg.
Teheran-ro 439, Samsung2-dong,
Gangnam-gu,
Seoul, 135-090, Korea
Tel : 02-538-6895
www.altera.com

2013 IDEC Platform Center Workshop

반도체설계교육센터(IDEC)에서는 미래지향적 반도체설계 플랫폼 구축 및 운영을 통하여 기술간 학제·융합분야 학문과 첨단과학기술 연구개발 선도로 “스마트 TV”, “지능형 차량용 SoC”, “모바일-AP” 의 IPC를 운영하고 있습니다.

각 IPC 주제 발표와 성과를 전시로 Workshop을 개최하고자 하오니 참석하시어 유익한 정보 습득과 향후 관련 기술 분야의 연구방향 및 전략을 세우는 좋은 기회를 놓치지 마시길 바라며, 객관적인 평가를 부탁드립니다.

일자 : 2013.10.31 목요일
장소 : 서울 양재동 엘타워 5F

내용

- ① 성과발표 및 전시 : “스마트 TV”, “지능형 차량용 SoC”, “모바일-AP”
- ② 주제 발표 : 각 IPC 관련 주제

분야	연사	제목
스마트 TV	이광기 상무 (삼성전자)	스마트 TV 전략
지능형 차량용 SoC	류시복 센터장 (자동차부품연구원)	스마트 자동차 ADAS 기술연구 현황
모바일-AP	김문경 수석 (삼성전자)	Embedded SOC와 Microprocessor

사전 등록 : <http://ipc-workshop.idec.or.kr>

주 최 : 산업통상자원부

주 관 : 반도체설계교육센터 광운대IPC 한양대IPC 경북대IPC

문의처 : Tel. 042-350-8533, E-mail : ejkim@idec.or.kr

