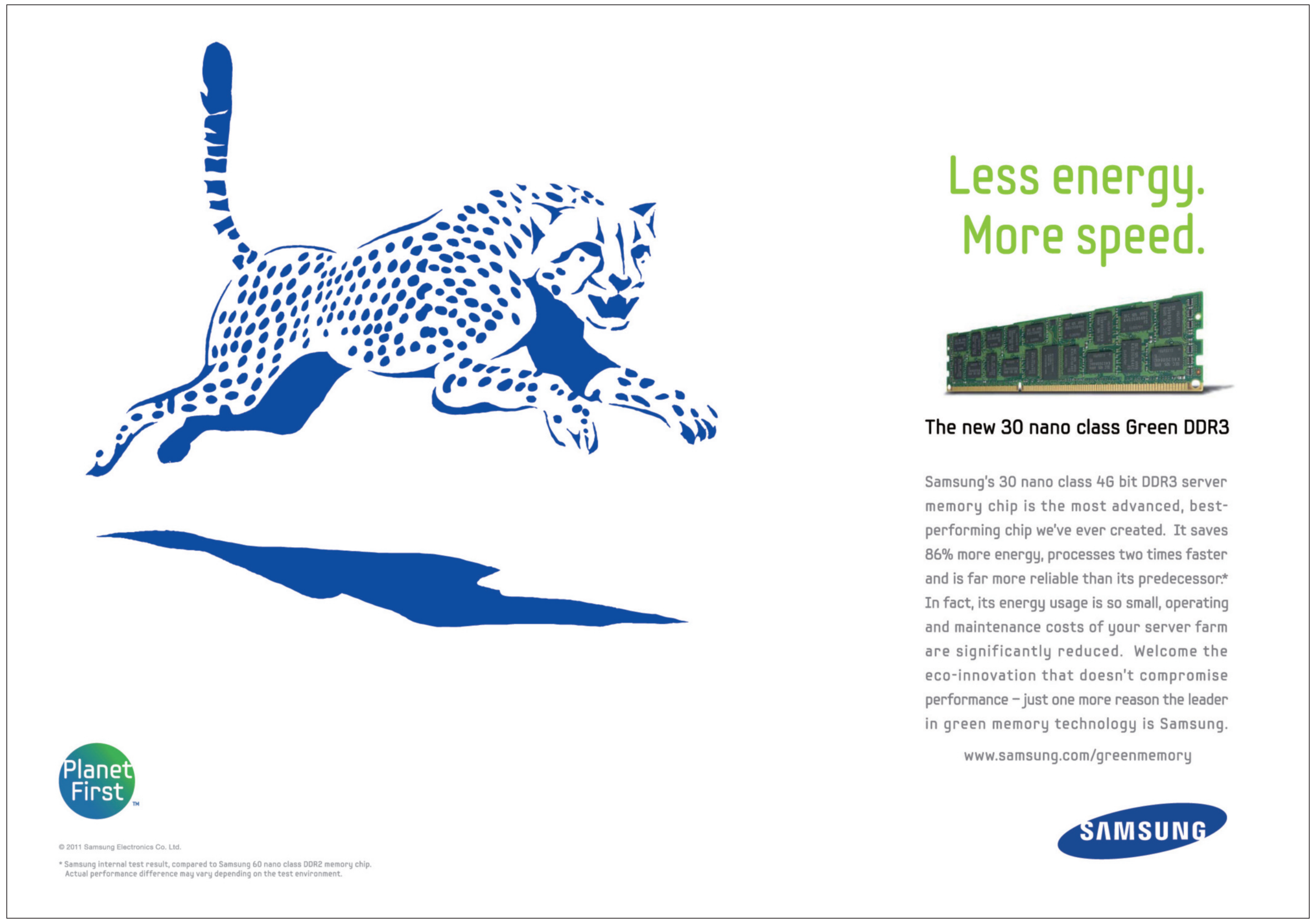


반도체설계교육센터
IC DESIGN EDUCATION CENTER

IDEC Newsletter

IDEC Newsletter | 통권 : 제194호 발행일 | 2013년 7월 31일 발행인 | 박인철 편집인 | 남병규 제 작 | 푸울디자인
기 획 | 전항기 전 화 | 042) 350-8535 팩 스 | 042) 350-8540 홈페이지 | http://idec.or.kr
E-mail | jhg0929@idec.or.kr 발행처 | 반도체설계교육센터(IDEC)

Vol.194

2013 August

저전압 델타-시그마 Analog-to-digital Converter의 기술 동향 | 08
자기 공진형 무선 에너지 전송 | 14 SoC로 실시간 응답을 달성하고자 할 때 해결해야 할 과제와 활용 가능한 이점 (1) | 20

반도체설계교육센터 사업은 산업통상자원부, 반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.

저전압 델타-시그마 Analog-to-digital Converter의 기술 동향

휴대용 전자기기와 에너지 절감형 친환경 전자기기의 수요가 늘어남에 따라 저전력 회로 설계 기법은 최근 가장 큰 이슈가 되고 있다. 반도체 공정기술의 발달로 디지털 회로의 접적도 증가와 저전력 설계의 용이함이 높아졌지만, 아날로그 회로는 낮은 공급전압에서의 소자 특성의 악화로 설계가 점점 더 어려워지고 있다. 아날로그 전기 신호를 디지털 신호로 변환해주는 analog-to-digital converter(ADC) 역시 아날로그 회로 설계의 어려움으로 낮은 공급전압에서 고해상도의 성능을 내는 것이 매우 어렵다. 본 고에서는 저전압 델타-시그마 Analog-to-digital Converter의 기술 동향에 대해 살펴보고자 한다. (관련기사 P08~13 참조)

자기 공진형 무선 에너지 전송

기기의 사용량이 많은 주거공간에서 전원 공급과 충전이 동시에 이루어지는 형태의 전원방식이 주를 이루고 있지만, 기존의 유선 전원 공급형태는 휴대기기의 최대 장점인 이동성을 제한하기 때문에 이에 대한 해결책으로 이동성과 편리성을 확보하기 위해서 무선전력전송 기술이 부각되고 있다. 본 고에서는 다양한 무선전력전송 기술 중 자기공진방식 무선전력전송 기술을 이용하여 소형 모바일 기기의 배터리의 충전이 가능하도록 높은 전송효율을 가지는 자기공진방식 무선전력전송 시스템의 설계 내용을 다루고자 한다. (관련기사 P14~18 참조)

SoC로 실시간 응답을 달성하고자 할 때 해결해야 할 과제와 활용 가능한 이점 (1)

발전된 프로세스 기술과 시스템 통합에 대한 요구가 실리콘 융합을 가속화하는 원동력이 되고 있다. FPGA는 이러한 추세에 발맞추어서 SRAM 메모리, 디지털 신호 프로세싱(DSP) 및 곱셈기 블록, 직렬 트랜시버, 메모리 컨트롤러, 향상된 I/O 기능을 통합하고 있다. 프로그래머블 기술 분야의 가장 최신 기술이라고 한다면 Altera® FPGA에 ARM® 애플리케이션 프로세서와 풍부한 주변장치 프로세서 서브시스템을 통합한 SoC일 것이다. 그런데 이러한 기술 융합은 실시간 임베디드 시스템 디자인에 새로운 도전과제와 기회를 제공하고 있다. 본 고는 2회에 걸친 주제 중 'SOC 기술과 임베디드 시스템 설계'에 대해 말하고자 한다. (관련기사 P20~23 참조)

IDEC news August | 2013

MPW (Multi-Project Wafer)

2013년 MPW 진행 현황 * 2013년 MPW 설계팀 모집 완료

공정	제작가능 면적 (면적)㎟x칩수 /회별	MPW회차	설계 팀수	실제면적 ((면적)㎟x칩수	DB마감	Die -out	비고
삼성 65nm (년3회)	(4x4㎟) x 48	119	23	(4x4)x23	13.3.15	13.8.15	제작중
		121	27	(4x4)x27	13.7.5	13.12.6	DB검토중
		126	34	(4x4)x34	13.11.8	14.4.11	설계대기
MH 0.18um (년4회)	(4.5x4㎟) x 20	118	24	(4.5x4)x16 (4.5x2)x8	13.2.18	13.7.22	★제작완료
		120	21	(4.5x4)x19 (4.5x2)x2	13.05.06	13.10.04	제작중
		122	20	(4.5x4)x20	13.7.29	13.12.24	DB검토중
		125	23	(4.5x4)x17 (4.5x2)x6	13.10.21	14.3.25	설계중
MH 0.35um (년2회)	(5x4㎟) x 20	121	18	(5x4)x18	13.6.17	13.10.4	제작중
		127	15	(5x4)x15	13.12.2	14.3.25	설계중 (9.1~후기모집)
동부 0.11um (년2회)	(5x2.5㎟) x 24	119	28	(5x2.5)x20 (2.5x2.5)x8	13.3.20	13.7.31	제작중
		124	28	(5x2.5)x20 (2.5x2.5)x8	13.9.11	14.1.22	설계중
동부 0.18um BCD (년4회)	(5x2.5㎟) x 4	120	4	(5x2.5)x4	13.05.15	13.08.28	제작중
		121	4	(5x2.5)x4	13.6.26	13.10.9	제작중
		123	5	(5x2.5)x3 (2.5x2.5)x2	13.8.21	13.12.4	설계중
		126	5	(5x2.5)x3 (2.5x2.5)x2	13.11.13	14.2.6	설계중
동부 0.35um BCD (년4회)	(5x2.5㎟) x 6	118	6	(5x2.5)x6	13.2.27	13.6.12	★제작완료
		120	10	(5x2.5)x20 (2.5x2.5)x10	13.05.01	13.08.14	★제작완료
		123	8	(5x2.5)x4 (2.5x2.5)x4	13.8.14	13.11.27	설계중
		125	7	(5x2.5)x5 (2.5x2.5)x2	13.10.23	14.2.5	설계중
TJ SiGe (년1회)	(2.5x2.5㎟) x 4	119	4	(2.5x2.5)x4	13.3.12	13.7.1	★제작완료
TJ CIS (년2회)	(2.5x2.5㎟) x 4	120	4	(2.5x2.5)x4	13.05.06	13.09.16	제작중
		125	4	(2.5x2.5)x4	13.10.14	14.2.17	설계중
TJ BCD (년2회)	(5x2.5㎟) x 4	120	2	(5x5)x1 (5x2.5)x1	13.05.20	13.09.16	제작중
		125	2	(5x5)x2	13.10.21	14.2.17	설계중
TJ BF (년2회)	(2.5x2.5㎟) x 4	120	4	(2.5x2.5)x4	13.05.20	13.09.16	제작중
		125	4	(2.5x2.5)x4	13.10.21	14.2.17	설계중

* 일정은 사정에 따라 다소 변경될 수 있습니다.
* 기준 : 2013. 7. 25

* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)

Chip Design Contest (CDC)

■ International SoC Design Conference(ISOCC) 2013 Chip Design Contest 개최

* Chip Design Contest(CDC)는 2013 ISOCC 프로그램의 한 세션으로 진행되나, 제출한 논문은 프로시딩(Proceedings)에 포함되지 않음.

1. 일정 및 장소

가. 전체 진행 일정 : 2013년 11월 17일(일) ~ 20일
나. BEXCO Convention Hall, 부산
다. CDC 주요 일정

논문 제출 마감	논문 채택 통보	Chip Design Contest
2013. 8. 16	2013. 9. 10	2013. 11. 18

* 일정은 사정에 따라 다소 변경될 수 있음.

2. 논문 접수 분야 : SoC 설계

3. 시상 내역

Award 명	수상팀수	내 역
Best Design Award	1팀	상장 및 상금 100만원
Best Demo Award	2개팀 특별상(SSCS 서울챕터상) 1팀	각 상장 및 상금 50만원
Best Poster Award	5개팀 내외	각 상장 및 상금 20만원

* 수상팀 수는 참여팀 수 등에 따라 조정될 수 있음.

4. MPW 제작팀의 의무사항(CDC 참여)

* IDEC Chip Design Contest 논문 제출 및 데모(패널) 전시

5. 관련 사항

* CDC 참여와 관련한 자세한 사항은 홈페이지(http://idec.or.kr)를 참조

* 문의 : 구재희(042-350-8536, kjh9@idec.or.kr)

2013년 8월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

센터별 강좌 일정

센터명	강의일자	강의제목	분류
KAIST	08월 01일-02일	[FPGA]Quartus II를 이용한 PLD 디자인	설계강좌
	08월 05일-06일	AMS Designer Simulator Training	Tool강좌
	08월 07일-08일	Virtuoso Analog Simulation Technique v6.1.5	Tool강좌
	08월 09일	Incisive Verilog Simulation	Tool강좌
	08월 13일-14일	High Level Architecture Exploration and HW/SW Co-validation with Synopsys Platform Architect MCO	Tool강좌
	08월 21일-23일	Design Compiler 사용법 및 활용예	Tool강좌
	08월 28일-30일	PrimeTime 사용법 및 활용예	Tool강좌
	09월 04일-06일	IC Compiler 사용법 및 활용예	Tool강좌
경북대 IDEC	08월 12일-14일	Full Custom IC Design	설계강좌
	08월 21일-23일	안드로이드 ADK를 활용한 아두이노 제어하기	설계강좌
	08월 26일-28일	OrCAD(Allegro)를 이용한 PCB 설계기술	Tool강좌
광운대 IDEC	08월 12일-13일	스마트기기를 위한 Linux 기반 디바이스 드라이버 개발	설계강좌
부산대 IDEC	08월 07일-09일	Verilog HDL을 이용한 Digital System 설계	설계강좌
	08월 13일-14일	고속 디지털 시스템을 위한 PCB설계	설계강좌
	08월 21일-23일	CMOS 아날로그 회로 설계 기초	설계강좌
전북대 IDEC	08월 20일	계측기 사용법 교육	설계강좌
	08월 21일-23일	칩 테스트를 위한 PCB 설계 교육	설계강좌
충북대 IDEC	08월 19일-21일	SoC 설계를 위한 Verilog HDL 회로설계	설계강좌
	08월 23일	하루만에 배우는 고주파 임피던스 정합	설계강좌
한양대IPC	08월 06일~07일	고신뢰성 PCB 설계	설계강좌
	08월 13일	Vision Hardware/System Design for Smart Cars	Tool강좌
	08월 19일~20일	시스템 설계 및 근거리 통신용 SoC 설계 기법 syllabus	Tool강좌
	08월 27일~28일	고신뢰성 자동차 전자시스템 설계기술 syllabus	설계강좌

▷KAIST 개설 강좌 안내

■ 강좌일 : 08월 01일-02일
■ 강좌 제목 : [FPGA]Quartus II를 이용한 PLD 디자인
■ 강사 : 이재철 부장(엑시오스)

[강좌개요]

본 "ALTERA Quartus II를 이용한 PLD 디자인" 과목은 PLD 설계 경험은 없으나 향후 PLD를 사용하여 설계할 계획이 있거나, PLD 설계에 대해 관심이 있는 사람을 대상으로 하는 기초 교육 과정입니다. 본 강의는 이틀에 걸쳐 이루어지는데 이론과 실습을 병행하여 진행함으로써 본 과정을 이수한 사람으로 하여금 ALTERA PLD 디바이스의 구조와 PLD를 사용한 설계에 대한 기본 개념을 파악하도록 하는데 그 목적이 있습니다. 이론 강의의 내용으로는 ALTERA의 Stratix series, Cyclone Series, MAX series 디바이스의 구조 및 특징에 대한 설명과 ALTERA의 설계 툴인 Quartus II 등의 소프트웨어와 디바이스 제품군 소개, 그리고 마지막으로 하드웨어 설계용 언어인 HDL을 이용한 디자인으로 그 내용이 구성이 되어 있습니다. 실습 강의는 비교적 간단한 회로를 예제로 실제 Quartus II 소프트웨어를 사용하여 구현해 봄으로써 ALTERA PLD 설계의 기본 개념을 파악할 수 있도록 구성되어 있습니다.

[수강대상]

· 석박사 대학원생

[강의수준] [강의형태]
· 중급 · 이론+실습
[사전지식,선수과목]
· 디지털 논리 회로

■ 강좌일 : 08월 05일-06일
■ 강좌 제목 : AMS Designer Simulator Training
■ 강사 : 이상철 차장(Cadence Korea)

[강좌개요]

Analog-Mixed Signal Circuit Simulator Tool인 AMS Designer 사용방법 교육.

[수강대상]

· Analog-Mixed Signal Circuit Engineer

[강의수준] [강의형태]
· 고급 · 이론+실습
[사전지식,선수과목]
· 사전지식 : Analog/Digital Design simulation 경험 필수
· 선수과목 : Verilog Language/ NC-Verilog Simulator / Spectre Simulator / Analog Design Environment / Schematic Editor

■ 강좌일 : 08월 07일-08일
■ 강좌 제목 : Virtuoso Analog Simulation Technique v6.1.5
■ 강사 : 서승원 차장(Cadence Korea)

[강좌개요]

ADE-XL을 이용한 Circuit simulation 진행시 필요한 기능에 대한 전반적인 설명 및 Lab 진행

[수강대상]

· Analog Circuit Engineer

[강의수준] [강의형태]
· 중급 · 이론+실습
[사전지식,선수과목]
· 사전지식 : Analog Circuit Simulation
· 선수과목 : Virtuoso Analog Design Environment, Spectre Circuit simulator

■ 강좌일 : 08월 09일
■ 강좌 제목 : Incisive Verilog Simulation
■ 강사 : 김일중 부장(Cadence Korea)

[강좌개요]

Cadence NC-verilog tool을 사용한 verilog simulation 전체 flow에 대한 설명 및 Lab 진행

[수강대상]

· 대학원생, 일반

[강의수준] [강의형태]
· 초/중급 · 이론+실습
[사전지식,선수과목]
· Verilog Language, UNIX/LINUX command

■ 강좌일 : 08월 13일-14일
■ 강좌 제목 : High Level Architecture Exploration and HW/SW Co-validation with Synopsys Platform Architect MCO
■ 강사 : 이성길 부장(Synopsys Korea)

[강좌개요]

Platform Architect MCO 는 under/over design을 피하고 최적의 design parameter을 찾는 과정인 Architecture Exploration 부터 HW/SW Co-Validation 까지 전과정을 cover하는 high level product 이다.

IP로서는 SystemC IP 나 user RTL(Verilog and VHDL) 을 사용할 수 있으며 System Level에서부터 Implementation Level까지의 Design Flow를 완벽하게 지원해 준다.

[수강대상]

· Processor, Bus IP들을 포함하는 SoC 설계에서 플랫폼 아키텍처 개발, 하드웨어&소프트웨어 Co-Design을 동시에 수행하는 설계방법을 해보고자 하시는 분

[강의수준] [강의형태]

· 중급 · 이론+실습

■ 강좌일 : 08월 21일-23일
■ 강좌 제목 : Design Compiler 사용법 및 활용예
■ 강사 : 박동원 연구위원(파인스)

[강좌개요]

Synopsys의 Design Compiler를 사용하여 VHDL 또는 VerilogHDL로 구성된 RTL Netlist를 Gate Level Netlist로 변환하고 각각의 작업 단계에 따른 적절한 설계기법과 환경 등을 살펴본다.

[수강대상]

· 대학원생, 일반

[강의수준] [강의형태]

· 초급 · 이론+실습

■ 강좌일 : 08월 28일-30일
■ 강좌 제목 : PrimeTime 사용법 및 활용예
■ 강사 : 한동환 책임(파인스)

[강좌개요]

Synthesis 후 Timing 분석을 위해 Synopsys 사의 PrimeTime 이란 Satic Timing Analysis Tool을 효율적으로 사용하는 법을 익힌다.

[수강대상]

· 대학원생, 일반

[강의수준] [강의형태]

· 초급 · 이론+실습

[사전지식,선수과목]

· Design Compiler

■ 강좌일 : 09월 04일-06일
■ 강좌 제목 : IC Compiler 사용법 및 활용예
■ 강사 : 양용규 수석(파인스)

[강좌개요]

Synopsys의 auto place & routing tool인 IC compiler 의 기초를 이해하고, 필요한 input file 및 각 단계별 key command를 강의를 통하여 습득한 후 sample design에 대해 IC compiler를 직접 실행하여 real physical design에 적용할 수 있는 능력을 배양하고자 함.

[수강대상]

· 대학원생, 일반

[강의수준] [강의형태]

· 초급 · 이론+실습

[사전지식,선수과목]

· Design Compiler, PrimeTime

*문의 : KAIST IDEC 구재희 (042-350-8536, kjh9@idec.or.kr)

▷경북대 IDEC 개설강좌 안내

■ 강좌일 : 08월 12일-14일
■ 강좌 제목 : Full Custom IC Design
■ 강사 : 김성훈 책임연구원(나인플러스EDA(주))

[강좌개요]

본 교육은 Cadence Tool을 이용하여 CMOS 집적회로를 다양한 규격제한 조건에 맞도록 적절하게 설계한다. 이를 위해 CMOS devices technology를 바탕으로 CMOS Analog IC 기초회로(Inverter)와 각 회로의 CMOS Analog layout 설계방법론을 배운다.

또한 고속화, SoC화에 따른 최신 Full Custom 설계 동향 등의 내용을 공부하고, 설계 CAD tools (Schematic, Layout, Spectre Simulator, Assura DRC/LVS/RCX)을 이용하여 설계능력을 배양한다. 특히 실제 칩제작에 사용되는 PDK(Product Design Kit)를 사용하여 실제 MPW진행과 같은 flow로 교육을 진행하여, 참여 교육생들의 현장감 있는 교육을 체득할 수 있도록 하였다.

[수강대상]

· Full Custom IC 설계에 관심이 있는 학부생 및 대학원생

[강의수준] [강의형태]

· 초 · 중급 · 이론+실습

■ 강좌일 : 08월 21일-23일
■ 강좌 제목 : 안드로이드 ADK를 활용한 아두이노 제어하기
■ 강사 : 심성숙 과장(한백전자)

[강좌개요]

안드로이드 ADK(Accessory Development Kit)를 활용하면 안드로이드 장치에서 아두이노 마이컴 제어가 가능해 진다. 아두이노 보드를 이용하여 다양한 센서 및 액츄에이터 제어용 펌웨어를 제작하고, ADK를 이용한 안드로이드 장치에서 제어하는 방법을 학습한다.

[수강대상]

· 전기, 전자, 정보통신 관련 전공 대학생(학부3학년 이상), 대학원생, 관련 분야 산업체 연구원

[강의수준] [강의형태]

· 중 · 고급 · 이론+실습

■ 강좌일 : 08월 26일-28일
■ 강좌 제목 : OrCAD(Allegro)를 이용한 PCB 설계기술
■ 강사 : 김무현 대리 (나인플러스EDA(주))

[강좌개요]

실무에서 많이 사용되고 있는 OrCAD(Allegro) PCB Editor의 사용법을 익히고, 다층/ 고속/ 고밀도 PCB설계에 필요한 Artwork 기법을 배운다. Floorplaning을 통한 부품배치, 세부회로의 Driven Rule을 지정하여 설계 특성을 부여하고, 부품 또는 회로의 Design Reuse에 효과적인 대응이 가능하도록 PCB Artwork 능력개발에 교육의 목적이 있다.

[수강대상]

· 전기, 전자, 정보통신 관련 전공 대학생(학부3학년 이상), 대학원생, 관련 분야 산업체 연구원

[강의수준] [강의형태]

· 초 · 중급 · 이론+실습

*문의 : 경북대학교 IDEC 주현아 (053-950-6857, idec@ee.knu.ac.kr)

▷광운대 IDEC 개설 강좌 안내

■ 강좌일 : 08월 12일-14일
■ 강좌 제목 : 스마트기기를 위한 Linux 기반 디바이스 드라이버 개발
■ 강사 : 이광엽 교수 (서경대학교)

[강좌개요]

스마트 TV를 비롯한 스마트 단말기기에서 주변하드웨어 장치를 확장하기 위해서는 구동 소프트웨어와 원활하게 동작하도록 해당 하드웨어 장치의 디바이스 드라이브 개발이 필수적으로 요구된다.

본 강의에서는 Linux기반에서 스마트 단말기기의 주변장치의 디바이스 드라이버를 개발하고 응용할 수 있는 능력을 배양한다.

[수강대상]

· 대학생, 대학원생, 일반

[강의수준] [강의형태]

· 초 · 중급 · 이론+실습

*문의 : 광운대학교 IPC센터 박주미 (02-940-5448, smartipc@kw.ac.kr)

▷부산대 IDEC 개설 강좌 안내

■ 강좌일 : 08월 07일-09일
■ 강좌 제목 : Verilog HDL을 이용한 Digital System 설계
■ 강사 : 강봉순 교수(동아대학교 전자과)

[강좌개요]

디지털 하드웨어 설계의 국제 표준언어인 Verilog HDL의 기초이론과 응용에 대하여 학습한다. 습득한 이론을 바탕으로 기능 블록을 설계하고, 최종적으로 디지털 전자시계의 전체 기능을 Verilog HDL을 이용하여 설계한 후에 Training Kit에 Download 하여 기능을 확인한다.

[수강대상]

· 2학년 수료자, 디지털논리회로 설계 초보자

[강의수준] [강의형태]

· 중급 · 이론+실습

[사전지식,선수과목]

· 논리회로

■ 강좌일 : 08월 13일-14일
■ 강좌 제목 : 고속 디지털 시스템을 위한 PCB설계
■ 강사 : 김태훈부 교수(동의과학대) / 박주성 교수(부산대)

[강좌개요]

PCB(Printed Circuit Board) 설계를 이해하는데 꼭 필요한 기초적인 이론을 간단하게 복습한 후, PCB 설계에서 일어나는 실제적인 문제를 다룬다. 이론을 깊이 있게 들어가기보다는 가장 기본적인 이론에 근거하여 실무적으로 PCB를 어떻게 설계하는 것이 좋은가를 강의한다.

[수강대상]

· 학부 3학년이상

[강의수준] [강의형태]

· 초급 + 중급 · 이론

■ 강좌일 : 08월 21일-23일
■ 강좌 제목 : CMOS 아날로그 회로 설계 기초
■ 강사 : 이용재 교수(동의대)/최영식 교수(부경대)/최진호 교수(부산외대)

[강좌개요]

CMOS 및 전자회로에 대한 기본적인 이해를 돕기 위하여 만들어진 코스이다. 대부분의 대학에서 증폭기를 만드는 실험을 하지만 파형의 왜곡이 왜 생기고 그것을 어떻게 해결하는가를 설명하지 않는 경향이 있다. 본 강좌에서는 소자의 동작원리에서부터 왜곡의 원인과 해결책, 이득 결정 방법 등을 손으로 설계해보고 HSPICE를 이용하여 검증하여 체험적으로 CMOS analog 회로를 이해하도록 할 계획이다.

[수강대상]

· 2학년 수료자, 아날로그 설계 초보자

[강의수준] [강의형태]

· 초급 · 이론+실습

*문의 : 부산대 IDEC 윤성심 (051-510-2828, idec@pusan.ac.kr)

▷전북대 IDEC 개설 강좌 안내

■ 강좌일 : 08월 20일
■ 강좌 제목 : 계측기 사용법 교육
■ 강사 : 정용채 교수(전북대학교)

[강좌개요]

RF 회로를 측정하는데 주로 사용되는 회로망분석기(Network Analyzer), 스펙트럼분석기 (Spectrum analyzer), 잡음 미터(Noise Meter), 전원공급기(Power Supply) 등의 파라미터에 대해 살펴보고, 이들 장비의 영점 조정(Calibration) 및 이미 제작되어 있는 RF 회로의 측정을 통해 이들 장비들의 사용법을 익히도록 한다.

[수강대상]

· 학부생 및 대학원생

[강의수준] [강의형태]

· 초급 · 이론+실습

■ 강좌일 : 08월 21일-23일
■ 강좌 제목 : 칩 테스트를 위한 PCB 설계 교육
■ 강사 : 유수일 과장(나인플러스 EDA)

[강좌개요]

EDA Solution 분야에서 세계적 강자인 케이던스(Cadence)사의 System 형 PCB 설계도구로서 전 세계적으로 PCB EDA로 정상의 위치에 있으며 국내 대기업 및 중·소기업 등에서 전략적으로 사용하는 PCB CAD 도구인 Cadence Allegro (PCB Editor)의 사용법을 익힌다.

다층, 고속, 고밀도 PCB 설계에 필요한 Artwork 기법 및 Floorplaning을 통한 부품배치, 세부회로의 Driven Rule을 지정하여 설계 특성을 부여하고 PCB Design에 효과적인 대응이 가능하도록 Artwork 능력을 개발한다.

[수강대상]

· 학부생 및 대학원생

[강의수준] [강의형태]

· 초급 · 이론+실습

*문의 : 전북대학교 IDEC 김영이 (063-270-4268, sivit@jbnu.ac.kr)

▷충북대 IDEC 개설 강좌 안내

- 강좌일 : 08월 19일~21일
- 강좌 제목 : SoC 설계를 위한 Verilog HDL 회로설계
- 강사 : 이주석 / 청주대학교 반도체공학과
- 강의 장소 : 청주대학교 이공대 205호

[강좌개요]

일정	강의 내용
8월 19일(월) 10:00~17:00	• Verilog HDL 소개 및 문법 (ISE or Quartus 이용 실습) – 게이트수준 모델링 – RTL 수준 모델링 – 행위수준 모델링 – 구조적 모델링 – Task 와 함수 – 조합논리회로/순차논리회로 모델링
8월 20일(화) 10:00~17:00	• Combinational Logic Circuit 실습 – 전가산기/감산기 – 인코더/디코더 – ALU • Sequential Logic Circuit 실습 – 주파수 분주기 – 유한상태머신 – Keypad Scan
8월 20일(화) 10:00~17:00	• 8bit CISC 타입 MCU 설계 실습 – CISC 구조 – RISC 구조 – 8bit CISC 구조 설계 및 피보너치 수열 계산

[수강대상]
· 관련학과 학부생, 대학원생 및 기업체 직원

[강의수준] [강의형태]
· 초급+중급 · 이론+실습

- 강좌일 : 08월 23일
- 강좌 제목 : 하루만에 배우는 고주파 임피던스 정합
- 강사 : 이창석 교수(한밭대학교 정보통신공학과)

[강좌개요]
고주파회로 및 시스템 설계자는 스미스 차트와 임피던스 변환을 항상 사용하지만 그 의미를 정확히 이해하지 못하고 사용하는 경우도 있다. 또한 고주파 회로의 초보자는 스미스 차트와 임피던스 변환을 어려워 하는 경향도 있다. 본 강의에서는 스미스 차트를 이용한 임피던스 변환 기술을 이해하기 쉽게 설명하고 연습한다. 이를 위해 전송선의 특성, 반사계수의 의미, 반사계수와 정재파 관계, 반사계수와 전력전달 관계, 전력전달과 임피던스 정합의 필요성, 회로이론적인 임피던스 변환의 의미, 스미스 차트의 의미, 스미스차트를 이용한 LC 정합 방법, 전송선만을 이용한 임피던스 정합 방법 의 순으로 설명한다.

[수강대상]
· 관련학과 학부생, 대학원생 및 기업체 직원

[강의수준] [강의형태]
· 초급+중급 · 이론+실습

*문의 : 충북대 IDEC 라해미 (043-261-3572, idec_haemi@naver.com)

▷한양대 IPC 개설 강좌 안내

- 강좌일 : 08월 06일~07일
- 강좌 제목 : 고신뢰성 PCB 설계
- 강사 : 유수일 과장(나인플러스EDA)

[강좌개요]
EDA Solution 분야에서 세계적 강자인 케이던스(Cadence)사의 System형 PCB , 세부회로의 Driven Rule을 지정하고 설계 특성을 부여하여 효율적인 PCB 설계 방법을 익혀본다.설계도구로써 전 세계적으로 전략적으로 사용하는 Cadence Allegro PCB Design의 설계 방법에 대해 알아본다.
(OrCAD Capture의 User Interface/ PCB Artwork을 위한 도면 설계/도면 후처리 및 Netlist 생성/Allegro PCB Designer User Interface/PCB Libraries Feature/Netlist Import / Board 환경설정/Design Rule의 이해와 적용/Constraint Driven/Manual Placement/Floorplanning Placement/Floorplanning Placement/Interactive Route/Copper 설정 및 Gerber Data 생성)

[수강대상]
· 학부생, 석박사 과정, 관련 회사원

[강의수준] [강의형태]
· 초중급 · 이론/실습

- 강좌일 : 08월 13일
- 강좌 제목 : Vision Hardware/System Design for Smart Car (영상 기반 객체 인식을 위한 핵심 알고리즘 및 회로 설계/ 차량 주변 영상의 재구성 방법)
- 강사 : 조경순 교수(한국외대), 우경행 교수(울산대학교)

[강좌개요]
영상 내 특정 객체를 인식하기 위한 핵심 알고리즘 및 회로 설계에 대해서 소개한다. 객체에 대한 특징을 추출하기 위해 사용되는 Haar-like 특징 및 HOG (histogram of oriented gradient) 특징 추출 알고리즘에 대해서 설명하고, 추출된 특징을 이용하여 객체를 인식하기 위해 사용되는 AdaBoost 및 SVM (support vector machine) 알고리즘에 대해서 설명한다. 또한 지능형 자동차를 위한 고성능 보행자 및 차량 인식 회로 구조에 대해서 소개한다.
1. 패턴 인식의 기본 개념
2. 특징 추출 알고리즘
3. 인식 알고리즘
4. 지능형 자동차를 위한 고성능 보행자 및 차량 인식 회로 설계차량주변 영상의 재구성 방법에서 영상보간법, 영상 감마 보정, 카메라 보정에 대해 상세하게 알아본다.

[수강대상]
· 학부생, 석박사, 일반회사원

[강의수준]
· 초중급

- 강좌일 : 08월 19일~20일
- 강좌 제목 : 시스템 설계 및 근거리 통신용 SoC 설계 기법 syllabus (Overview of Wireless Communication/ System Specification for IEEE 802.11p, Design of 802.11p PHY modem/ 802.11p Modem 설계 실습 I,II,III)
- 강사 : 김재석 교수(연세대), 정윤호 교수(항공대)

[강좌개요]
본 강좌의 전반부 강의는 시스템 설계 및 근거리 통신용 SoC 설계 기법 기법을 소개하며, Overview of Wireless Communication 대해서 강의한다. 후반부 강의는 현재 고속 이동 중인 차량끼리 운전자 안전 정보를 제공하기 위한 무선 전송기술로 채택된 IEEE 802.11p WAVE 모뎀 기술에 대해 공부하고 설계 실습을 수행한다. IEEE 802.11p WAVE는 PHY와 MAC 계층을 규정한 IEEE 802.11p와 상위 계층을 규정한 IEEE 1609로 구성되어 있으며, 기존의 IEEE 802.11a WLAN 표준안 일부 내용을 보강한 이동통신 시스템 표준안이다. 우선, 이동통신 시스템의 기본 원리를 공부하고, IEEE 802.11p의 PHY와 MAC layer 표준안의 사양을 이해하고, 이 표준안을 바탕으로 모뎀 시스템을 설계하는 실습을 진행하게 된다.

[수강대상]
· 학부생, 석박사, 일반회사원

[강의수준]
· 초중급

- 강좌일 : 08월 27일~28일
- 강좌 제목 : 고신뢰성 자동차 전자시스템 설계기술 syllabus (SoC 테스트 기술 소개/ ISO 26262 하드웨어 신뢰성 표준 및 IEEE 1149.X boundary 스캔 설계/ Scan Design 및 Logic BISt T/ 메모리 테스트 기술)
- 강사 : 정근영 박사(삼성전자), 박성주 교수(한양대),강성호 교수(연세대),김홍식박사(sk하이닉스)

[강좌개요]
다수의 시스템 IC가 내장된 자동차는 고도의 신뢰성을 요구한다. 본 강좌에서는 자동차의 다양한 계층적 네트워크에 연결된 시스템 IC의 고장을 효율적으로 점검할 수 있는 핵심기술을 소개한다. 8/27 (화)
1. SoC 테스트 기술 소개 정근영 박사(삼성전자)
2. ISO 26262 하드웨어 신뢰성 표준 및 IEEE 1149.X boundary 스캔 설계 박성주 교수(한양대) 8/28 (수)
3. Scan Design 및 Logic BIST 강성호 교수(연세대)
4. 메모리 테스트 기술 (March, BIST, BISR) 김홍식박사(sk하이닉스)

[수강대상]
· 학부생, 석박사, 일반회사원

[강의수준]
· 초중급

*문의 : 한양대IPC 이은영 (031-400-4079, hyuipc@gmail.com)

IDEC, 전문위원 8명 선정

IDEC은 빠르게 변화하는 시스템반도체 분야에 대응하고, 산업계와 예비설계인력들이 공감할 수 있는 지원을 확대할 예정이며, 이를 위해 SoC, 디지털 & 아날로그, 소자 및 Inter-connection 등 분야별로 경험과 학식이 풍부한 산업계 전문가 총 8명을 'IDEC 전문위원' 위촉했다.

위촉된 위원들은 향후 2년간 수요자 중심의 공개강좌 기획 및 발굴, 뉴스레터 기고, 관련 분야의 모니터링을 통해 시스템반도체설계인력양성을 위한 견인차 역할을 수행한다.

위촉된 전문위원 명단

성명 : 김달수 사장
소속 : TLI

성명 : 박흥수 부사장
소속 : 동부하이텍

성 명 : 손보익 전무
소속: LG전자

성명 : 이도영 사장
소속 : 실리콘화일

성 명 : 이서규 사장
소 속 : 펙셀플러스

성 명 : 이석희 원장
소 속 : SK하이닉스 미래기술연구원

성 명 : 최주선 전무
소 속 : 삼성전자

성 명 : 홍성주 전무
소 속 : SK하이닉스

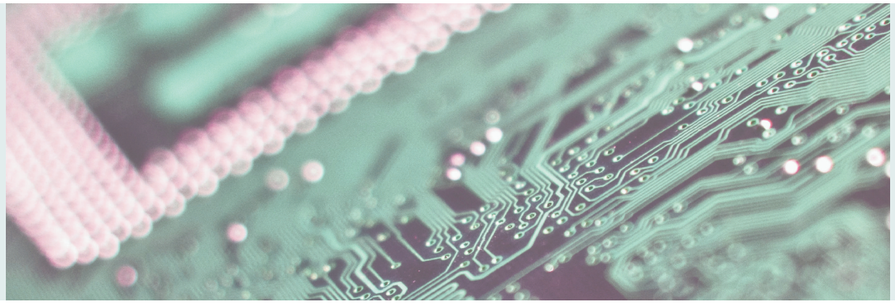
NDA가 체결된 Design Data 유출 금지 안내

IDEC의 MPW 참가를 통해 전달받은 Design Data 일체는 NDA를 통해서 법적인 구속력을 가지며, 관리 소홀로 인한 외부로의 공개 또는 유출 시 개인뿐만 아니라 개인이 속해 있는 WG에 자격 박탈과 같은 강력한 규제가 가해질 수 있습니다. 협약에 의해, 형사상 책임을 물을 수 있음을 알려 드립니다. MPW 참여자 분들은 Design Data 및 관련 자료의 관리를 철저히 하시어 불이익을 당하는 일이 없도록 거듭 당부 드립니다. NDA 체결 후 수령한 Design Kit 일체는 IDEC에 칩 수령 후 2개월 이내에 반드시 삭제하고, NDA 폐기확인서를 제출하여 제3자에 의한 공개 및 유출이 일어나지 않도록 주의 바랍니다.

저전압 델타-시그마 Analog-to-digital Converter의 기술 동향

한양대학교 전자통신공학과
윤영현 박사 과정
연구분야 : Over-sampling delta-sigma data converters 설계
E-mail : sprite316@hanyang.ac.kr
http://soc.hanyang.ac.kr

한양대학교 전자통신공학과
노정진 교수
연구분야 : Over-sampling delta-sigma data converters 설계, CMOS DC-DC converters 설계
E-mail : jroh@hanyang.ac.kr
http://soc.hanyang.ac.kr



서론

휴대용 전자기기와 에너지 절감형 친환경 전자기기의 수요가 늘어남에 따라 저전력 회로 설계 기법은 최근 가장 큰 이슈가 되고 있다. 반도체 공정기술의 발달로 디지털 회로의 접적도 증가와 저전력 설계의 용이함이 높아졌지만, 아날로그 회로는 낮은 공급전압에서의 소자 특성의 악화로 설계가 점점 더 어려워지고 있다.

아날로그 전기 신호를 디지털 신호로 변환해주는 analog-to-digital converter (ADC) 역시 아날로그 회로 설계의 어려움으로 낮은 공급전압에서 고해상도의 성능을 내는 것이 매우 어렵다.

일반적으로 ADC가 허용할 수 있는 최대 입력 신호의 크기는 공급전압의 크기로 결정된다. 따라서 낮은 공급전압으로 동작하는 ADC는 낮아진 공급전압 만큼 허용할 수 있는 최대 입력 신호의 크기가 작아, 높은 공급전압으로 동작하는 ADC와 같은 signal-to-noise ratio (SNR)을 얻기 위해서 훨씬 더 낮은 노이즈 레벨을 갖는 설계 기법이 필요하다. 또한, 저전압 동작에서는 왜곡 (distortion)이 더 심각해져 높은 signal-to-noise-and-distortion ratio (SNDR)을 갖는 ADC 설계가 어렵다.

그림 1은 해상도와 변환속도에 따른 ADC 구분이다. 플래시 (Flash) ADC, 파이프라인 (Pipeline) ADC, 축차근사형 레지스터 (Successive approximation register) ADC, 델타-시그마 (Delta-Sigma) ADC 등의 다양한 종류의 ADC 중 medium-to-low 속도 응용기기에서 높은 해상도를 얻을 수 있는 델타-시그마 ADC는 최근 다양한 센서를 이용한 인터페이스회로가 시스템에 광범위하게 사용되면서 수요가 지속적으로 증가하는 추세이다.

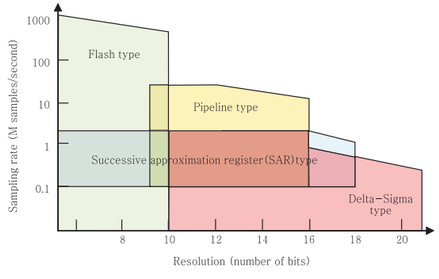


그림 1. 해상도와 변환속도에 따른 ADC 구분

본론

델타-시그마 ADC의 구조는 그림 2와 같이 델타-시그마 모듈레이터 (Delta-Sigma modulator)와 데시메이션 필터 (Decimation filter)로 구성된다. 델타-시그마 ADC의 앞에 위치하는 안티-앨리어싱 필터 (anti-aliasing filter)는 신호대역 이상의 고주파 영역에 존재하는 노이즈를 제거하여 앨리어싱 (aliasing) 현상이 발생하지 않도록 하게 된다.

오버샘플링 방식의 델타-시그마 ADC에서는 안티-앨리어싱 필터의 차수가 Nyquist-rate ADC에 비해 낮아지게 되고, 이에 따라 필터 설계가 용이해지며 요구되는 필터의 파워 소모가 다른 방식 ADC에 비해 감소하는 장점이 있다.

그림 2. 델타-시그마 ADC 구조

안티-앨리어싱 필터를 통과한 아날로그 신호는 델타-시그마 모듈레이터로 입력된다. 델타-시그마 모듈레이터는 아날로그 신호를 오버샘플링 된 디지털 신호로 변환시켜 주고, 이렇게 변환된 디지털 신호는 데시메이션 필터를 통과한 후 최종 Nyquist-rate로 주파수가 변환된 디지털 데이터로 출력된다.

디지털 블록인 데시메이션 필터는 미세공정의 발달과 툴 (tool)의 발달에 따라, 집적도가 증가하고 있으며, 공급전압의 감소를 통한 저전력 설계가 용이해졌다. 반면, 아날로그 설계가 주를 이루는 델타-시그마 모듈레이터는 미세공정의 발달에도 불구하고, 낮은 공급전압에서의 소자특성의 악화로 설계에 제약이 있어 모듈레이터의 설계와 구현이 점점 더 설계자의 시간을 차지하는 핵심적인 사항이 되고 있다.

델타-시그마 모듈레이터는 크게 active-RC 적분기를 이용하는 연속-시간 델타-시그마 모듈레이터와 switched-capacitor 적분기를 이용하는 이산-시간 델타-시그마 모듈레이터로 나눌 수 있다.

연속-시간 델타-시그마 모듈레이터는 이산-시간 델타-시그마 모듈레이터에 비해 상대적으로 적은 전력소모로 빠른 변환속도의 설계가 가능하다.

그러나 클락 지터 (clock jitter)에 매우 민감하며, 공정 변화에 따른 영향이 크다는 단점을 갖고 있다 [1].

그에 비해 이산-시간 델타-시그마 모듈레이터는 클락 지터에 민감하지 않고, 공정 변화에 대한 영향이 적어 robust 한 장점이 있다 [1]. 본 고에서는 이산-시간 델타-시그마 모듈레이터의 저전압 설계를 중점으로 다루려 한다.

저전압에서의 스위치 구동문제

그림 3은 이산-시간 델타-시그마 모듈레이터에 일반적으로 사용되는 switched-capacitor 적분기이다. Φ_1 phase에서 입력신호 (V_{in})를 샘플링 커패시터 (C_S)에 차징 (charging)하고, 차징된 전하를 Φ_2 phase 때 적분 커패시터 (C_I)로 보내 출력 (V_{out})이 바뀌게 된다. Φ_{1D}와 Φ_{2D} phase는 Φ_1과 Φ_2 phase의 falling edge가 지연된 신호로서, charge injection의 영향을 덜어준다.

일반적으로 델타-시그마 모듈레이터의 switched-capacitor 적분기 설계에서는 샘플링되는 신호의 선형성을 향상시키기 위해 모듈레이터의 입력 단과 연결된 스위치 S_i은 complementary switch를 이용하는 경우가 많다. NMOS 트랜지스터와 PMOS 트랜지스터로 구성되는 complementary switch는 두 트랜지스터가 병렬 연결된 $R_{on,eq}$를 온-저항값으로 가진다.

그림 4 (a)에서 알 수 있듯이 $R_{on,eq}$는 적은 저항값을 가지며, 입력전압의 변화에 따른 저항값의 변화도 적다. 따라서 NMOS 트랜지스터나 PMOS 트랜지스터를 단독으로 사용하였을 때보다 complementary switch를 사용하였을 때 샘플링되는 신호의 선형성을 향상 시킬 수 있다.

그러나 공급전압이 낮아지면, 트랜지스터가 충분히 드라이브 되지 못해 $R_{on,eq}$는 그림 4 (b)와 같이 입력신호의 중간크기 부근에서 크게 증가하게 되고 선형성도 크게 떨어진다. 공급전압이 더 낮아지게 되면 complementary switch의 NMOS 트랜지스터와 PMOS 트랜지스터가 둘 다 꺼지는 입력신호의 범위가 생기게 되어 switched-capacitor 적분기가 정상 동작하지 못하게 된다.

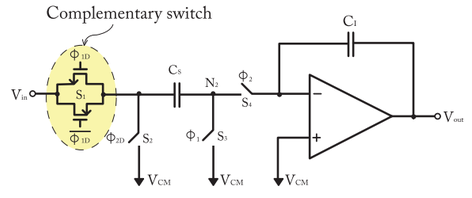


그림 3. Switched-capacitor 적분기

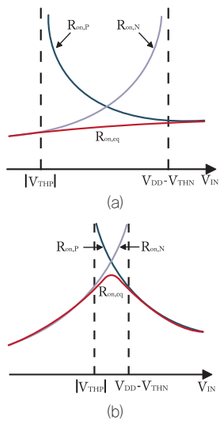


그림 4. Complementary switch의 온-저항
(a) 높은 공급전압에서의 온-저항 (b) 낮은 공급전압에서의 온-저항

Bootstrapped switch 기법을 사용한 저전압 델타-시그마 ADC

낮은 공급전압에서 스위치 구동에 제한이 생기는 문제를 해결하기 위한 기법에는 switched-opamp를 이용하는 기법 [2], switched-RC 적분기를 이용하는 기법 [3], 그리고 가장 많이 사용되고 있는 bootstrapped switch 기법 [4]이 있다. Bootstrapped switch 기법은 트랜지스터 스위치의 게이트에 입력신호보다 공급전압 (V_{DD})만큼 큰 전압이 인가되게끔 하는 기법이다. 그림 5는 bootstrapped switch 기법의 기본 회로와 타이밍 다이어그램 예

시를 통한 게이트 전압 (V_{drive})의 변화를 보여준다. 클락 (Clock) 신호가 low인 구간에서 C_{offset} 커패시터를 공급전압 (V_{DD})만큼 충전시키고, 클락 신호가 high가 되면 입력신호와 커패시터에 충전된 전압이 더해져 트랜지스터 스위치의 게이트에 인가되는 원리이다. 트랜지스터 스위치의 게이트-소스 전압이 공급전압 (V_{DD})으로 항상 일정하여, rail-to-rail 신호의 스위칭이 가능함을 알 수 있다.

그러나 공급전압보다 높은 전압이 트랜지스터의 게이트로 인가되는 bootstrapped switch 기법의 특성상 높은 게이트-바디간 전압으로 인한 장기적 관점에서의 신뢰성 문제를 제기하는 발표도 있다 [5].

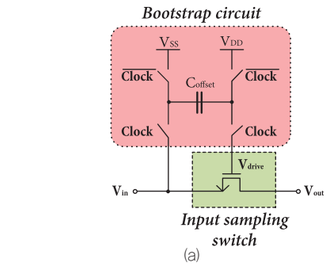


그림 5. Bootstrapped switch 기법
(a) 기본 회로 (b) 타이밍 다이어그램 예시

Subthreshold-leakage suppression 스위치를 사용한 저전압 델타-시그마 ADC

낮은 문턱전압 (V_{th})을 갖는 트랜지스터 스위치를 사용하면 bootstrapped switch와 같은 특별한 기법을 사용하지 않고 낮은 공급전압에서 스위치를 구동시킬 수 있다.

그러나 낮은 문턱전압으로 인해 subthreshold 영역에서 흐르는 누설 (leakage) 전류가 증가하게 되고, 결과적으로 신호성분의 왜곡을 유발하게 된다.

앞서 설명한 그림 3의 일반적인 switched-capacitor 적분기에서 S_1 스위치의 온-저항을 $R_{on,SW1}$, 누설전류를 I_{SW1}이라하고, S_2 스위치의 온-저항을 $R_{on,SW2}$, 누설전류를 I_{SW2}라고 한다면, 샘플링 구간인 Φ_1 phase가 끝났을 때 N_1 노드의 전압은 식 (1)과 같다.

$$V_{N1} = V_{in} - R_{on,SW1} \cdot I_{SW2} \quad (1)$$

적분 구간인 Φ_2 phase가 끝났을 때는 N_1 노드의 전압이 식 (2)와 같다.

$$V_{N1} = \frac{VDD}{2} + R_{on,SW2} \cdot I_{SW1} \quad (2)$$

식 (1)과 (2)에서처럼, cut-off 상태의 스위치를 통해 흐르는 누설전류의 영향으로 샘플링 시와 적분 시 N_1 노드 전압의 오류가 생기게 되고, 매 샘플링과 적분 시 발생하는 전압의 오류는 신호의 왜곡을 유발하여 SNDR의 악화를 가져오게 된다.

그림 6은 [6]에서 제안하는 subthreshold-leakage suppression 스위치를 이용한 switched-capacitor 적분기이다. 그림 6 (a)는 입력신호 (V_{in})를 샘플링하는 Φ_1 phase에서의 동작으로 S_1, S_2, S_5 스위치가 켜지고, S_3, S_4, S_6 스위치는 꺼지면서 N_1, N_2, N_3 노드의 전압을 같게 만들어준다.

그림 6 (b)의 적분을 하는 Φ_2 phase에서는 S_1, S_2, S_5 스위치가 꺼지고, S_3, S_4, S_6 스위치가 켜져서 S_2를 통해 흐르는 누설전류를 막아주는 원리이다.

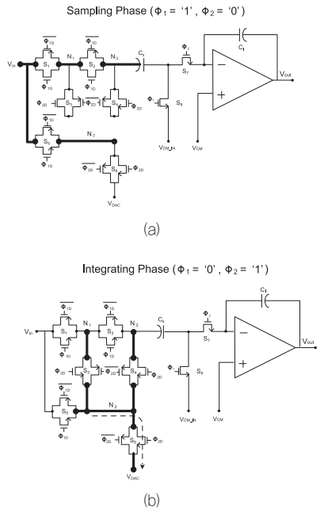


그림 6. Subthreshold-leakage suppression 스위치를 이용한 switched-capacitor 적분기 (a) 샘플링 동작 (b) 적분 동작 [6]

그림 7은 subthreshold-leakage suppression 스위치 사용 여부에 따른 출력 FFT 비교이다.

(a)의 사용하지 않은 경우와 비교했을 때, subthreshold-leakage suppression 스위치를 사용한 (b)의 경우 harmonic distortion이 크게 감소한 것을 볼 수 있다. SNDR은 (a)의 경우 77 dB, (b)의 경우 81 dB로 4 dB의 차이를 보인다.

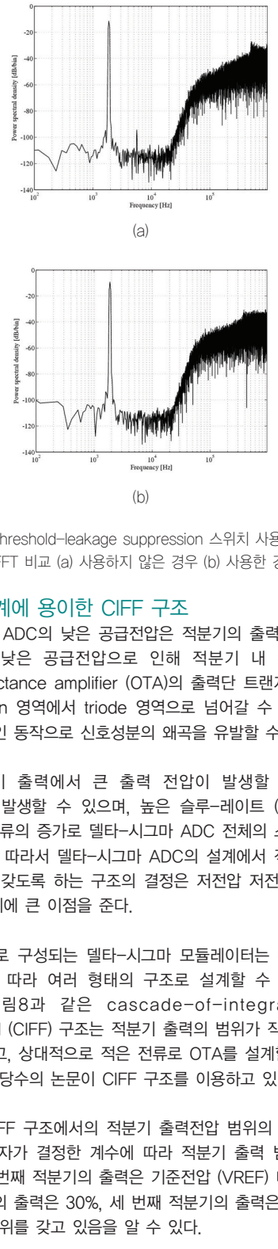


그림 7. Subthreshold-leakage suppression 스위치 사용 여부에 따른 출력 FFT 비교 (a) 사용하지 않은 경우 (b) 사용한 경우 [6]

저전압 설계에 용이한 CIFF 구조

델타-시그마 ADC의 낮은 공급전압은 적분기의 출력 범위에도 제한을 준다. 낮은 공급전압으로 인해 적분기 내 operational transconductance amplifier (OTA)의 출력단 트랜지스터들이 쉽게 saturation 영역에서 triode 영역으로 넘어갈 수 있으며, OTA의 비선형적인 동작으로 신호성분의 왜곡을 유발할 수 있다.

또한, 적분기 출력에서 큰 출력 전압이 발생할 경우 슬루잉 (slewing)이 발생할 수 있으며, 높은 슬루-레이트 (slew-rate)를 갖기 위한 전류의 증가로 델타-시그마 ADC 전체의 소모전력 증가를 초래한다. 따라서 델타-시그마 ADC의 설계에서 적분기가 작은 출력 범위를 갖도록 하는 구조의 결정은 저전압 저전력 델타-시그마 ADC 설계에 큰 이점을 준다.

피드백 루프로 구성되는 델타-시그마 모듈레이터는 내부 로컬 루프의 구성에 따라 여러 형태의 구조로 설계할 수 있다. 다양한 구조 중 그림8과 같은 cascade-of-integrators with feedforward (CIFF) 구조는 적분기 출력의 범위가 작아 저전압 설계에 용이하고, 상대적으로 적은 전류로 OTA를 설계할 수 있어 최근 발표된 상당수의 논문이 CIFF 구조를 이용하고 있다 [6-10].

그림 9는 CIFF 구조에서의 적분기 출력전압 범위의 한 예시를 보여주며, 설계자가 결정한 계수에 따라 적분기 출력 범위는 달라질 수 있다. 첫 번째 적분기의 출력은 기준전압 (VREF) 대비 40%, 두 번째 적분기의 출력은 30%, 세 번째 적분기의 출력은 20% 이내로 작은 출력 범위를 갖고 있음을 알 수 있다.

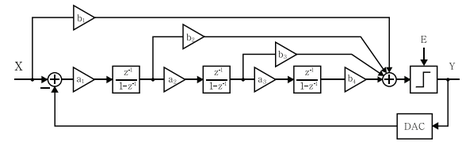


그림 8. CIFF 구조의 델타-시그마 모듈레이터 블록 다이어그램 예시

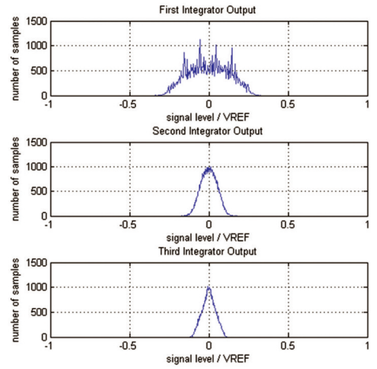


그림 9. 적분기 출력 범위 예시

인버터를 이용한 switched-capacitor 적분기

Switched-capacitor 적분기로 구성되는 이산-시간 델타-시그마 모듈레이터에서 OTA는 핵심적인 블록이지만, 누설전류의 영향으로 크게 낮아질 수 없는 트랜지스터의 문턱전압 때문에 낮은 전압에서의 OTA 설계는 제약을 가진다. 최근에는 OTA 대신 인버터를 사용한 switched-capacitor 적분기를 이용하여 저전압 델타-시그마 ADC를 설계한 사례들이 늘고 있다.

OTA와 다르게 인버터는 하나의 입력단만 있기 때문에 입력 노드에 가상접지 (virtual ground)가 형성되지 않는다. 그로 인해 인버터를 곧바로 OTA 대신 switched-capacitor 적분기에 사용하면 인버터의 입력 노드에 오프셋 전압이 생기게 된다.

인버터의 입력 노드에 생기는 오프셋 전압은 공정변화나 문턱전압의 변화 등으로 바뀔 수 있는 요소이므로, 오프셋 제거 기법의 사용이 필수적이다.

그림 10은 인버터를 사용한 switched-capacitor 적분기의 예시이다 [11]. 입력신호를 샘플링하는 Φ_1 phase에서 C_0 커패시터에 오프셋 전압을 샘플링한다. Φ_2 phase에서는 C_0 커패시터에 차징된 오프셋 전압이 네거티브 피드백으로 작용하여 인버터 입력 노드의 오프셋을 제거하고 가상접지를 형성하여, OTA를 사용한 switched-capacitor 적분기에서와 같은 동작을 하게 되는 원리이다. 그러나 그림 3의 일반적인 OTA를 사용한 switched-capacitor

적분기와 비교했을 때, 오프셋 제거를 위한 추가적인 커패시터 C_o와 스위치 S_4로 인해 회로의 복잡도가 증가한 것을 알 수 있다.

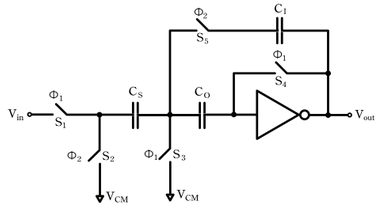


그림 10. 인버터를 이용한 switched-capacitor 적분기 예시 [11]

최근 발표된 저전압 델타-시그마 ADC 성능비교

델타-시그마 모듈레이터들의 성능비교를 위한 척도로 전력소모(power consumption) 대비 신호대역 (bandwidth)과 SNDR을 이용한 아래 식 (3)과 같은 성능지수(Figure Of Merit: FOM)를 일반적으로 사용하고 있다 [1].

$$FOM = \frac{Power\ consumption}{2^{\frac{SNDR-1.76}{6.02}} \cdot 2 \cdot Bandwidth} \qquad (3)$$

표 1은 최근 발표된 수십 kHz 대의 신호대역 (bandwidth)을 타겟으로 하는 저전압 델타-시그마 모듈레이터들의 성능비교표이다. 현재 논문으로 발표된 델타-시그마 모듈레이터 중 가장 낮은 공급전압으로 동작하는 모듈레이터는 250 mV로 동작하는 [8]이다.

[8]의 델타-시그마 모듈레이터는 클락 신호의 전압을 부스트하는 클락 부스터 (Clock booster) 회로를 추가하여 낮은 전압에서의 스위치 구동 문제를 해결하였으며, OTA대신 인버터를 이용한 switched-capacitor 적분기를 사용함으로써 소모전력도 크게 줄였다.

표 2는 수백 kHz 대의 신호대역을 갖는 저전압 델타-시그마 모듈레이터의 성능비교표이다. 신호대역의 증가로 말미암은 샘플링 주파수의 증가로 적분기내 OTA의 소모전력이 증가하여 표 1의 reference 논문들과 비교하면 소모전력이 늘었음을 알 수 있다.

표 1. 수십 kHz 대의 신호대역을 갖는
저전압 델타-시그마 모듈레이터 성능비교

Reference	공급전압 [V]	Bandwidth [kHz]	SNDR [dB]	소모전력 [μW]	공정	성능지수 [pJ/step]
[6]	0.6	20	81	34	0.13 μm CMOS	0.093
[7]	0.9	20	73	60	0.13 μm CMOS	0.41
[8]	0.25	10	61	7.5	0.13 μm CMOS	0.41
[12]	0.5	25	74	300	0.18 μm triple well	1.46
[13]	0.5	25	81.2	625	0.13 μm triple well	1.33
[14]	0.6	312	65	7200	90 nm CMOS	7.94

표 2. 수백 kHz 대의 신호대역을 갖는
저전압 델타-시그마 모듈레이터 성능비교

Reference	공급전압 [V]	Bandwidth [kHz]	SNDR [dB]	소모전력 [μW]	공정	성능지수 [pJ/step]
[9]	1.2	428	63.0	3.5	0.11 μm CMOS	3.54
[10]	2.5	614	82.0	3.1	65 nm CMOS	0.25
[15]	1.5	600	74.0	6	90 nm CMOS	1.22
[16]	1.2	500	84.0	10.8	0.13 μm CMOS	0.83
[17]	1.0	500	76.0	2.6	90 nm CMOS	0.50
[18]	1.2	500	77.2	5	90 nm CMOS	0.84

결론

델타-시그마 모듈레이터와 데시메이션 필터로 구성되는 델타-시그마 ADC에서 저전압 델타-시그마 모듈레이터 설계가 갖는 어려움과 최근 설계 트렌드에 대해서 소개해보았다. 살펴본 바와 같이 디지털 회로가 주를 이루는 데시메이션 필터는 미세화 공정의 발달로 인하여, 소비전력과 면적을 감소시킨 데 반해 아날로그 회로가 주를 이루는 델타-시그마 모듈레이터는 낮은 전압에서의 소자 특성의 악화 및 스위치 구동문제, 적분기 출력전압 범위의 제한 등으로 설계에 어려움이 있다.

성능비교 표 1과 표 2를 통하여 소개한 논문들과 같이 저전압 델타-시그마 ADC에 관한 연구가 꾸준히 발표되고 있으며, 현재까지 다양한 연구를 통한 지속적인 성능향상을 보이고 있다. 친환경 저전력 전자기기 수요의 증가로 인해 저전압 저전력 델타-시그마 ADC의 연구는 앞으로도 지속될 것으로 예상한다.

Reference

[1] R. Schreier and G. C. Temes, Understanding Delta-Sigma Data Converters, Piscataway, NJ: IEEE Press, 2005.

[2] V. Peluso, P. Vancorenland, A. M. Marques, M. S. J. Steyaert, and W. Sansen, "A 900-mV low-power ΔΣ A/D converter with 77-dB dynamic range," IEEE J. Solid-State Circuits, vol. 33, no. 12, pp. 1887-1897, Dec. 1998.

[3] G.-C. Ahn, D.-Y. Chang, M. E. Brown, N. Ozaki, H. Youra, K. Yamamura, K. Hamashita, K. Takasuka, G. C. Temes, and U. -K. Moon, "A 0.6-V 82-dB delta-sigma audio ADC using switched-RC integrators," IEEE J. Solid-State Circuits, vol. 40, no. 12, pp. 2398-2407, Dec. 2005.

[4] M. Dessouky and A. Kaiser, "Very low-voltage digital-audio ΔΣ modulator with 88-dB dynamic range using local switch bootstrapping," IEEE J. Solid-State Circuits, vol. 36, pp. 349-355, Mar. 2001.

[5] J.-B. Park, S.-M. Yoo, S.-W. Kim, Y.-J. Cho, and S.-H. Lee, "A 10-b 150-MSample/s 1.8-V 123-mW CMOS A/D converter with 400-MHz input bandwidth," IEEE J. Solid-State Circuits, vol. 39, no. 8, pp. 1335-1337, Aug. 2004.

[6] H. Roh, H. Kim,Y. Choi, and J. Roh et al., "A 0.6-V Delta-Sigma modulator with subthreshold-leakage suppression switches," IEEE Trans. Circuits Syst. II, Expr. Brief, vol. 56, no. 11, pp. 825-829, Nov. 2009.

[7] J. Roh, S. Byun, Y. Choi, H. Roh, Y. Kim, and J. Kwon, "A 0.9-V 60- μW 1-bit fourth-order delta-sigma modulator with 83-dB dynamic range," IEEE J. Solid-State Circuits, vol. 43, no. 2, pp. 361-370, Feb. 2008.

[8] F. Michel and M. Steyaert, "A 250-mV 7.5 μW 61 dB SNDR SC ΔΣ modulator using a near-threshold-voltage-biased inverter amplifiers in 130 nm CMOS," IEEE J. Solid-State Circuits, vol. 47, no. 3, pp. 709-721, Mar. 2012.

[9] T. Nagai, H. Satou, H. Yamazaki, and Y. Watanabe, "A 1.2V 3.5mW ΔΣ modulator with a passive current summing network and a variable gain function," in IEEE ISSCC Dig. Tech. Papers, Feb. 2005, Vol. 1, pp. 494-495.

[10] B. Putter, "A 5th-order CT/DT multi-mode ΔΣ modulator," in IEEE ISSCC Dig. Tech. Papers, Feb. 2007, pp. 244-245.

[11] Y. Chae, and G. Han, "Low voltage, low power, inverter-based switched-capacitor delta-sigma modulator," IEEE J. Solid-State Circuits, vol. 44, no. 2, pp. 458-472, Feb. 2009.

[12] K.-P. Pun, S. Chatterjee, and P. R. Kinget, "A 0.5-V 74-dB SNDR 25-kHz continuous-time delta-sigma modulator with a return-to-open DAC," IEEE J. Solid-State Circuits, vol. 42, no. 3, pp. 496-507, Mar. 2007.

[13] Y. Chen, K. P. Pun, and P. Kinget, "A 0.5-V 81.2-dB SNDR audioband continuous-time Delta-Sigma modulator with SCR feedback," Analog Integr. Circuits Signal Process., vol. 67, no. 3, pp. 285-292, Jun. 2011.

[14] J. Sauerbrey and R. Thewes, "A 0.6 V 70 dB SNR 0.3 MHz BW multibit switched-opamp modulator," in Proc. Eur. Solid-State Circuit Conf., 2006.

[15] P. Fontaine, A. N. Mohieldin, and A. Bellaouar, "A low-noise low-voltage CT ΔΣ modulator with digital compensation of excess loop delay," in IEEE ISSCC Dig. Tech. Papers, Feb. 2005, Vol. 1, pp. 498-499.

[16] C. W. Tsang, Y. Chiu, and B. Nikolic, "A 1.2V, 10.8mW, 500kHz sigma-delta modulator with 84dB SNDR and 96dB SFDR," in IEEE Symp. VLSI Circuits, Jun. 2006, pp. 162-163.

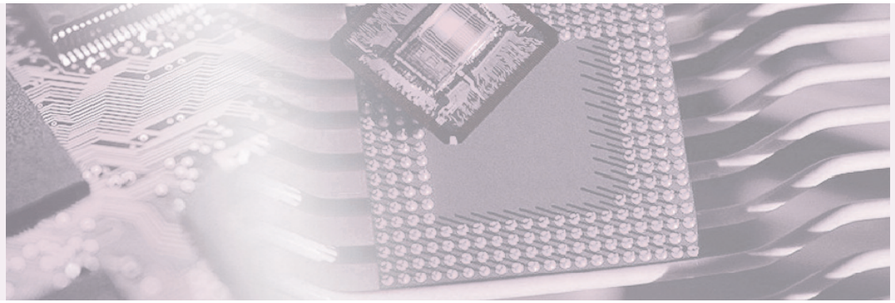
[17] Y. Ke, P. Gao, J. Craninckx, G. V. Plas, and G. Gielen, "A 2.8-to-8.5 mW GSM/bluetooth/UMTS/DVB-H/WLAN fully reconfigurable CT ΔΣ with 200kHz to 20MHz BW for 4G radios in 90nm digital CMOS," in IEEE Symp. VLSI Circuits, Jun. 2010, pp. 153-154.

[18] P. Crombez, G. V. Plas, M. S. J. Steyaert, and J. Craninckx, "A single-bit 500 kHz-10 MHz multimode power-performance scalable 83-to-67 dB DR CTΔΣ for SDR in 90 nm digital CMOS," IEEE J. Solid-State Circuits, vol. 45, no. 6, pp. 1159-1171, Jun. 2010.

자기 공진형 무선 에너지 전송

경북대학교 전자공학부
경북대 모바일-AP 플랫폼 센터

최준림 교수 / CEO
연구분야 : System On Chip, 마이크로 센서, 디지털 시스템 설계
E-mail : jrchoi@ee.knu.ac.kr
http://digital.knu.ac.kr



서론

기기의 사용량이 많은 주거공간에서 전원 공급과 충전이 동시에 이루어지는 형태의 전원방식이 주를 이루고 있지만, 기존의 유선 전원 공급형태는 휴대기기의 최대 장점인 이동성을 제한하기 때문에 이에 대한 해결책으로 이동성과 편리성을 확보하기 위해서 무선전력전송 기술이 부각되고 있다.

2007년 MIT 물리학과의 Marin Soljacic 교수팀이 무선전력전송 기술 중 하나인 자기 공명을 이용한 무선전력전송을 시연하였다. 그로 인해 무선 에너지 전송 기술이 재조명되었고, 이후 상대적으로 구현이 용의한 근거리 비접촉식 무선전력전송 기술의 상용화가 이루어지게 되었으며, 세계 각국의 다양한 기관 및 기업에서 원거리 무선전력전송 기술에 대한 기술개발이 진행 중이다.

본란에서는 다양한 무선전력전송 기술 중 자기공진방식 무선전력전송 기술을 이용하여 소형 모바일 기기의 배터리의 충전이 가능하도록 높은 전송효율을 가지는 자기공진방식 무선전력전송 시스템의 설계 내용을 다룬다.

전체 시스템의 전력 전송효율을 향상시키기 위한 방법으로 최초 공진기 구조 설계에 관한 내용을 시작으로 제어 형 임피던스 매칭 기법, 수신 전력 변환 회로의 집적회로 설계를 통해 목표한 효율을 살펴본다.

자기 공진방식의 무선 전력 전송은 기존의 자기 공명 현상을 이용한 에너지 전송방식으로 자기 유도 방식보다 전송 범위가 넓다는 장점이 있지만, 외부 환경 변화에 민감히 반응함으로 높은 Q 값(Q-Factor)을 유지하기 어렵고, 전송 거리가 공진기 면적에 비례함으로써 소형화에 제한이 있다, 또한 수신단의 회로 임피던스에 의해 전송효율이 크게 바뀐다는 단점이 있다.

따라서 다양한 공진기 구조 시뮬레이션 및 시제품 제작을 통해 본 실험에 적합한 소형화 구조를 제시하고, 전송거리에 따른 전송효율 감소현상을 보정할 수 있도록 가변 임피던스 매칭이 가능한 제어형 임피던스 매칭 네트워크 장비를 전력 송신부에 적용하였을 때 전송효율의 변화를 보이고, 추가로 로드코일로부터 수신된 교류전압을 직류전압으로 변환하는 수신전력 변환회로의 집적화를 통해 전력변환 과정에서 발생하는 열화 및 노이즈에 의한 에너지 손실을 줄임으로써 최종 전체 시스템의 전송효율을 높여서 모바일 기기의 배터리 충전실험에 적용하였다.

국내 · 외 기술 표준화

먼저 상용화에 성공한 전자기 유도방식의 기술 표준화 내용을 살펴보면 무선전력 컨소시엄(WPC, Wireless power consortium)은 2008년 홍콩을 시작으로 2010년 4월까지 전자기 유도 방식을 기반으로 5와트 미만의 저출력 무선 전력 전송 방식에 대해 표준안(치:Qi)을 발표하였다. 제정된 표준안의 내용은 성능 요구 사항(Performance requirements), 인터페이스 정의(Interface definition), 규정 준수 시험(Compliance testing)에 관한 내용이다.[1]

표준화 제정의 가장 큰 목적은 외부 금속 물질 개입으로 발생하는 발열의 위험성을 해결하는 것과 주변 기기 간의 간섭현상을 방지하여 호환성 문제를 해결하기 위함이다. 이러한 WPC 표준안은 자기공진 무선 전력 기술에 적용하기에 그 내용이 상이하여 별도로 자기공진 무선전력전송에 관한 표준안 제정을 계획하고 있다.

또한, 국내에서는 TTA 산하에 세 개의 프로젝트 그룹에서 근거리 무선전력전송 기술에 대한 표준화 활동을 수행 중이다. 전파자원 프로젝트 그룹인 PG309는 인체보호 및 EMC 평가방법에 대한 표준화를 진행 중이다. 이동 단말 충전기 표준화 그룹인 PG709는 휴대폰, 노트북, 태블릿 등의 이동단말 충전표준을 개발 중이며, SoC 프로젝트 그룹인 PG417은 온라인 전기 자동차 등 이동 단말 충전 외의 무선 전력 전송 기술에 대한 표준화를 진행 중이다.

그 밖에도 무선 전력 전송 기술에 사용되는 주파수, 전자파에 의한 인체 유해성 등 시스템 전반에 관한 각종 포럼을 통해 향후 무선충전 서비스와 사용자 요구 사항에 관한 표준안을 준비하고 있다.[2]

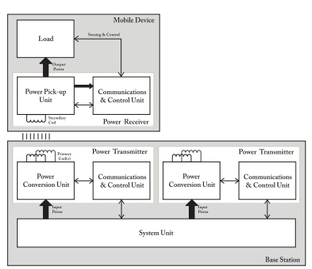


그림 1 . WPC 표준안(Qi)의 무선전력전송 기본 시스템

자기공진 무선전력전송 기술

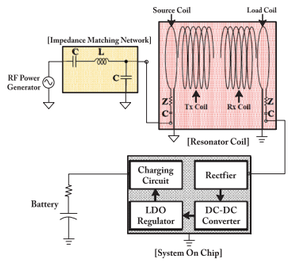


그림 2. 자기공진 무선전력전송 시스템 블록

그림 2는 자기공진 무선전력전송 시스템의 시스템 블록이다. 시스템의 요소별 설계 내용은 아래와 같다.

먼저 자기 공진기 설계는 3D 고주파 자기장 해석 소프트웨어인 Ansys HFSS를 사용하여 다양한 공진기 구조에 대한 해석을 진행하였다. 최종 선택된 구조는 높은 전송 효율을 얻기 위해 송신부와 수신부의 형상 및 구조를 동일하게 하였으며, 전도율이 높은 구리 재질의 5㎜ 22.9㎸ EMG 케이블을 사용하여 지름 300㎜의 헬리컬 코일 구조를 설계하였다.(소스, 로드코일 1턴, 송·수신 공진 코일 5.5턴으로 구성)

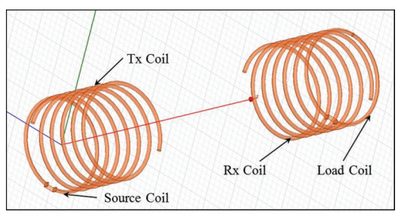


그림 3. HFSS 자기 공진기 시뮬레이션 구조

그림 3의 공진기 시뮬레이션 결과 최대 전송거리는 외부 수동 소자 추가 기준으로 1m까지 가능하였으며, 최대 전송 효율은 200㎜ 거리에서 83.5%를 나타내었다. 전송거리 변화에 따른 전송 효율은 그림 4의 S-파라메타 차트(S-Parameter chart)를 통해 확인 할 수 있다.

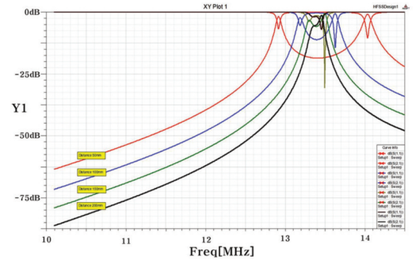
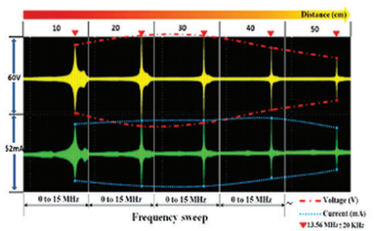


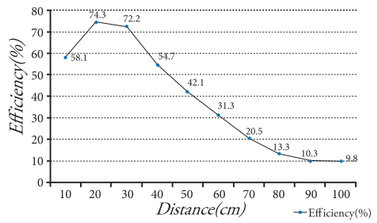
그림 4. 거리변화에 따른 S-파라메타 차트(HFSS)

이로써 자기 공진기에 대한 시뮬레이션 결과를 기반으로 그림 5(a)의 실물 자기 공진기를 제작하여 (b),(c)의 성능 측정 결과를 얻을 수 있었다. 최대 전송 효율은 시뮬레이션 결과와 비교하면 200㎜ 거리에서 11.01% 저조하게 나타났다.

(a) 제작된 자기 공진기



(b) 자기 공진기 성능 측정파형



(c) 거리변화에 따른 전송효율

그림 5. (a) 제작된 자기 공진기, (b) 성능 측정파형,
(c) 거리 변화에 따른 전송효율

전력 전달효율(η)의 계산은 수식(1)과 같다.

$$\eta = \frac{\frac{\Gamma_\omega}{\Gamma_D}\frac{k^2}{(\Gamma_S\Gamma_D)}}{\left(1+\frac{\Gamma_\omega}{\Gamma_D}\right)^2+\left(1+\frac{\Gamma_\omega}{\Gamma_D}\right)\frac{k^2}{(\Gamma_S\Gamma_D)}} \quad (1)$$

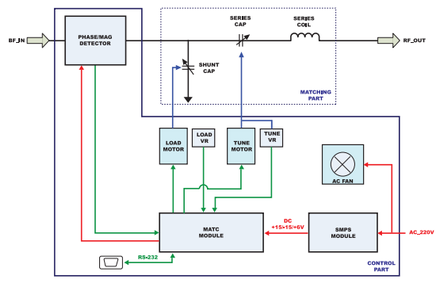
여기서 $\Delta\eta/\Delta\frac{\Gamma_\omega}{\Gamma_D}$이 0이 되는 지점에서 최대 효율을 얻을 수 있다.[3]

정리하면 자기공진 무선전력전송에서 공진코일의 전송효율을 높이기 위해서는 송신부와 수신부의 크기와 형태를 동일하게 설계하여 상호 인덕턴스를 증가시키고, 자체 인덕턴스를 줄임으로써 결합계수를 증가시키고, 감쇄계수를 감소시키며, 10㎒ 이상의 높은 공진 주파수를 사용함으로써 높은 품질 계수를 얻어야 한다.

다음으로 임피던스 매칭은 신호원과 부하의 임피던스를 맞춰주는 것을 말한다.

이는 부하에 최대 전력을 손실 없이 부여하고 신호를 안정적으로 전송하고자 하는 것이 목적이다.

이러한 개념을 자기 공진 방식 무선 전력 전송 시스템에 적용하면 공진 코일의 수신부에 수신되는 무선 전력을 출력단에 연결된 부하로 최대 전력을 전달할 수 있게 된다.[4]



(a) 임던스 매칭 네트워크 시스템 블록도

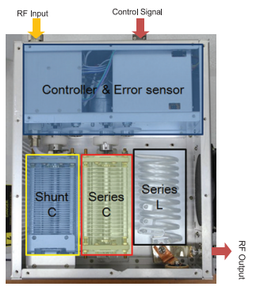


그림 6. 임피던스 매칭 네트워크 (a) 시스템 블록도, (b) 내부 구성

그림 6(a)은 임피던스 매칭 네트워크의 시스템 블록도로 크게 제어부와 임피던스 매칭부로 나누어지며, (b)는 실제 임피던스 매칭 네트워크의 내구 구성을 확인할 수 있다. 가변 수동소자의 제어는 2항의 RF 전력 공급기의 반사율과 전달률, 최대 전력량을 분석하여 결정된 최적의 수치를 RS-232통신으로 수신하여 제어되는 방식으로 동작한다.

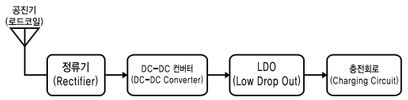


그림 7. 수신전력 변환 집적회로 블록

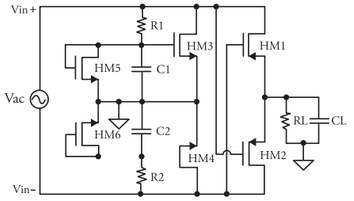
마지막으로 그림 7의 수신전력 변환 집적회로의 설계기술 내용으로써 로드코일로 수신된 전력은 교류전원이기 때문에 직류전원을 사용하는 기기에 전원으로 사용하기 위해서는 반드시 회로적인 변환 과정을 거쳐야 한다.

10㎒ 이상의 높은 전력을 낮은 손실률로 변환하기 위해 전력 변환 회로의 설계단계에서 사용 주파수의 전력 특성을 고려하여 열화, 전압강하, 스위칭에 의한 누설전류 및 전력손실 등을 고려하여 설계하여야 한다.[5]

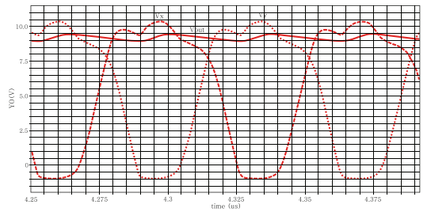
그림 5(a)의 정류기 설계 시 고려할 점은 공진기의 로드코일로부터 수신된 교류전력의 전압변동 폭은 수십 V로 매우 크다. 이러한 교류전력의 정류를 위해서는 고전압 MOSFET를 사용하여야 하는데 문턱전압(V_{th})이 높게 형성되는 특성이 있어 낮은 전압이 수신되는 경우 오히려 정류효율을 감소시키게 된다.

이에 대한 해결책은 R_{ON}에 의한 전력손실을 줄임으로써 높은 정류효율을 얻을 수 있다. R_{ON}을 최소화시키기 위해서는 MOSFET의 채널 폭과 길이를 크게 설계하여야 한다.

하지만 채널의 크기가 커지게 되면 기생 캐패시턴스의 크기도 증가되어 전력 손실을 일으킴으로 정류기에서 최대 전력효율을 얻기 위해서는 최적화 과정이 필요하다. 설계된 정류기는 82.3%의 전력변환효율(PCE)을 나타내었다. [그림 8(b)]



(a) MOSFET 정류기 회로도



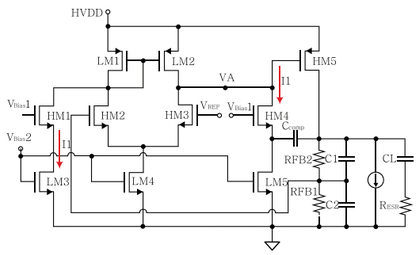
(b) MOSFET 정류기 시뮬레이션 결과

그림 8. (a)MOSFET 정류기 회로도, (b)시뮬레이션 결과

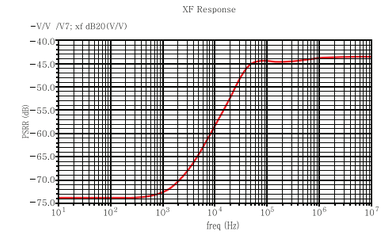
다음으로 수신전력 변환회로 중 가장 중요한 부분으로 LDO 레귤레이터의 회로 설계 시 고려할 점은 높은 PSR(Power Supply Rejection)특성, 낮은 Drop-out 전압과 대기 전류에서 넓은 부하 조건을 가지는 것이 중요하다.

이는 LDO 앞단에 위치하는 DC-DC 컨버터의 집적도 향상을 위해 수동 소자를 작게 설계하고, 스위칭 주파수를 증가시키기 때문인데, 이로 인해 출력 리플 주파수가 증가하고 이득 및 출력 컨덕턴스가 감소하여 결국 PSR 특성이 저하됨으로써 손실 전력을 증가시켜 결국 효율을 감소시키기 때문이다.

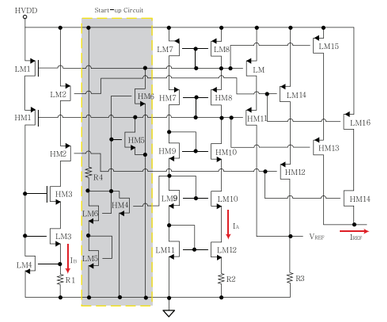
이러한 문제의 보완을 위해 그림 9(a)와 같이 저전압 MOSFET와 고전압 MOSFET를 계단식 구조로 배치하고, 여기에 캐스코드(Cascode) 보상 및 밀러(Miller) 보상 기술을 적용하여 높은 공진 주파수와 넓은 부하조건에 대해서 그림 9(b)와 같이 높은 PSR를 유지할 수 있다.



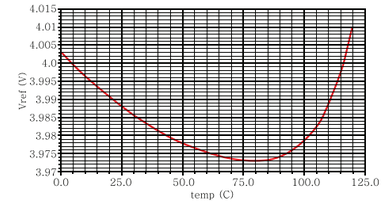
(a) LDO 레귤레이터 회로도



(b) PSR 특성 (입력 25V, 출력전류 50mA)



(c) 기준 전압 · 전류 발생기 회로도



(d) 온도에 따른 기준 전압 변동 (입력 12V)

그림 9. (a)LDO 레귤레터 회로도, (b)PSR 특성,
(c)기준 전압 · 전류 발생기 회로도, (d)온도에 따른 기준 전압 변동

표 1. LDO 레귤레이터의 성능요약

항목	수치	조건
Output Voltage	$4.8V \pm 90mV$	$V_{in} = 8\ to\ 40V$ $I_{out} = 0.5\ to\ 200mA$
Dropout Voltage	$180mV$ Mean	$I_{out} = 1mA$
Line Regulation	$12mV$	$V_{in} = 8\ to\ 40V$ $I_{out} = 1mA$
Load Regulation	$22mV$	$V_{in} = 8V$ $I_{out} = 1\ to\ 200mA$

그림 9(c)의 기준 전압 · 전류 발생기 회로에서 Sub-threshold 트랜지스터 기술을 이용하여 그림 6(d)와 같이 전원전압 변화 및 온도 변화에 대해 낮은 변동 폭의 기준 전압·전류 발생이 가능하도록 설계함으로써 안정적으로 동작하는 LDO를 설계하였다.

설계된 LDO의 성능은 시뮬레이션 결과를 정리한 내용으로 표 1과 같이 정리하였다. 아래의 그림 10은 동부 0.35㎛ BCD 공정으로 현재 제작 중인 수신전력 변환 집적회로 layout이다.

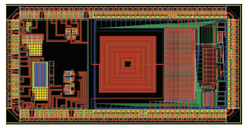


그림 10. 수신전력 변환 집적회로 Layout (5*2.5㎜)
-동부 0.35㎛ BCD 공정

그림 11과 같이 전송성능이 향상된 자기공진 무선 전력 전송 시스템의 출력 단자에 제작 중인 집적 회로를 대신하여 상용 소자로 제작한 수신 전력 변환 회로를 연결하고, 변환된 DC 전력을 외부 충전 회로로 공급하여 스마트폰의 소형 배터리를 충전하고 있는 모습을 확인할 수 있다.

충전을 수행 시 부하 임피던스의 증가로 전송거리는 2m에서 60㎝로 감소하였지만, 전송효율은 RF 파워 제너레이터로부터 2.5W의 전력을 공급받아 최대 1.974W (DC 4.7V, 420㎃/h)의 전력을 최종 배터리로 공급 가능함을 확인할 수 있었다.

그림 11. 전송거리에 따른 스마트폰 배터리 충전 실험

맺음말

본 논문은 자기공진 기술을 이용한 무선전력전송 시스템 설계를 위하여 공진기, 임피던스 매칭, 수신전력 변환 회로 등 자기공진방식 무선전력전송 시스템의 효율을 결정하는 주요 구성에 대해 설계와 검증을 해보았다.

이를 통해 알 수 있는 내용은 상용화에 성공한 전자기 유도 방식에 비해 해결해야 할 기술적 문제점이 많이 남아있다는 것이다. 자기공진방식은 미래 유망 기술로써 산업 및 정보통신, 가전 시장에서 매우 큰 파급력과 부가가치 창출이 기대되기 때문에 세계의 여러 국가 및 기업에서 원천기술 확보를 위한 치열한 기술 개발 경쟁이 이루어지고 있다. 원천 기술 확보 및 표준화를 위해 해결해야 할 기술적 주요 문제점은 다음의 6가지로 정리할 수 있다.

1. 시스템 구축비용 절감
2. 송 · 수신부의 소형화
3. 전송 효율 유지 및 향상 기법
4. 인체 유해성 규명
5. 사용 주파수 대역 할당
6. 전용 어플리케이션의 집적화

내용에서 알 수 있듯이 어느 한 분야의 기술적 성공만으로는 상용화라는 목표를 달성하란 어려울 것이다. 따라서 각 분야의 연계연구 환경 구축을 통해 기술적 해결책을 찾음으로써 원천 기술을 확보할 때 미래 사회를 주도할 국가적 경쟁력이 높아질 것으로 판단한다.

Reference

[1] webmaster@kbench.com, IT/디지털 미디어 케이벤치 www.kbench.com, "무선전력위원회, Qi 호환성 규격 1부 발표", 2010.04.22.

[2] 박영진, "무선전력전송, 무선충전 기술 및 표준화 동향", TTA Journal, 제138권 pp.34-39, 2011.

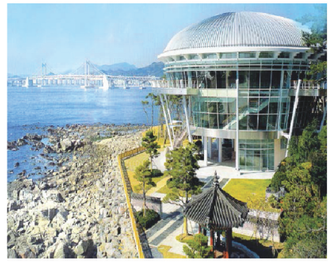
[3] 장요한, 권재순, 박재수, 최재훈, "무선 전력 전송용 고효율 공진기 설계", 한국전자파학회논문지, 22(9), 820-826, 1226-3133 KCI, 2011.

[4] Huy Hoang and Franklin Bien, "Maximizing Efficiency of Electromagnetic Resonance Wireless Power Transmission Systems with Adaptive Circuits," IEEK, vol. 38, issue 10, Oct. 2011.

[5] 이강윤, "무선 전력전소용 송수신 칩 설계", 대한전자공학회지, 38(10), pp.42-48, 2011.10.

ISOCC 2013
Sunday-Tuesday, November 17-19, 2013
BEXCO Convention Hall, Busan, Korea
http://www.isocc.org (Main Theme: SoC Design for Creative Future Technology)

2013 International SoC Design Conference
Call for Papers



International SoC Design Conference (ISOCC) aims at providing the world's premier SoC design forum for leading researchers from academia and industries. Prospective authors are invited to submit papers of their original works emphasizing contributions beyond the present state of the art. ISOCC 2013 is technically co-sponsored by **IEEE CAS** Society and accepted papers will be published on **IEEE Xplore**. We also welcome proposals on special sessions.

Paper Submission
Complete 2-page to 4-page manuscript (in Standard IEEE double-column format) is requested. Papers must be submitted electronically in PDF format. Only electronic submission will be accepted. For more information, please refer to the conference website: **http://www.isocc.org.**

Areas of Interest
- Analog and Mixed-Signal Circuits
- Display Driver and Imaging Devices
- Embedded System Software
- Low Power Design Techniques
- Energy-Aware Systems
- Multimedia (A/V) SoCs
- Wireline & Wireless Ics (RF ICs)
- Signal Integrity/Interconnect Modeling
- SoC Testing and Verification
- Communication SoCs
- Embedded Memories
- High Speed Signal Interfaces
- Microprocessor and DSP Architectures
- SoC Design Methodology
- SoCs for Automotive Technology
- Sensor & MEMS
- Power Electronics (Energy Harvesting)
- Bio & Medical devices

Special Sessions
Proposals are solicited for special sessions. Please submit proposals for special sessions to the special session chair.

Chip Design Contest
Design contest provides the academia with the opportunity to introduce their novel chip designs to the real world. The selected designs will be awarded.

Best Paper Awards
The authors of selected papers will be awarded for technical contributions and their papers will be invited for publication in the Journal of Semiconductor Technology and Science (SCIE) published by Institute of Electronic Engineers of Korea (IEEK). (Visit www.jsts.org for submission details).

Important Dates
- **Deadline for submission of special session proposal; 01 Jul. 2013**
- **Acceptance notice of special session proposal; 01 Jul. 2013**
- **Deadline for submission of regular session full paper; 21 Jul. 2013**
- **Deadline for submission of chip design contest ; 21 Jul. 2013**
- **Deadline for submission of special session full paper; 21 Jul. 2013**
- **Notification of acceptance (all submitted papers): 01 Sep. 2013**
- **Deadline for author and early-bird registration; 15 Sep. 2013**

At least one author of each accepted paper must register by September 15, 2013.

특집 특기사

SoC로 실시간 응답을 달성하고자 할 때 해결해야 할 과제와 활용 가능한 이점 (1)

Soc 기술과 임베디드 시스템 설계

발전된 프로세스 기술과 시스템 통합에 대한 요구가 실리콘 융합을 가속화하는 원동력이 되고 있다. FPGA는 이러한 추세에 발맞추어서 SRAM 메모리, 디지털 신호 프로세싱(DSP) 및 곱셈기 블록, 직렬 트랜시버, 메모리 컨트롤러, 향상된 I/O 기능을 통합하고 있다. 프로그래머블 기술 분야의 가장 최신 기술이라고 한다면 Altera® FPGA에 ARM® 애플리케이션 프로세서와 풍부한 주변장치 프로세서 서브시스템을 통합한 SoC일 것이다. 그런데 이러한 기술 융합은 실시간 임베디드 시스템 디자인에 새로운 도전과제와 기회를 제공하고 있다.

본 고는 2회에 걸쳐서 'SOC 기술과 임베디드 시스템 설계', 'Soc로 이용할 수 있는 하드웨어 및 소프트웨어 솔루션'을 알아보고자 한다.

■개요

이 글에서는 실리콘 융합이 실시간 디자인에 어떻게 영향을 미치고 있는지 알아보기 위해서 첨단 모터 드라이브/인버터 애플리케이션을 예로 들어서 설명하고 있다. 고도로 통합적인 솔루션이 등장하기 전에는, 그림 1에서 보는 것과 같이 이 드라이브의 4개 주요 기능 각각이 각자 프로세서 또는 DSP 블록을 채택하였으며 각기 고유의 명령 셋과 개발 환경을 이용했다. 예를 들어서 모터 제어 기능은 단순한 32비트 프로세서를 채택할 수 있다. 네트워킹 인터페이스 또한 자신만의 32비트 프로세서를 이용할 수 있다. 전체적으로는 시스템이 자신이나 작업자에게 손상이나 상해를 일으키지 않도록 하기 위해서 안전성 기능이 우선순위가 가장 높다.

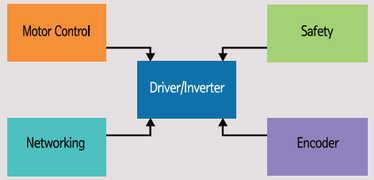


그림 1. 모터 드라이브/인버터의 4개 기본 기능

그런데 이제 실리콘 융합 덕택에 이와 같은 모터 드라이브 기능 모두를 하나의 경제성 뛰어난 프로그래머블 SoC로 통합할 수 있게 되었다. 대부분의 첨단 실시간 시스템과 마찬가지로 이 시스템은 다음과 같이 동작한다:

■ 4개 기능 각각으로부터 신호를 수집한다.

■ 이들 신호를 처리해서 유의미한 데이터를 추출한다.

■ 연산 집중적 분석을 적용해서 데이터 지향적 의사결정을 한다.

■ 동작을 실시해서 의사결정을 구현하며, 이 모두를 처리하면서 최대 지연시간 요구를 충족해야 한다.

이와 같은 실시간 프로세싱 모델은 자동차 운전자 지원, 실시간 금융 거래, 유도 시스템 등과 같은 다른 다양한 애플리케이션에서도 마찬가지다.

■도전과제 – 더 짧은 시간에 더 많은 일 하기

실시간 애플리케이션에서는 시스템 응답성이 무엇보다도 중요한 요소이다. 시스템이 실시간 이벤트에 얼마나 빠르게 그리고 얼마나 일관되게 응답할 수 있는가? 다시 말해서 시스템이 매번 특정하게 정해진 시간 안에 요구되는 작업을 수행할 수 있는가? 임베디드 엔지니어들은 끊임 없이 더 적은 총 시간 안에 갈수록 더 정교한 기능 및 계산을 수행하고자 하고 있다.

초기에 이 임베디드 하드웨어는 간단한 PID(proportional–integral–derivative) 모터 제어를 수행했다. 그러다가 시간이 지나면서 그림 2에서 보는 것과 같이 모터 제어가 갈수록 정교해지면서 모델 기반 모터 제어 솔루션을 포함하게 되었다. 모션 적응식 모터 제어는 변화하는 시스템 조건에 따라서 시스템이 지능적으로 적응할 수 있으며 센서 피드백에 따라서 제어 파라미터를 조정할 수 있다. 공장 자동화 환경에서는 다중의 모터가 통신해서 자신들의 응답 및 복잡한 동작을 서로 조정한다. 예를 들어서 안전성 관련한 예외적 상황이 발생해서 셧다운 시퀀스가 작동되면 작업자와 하위 장비들을 보호하고 시스템 중단 시간을 최소화하기 위해서 다수의 장비들이 일사불란하게 동작해야 한다. 그리고 이와 같은 정교한 컴퓨팅이 갈수록 더 짧은 시간 안에 이루어지고 있다.

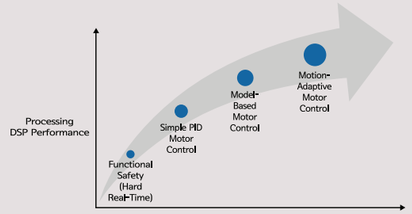


그림 2. 갈수록 더 짧은 시간 안에 더 많은 일을 하도록 요구 받고 있는 임베디드 애플리케이션

알고리즘이 정교해질수록 그만큼 더 많은 연산, 더 많은 데이터 처리량, 더 높은 DSP 전력을 요구한다. 그러므로 데이터가 저장되어 있는 위치와 이 데이터에 대한 통신 대역폭이 중요한 요소이며 시스템 응답성에 직접적으로 영향을 미친다.

■도전과제 – 스케줄링 충돌

스케줄링 충돌(scheduling conflict)이 실시간 시스템 디자인의 반드시 해결해야 할 또 다른 중요한 과제이다. 기존 디자인에서는 그림 3에서 보는 것과 같이 4개 기본 모터 구동 기능 각각이 각기 전용 프로세서를 이용하며 기본적으로 각기 독립적으로 동작한다.

융합적 솔루션에서는 이들 4개 기능 그룹을 단일 시스템으로 결합하면서도 이들 각각이 비동기식으로 동작한다. 그러므로 모든 인터럽트가 단일 디바이스로 루팅되므로 스케줄링 충돌이 발생할 수 있다. 그러므로 인터럽트의 임의적이며 비동기적인 특성을 적절히 다루지 않는다면 애플리케이션 프로그램 내에서 스케줄링 붕괴가 일어날 수 있고 그럼으로써 응답성을 떨어트릴 수 있다.

그러므로 스케줄링 충돌을 방지하기 위해서는 지터를 관리하고 좀더 확정적(deterministic) 동작을 달성하도록 하는 것이 중요하다.

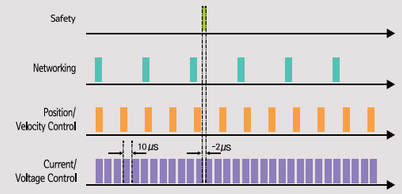


그림 3. 모터 드라이브 애플리케이션

전체적인 모터 드라이브 애플리케이션을 단일 프로세서로 통합하면 그림 3에서 보듯이 컴퓨팅 시간의 상당 부분이 전류 제어 루프를 수행하는 데 소요된다.

한편 시스템이 다양한 모터 제어 및 네트워킹 기능을 수행

하고 있을 때 시스템 내에서 안전성 이벤트가 발생될 수 있다. 안전성은 전체적으로 가장 높은 우선순위이므로 시스템이 결함 조건을 검출하고, 이를 진단하고, 이에 따라서 즉시 적절한 안전성 조치를 취하고, 매끄럽게 셧다운할 수 있어야 한다. 시스템이 실제적으로 이러한 결함 조건에 얼마나 신속하게 대응할 수 있느냐가 중요하다.

■시스템 응답성의 측정

그렇다면 실시간 응답성(real-time responsiveness)은 어떻게 측정할 수 있을 것인가? 응답성은 두 가지 성분으로 이루어진다

■인터럽트 지연시간(Interrupt Latency) – 어떤 이벤트가 발생했을 때 시스템이 이 이벤트를 얼마나 빠르게 인식할 수 있는가? 프로세서 또는 DSP 기반 애플리케이션에서 인터럽트 지연시간(I)은 인터럽트가 선언된 순간에서부터 프로세서가 현재 실행 중인 머신 명령을 완료하고 ISR(interrupt service routine)의 첫 번째 라인으로 분기한 순간까지의 간격을 말한다.

■실행 시간(Execution Time) – 이벤트를 인식한 후에는 시스템이 그 이벤트를 얼마나 빠르게 처리할 수 있는가? 프로세서 또는 DSP 기반 애플리케이션에서 실행 시간(E)은 프로세서가 특정 ISR 내의 모든 명령을 완료하고 정상 동작으로 돌아가는 데 걸리는 시간의 양을 말한다.

그러므로 총 응답 시간은 그림 4에서 보듯이 인터럽트 지연시간에 인터럽트 실행 시간을 더한 것이다(I + E).

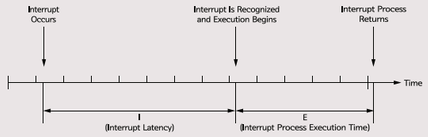


그림 4. 인터럽트 지연시간 및 프로세스 실행 시간

실시간 프로세서 및 툴

Altera의 프로그래머블 기술은 알고리즘을 가속화할 수 있는 가능성과 시스템의 실시간 응답을 향상시킬 수 있는 기회들을 제공한다. 시간적으로 중요한(time-critical) 알고리즘을 프로그래머블 로직 엘리먼트(LE)와 DSP 블록으로 구현된 고도로 병렬적인 하드웨어 솔루션과 하나 이상의 하드 또는 소프트 프로세서로 실행되는 소프트웨어 솔루션으로 효율적으로 분할할 수 있다.

표 1에서와 같이 요약하고 있는 Altera의 실시간 프로세서 및 툴을 이용함으로써 임베디드 시스템 디자이너가 하드웨어/소프트웨어 절충을 시험할 수 있으며 까다로운 실시간 성능 요구를 충족하는 새로운 솔루션을 개발할 수 있다. 실시간 요구를 충족하기 위한 해결책은 다음과 같은 Altera의 실시간 프로세서 및 툴들을 활용해서 실시간 알고리즘을 하드웨어와 소프트웨어 구현으로 신중하게 분할하는 것이다.

■하드 프로세서 (ARM Cortex™ –A9 프로세서)

■소프트 실시간 프로세서 (Nios® II 프로세서)

■DSP 블록 (가변 정밀도 하드웨어 곱셈기 및 누산기)

■스테이트 머신 (코어 패브릭의 LE를 이용한 맞춤화 하드웨어)

표 1. Altera의 실시간 툴 요약

Solution	Interrupt Latenly	Execution Speed	Data Sets	derterminism	Design Method
ARM Cortex-A9 Processor	Moderate	High	Very large	Moderate	C
Nios II Soft Processor	Low (vectored interrupt Controler)	Moderate	Large	High	C
DSP Builder + intellectual Property (IP)	Low	High to very high	Limited	Very High (no jitter)	MATLAB/ Simulink
Hardware-based State Machines	Very Low	Extremely high	small	Very High (no jitter)	FPGA disign, HDL tools

Altera의 ARM Cortex-A9 기반 하드 프로세서 서브시스템(hard processor subsystem)은 실행 속도 또는 쓰루풋이 실시간 응답 시간의 상당 부분을 차지하는 시스템에서 실시간 성능을 향상시킬 수 있다. 비대칭 멀티프로세싱(asymmetric multiprocessing) 기법을 이용함으로써 한 Cortex-A9 프로세서는 운영체제 및 메인 애플리케이션 프로그램을 실행하도록 하고 이차 Cortex-A9 프로세서는 시간적으로 중요한 실시간 기능을 전적으로 처리하도록 할 수 있다.

Altera의 Nios II 소프트 프로세서는 FPGA 자원을 활용한다. Nios II 프로세서의 최대 클록 주파수는 특정 FPGA의 코어 패브릭 성능에 따라서 제한된다.

예를 들어서 Cyclone V 디바이스는 100~150MHz Nios II 프로세서 클록 속도가 일반적이다. Nios II 프로세서는 실시간 프로세싱에 이용할 때 다음과 같은 고유의 이점들을 제공한다:

■벡터드 인터럽트 컨트롤러(vectored interrupt controller)를 이용함으로써 낮은 인터럽트 지연시간을 달성한다.

■애플리케이션으로 가능한 Nios II 프로세서의 수는 오직 FPGA 패브릭의 크기에 의해서만 제한된다.

■시간적으로 매우 중요한 단일 기능을 Nios II 프로세서로 처리하도록 함으로써 고도로 확정적인(deterministic) 인터럽트 응답 시간을 보장할 수 있으며 ARM Cortex-A9 프로세서는 다른 기능을 수행하도록 할 수 있다.

■Nios II 프로세서는 온칩 메모리를 긴밀하게 결합된 메모리로 사용할 수 있으며 여기에 중요한 실시간 알고리즘을 저장할 수 있다.

■Nios II 프로세서는 맞춤화된 명령 인터페이스를 이용함으로써 FPGA 하드웨어 기반 가속화기가 실시간 기능을 실행하고 이 결과를 직접적으로 프로세서 파이프라인으로 보낼 수 있다.

Altera의 가변 정밀도 DSP 아키텍처는 행렬 조작, 필터, 변환, DSP 연산이 실시간 응답 시간의 대부분을 차지하는 시스템에서 매우 강력한 실시간 성능을 달성할 수 있다. FPGA의 프로그래머블 아키텍처의 고도로 병렬적 특성에 풍부한 가변 정밀도 DSP 블록과 블록 SRAM을 결합함으로써 많은 애플리케이션에서 극히 뛰어난 성능을 제공한다.

예를 들어서 Altera의 Stratix 시리즈 FPGA는 1 teraFLOPS(TFLOPS) 이상의 부동소수점 DSP 성능을 제공하는데 이것은 ARM 기반 프로세서의 성능을 크게 뛰어넘는 것이며 경쟁 상대가 되는 것은 오직 하이엔드 GPU뿐이다.

이에 관해서는 “Achieving 1 TFLOPS Performance with 28nm FPGAs(28nm FPGA를 이용해서 1 TFLOPS 성능 달성)” 웹캐스트 참조.

Altera의 DSP Builder 설계 소프트웨어는 널리 이용되는 MATLAB/Simulink 소프트웨어에 플러그인으로 이용할 수 있는 것으로서, 디자이너들이 모델 기반 입력 기법을 이용해서 자동으로 RTL을 생성할 수 있으며 고정소수점 및 부동소수점 성능과 동적 범위 사이의 절충을 시험할 수 있다. 또한 디자이너들은 루프를 언롤드시켜서 최대의 성능을 달성하도록 하거나, 아니면 루프를 폴드시킴으로써 FPGA 자원을 절약할 수 있는 로직 재사용이 가능하다.

끝으로, 최상의 성능과 확정성을 달성할 수 있도록 FPGA 코어 패브릭 및 적응식 로직 모듈(adaptive logic module)은 고속의 효율적인 하드웨어 기반 스테이트 머신을 제공한다.

VHDL 또는 Verilog HDL로 작성된 맞춤화된 디자인을 통해서 FPGA는 특정한 애플리케이션으로, 특히 소규모 데이터 셋을 이용하는 애플리케이션으로 뛰어난 응답 시간을 달성할 수 있다. 하지만 설계 엔지니어가 HDL과 타이밍 맞춤을 달성하기 위한 설계 설정에 대해서 지식이 있어야 한다.

■벤치마크 예 – FOC(field-oriented control)

하드웨어/소프트웨어 절충을 통해서 달성할 수 있는 성능 향상은 전적으로 애플리케이션에 따라서 다르며 이러한 효과를 가장 잘 살펴볼 볼 수 있는 것은 바로 실제적인 벤치마크 사례일 것이다. 그림 5에서 보는 이 모터 제어 벤치마크 예는 FOC(field-oriented control) 방식을 이용하는 것으로서 이 방식은 알고리즘이 두 가지 유형의 제어 루프를 포함한다. 외측 제어 루프는 모터의 위치 및 속도를 측정하는 것으로서 낮은 프로세싱 속도를 요구하므로 기존의 프로세서 기반 솔루션을 이용하기에 적합하다.

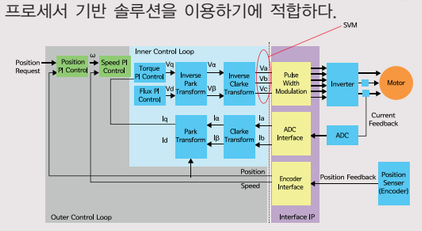


그림 5. FOC 벤치마크

반면에 내측 제어 루프는 훨씬 더 연산적으로 복잡하고 까다롭다. 내측 제어 루프는 모터로부터의 전류 피드백 측정에 대해서 Park 및 Clarke 데이터 변환과 이의 역 연산을 이용해서 토크와 유속을 계산한다. 이 결과적인 토크 및 유속 계산이 최종적으로 공간 벡터 변조(space-vector modulation) 값을 발생시킴으로써 모터를 구동한다. 이 내측 루프 연산은 훨씬 더 높은 프로세싱 속도를 요구하며 연산적으로 복잡하다.

본 고에서는 SoC로 실시간 응답을 달성하고자 할 때 해결해야 할과제와 활용 가능한 이점에 있어 ‘SOC 기술과 임베디드 시스템 설계에 대해서 알아보았다. 다음호에서는 Soc로 이용할 수 있는 하드웨어 및 소프트웨어 솔루션에 대해 알아보고자 한다.

Reference

■SoC Overview:
www.altera.com/devices/processor/soc-fpga/proc-soc-fpga.html
■AN 595: Vectored Interrupt Controller Usage and Applications:
www.altera.com/literature/an/AN595.pdf
■Nios II Custom Instruction User Guide:
www.altera.com/literature/ug/ug_nios2_custom_instruction.pdf
■Using Tightly Coupled Memory with the Nios II Processor Tutorial:
www.altera.com/literature/tt/tt_nios2_tightly_coupled_memory_tutorial.pdf
■Webcast: Achieving 1-TFLOPS Performance with 28 nm FPGAs:
www.altera.com/education/webcasts/all/wc-2010-floating-point.html

Altera Corporation
주소 : 135-090 서울시 강남구
삼성2동 테헤란로 439 연당빌딩 5층
Tel : 02-538-6895
www.altera.com
한국 지사 – Altera Korea Co., Ltd.