

TowerJazz 유상 MPW Service

- 목적 : IDEC을 통해 지원되지 않는 공정들을 저렴하게 제작 지원
- Process : 0.18um SOI(Silicon On Insulator)/ 0.35, 0.18, 0.13um SiGe

RF CMOS SOI Switch Technology							SiGe Technology			
DEVICE	PARAMETER	CA18H	CA18C	CA18Q1	CA18Q2	CA18Q1	Feature	0.35um	0.18um	0.13um
CMOS	VDD (V)	1.85	1.83.3	2.5	2.55	1.2/2.5	Location	Fab 3	Fab 3	Fab 2 and Fab 3
RF CMOS							CMOS FET	Single Gate 3.3V/5.0V	Single/Dual Gate 1.8V/3.3V	Dual Gate 1.2V/3.3V
Native NFET	VDD (V)	5	3.3	-	-	-	Ft Range	23GHz~61GHz	38GHz~240GHz	37GHz~200GHz
Resistors	Sheet resistance (ohms/sq)	6, 310	6, 310, 1000	310, 1000	310, 1000	310, 1000	MIM Cap	1fF, 2fF and 4fF	1fF, 2fF, 2.8fF, 4fF and 5.6fF	2.8fF and 5.6fF
MIM (Superconducting)	Capacitance (fF/um2)	214	214	2	2	2	Poly Resistor	95 and 11K	235 and 1K	310 and 1K
Variators	P-Noise (fF/um2) Min	1.3	1.3	NA	NA	NA	Metal Resistor	-	24	-
Metal Layers		6	4	4	4	4	Metal Levels	3 and 4	3 to 6	6
Top Metal	Thickness (um)	2.8	2.8	2.8	2.8	2.8				
Substrate	Bulk	SOI	SOI	SOI	SOI	SOI				

- MPW Schedule

Process	1Q			2Q			3Q			4Q		
	Jan	Feb	Mar	Apr	May	Jun	Jul	Aug	Sep	Oct	Nov	Dec
SBC35		5				4						
SBC18	22	19	19	16	21	18						
SBC13				2								
CA18 (SOI)	8		5		7							

연락처

TowerJazz : 하소영 과장
Office : +82-31-628-4830

IDEC : 김창수 선임 연구원
Office : +82-42-350-4424



IDEC Newsletter

IDEC Newsletter | 통권 193호 발행일 2013년 6월 09일 발행인 박인철 편집인 유 제 작 | 부출력자인 기획 | 전항기 전화 | 042) 350-8535 팩스 | 042) 350-8540 홈페이지 | http://idec.com | e-mail | jhg0929@idec.or.kr 발행처 | 반도체설계교육센터(IDEC)

2013 July

Vol.193

반도체 노화현상의 분석 및 연구동향 | 08
공정변이(Process Variation)에 의한 접근시간오류(Access Time Failure)에 강인한 L1 캐시구조 | 12
SPYGLASS Early Design Analysis for Logic Designers | 17 DAC 50차 대회 참석 후기 | 18

반도체설계교육센터 사업은 산업통상자원부, 반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 동부하이텍, 엠코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.

How do you ensure that your IP meets objective quality requirements before integration into your SoC, and that your SoC is ready for handoff to the back-end implementation ?

GenSys

- Powerful & Easy to Use RTL Restructuring and Chip Assembly
- Fully interoperable (import and export) with IP-XACT, Verilog and VHDL, CVS, Tcl
- Exploits the full power of effective design re-use and IP integration

SpyGlass

- Complete platform to optimize RTL-Lint, CDC, Constraints, DFT, Power and Congestion
- GudeWare provides best practices for high impact, low noise analysis
- Richest set of engineers that identify real implementation issues

BugScope

- High Quality assertions, or logic statements which capture key design constraint and specifications
- Functional coverage properties which expose holes in the testbench
- Increase verification observability

반도체 노화현상의 분석 및 연구동향

모바일 혁명으로 대표되는 최근의 흐름 속에 우리의 생활 속에는 스마트 폰에서 자동차에 이르기까지 수많은 전자 제품들이 자리를 잡고 있다. 이러한 제품들은 각각 기대 수명을 가지고 있으며, 제품 공급자는 기대 수명 내에서의 제품의 정상 작동을 보장할 수 있어야 한다. 시간이 지남에 따라 제품의 노화 현상이 성능에 미치는 영향에 대한 고려는 기대 수명 내에서의 정상 작동을 보장하기 위해 매우 중요하다. 이에 본 고에서는 전자 제품을 구성하는 기본 요소인 트랜지스터에 발생하는 노화 현상과 이를 고려한 트랜지스터 레벨 및 게이트 레벨에서의 회로 노화 성능 분석 기법들에 대해 간단히 살펴보고자 한다. (관련기사 P08~11참조)

공정변이(Process Variation)에 의한 접근시간오류(Access Time Failure)에 강인한 L1 캐시구조

반도체 생산공정이 미세화됨에 따라 마이크로프로세서의 크기와 전력소모는 작아졌고 성능은 향상되었다. 하지만 공정이 점점 더 미세화될수록 공정 변이(process variation)는 점점 더 커지게 되고 이는 결국 마이크로프로세서 각 구성요소의 신뢰성 및 수율(yield)을 크게 떨어뜨리게 된다[1]. 특히, 캐시(cache) 메모리를 구성하는 SRAM(Static Random Access Memory) cell은 공정변이에 매우 취약하다. 본 고에서는 2013년 유럽 설계 자동화 및 테스트 학회, 설계부분에서 아시아에 대한 최초로 최우수 논문상을 받은 김순태 교수(KAIST)의 "공정변이 (Process Variation)에 의한 접근시간오류(Access Time Failure)에 강인한 L1 캐시구조" 논문에 대한 리뷰의 시간을 갖고자 한다. (관련기사 P12~16 참조)

SPYGLASS

Atrenta사의 SpyGlass는 향상된 알고리즘을 이용한 분석기술을 바탕으로 초기 RTL에서 예측가능한 Lint, CDC, DFT, Constraints, Power, Physical 등의 문제를 미리 검증하여 설계기간 단축과 비용 절감을 위한 Solution을 제공하며, 디자인의 syntactic correctness, power consumption, testability, constraints definition, clock synchronization 등 design에 대한 RTL 단계에서 검증할 수 있는 방법을 제공한다. 본 고에서는 Atrenta 사의 "SPYGLASS"을 소개하고자 한다. (관련기사 17 참조)

DAC 50차 대회 참석 후기

지난 6월 2일부터 6일까지 미국 텍사스 주 Austin에서 열린 DAC (Design Automation Conference) 50차 회의가 진행됐다. 본 후기담은 먼저 3일간 이루어지는 Keynotes의 내용을 요약하여 설명하고, 그다음, Technical session에서 발표한 내용의 특징과 마지막으로 전시회와 관련한 특징을 간략히 요약하는 구성으로 서둘러 김태환 교수와 김재희 교수의 시선으로 살펴보고자 한다. (관련기사 P18~19 참조)

MPW (Multi-Project Wafer)															
2013년 MPW 진행 현황 * 2013년 MPW 설계팀 모집 완료															
공정	제작가능 면적 (면적)mm ² x칩수/ 회법	MPW회차	채택 팀수	실제면적 (면적)mm ² x칩수	DB마감	Die -out	비고	공정	제작가능 면적 (면적)mm ² x칩수/ 회법	MPW회차	채택 팀수	실제면적 (면적)mm ² x칩수	DB마감	Die -out	비고
삼성 65nm (년3회)	(4x4mm ²) x 48	119	23	(4x4)x23	13,3,15	13,8,15	제작중	동부 0,35um BCD (년4회)	(5x2,5mm ²) x 6	118	6	(5x2,5)x6	13,2,27	13,6,12	제작완료
		121	27	(4x4)x27	13,7,5	13,12,6	설계중			120	10	(5x2,5)x2 (2,5x2,5)x8	13,05,01	13,08,14	제작중
		126	35	(4x4)x35	13,11,8	14,4,11	설계대기중			123	8	(5x2,5)x4 (2,5x2,5)x4	13,8,14	13,11,27	설계중
매그나칩/ SK하이닉스 0,18um (년4회)	(4,5x4mm ²) x 20	118	24	(4,5x4)x16 (4,5x2)x8	13,2,18	13,7,22	제작완료	TowerJazz (2,5x2,5mm ²) SiGe(년1회) x 4		125	7	(5x2,5)x5 (2,5x2,5)x2	13,10,23	14,2,5	설계중
		120	21	(4,5x4)x19 (4,5x2)x2	13,05,06	13,10,04	제작중			119	4	(2,5x2,5)x4	13,3,12	13,7,1	제작중
		122	19	(4,5x4)x19	13,7,29	13,12,24	설계중			TowerJazz (2,5x2,5mm ²) CIS(년2회) x 4		120	4	(2,5x2,5)x4	13,05,06
125	23	(4,5x4)x23	13,10,21	14,3,25	설계중	20	4	(2,5x2,5)x4	13,10,14			14,2,17	설계중		
매그나칩/ SK하이닉스 0,35um (년2회)	(5x4mm ²) x 20	121	20	(5x4)x20	13,6,17	13,10,4	DB검토중	TowerJazz (5x2,5mm ²) BCD(년2회) x 4		120	2	(5x5)x1 (5x2,5)x1	13,05,20	13,09,16	제작중
		127	15	(5x4)x15	13,12,2	14,3,25	설계대기중			125	2	(5x5)x2	13,10,21	14,2,17	설계중
동부 0,11um (년2회)	(5x2,5mm ²) x 24	119	28	(5x2,5)x20 (2,5x2,5)x8	13,3,20	13,7,31	제작중	TowerJazz (2,5x2,5mm ²) RF(년2회) x 4		120	4	(2,5x2,5)x4	13,05,20	13,09,16	제작중
		124	28	(5x2,5)x20 (2,5x2,5)x8	13,9,11	14,1,22	설계중			20	4	(2,5x2,5)x4	13,10,21	14,2,17	설계중
동부 0,18um BCD (년4회)	(5x2,5mm ²) x 4	120	4	(5x2,5)x4	13,05,15	13,08,28	제작중			121	4	(5x2,5)x4	13,6,26	13,10,9	DB검토중
		123	8	(5x2,5)x4 (2,5x2,5)x4	13,8,21	13,12,4	설계중			126	5	(5x2,5)x3 (2,5x2,5)x2	13,11,13	14,2,6	설계대기중

* 일정은 사정에 따라 다소 변경될 수 있습니다.
* 기준 : 2013. 6. 25

* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)

Chip Design Contest (CDC)														
<p>■ International SoC Design Conference(ISOCC) 2013 Chip Design Contest 개최</p> <p>* Chip Design Contest (CDC)는 ISOCC 프로그램의 한 세션으로 진행되나, 제출한 논문은 프로시딩(Proceedings)에 포함되지 않음.</p>														
<p>1. 일정 및 장소</p> <p>가. 전체 진행 일정 : 2013년 11월 17일(일) ~ 20일(수) 나. BEXCO Convention Hall, 부산 다. CDC 주요 일정</p>														
논문 제출 마감	논문 채택 통보	Chip Design Contest												
2013. 7. 31	2013. 9. 1	2013. 11. 19												
* 일정은 사정에 따라 다소 변경될 수 있음.														
<p>2. 논문 접수 분야 : SoC 설계</p>														
<p>3. 시상 내역</p> <table border="1"> <thead> <tr> <th>Award 명</th> <th>수상팀수</th> <th>내역</th> </tr> </thead> <tbody> <tr> <td>Best Design Award</td> <td>1팀</td> <td>상장 및 상금 100만원</td> </tr> <tr> <td>Best Demo Award</td> <td>- 2개팀 - 특별상(SSCS 서울챕터상) 1팀</td> <td>각 상장 및 상금 50만원</td> </tr> <tr> <td>Best Poster Award</td> <td>- 5개팀 내외</td> <td>각 상장 및 상금 20만원</td> </tr> </tbody> </table> <p>* 수상팀 수는 참여팀 수 등에 따라 조정될 수 있음.</p>			Award 명	수상팀수	내역	Best Design Award	1팀	상장 및 상금 100만원	Best Demo Award	- 2개팀 - 특별상(SSCS 서울챕터상) 1팀	각 상장 및 상금 50만원	Best Poster Award	- 5개팀 내외	각 상장 및 상금 20만원
Award 명	수상팀수	내역												
Best Design Award	1팀	상장 및 상금 100만원												
Best Demo Award	- 2개팀 - 특별상(SSCS 서울챕터상) 1팀	각 상장 및 상금 50만원												
Best Poster Award	- 5개팀 내외	각 상장 및 상금 20만원												
<p>4. MPW 제작팀의 의무사항(CDC 참여)</p> <p>* IDEC Chip Design Contest 논문 제출 및 데모(패널) 전시</p>														
<p>5. 관련 사항</p> <p>* CDC 참여와 관련한 자세한 사항은 홈페이지(http://idec.or.kr)를 참조</p>														
* 문의 : 구제희(042-350-8536, kjh9@idec.or.kr)														

2013년 7월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

센터명	강의일자	강의제목	분류
	07월 01일-03일	고성능 데이터변환기 설계를 위한 이론 및 실습	설계강좌
	07월 08일-10일	Mixed Analog Layout	설계강좌
	07월 16일-17일	Sentaurus Training	Tool강좌
KAIST	07월 22일-23일	Calibre Advanced nmlVS Debug	Tool강좌
	07월 25일-26일	[IDEC 연구원 강의]Full-Custom 설계 Flow 교육	설계강좌
	07월 29일-30일	SoC architecture 설계	설계강좌
	08월 01일-02일	Quartus II를 이용한 PLD 디자인	설계강좌
총복대	07월 04일	A Total Leakage Minimization Techniques for Nano-Scale CMOS VLSI Circuits Design	세미나
경북대	07월 08일-10일	Advanced VLSI Design Based on Nanoscale Technology	설계강좌
광운대	07월08일-09일	Verilog HDL 기초와 실습	설계강좌
	07월10일-11일	Verilog HDL 이론 및 응용	설계강좌
	08월12일-14일	스마트기기를 위한 Linux 기반 디바이스 드라이버 개발	설계강좌
	07월 9일-11일	AUTOSAR 및 임베디드 시스템 연구	설계강좌
	07월 11일-12일	Object Recognition for Smart Cars	설계강좌
한양대	07월 16일	SoC 및 Multicore 설계1	설계강좌
	07월 25일	SoC 및 Multicore 설계2	설계강좌
	07월 30일~31일	Verilog 설계 언어 초급	설계강좌
	08월 06일~07일	고신뢰성 PCB 설계	설계강좌
	07월 17일-19일	FPGA를 이용한 Digital System 설계 및 실습	설계강좌
부산대	07월 24일-26일	Core-A를 이용한 platform 설계	설계강좌
	08월 07일-09일	Verilog HDL을 이용한 Digital System 설계	설계강좌

■ **강좌일** : 07월 16일-17일
 ■ **강좌 제목** : Sentaurus Training
 ■ **강사** : 박지선 차장(Synopsys)

■ **강좌대상** :
 · Chip설계 유 경험자 대학원생
 [강의수준] [강의형태]
 · 초중급 · 이론+실습

■ **사전지식,선수과목** :
 · Mixed Analog Circuit 의 간단한 동작 특성 해석 가능
 Process 개요 및 소자의 수평 수직 구조 이해
 Virtuoso Layout Editor이용 작업 가능 및 실무 경험(필수)
 Calibre Verification Tool 사용 및 검증 가능(필수)

■ **강좌개요** :
 Sentaurus의 기본적인 기능을 이용하여 TCAD simulation에 대한 이해를 높이고자 함.

■ **강좌대상** :
 · TCAD User (대학원생)

■ **강의수준** [강의형태]
 · 초중급 · 이론+실습

■ **사전지식,선수과목** :
 · CMOS 공정 및 소자 동작 원리

■ **강좌일** : 07월 22일-23일
 ■ **강좌 제목** : Calibre Advanced nmlVS Debug
 ■ **강사** : 박지훈 사원(Mentor Korea)

■ **강좌개요** :
 Calibre nmlVS의 개념 습득과 효율적으로 Debugging 하는 방법

■ **강좌대상** :
 · Calibre LVS user

■ **강의수준** [강의형태]
 · 초중급 · 이론+실습

■ **사전지식,선수과목** :
 · Calibre LVS 경험이 필요하나Basics 내용이 포함 되어있기 때문에 처음 Tool을 사용하시는 분도 가능 합니다.

■ **강좌일** : 07월 25일-26일
 ■ **강좌 제목** : [IDEC 연구원 강의] Full-Custom 설계 Flow 교육
 ■ **강사** : 조인신 연구원(IDECC)

■ **강좌개요** :
 CMOS 공정을 이용한 Full-custom 설계를 위한 기초 원리로서, 설계 Flow 에 대해 알아보고, 설계에 필요한 EDA Tools (Cadence Virtuoso, Mentor Calibre) 의 설정 방법과 이 EDA Tools를 이용하여 실습 프로젝트를 수행함으로써 설계능력을 배양한다.

■ **강좌대상** :
 · CMOS 공정을 이용한 아날로그 설계 분야의 입문자

■ **강의수준** [강의형태]
 · 초급 · 이론+실습

■ **사전지식,선수과목** :
 · 전자회로, 반도체 공학, 회로이론

■ **강좌일** : 07월 29일-30일
 ■ **강좌 제목** : SoC architecture 설계
 ■ **강사** : 유승주 교수(포항공과대학교)

■ **강좌개요** :
 IC 개발 단계 중 Layout 의 중요성에 대한 인식을 재고하고, Layout 수행 시 고려해야 할 사항을 고찰하며, 고려해야 할 사항에 대해 실습을 통하여 체득하게 하고, 체득된 내용을 실무에 적용할 수 있도록 하는데 목표를 갖는다.

[강좌개요]

System-on-chip의 bus로 널리 사용되는 ARM AMBA3 AXI bus의 프로토콜, 구현과 DRAM memory subsystem에 대한 이론교육과 실습

[수강대상]

· SoC 설계전공 대학원생, 기업체 연구원

[강의수준] [강의형태]

· 고급 · 이론+실습

[사전지식,선수과목]

· 디지털시스템 설계, 컴퓨터구조(optional)

- 강좌일 : 08월 01일-02일
- 강좌 제목 : Quartus II를 이용한 PLD 디자인
- 강사 : 이재철 부장(엑시오스)

[강좌개요]

본 "ALTERA Quartus II를 이용한 PLD 디자인" 과목은 PLD 설계 경험은 없으나 향후 PLD를 사용하여 설계할 계획이 있거나, PLD 설계에 대해 관심이 있는 사람을 대상으로 하는 기초 교육 과정입니다. 본 강의는 이들에 걸쳐 이루어지는데 이론과 0실습을 병행하여 진행함으로써 본 과정을 이수한 사람으로 하여금 ALTERA PLD 디바이스의 구조와 PLD를 사용한 설계에 대한 기본 개념을 파악하도록 하는데 그 목적이 있습니다. 이론 강의의 내용으로는 ALTERA의 Stratix series, Cyclone Series, MAX series 디바이스의 구조 및 특징에 대한 설명과 ALTERA의 설계 툴인 Quartus II 등의 소프트웨어와 디바이스 제품군 소개, 그리고 마지막으로 하드웨어 설계용 언어인 HDL을 이용한 디자인으로 그 내용이 구성이 되어 있습니다. 실습 강의는 비교적 간단한 회로를 예제로 실제 Quartus II 소프트웨어를 사용하여 구현해 봄으로써 ALTERA PLD 설계의 기본 개념을 파악할 수 있도록 구성되어 있습니다.

[수강대상]

· 석박사 대학원생

[강의수준] [강의형태] [사전지식,선수과목]

· 초중급 · 이론+실습 · 디지털 논리 회로

* 문의 : KAIST IDEC 구재희 (042-350-8536, kjh9@idec.or.kr)

▷충북대 개설 강좌 안내

- 강좌일 : 07월 04일
- 강좌 제목 : A Total Leakage Minimization Techniques for Nano-Scale CMOS VLSI Circuits Design
- 강사 : Yong-Bin, Kim (Northeastern University)

[강좌개요]

This talk presents a novel design method to minimize the leakage power during standby mode using a novel and total leakage minimizing techniques such as minimum leakage input pattern, adaptive supply voltage, and body-bias voltage generating techniques for nanoscale VLSI systems. The process, voltage, and temperature (PVT) variations are monitored and controlled independently by their own dedicated systems. The minimum level of power supply and the optimum body-bias voltage are generated for different temperature and process conditions adaptively using a lookup table method based on the PVT monitoring and controlling systems. The power supply variations is accurately compensated adaptively through the monitoring circuits based on the propagation delay change of the inverter chains. The subthreshold current as well as gate-tunneling and band-to-band-tunneling currents are monitored and minimized adaptively by the optimally

generated body-bias voltage. The proposed design method reduces the leakage power at least by 500 times for ISCAS' 85 benchmark circuits designed using 32-nm CMOS technology comparing to the case where the method is not applied.

[수강대상]

· 관련 전공 학생 및 관련업종 임직원

[강의수준]

· 초급+중급

* 문의 : 충북대학교 IDEC 라해미 (043-261-3572, idec_haemi@naver.com)

▷경북대 IPC 개설강좌 안내

- 강좌일 : 07월 08일-10일
- 강좌 제목 : Advanced VLSI Design Based on Nanoscale Technology
- 강사 : 김용빈 교수(Northeastern University)

[강좌개요]

This class will focus on high speed and high performance CMOS designs issues. This class will give students a feeling for many ways a circuit can fail and the type of modeling and testing needed to ensure that the circuit will work in production. The course goal is to study state-of-the-art digital design issues design methodologies and concepts, and design techniques. Students will work on advanced digital systems design issues. The latest design issues such as low-power and high frequency VLSI systems design and signal integrity are investigated in depth from the current literature. This class will provide examples of current design practice that is being used in industry, so students can evaluate them and come to their own conclusions about their efficacy. This experimentation will help students with building the foundation they need to choose the appropriate circuits and verification methods to their problems. The class topics include overview of CMOS technology including fabrication process, device models/transistor theory, transistor characteristics and wires, power estimation, worst case combinational and sequential circuit design, simulation methods as the first part of the class, and circuit families from simple static CMOS to advanced forms dealing with high frequency and high performance issues of those circuits. If time permits, the class will focus on larger issues such as design methodology, clock skew analysis and clock distribution, power analysis and power line distribution, megacell design flow and issues such as adder, PLL, Memory, and I/O including high speed links.

[수강대상]

· 학부생, 대학원생, 관련기업체

[강의수준] [강의형태]

· 초+중급 · 이론+실습

[사전지식,선수과목]

· Undergraduate Electronic Circuit
· Digital Logic Design
· HSPICE
· Cadence Experiences will help

* 문의 : 경북대학교 IDEC 주현아 (063-950-6857, idec@ee.knu.ac.kr)

▷광운대 IPC 개설 강좌 안내

- 강좌일 : 07월 08일-09일
- 강좌 제목 : Verilog HDL 기초와 실습
- 강사 : 조경순 교수(한국외국어대학교)

[강좌개요]

시스템 IC 분야에서 가장 널리 사용하는 하드웨어기술언어 Verilog HDL에 대한 기초와 이를 응용하여 회로를 설계하는 기법을 강의한다. 1995년 IEEE 1364-1995로 표준화된 Verilog HDL은 시스템 IC 설계 방법론의 가장 핵심적인 요소이다. Verilog HDL의 기초적인 문장에 대한 강의를 하고, synthesis를 고려한 코딩 기법에 대하여 강의한다. 기초 실습으로서 여러 가지 하드웨어 구성 요소에 대한 설계를 simulation 및 synthesis 실습을 통하여 진행한다.

[수강대상]

· 일반

[강의수준] [강의형태] [사전지식,선수과목]

· 초급 · 이론+실습 · 디지털 논리 회로

- 강좌일 : 07월 10일-11일
- 강좌 제목 : Verilog HDL 이론 및 응용
- 강사 : 조경순 교수(한국외국어대학교)

[강좌개요]

시스템 IC 분야에서 가장 널리 사용하는 하드웨어기술언어 Verilog HDL에 대한 이론과 이를 응용하여 회로를 설계하는 기법을 강의한다. Verilog HDL의 기본적인 문장들에 대해 살펴본 다음, 심화 내용으로서 non-determinism, non-blocking assignment 등을 concurrent process, simulation timing model과 같은 이론을 바탕으로 설명한다. 설계 실습으로서 영상압축 표준 JPEG의 DCT 모듈을 Verilog HDL을 이용하여 설계하고 검증한다.

[수강대상]

· 일반

[강의수준] [강의형태] [사전지식,선수과목]

· 초급 · 이론+실습 · Verilog HDL 기초와 실습

- 강좌일 : 08월 12일-14일
- 강좌 제목 : 스마트기기를 위한 Linux 기반 디바이스 드라이버 개발
- 강사 : 이광엽 교수(서경대학교)

[강좌개요]

스마트 TV를 비롯한 스마트 단말기에서 주변하드웨어 장치를 확장하기 위해서는 구동 소프트웨어와 원활하게 동작하도록 해당 하드웨어 장치의 디바이스 드라이버 개발이 필수적으로 요구된다. 본 강의에서는 Linux기반에서 스마트 단말기기의 주변장치의 디바이스 드라이버를 개발하고 응용할 수 있는 능력을 배양한다.

[수강대상]

· 일반

[강의수준] [강의형태] [사전지식,선수과목]

· 초급 · 이론+실습 · C언어, Linux

* 광운대학교 IPC센터 박주미 (02-940-5448, smartipc@kw.ac.kr)

▷한양대 IPC 개설 강좌 안내

- 강좌일 : 07월 9일-11일 (장소:전북대)
- 강좌 제목 : AUTOSAR 및 임베디드 시스템 연구 (AUTOSAR 개발 환경 및 UML I/AUTOSAR MCAL, VFB, RTE/ 자동차 소프트웨어 공학/전자식 대쉬보드 구현)
- 강사 : 이종열 교수(전북대학교) / 조정훈 교수(경북대학교)

[강좌개요]

자동차용 오픈 소프트웨어 아키텍처인 AUTOSAR에 대하여 소개한다. AUTOSAR layered architecture의 여러 레이어, SWC (Software Component), VFB(Virtual Functional Bus), RTE (Runtime Environment)

등에 대하여 소개한다. (AUTOSAR 개발 환경 및 UML I/AUTOSAR MCAL,VFB, RTE/자동차 소프트웨어 공학/전자식 대쉬보드 구현)

[수강대상]

· 석박사 과정, 관련 회사원

[강의수준] [강의형태] [사전지식,선수과목]

· 초중급 · 이론/실습 · 이미지 프로세싱, 컴퓨터 비전

- 강좌일 : 07월 11일-12일
- 강좌 제목 : Object Recognition for Smart Cars (영상 처리 개요/패턴 인식, PCA/차선 인식/Smart phone based ADAS/ Object Tracking/OpenCV)
- 강사 : 박노준 교수(아주대학교) / 김학일 교수(인하대학교)

[강좌개요]

본 강좌에서는 카메라를 이용한 차량 안전 운전 시스템 플랫폼 기술의 기반이 되는 영상처리의 기초적인 내용을 다룬다. 이를 위해 카메라, 컬러, 모폴로지 연산, 영상분할 및 외곽선 검출 등에 대해 배우며 기초적인 동영상 처리도 배운다.마지막으로 OpenCV 실습을 통해 차량에서 얻은 영상에서 간단한 외곽선 검출 알고리즘을 이용한 차선 인식을 구현해 보도록 한다.

스마트폰의 GPS에서 제공된 3차원 위치정보를 기반으로 차선을 효과적으로 인식하고, Viola-Jones 알고리즘을 이용하여 전방의 차량을 인식하는 기술을 소개한다.

자형형 자동차 기술 가운데, 비전센서를 이용하여 차량 주위의 보행자 또는 전후방의 차량들을 탐지하고 추적하는 동영상 처리 기술들을 다룬다. Viola-Jones 물체인식, Optical flow, KLT-transform, Kalman filter, Particle filter 기술들의 이론을 배우고, OpenCV 또는 Matlab을 이용한 프로그래밍 실습을 통하여 각 알고리즘들의 특성을 이해한다.

[수강대상]

· 석박사 과정, 관련 회사원

[강의수준] [강의형태] [사전지식,선수과목]

· 초중급 · 이론/실습 · 이미지 프로세싱, 컴퓨터 비전

[사전지식,선수과목]

· 이미지 프로세싱, 컴퓨터 비전

- 강좌일 : 07월 16일
- 강좌 제목 : SoC 및 Multicore 설계 1
- 강사 : 김진상 교수(경희대학교) / 조경순 교수(한국외대)

[강좌개요]

먼저 SoC 설계의 개발 동향과 개요, 저전력과 관련 된 이슈들에 대해서 소개한다. 그리고 저전력을 위한 Clock Gating, Multi-threshold, DVFS 등 여러 기술들의 특징 및 장단점들을 설명한다. 미래 시장에서도 많은 수요가 발생 할 MPSoC 기술에 대하여 설명한다. 멀티코어 시스템에 효과적으로 매핑/스케줄링을 위한 방법으로 Static과 Dynamic Scheduling 방법의 장 단점에 대해서도 논의 한다. 최근 반도체 공정의 발달로 인한 집적도 향상으로 설계의 복잡도도 함께 상승하고 있다. 설계 규모가 커지고 복잡도로 인한 문제들이 발생하고 있는데, 이를 해결하기 위한 floorplanning 방법에 대해서도 강의한다.

(SoC Design/Hardware Modeling, Simulation, Synthesis/Logic Synthesis)

[수강대상]

· 석박사 과정, 관련 회사원

[강의수준] [강의형태]

· 중급 · 이론/실습

[사전지식, 선수과목]

· VLSI 집적회로, 알고리즘 어플리케이션

- 강좌일 : 07월 25일
- 강좌 제목 : SoC 및 Multicore 설계 2
- 강사 : 정기석 교수(한양대학교) / 최기영 교수(서울대학교)

[강좌개요]

먼저 SoC 설계의 개발 동향과 개요, 저전력과 관련 된 이슈들에 대해서 소개한다. 그리고 저전력을 위한 Clock Gating, Multi-threshold, DVFS 등 여러 기술들의 특징 및 장단점을 설명한다. 미래 시장에서도 많은 수요가 발생 할 MPSoC 기술에 대하여 설명한다. 멀티코어 시스템에 효과적으로 매핑/스케줄링을 위한 방법으로 Static과 Dynamic Scheduling 방법의 장 단점에 대해서도 논의 한다. 최근 반도체 공정의 발달로 인한 집적도 향상으로 설계의 복잡도도 함께 상승하고 있다. 설계 규모가 커지고 복잡도로 인한 문제들이 발생하고 있는데, 이를 해결하기 위한 floorplanning 방법에 대해서도 강의한다.

(Multicore software programming/System Specification, Embedded Processor& Software/Multi-core SoC Design Methodology)

- [수강대상]**
· 석박사 과정, 관련 회사원
- [강의수준]** **[강의형태]**
· 중급 · 이론/실습

[사전지식, 선수과목]

· VLSI 집적회로, 알고리즘 어플리케이션

- 강좌일 : 07월 30일-31일
- 강좌 제목 : Verilog 설계 언어 초급
- 강사 : 송재훈 박사(트란스노)

[강좌개요]

Verilog HDL은 업계표준으로 널리 사용되고 있는 범용 하드웨어 기술 언어이다. 설계의 규모가 점점 대형화되고, 따라서 요약된 설계 기술 표현이 요구되는 상황에서 Verilog는 필수 설계언어로 인식되고 있다. 본 강좌를 통해 Verilog 언어에 대한 이해와 회로합성 (synthesis) 측면에 기초한 올바른 RTL 코딩 기술 방법 및 설계 가이드라인에 대해 다룸으로써 효과적인 설계를 할 수 있도록 이론과 실습수업을 병행 하도록한다.

- [수강대상]**
· 석박사 과정, 관련 회사원
- [강의수준]** **[강의형태]**
· 초급 · 이론/실습

[사전지식, 선수과목]

· Unix 또는 linux 기본적 사용법 정도의 지식, 디지털 논리회로에 대한 기본 지식 (필수는 아님)

- 강좌일 : 08월 06일-07일
- 강좌 제목 : 고신뢰성 PCB 설계
- 강사 : 유수일 과장(나인플러스EDA)

[강좌개요]

EDA Solution 분야에서 세계적 강자인 케이던스(Cadence)사의 System 형 PCB, 세부회로의 Driven Rule을 지정하고 설계 특성을 부여하여 효율적인 PCB 설계 방법을 익혀본다. 설계도구로써 전 세계적으로 전략적으로 사용하는 Cadence Allegro PCB Design의 설계 방법에 대해 알아본다. (OrCAD Capture의 User Interface/ PCB Artwork을 위한 도면 설계/도면 후처리 및 Netlist 생성/Allegro PCB Designer User Interface/PCB Libraries Feature/Netlist Import / Board 환경설정/Design Rule의 이

해와 적용/Constraint Driven/Manual Placement/Floorplanning Placement/Floorplanning Placement/Interactive Route/Copper 설정 및 Gerber Data 생성)

- [수강대상]**
· 학부생, 석박사 과정, 관련 회사원
- [강의수준]** **[강의형태]**
· 초중급 · 이론/실습

* 문의 : 한양대IPC 이은영 (031-400-4079, hyuipc@gmail.com)

>부산대 개설 강좌 안내

- 강좌일 : 07월 17일-19일
- 강좌 제목 : FPGA을 이용한 Digital System 설계 및 실습
- 강사 : 윤병우 (경성대학교 전기전자공학과)

[강좌개요]

본 강좌에서는 FPGA 설계 툴을 이용하여 디지털시계를 설계하고 Xilinx FPGA 칩에 다운로드하여 설계한 회로를 검증한다. 본 설계에서는 디지털 시계, 스톱워치를 설계하고 각종 디코더 및 컨트롤 로직 등을 설계해 봄으로써 FPGA의 개념과 디지털 시스템 설계에 대한 능력을 배양한다.

- [수강대상]** **[강의수준]** **[강의형태]**
· 논리회로이수자 · 중급 · 이론+실습

[사전지식, 선수과목]

· 논리회로의 개념, 각종 카운터 및 디코더 등

- 강좌일 : 07월 24일-26일
- 강좌 제목 : Core-A를 이용한 platform 설계
- 강사 : 박주성 (부산대학교 전자공학과)

[강좌개요]

본 강좌에서는 특허청 지원으로 개발한 한국형 CPU인 Core-A를 기반으로 각종 IP를 활용하여 간단한 플랫폼을 개발하는 과정을 다룬다. Core-A에 대한 이해와 AMBA BUS의 구성 방법 그리고 IP모듈 추가 및 검증과정에 대한 이해를 목표로 한다.

- [수강대상]** **[강의수준]**
· 학부생 3,4학년 및 대학원생 · 고급

[강의형태] **[사전지식, 선수과목]**

· 이론+실습 · HDL language, C language

- 강좌일 : 08월 07일-09일
- 강좌 제목 : Verilog HDL을 이용한 Digital System 설계
- 강사 : 강봉순(동아대학교 전자과)

[강좌개요]

디지털 하드웨어 설계의 국제 표준언어인 Verilog HDL의 기초이론과 응용에 대하여 학습한다. 습득한 이론을 바탕으로 기능 블록을 설계하고, 최종적으로 디지털 전자시계의 전체 기능을 Verilog HDL을 이용하여 설계한 후에 Training Kit에 Download 하여 기능을 확인한다.

- [수강대상]**
· 2학년 수료자, 디지털논리회로 설계 초보자
- [강의수준]** **[강의형태]** **[사전지식, 선수과목]**
· 중급 · 이론+실습 · 논리회로

* 문의 : 부산대 IDEC 윤성심 (051-510-2828, idec@pusan.ac.kr)

ISOCC 2013

Sunday-Tuesday, November 17-19, 2013

BEXCO Convention Hall, Busan, Korea

<http://www.isocc.org> (Main Theme: SoC Design for Creative Future Technology)

2013 International SoC Design Conference

Call for Papers



International SoC Design Conference (ISOCC) aims at providing the world's premier SoC design forum for leading researchers from academia and industries. Prospective authors are invited to submit papers of their original works emphasizing contributions beyond the present state of the art. ISOCC 2013 is technically co-sponsored by **IEEE CAS** Society and accepted papers will be published on **IEEE Xplore**. We also welcome proposals on special sessions.

Paper Submission

Complete 2-page to 4-page manuscript (in Standard IEEE double-column format) is requested. Papers must be submitted electronically in PDF format. Only electronic submission will be accepted. For more information, please refer to the conference website: <http://www.isocc.org>.

Areas of Interest

- | | |
|--|---------------------------------------|
| Analog and Mixed-Signal Circuits | Communication SoCs |
| Display Driver and Imaging Devices | Embedded Memories |
| Embedded System Software | High Speed Signal Interfaces |
| Low Power Design Techniques | Microprocessor and DSP Architectures |
| Energy-Aware Systems | SoC Design Methodology |
| Multimedia (A/V) SoCs | SoCs for Automotive Technology |
| Wireline & Wireless Ics (RF ICs) | Sensor & MEMS |
| Signal Integrity/Interconnect Modeling | Power Electronics (Energy Harvesting) |
| SoC Testing and Verification | Bio & Medical devices |

Special Sessions

Proposals are solicited for special sessions. Please submit proposals for special sessions to the special session chair.

Chip Design Contest

Design contest provides the academia with the opportunity to introduce their novel chip designs to the real world. The selected designs will be awarded.

Best Paper Awards

The authors of selected papers will be awarded for technical contributions and their papers will be invited for publication in the Journal of Semiconductor Technology and Science (SCIE) published by Institute of Electronic Engineers of Korea (IEEK). (Visit www.jsts.org for submission details).

Important Dates

- **Deadline for submission of special session proposal;** **01 Jul. 2013**
- **Acceptance notice of special session proposal;** **01 Jul. 2013**
- **Deadline for submission of regular session full paper;** **21 Jul. 2013**
- **Deadline for submission of chip design contest ;** **21 Jul. 2013**
- **Deadline for submission of special session full paper;** **21 Jul. 2013**
- **Notification of acceptance (all submitted papers);** **01 Sep. 2013**
- **Deadline for author and early-bird registration;** **15 Sep. 2013**

At least one author of each accepted paper must register by September 15, 2013.



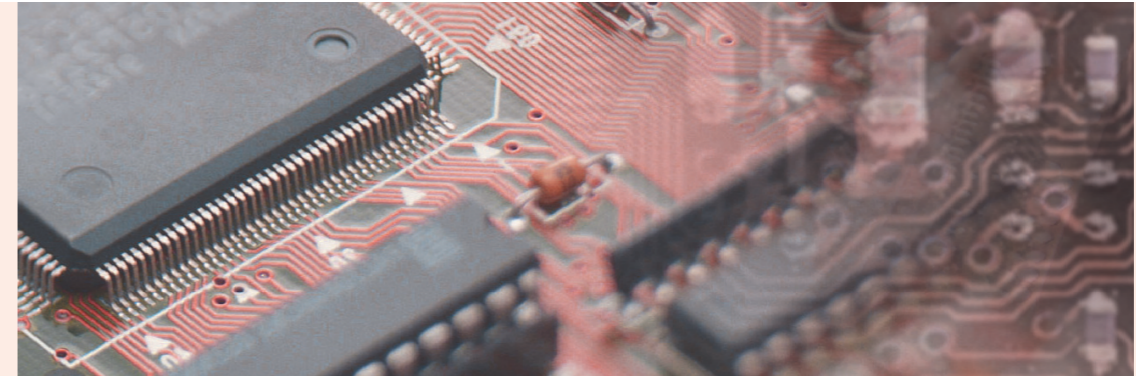


반도체 노화현상의 분석 및 연구동향



서강대학교 컴퓨터공학과

김주호 교수
 연구분야 : CAD & Security Research
 E-mail : jhkim@sogang.ac.kr
 http://cslab.sogang.ac.kr/



반도체 노화현상

서론

모바일 혁명으로 대표되는 최근의 흐름 속에 우리의 생활 속에는 스마트폰에서 자동차에 이르기까지 수많은 전자 제품들이 자리를 잡고 있다. 이러한 제품들은 각각 기대 수명을 가지고 있으며, 제품 공급자는 기대 수명 내에서의 제품의 정상 작동을 보장할 수 있어야 한다.

만약 기대 수명 내에서의 정상 작동을 보장할 수 없다면, 애프터서비스 등의 추가적인 비용을 발생시킬 뿐 아니라 고객이 가지는 제품의 이미지 및 나아가 브랜드의 이미지에도 부정적인 영향을 미치므로 제품의 신뢰성에 대한 고려는 설계 단계에서부터 이루어져야 한다.

특히 시간이 지남에 따라 제품의 노화 현상이 성능에 미치는 영향에 대한 고려는 기대 수명 내에서의 정상 작동을 보장하기 위해 매우 중요하다. 이에 본 고에서는 전자 제품을 구성하는 기본 요소인 트랜지스터에 발생하는 노화 현상과 이를 고려한 트랜지스터 레벨 및 게이트 레벨에서의 회로 노화 성능 분석 기법들에 대해 간단히 살펴보고자 한다.

트랜지스터에 발생하는 대표적인 노화 현상으로는 BTI (Bias-Temperature Instability), HCI (Hot Carrier Injection) 그리고 TDDB (Time-Dependent Dielectric Breakdown)을 들 수 있다. 세 현상 모두 시간이 지남에 따라 트랜지스터의 특성을 변화시켜 전체 회로의 성능을 변화시키는 요인으로 작용한다.

특히 BTI와 HCI의 경우, 트랜지스터의 문턱 전압을 변화시켜 MOSFET의 소스와 드레인 사이의 채널에 흐르는 전류의 크기에 영향을 줌으로써 게이트의 지연 시간 등을 변화시키게 된다. 각 노화 현상의 특징은 다음과 같다.

Bias-Temperature Instability

BTI는 MOSFET의 대표적인 노화 현상으로 MOSFET의 실리콘과 산화막 사이에서 생성되는 계면 준위 (Interface state generation) 등에 기인한다. BTI는 문턱 전압과 드레인 전류, 트랜스컨덕턴스 등의 MOSFET 파라미터에 영향을 줌으로써 MOSFET의 신뢰성을 위해 고려해야 할 중요한 문제로 떠올랐다. 특히 pMOSFET에서 발생하는 Negative BTI (NBTI)의 경우, 지속적인 반도체 제조 공정의 미세화에 따라 영향이 커지고 있어 그 중요성이 증가하고 있다. NBTI의 영향이 커지는 이유는 다음의 세 가지를 들 수 있다 [1].

- 제조 공정 미세화로 나타나는 쇼트 채널 효과 (Short channel effect)를 줄이기 위한 surface channel pMOSFET (그림 1.b)의 도입은 게이트 산화막에 생성되는 전기장 (Gate oxide electric field)의 증가를 가져온다. 이로 인해 buried channel pMOSFET (그림 1.a)에 비해 상대적으로 NBTI의 영향이 커진다.

- 트랜지스터의 누설 전류 등을 감소시키기 위해 제조 공정에 추가되는 질화물의 이용으로 인해 SiO₂/Si의 계면 사이에 질소가 도입되었고, 이는 NBTI에 영향을 증가시키는 요인으로 작용한다.

- 게이트 산화막 두께 (Thickness of oxide; Tox)의 미세화 및 회로 온도의 상승 폭에 비해 정격 전압은 크게 감소하고 있지 않다. 이는 게이트 산화막에서의 전기장의 크기를 증가시켜 NBTI의 영향을 증가시킨다.

그림 2는 nMOSFET에서 발생하는 positive BTI (PBTI)와 pMOSFET에서 발생하는 NBTI를 비교하고 있다. 두 현상 모두 MOSFET의 문턱 전압과 드레인 전류에 영향을 미치고 있으며, pMOSFET에서 발생하는 NBTI로 인해 변화되는 문턱 전압의 크기가 nMOSFET에서의 PBTI 영향보다 큼을 확인할 수 있다[2]. 하지만 기존의 SiO₂가 공정 미세화에 따라 충분한 기능을 못함에 따라 대체 절연막으로 사용되는 High-K 물질의 경우, PBTI의 영향이 증가하고 있어 nMOSFET에서 발생하는 PBTI 역시 그 중요성이 증가하고 있다[3].

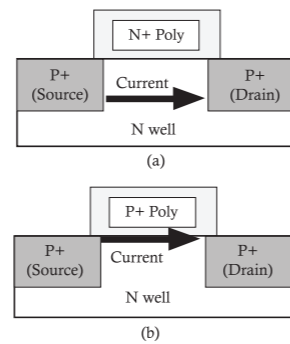


그림 1 (a) a buried-channel pMOSFET
 (b) a surface-channel pMOSFET

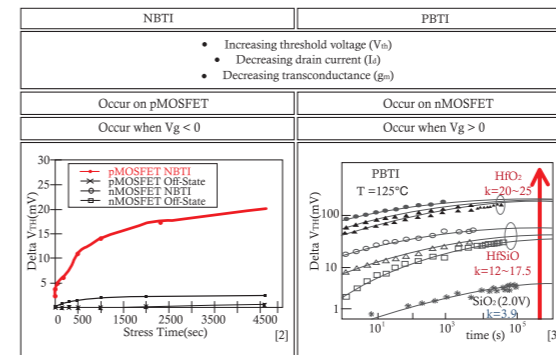


그림 2 NBTI 및 PBTI 비교

Hot Carrier Injection

HCI는 앞서 언급한 BTI와 마찬가지로 MOSFET의 실리콘과 산화막 사이의 계면 준위 생성에 의해 발생한다. 하지만 계면 준위의 발생 원인은 두 노화 현상이 차이를 보인다. 그림 3은 pMOSFET에서의 NBTI와 nMOSFET에서의 HCI의 발생 원인을 비교하고 있다. 앞서 말한 NBTI의 경우, 게이트 산화막에 생성되는 전기장에 의해 실리콘과 산화막 사이의 계면에서 수소-실리콘 결합 (Si-H bonding)이 끊어짐으로써 계면 준위가 생성된다.

반면 HCI의 경우, 채널에 전류가 흐를 때 생성되는 “핫 캐리어” (hot carrier)가 게이트 산화막으로 유입됨에 따라 계면 준위가 생성되게 된다. “핫 캐리어”란 nMOSFET의 전자나 pMOSFET의 정공이 소스와 드레인 사이의 채널을 따라 움직일 때 채널을 벗어나 게이트 산화막으로 유입될 수 있을 정도의 충분한 운동 에너지를 얻은 일부 캐리어를 의미한다. 이러한 운동 에너지는 캐리어가 채널을 따라 게이트 산화막에 생성된 전기장을 지남에 따라 얻게 되며, 따라서 MOSFET의 드레인 쪽에서 주로 유입된다.

생성된 계면 준위는 다양한 형태로 MOSFET의 디바이스 특성에 영향을 주게 된다. 먼저 생성 복합점 (generation recombination center)로 작용하여 정션 누설 (junction leakage)과 저주파 잡음에 영향을 준다. 또한, 산란점 (scattering center)으로써 채널의 이동성 (mobility)를 감소시켜 구동 전류 (drive current)에 영향을 준다.

계면 준위가 가지는 전하 상태에 따라 플랫폼 전압 (flatband

voltage)이 변화가 변화하고, 이는 결국 MOSFET의 문턱 전압 (threshold voltage)을 변화시켜 디바이스의 성능에 영향을 주게 된다.

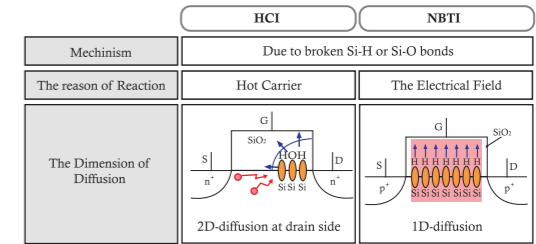


그림 3 HCI 및 NBTI 비교

Time dependent dielectric breakdown

TDDB는 게이트 산화막의 절연 능력과 관계된 노화 현상으로 앞서 언급한 BTI, HCI와는 다른 특징을 가진다. TDDB를 포함한 BTI, HCI 모두 게이트 산화막에 생성되는 전기장의 크기에 영향을 받지만 TDDB의 경우에는 산화막의 절연 능력이 상실되어 MOSFET의 기능을 온전히 수행하지 못하게 된다. 특히 일반적인 동작 환경에서 생성되는 상대적으로 약한 전기장에 지속해서 노출되어 시간이 지남에 따라 천천히 발생한다는 특징으로 인해 강한 전기장 하에서 나타나는 dielectric breakdown과는 구분되어 MOSFET 노화의 관점에서 고려된다.

그림 4는 복수의 soft breakdown (SBD)가 시간이 지남에 따라 산화막에 나타난 후, 게이트 (gate)와 서브스트레이트 (substrate) 사이에 전도 경로 (conduction path)가 형성되는 hard breakdown (HBD)가 발생하여 산화막의 절연 능력이 상실되는 과정을 보이고 있다. 다음은 TDDB 현상이 가지는 일반적인 특성들이다 [4].

- 게이트 산화막에 생성되는 전기장에 크게 영향을 받는다.
- 디바이스의 온도에 크게 영향을 받는다.
- TDDB는 극성 (polarity)의 영향을 받는다.
- 산화막을 이루는 절연 상수 k의 크기가 클수록 TDDB의 영향은 증가한다.
- TDDB의 발생 확률은 일반적으로 Weibull 확률 분포를 통해 모델링이 가능하다.

공정 미세화에 따라 산화막으로 사용되는 high-K 물질의 경우, 기



존의 SiO2에 비해 큰 k 값을 가지므로 TDDB에 더욱 취약함을 알 수 있다. 따라서 TDDB 현상은 앞서 언급한 BTI와 HCI와 함께 회로의 신뢰성을 위해 설계 단계에서 고려되어야 할 중요한 노화 현상 중 한 가지이다.

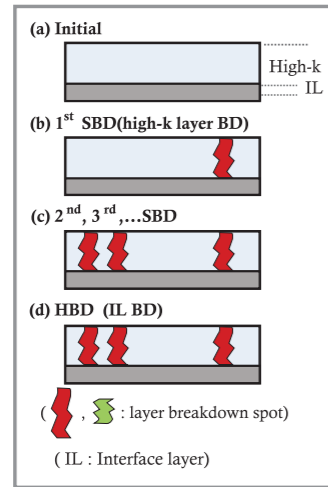


그림 4 Multiple SBD & a HBD

회로의 노화 성능 분석 기법들

Synopsys사의 MOSRA나 Cadence의 RelXpert 같은 기존의 SPICE-시뮬레이션 기반의 회로 신뢰도 분석 툴들은 그림 5와 같은 두 단계의 분석 단계를 가진다. 먼저 프리-스트레스 (Pre-stress) 단계에서 트랜지스터 레벨 시뮬레이션을 통해 각 트랜지스터의 전기적인 특성을 측정한다. 예를 들어 HCI의 영향을 계산하기 위해 각 트랜지스터의 드레인 전류 I_d 와 섀스트레이트 전류 I_{sub} 를 측정하고, NBTI의 영향을 위해 각 PMOSFET의 게이트 전압 V_g 이 높은 시간 T_{High} 과 낮은 시간 T_{Low} 를 측정할 수 있다.

이 때, 입력으로는 트랜지스터 레벨의 회로 넷리스트 외에 산화막 두께 (Tox) 등의 각 트랜지스터의 특성 정보를 담은 모델 파라미터 파일이 필요하다. 일반적으로 프리 스트레스 단계에서의 시뮬레이션을 위해 사용되는 모델 파라미터 파일은 각 트랜지스터 특성의 초기 상태, 즉 노화되지 않은 상태에서의 평균값을 사용한다.

또한, 그림 6과 같은 입력 파형 정보가 회로의 각 주 입력마다 필요하며, 주어진 입력 파형이 전체 동작 기간 중 반복된다고 가정된다. SL_{Rise} 와 SL_{Fall} 은 각각 입력 전압이 변화하는데 걸리는 입력 신호 천이 시간 (Input transition time)을 의미한다. T_{High} 와 T_{Low} 는 각각 트랜지스터 게이트의 전압이 높은 시간과 낮은 시간을 나타내며, 사용률과 $T_{Stress+Recovery}$ 를 계산하는데 사용된다. SL_{Rise} , SL_{Fall} , T_{High} 와 T_{Low} 의 합인 T_{clk} 은 입력 파형의 주기 시간을 나타내며, 회로의 전체 수명 동안 해당 신호가 반복된다고 가정한다.

프리-스트레스 단계에서의 시뮬레이션 결과로 측정된 각 트랜지스터의 전기적 특성과 식 (2.1,2,3)과 같은 노화 모델을 바탕으로 각 트랜지스터의 노화 영향을 계산할 수 있다. 이후, 계산된 각 트랜지

스터의 노화 영향을 모델 파라미터에 반영하여 새로운 모델 파라미터 파일을 생성한다. 다음으로 포스트-스트레스 (Post-stress) 단계에서 새로 생성된 모델 파라미터를 이용하여 SPICE-시뮬레이션을 수행함으로써 노화된 이후의 회로 성능을 분석한다.

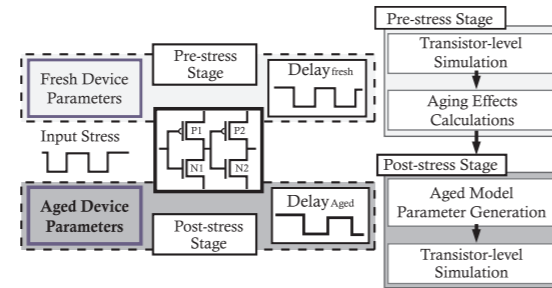


그림 5 트랜지스터 레벨에서의 노화 성능 분석 플로우

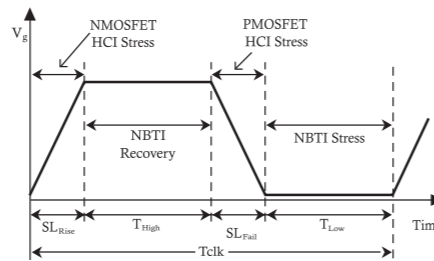


그림 6 노화 성능 분석을 위한 스트레스 입력 파형

그림 7은 기존의 게이트 레벨에서의 회로 노화 성능 분석 기법을 보이고 있다. 이때 회로의 미치는 노화의 영향을 고려하는 방법은 크게 최악의 노화 영향을 반영한 별도의 스탠다드 셀 라이브러리를 이용하는 방법과 스트레스 예측 및 노화 지연시간 모델을 이용한 방법 [5]을 들 수 있다.

스트레스 예측 및 노화 지연시간 모델을 사용하는 경우, 회로를 구성하는 각 셀의 입력에 가해지는 스트레스를 계산할 수 있다는 장점을 가지고 있다. 각 셀에 가해지는 스트레스를 예측하는 방법으로는 논리 시뮬레이션 (Logic simulation)을 통한 방법과 확률적인 방법 (Probabilistic method)을 사용할 수 있다.

두 방법 모두 회로의 주 입력 신호에 대한 정보를 필요로 하는데, 이는 셀 입력의 전압이 높은 상태에서의 시간 (T_{High})과 낮은 상태에서의 시간(T_{Low})의 합인 $T_{Stress+Recovery}$ ($=T_{High}+T_{Low}$)와 사용률 α ($=T_{High}/T_{Stress+Recovery}$)로 나타난다.

논리 시뮬레이션을 사용하는 경우, 각 단위 시간마다 주 입력 (Primary inputs)에서의 값을 사용률 및 $T_{Stress+Recovery}$ 에 기반을 두어 랜덤 생성하고, 그에 대한 논리 시뮬레이션을 반복한다. 일정 시간 동안의 논리 시뮬레이션 결과를 바탕으로 회로에 속한 각 셀 입력에서의 사용률 및 $T_{Stress+Recovery}$ 를 계산해낼 수 있다. 하지만 반복적인 논리 시뮬레이션이 필요하므로 회로의 크기가 큰 경우엔

그 비용이 커진다는 단점을 가지고 있다. 반면 확률적인 방법의 경우, 각 셀의 논리 특성을 이용하여 회로의 주 입력에서부터 주 출력에 이르기까지 순차적으로 계산해나가기 때문에 논리 시뮬레이션보다 빠르다는 장점을 가지고 있다.

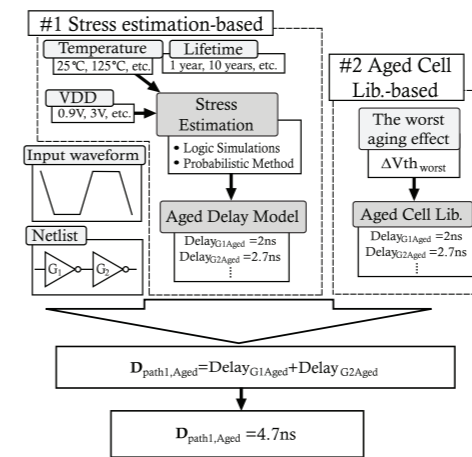


그림 7 기존의 게이트 레벨에서의 노화 성능 분석 플로우

지금까지 트랜지스터의 노화 현상 및 설계 단계에서 노화 현상이 회로에 미치는 영향을 분석하는 기법에 대해 간략히 살펴보았다. 트랜지스터의 노화 현상을 고려한 회로의 설계는 회로의 신뢰성을 향상시키는데 매우 중요하다.

특히 빠른 제조 공정의 발달 및 치열한 세계적인 경쟁 구도 속에서 더 나은 제품 경쟁력을 갖추기 위해 그 중요성은 점차 증가할 것으로 예상된다.

Reference

[1] Alvin W. Strong, Ernest Y. Wu, Rolf-Peter Vollertsen, Jordi Sune, Giuseppe La Rosa, and Timothy D. Sullivan, 2006. Reliability Wearout Mechanisms in Advanced CMOS Technologies, John Wiley & Sons.
 [2] Reddy, V.; Krishnan, A.T.; Marshall, A.; Rodriguez, John; Natarajan, S.; Rost, T.; Krishnan, Srikanth, "Impact of negative bias temperature instability on digital circuit reliability," Reliability Physics Symposium Proceedings, 2002, 40th Annual , vol., no., pp.248,254, 2002
 [3] Zafar, S.; Kim, Y.-H.; Narayanan, V.; Cabral, C.; Paruchuri, V.; Doris, B.; Stathis, J.; Callegari, A.; Chudzik, M., "A Comparative Study of NBTI and PBTI (Charge Trapping) in SiO2/HfO2 Stacks with FUSI, TiN, Re Gates," VLSI Technology, 2006. Digest of Technical Papers, 2006 Symposium on , vol., no., pp.23,25.
 [4] J.W. McPherson, Time dependent dielectric breakdown physics-Models revisited, Microelectronics Reliability, Volume 52, Issues 9-10, September-October 2012, Pages 1753-1760
 [5] Wenping Wang; Shengqi Yang; Bhardwaj, S.; Vrudhula, S.; Liu, T.; Yu Cao, "The Impact of NBTI Effect on Combinational Circuit: Modeling, Simulation, and Analysis," Very Large Scale Integration (VLSI) Systems, IEEE Transactions on , vol.18, no.2, pp.173,183, Feb. 2010



공정변이(Process Variation)에 의한 접근시간 오류 (Access Time Failure)에 강인한 L1 캐시구조



KAIST 전산학과

김순태 부교수

연구분야 : Embedded System/Software, Computer Architecture, Low-power, Reliability, Real-time System

E-mail : kims@kaist.ac.kr

http://ecl.kaist.ac.kr



KAIST 전산학과

홍석인 박사과정

연구분야 : Computer architecture, Fault tolerant system, Memory system

E-mail : seokin@kaist.ac.kr

http://ecl.kaist.ac.kr



김순태 부교수

서론

반도체 생산공정이 미세화됨에 따라 마이크로프로세서의 크기와 전력소모는 작아졌고 성능은 향상되었다. 하지만 공정이 점점 더 미세화될수록 공정 변이(process variation)는 점점 더 커지게 되고 이는 결국 마이크로프로세서 각 구성요소의 신뢰성 및 수율(yield)을 크게 떨어뜨리게 된다[1]. 특히, 캐시(cache) 메모리를 구성하는 SRAM(Static Random Access Memory) cell은 공정변이에 매우 취약하다.

SRAM cell에서의 공정변이로 인해 캐시 메모리에서는 읽기 오류(read failure), 쓰기 오류(write failure), 그리고 접근 시간 오류(access time failure)가 발생할 수 있다[2].

읽기 오류는 SRAM cell에 저장된 데이터가 읽기 동작 중 변경될 때 발생하고 쓰기 및 접근 시간 오류는 SRAM cell에 대한 쓰기 및 읽기 동작에 필요한 시간이 설계 시 지정한 최대치를 초과할 때 발생한다.

그림 1은 트랜지스터의 문턱 전압(threshold voltage) 편차에 따른 오류 발생률을 보여준다. 이 그림에서 볼 수 있듯이 접근시간오류의 발생률이 다른 오류에 비해 매우 크다.

특히, 미세공정에 따라 공정변이가 심화될수록 접근시간오류 발생률은 급격히 증가하기 때문에 이를 효과적으로 해결할 수 있는 기술이 반드시 필요하다. 본 칼럼에서는 접근시간오류 발생률에 영향을 받지 않는 L1 캐시 구조(AVICA) [3]에 대해 소개하고자 한다.

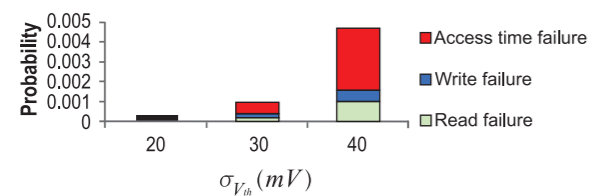


그림 1. 트랜지스터의 문턱 전압 편차에 따른 캐시 메모리에서의 오류 발생률

본문

연구동향

앞서 얘기한 것과 같이 접근시간오류는 SRAM cell에 저장된 데이

터를 읽기 위해 필요한 시간(접근시간)이 설계 단계에서 지정한 최대치를 초과할 때 발생한다. 이는 해당 SRAM cell에 저장된 데이터를 정확하게 읽을 수 없음을 의미한다. 이를 해결하기 위한 기법은 다음과 같이 크게 세 분류로 나눌 수 있다.

Error Correction Code (ECC)

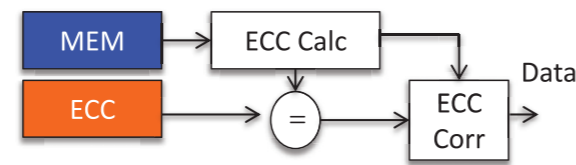
ECC는 읽히거나 전송되고 있는 데이터에 오류가 생겼는지를 검사하고 정정할 수 있는 코딩기법으로 현재 캐시 메모리에도 적용되어 사용되고 있다. 우리는 ECC를 사용하여 접근시간오류도 해결할 수 있다. 하지만 공정 미세화에 따라 접근시간오류 발생률이 증가할 경우, 예러정정에 필요한 비용 또한 많이 증가하게 된다[4].

Redundancy

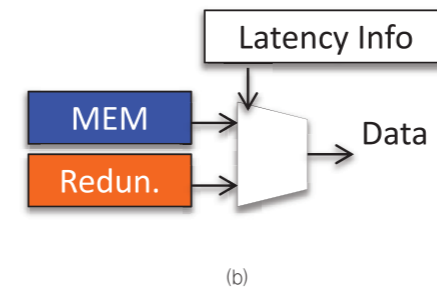
캐시 메모리를 설계하는 단계에서 여분의 SRAM cell을 추가하여, 접근시간오류를 발생시키는 SRAM cell을 대체하도록 하는 기법들이 제안되었다[5, 6, 7]. 이러한 기법들은 접근시간오류뿐만 아니라 읽기 및 쓰기도 해결할 수 있다. 하지만 공정변이가 심화함에 따라 추가로 필요한 여분 SRAM cell의 수가 크게 증가하게 되고 이들을 사용하여 메모리 어레이(array)를 재구성하기 위한 복잡한 Interconnection network가 필요하게 한다.

Variable-latency Cache

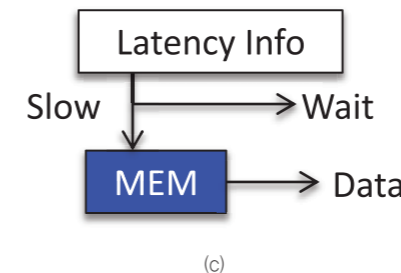
SRAM cell의 접근시간 편차를 고려하여 가변적인 읽기 동작을 지원하는 캐시구조가 제안되었다[8, 9]. 이들 기법에서는 캐시라인(cache line)을 구성하는 SRAM cell들의 접근시간을 고려하여 해당 캐시라인에 대한 읽기 지연시간(latency)을 결정하고 이를 기록해 둔다. 이를 바탕으로 접근시간이 긴 SRAM cell이 포함된 캐시라인에 대해서는 더욱 긴 시간 동안 읽기 동작을 수행할 수 있도록 한다. 이 기법들은 접근시간오류 발생률이 낮을 때는 효과적인 수 있으나 공정변이가 심화할 경우 모든 캐시라인에 대한 읽기 동작을 느리게 수행하게 되어 성능을 많이 감소시킨다.



(a)



(b)



(c)

그림 2. (a) Error Correction Code. (b) Redundancy (c) Variable-latency Cache

AVICA L1 캐시

앞서 살펴본 기존 기법들은 접근시간오류 발생률이 증가함에 따라 추가 비용이 크게 증가하거나 시스템 성능을 많이 감소시키는 한계가 있다. 기존 기법들의 이러한 한계점을 해결하기 위해 AVICA L1 캐시 구조가 제안되었다[3].

AVICA L1 캐시 구조는 비대칭 파이프라이닝(asymmetric pipelining)과 가상 멀티뱅크(Pseudo multi-banking)이라는 두 개념을 도입하여 설계되었다. 비대칭 파이프라이닝을 통해 접근시간오류 문제를 해결하고 가상 멀티뱅크를 통해 비대칭 파이프라이닝이 초래하는 시스템 성능감소를 최소화한다.

비대칭 파이프라이닝 (Asymmetric Pipelining)

현대의 고성능 프로세서에서는 메모리 명령어의 처리율을 향상시키기 위해 캐시 메모리 접근(읽기 및 쓰기) 동작이 파이프라이닝(pipelining)되어 수행된다. 이는 비트라인(bitline) 및 워드라인(wordline)에서의 지연시간이 미세공정에서 잘 스케일링되지 않아 캐시 접근 동작이 여러 사이클에 걸쳐 수행되기 때문이다.

L1 캐시 접근 동작을 3단계 파이프라이닝으로 나누었을 때 각 단계에서는 어드레스 디코드(address decode, AD), cell 접근(cell access, CA) 그리고 데이터 출력(data out, DO) 동작을 수행한다.

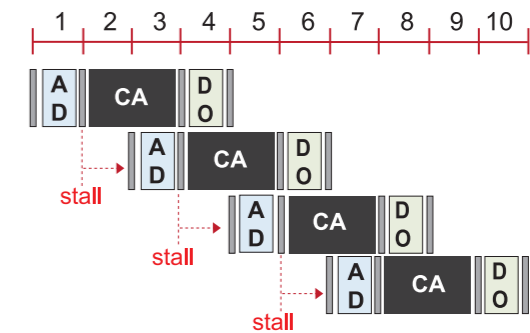


그림 3. 비대칭 파이프라이닝 (Asymmetric pipelining)

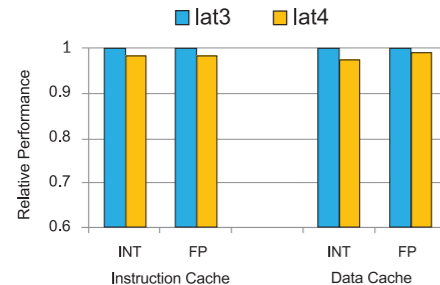
그림 3에서 볼 수 있듯이 AVICA L1 캐시 구조에서는 위 3단계 캐시 파이프라인 단계 중 CA 단계를 두 사이클에 걸쳐 수행하도록 한다. 이를 비대칭 파이프라이닝이라고 한다.

이러한 구조에서는 SRAM cell 접근을 위해 충분한 시간이 제공되기 때문에 공정변이에 의한 SRAM cell 접근시간오류가 발생하지 않는다.

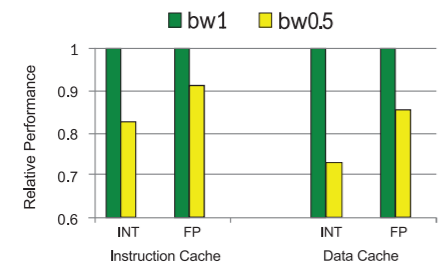
비대칭 파이프라이닝으로 인해 AVICA L1 캐시는 기존 L1 캐시에 비해 읽기 지연시간(latency)이 한 사이클 길다. 하지만 그림 4(a)에서 볼 수 있는 것처럼 비순차적 명령어 처리가 가능한 슈퍼스칼라 프로세서 (Out-of-order superscalar processor)에서는 L1 캐시의 읽기 지연시간 증가가 전체 시스템 성능에 미치는 영향이 매우 미미하다 [10, 11].

이는 데이터 캐시 (Data cache)의 읽기 지연시간이 다소 증가하여 Load 명령어 실행 시간이 길어질지라도 이와 독립적인 명령어들이 비순차적으로 실행될 수 있기 때문이다.

또한, 최신 프로세서의 분기명령어 예측률이 매우 높아 인스트럭션 캐시(Instruction cache)의 읽기 지연시간이 다소 증가하더라도 전반적인 명령어 인출(fetch) 성능에는 크게 영향을 미치지 않기 때문이다.



(a)



(b)

그림 4. 캐시 메모리의 (a) 읽기 지연시간 증가와 (b) 처리율 감소가 시스템 성능에 미치는 영향 (lat3: 읽기 지연시간이 3 사이클임을 뜻함, bw1: 매 사이클 하나의 메모리 요청을 처리함을 뜻함)

가상 멀티뱅크(Pseudo multi-banking)

AVICA L1 캐시 구조에서는 비대칭 파이프라이닝을 통해 접근시간 오류가 발생하지 않는다. 하지만 그림 3에서 볼 수 있듯이 연속된 캐시 명령어 사이에 stall 사이클이 필요하게 되어 메모리 명령어의 처리율을 감소시키게 된다. 앞서 설명한 것처럼 AVICA L1 캐시의 읽기 지연시간 증가가 시스템 성능에 미치는 영향은 미미하지만, 메모리 명령어 처리율 감소는 그림 4(b)에서 볼 수 있듯이 시스템 성능을 크게 감소시킨다.

AVICA L1 캐시 구조는 비대칭 파이프라이닝에 의한 시스템 성능 감소를 최소화하기 위해 가상 멀티뱅크 개념을 도입한다. 그림 5는 가상 멀티뱅크가 적용된 비대칭 파이프라이닝을 도식화한 것이다.

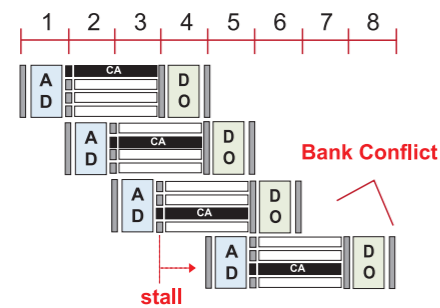


그림 5. 가상 멀티뱅크 (Pseudo multi-banking)이 적용된 비대칭 파이프라이닝 (Asymmetric pipelining)

가상 멀티뱅크는 종래의 멀티뱅크처럼 메모리 어레이가 여러 뱅크로 나누어져 있어 서로 다른 메모리 요청이 서로 다른 뱅크에 동시에 접근할 수 있도록 한다. 하지만 한번에 하나의 메모리 요청만을 수용한다. 이는 종래의 멀티뱅크가 처리율을 향상시키는 것이 목적이었다는 것의 반대로 가상 멀티뱅크의 목적은 비대칭 파이프라이닝에 의해 감소한 처리율을 종전수준으로 유지하는 것이기 때문이다. 이로 인해 가상 멀티뱅크를 구현하기 위한 추가적인 하드웨어 비용은 매우 적다.

AVICA L1 캐시의 구현

그림 6에서 볼 수 있듯이 AVICA L1 캐시 구조는 기존 캐시 구조와 크게 다르지 않다. 단일 어드레스 디코더가 사용되고 입출력 단자에도 복잡한 crossbar network이 필요하지 않다. 메모리 어레이(array)는 여러 미니뱅크(mini-bank)로 나뉘어지는데 이는 기존 캐시 구조에서 메모리 어레이가 여러 서브 어레이(sub-array)로 나누는 것과 유사하다.

기존 캐시구조와 다른 점은 접근할 미니뱅크를 선택하고 뱅크 충돌(bank conflict)을 검출하며 각 미니뱅크의 워드라인과 비트라인 pre-charging 신호를 개별적으로 제어할 수 있는 회로가 필요하다는 점이다.

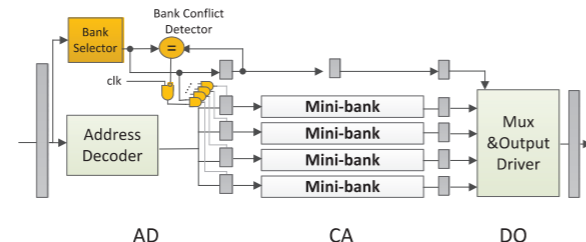


그림 6. AVICA L1 캐시 구조의 개념도

이를 위해 뱅크 선택기(bank selector), 비교기(comparator), 그리고 AND 게이트(gate)와 같은 소규모 회로가 추가된다. 뱅크 선택기는 메모리 주소에 기반하여 접근할 미니뱅크를 결정한다. 메모리 요청이 선택된 미니뱅크만을 접근하기 위해 다른 미니뱅크에 대해서는 파이프라인 레지스터의 클럭 신호를 게이팅(gating)시킨다. 뱅크충돌을 감지하기 위해 바로 이전 사이클의 메모리 요청과 현재의 메모리 요청이 접근하는 뱅크가 같은지를 비교한다.

만약 뱅크충돌이 감지되면 현 메모리 요청이 cell 접근 파이프라인 단계에 진입하지 못하도록 한다. 이를 위해 모든 미니뱅크에 대해 파이프라인 레지스터의 클럭 신호를 게이팅(gating)시킨다.

그림 7은 메모리 어레이의 레이아웃에 대한 예시를 보여준다. 메모리 어레이는 가로 방향으로 여러 뱅크로 나뉘고 각 뱅크는 세로 방향으로 여러 미니 뱅크로 나뉜다. 이는 기존 캐시에서 메모리 어레이가 서브 어레이(sub-array)로 나누는 것과 유사하다.

이 예시에서는 메모리 어레이가 두 개의 뱅크로 나뉘고 각 뱅크는

4개의 미니 뱅크로 나뉘어 총 8개의 미니 뱅크로 구성된다. 미니뱅크가 독립적으로 접근될 수 있도록 각 미니 뱅크는 개별 파이프라인 레지스터를 갖고 있고 클럭 신호를 뱅크 선택 신호 및 뱅크 충돌 신호에 의해 게이팅될 수 있도록 한다. 이를 통해 선택된 미니뱅크의 워드라인 및 비트라인 precharge 신호만이 업데이트된다.

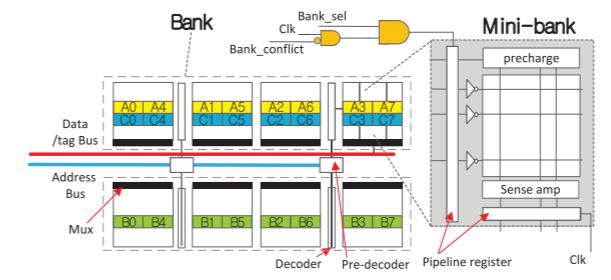


그림 7. 메모리 어레이 레이아웃의 예시

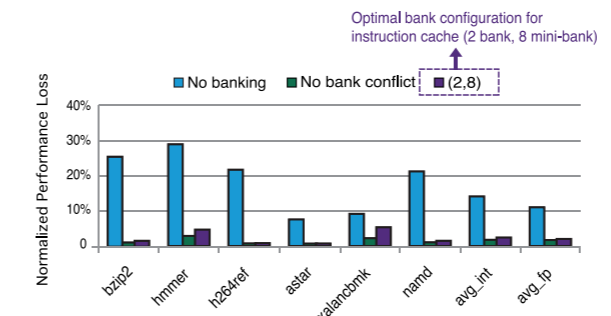
가상 멀티뱅크에서는 뱅크충돌을 최소화하기 위해 데이터를 2차원 인터리빙(two dimensional interleaving) 방식으로 저장한다.

즉, 연속된 주소를 갖는 캐시라인(cache line)들은 서로 다른 뱅크에 저장되고 각 캐시라인의 연속된 워드는 서로 다른 미니 뱅크에 저장된다. 그림 7은 메모리 저장 방식을 예를 통해 보여준다. 연속된 캐시 라인 A, B, 그리고 C가 있다고 했을 때 이들은 서로 다른 뱅크에 저장된다.

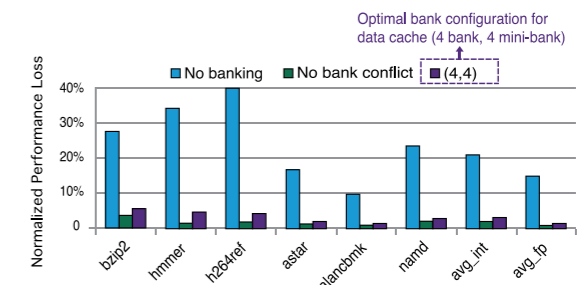
그리고 각 캐시라인의 개별 워드(캐시라인 A의 경우, A0 ~ A7)는 서로 다른 미니뱅크에 저장된다. 일반적으로 메모리 요청이 공간적 지역성(spatial locality)을 갖기 때문에 2차원 인터리빙 방식은 뱅크 충돌을 감소시키는데 매우 효과적이다.

그림 8은 AVICA L1 캐시가 시스템 성능에 미치는 영향을 보여준다. 비대칭 파이프라이닝만을 적용한 명령어 및 데이터 캐시는 시스템 성능을 평균 10% 이상 감소시킨다.

하지만 가상 멀티뱅크를 함께 적용하였을 때 시스템 성능 감소는 평균 3% 이하로 줄어들게 된다.



(a) 명령어 캐시



(b) 데이터 캐시

그림 8. AVICA L1 캐시가 시스템 성능에 미치는 영향. (No banking: 비대칭 파이프라이닝만 적용된 경우, No bank conflict: 뱅크충돌이 발생하지 않는 가상 멀티뱅크, (a,b): 최적화된 메모리 어레이 레이아웃이 적용된 가상 멀티뱅크)

AVICA L1 캐시를 위한 추가적인 아키텍처적 기법

대부분 벤치마크에서 AVICA L1 캐시로 말미암은 시스템 성능감소는 무시할 만한 수준이나 몇몇 벤치마크에 대해서는 다소의 성능감소를 보인다. 이는 이들 벤치마크에 대해서는 증가한 L1 캐시 읽기 지연시간이 성능에 다소 영향을 미치거나 가상 멀티뱅크가 효과적이지 못하기 때문이다. AVICA L1 캐시로 말미암은 시스템 성능 감소는 아래와 같은 간단한 아키텍처적 기법을 통해 최소화될 수 있다.

Branch Target Instruction Buffer (BTIB)

BTIB는 AVICA L1 명령어 캐시의 뱅크 충돌을 최소화하기 위해 사용된다. BTIB는 최근에 읽혀진 분기 명령어 중 뱅크 충돌을 발생시킨 명령어의 분기목표에 있는 명령어를 저장한다. BTIB는 명령어 인출 파이프라인 단계 (FETCH)에서 접근되는데 인출하고자 하는 명령어가 BTIB에 저장되어 있을 경우 해당 명령어는 명령어 캐시가 아닌 BTIB에서 인출된다. 이를 통해 뱅크 충돌을 피할 수 있다.

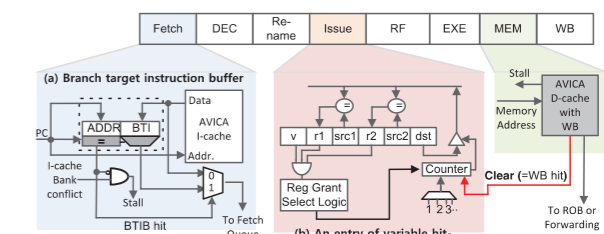


그림 9. 프로세서 파이프라인. (WB의 구조는 BTIB와 같다.)

Word Buffer (WB)

WB는 AVICA L1 데이터 캐시의 뱅크충돌을 최소화하기 위해 사용된다. WB는 최근에 읽힌 데이터 중 뱅크 충돌을 발생시킨 데이터를 저장한다. WB는 메모리 파이프라인 단계 (MEM)에서 접근되는데 요청 중인 데이터가 WB에 저장되어 있다면 해당 데이터는 데이터 캐시가 아닌 WB에서 읽힌다. 이를 통해 뱅크 충돌을 피할 수 있다.

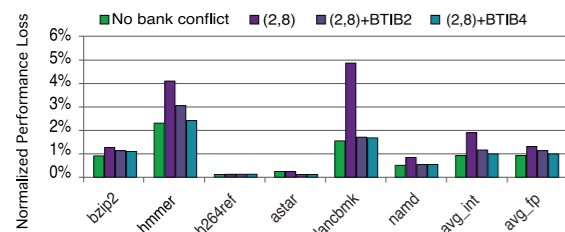


Variable Hit latency-aware Issue Queue (VHIQ)

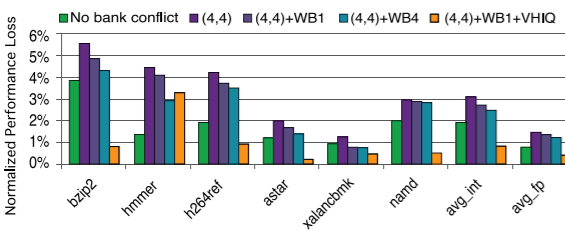
VHIQ는 AVICA L1 데이터 캐시의 읽기 지연시간 증가로 말미암은 성능 감소를 최소화하기 위해 제안되었다. 기본적인 형태는 종래의 Issue Queue와 크게 다르지 않으며 명령어를 Issue 하기 위해 사용되는 카운터 값을 0으로 초기화하는 부분만이 다르다. 앞서 설명한 WB는 캐시에 비해 매우 작으므로 매우 빠른 속도로 데이터를 읽어올 수 있다.

따라서 메모리 요청이 WB에서 데이터를 읽어오는 경우에는 그 데이터를 요청한 Load 명령어에 대한 카운터 값을 0으로 초기화하여 그 Load 명령어에 종속적인 명령어들이 더욱 빨리 Issue 되도록 한다.

앞서 설명한 추가적인 아키텍처적 기법들은 그림 10에서 볼 수 있듯이 AVICA L1 명령어 및 데이터 캐시에 의한 시스템 성능 감소를 1% 미만으로 줄인다.



(a) 명령어 캐시



(b) 데이터 캐시

그림 10. 추가적인 아키텍처적 기법을 통한 성능향상

결론

반도체 생산공정이 미세화됨에 따라 공정변이 (process variation)가 심각한 문제로 대두하고 있다. 특히, 공정변이로 인해 캐시 메모리를 구성하는 SRAM cell의 접근시간 편차가 심해져 접근시간오류 발생확률이 급격하게 증가할 것으로 예상된다. 본 컬럼에서 살펴본 AVICA L1 캐시 구조는 매우 적은 비용으로 접근시간 오류 발생을 원천적으로 차단한다. 더욱이 AVICA L1 캐시가 시스템 성능에 미치는 영향이 매우 미미하기 때문에 향후 극미세공정으로 생산되는 고성능 마이크로프로세서의 L1 캐시 구현에 핵심적인 역할을 할 것으로 기대된다.

Reference

- [1] S.Borkar, "Designing reliable systems from unreliable components: The challenges of transistor variability and degradation," Ieee Micro, vol. 25, no. 6, pp. 10-16, 2005.
- [2] S. Mukhopadhyay, H. Mahmoodi, and K. Roy, "Modeling of failure probability and statistical design of SRAM array for yield enhancement in nanoscaled CMOS," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 24, no. 12, pp. 1859-1880.
- [3] S. Hong, S. Kim, "AVICA: An access-time variation insensitive L1 cache architecture," in DATE' 13
- [4] J. Kim, N. Hardavellas, K. Mai, B. Falsafi, and J. Hoe, "Multi-bit Error Tolerant Caches Using Two-Dimensional Error Coding," in MICRO 40.
- [5] A. Agarwal, B. Paul, H. Mahmoodi, A. Datta, and K. Roy, "A process-tolerant cache architecture for improved yield in nanoscale technologies," IEEE Transactions on VLSI Systems, vol. 13, no. 1, pp. 27-38, 2005.
- [6] A. Ansari, S. Gupta, S. Feng, and S. Mahlke, "ZerehCache: armoring cache architectures in high defect density technologies," in MICRO 42.
- [7] C. Wilkerson, H. Gao, A. R. Alameldien, Z. Chishti, M. Khellah, and S.-L. Lu, "Trading off Cache Capacity for Reliability to Enable Low Voltage Operation," in ISCA' 08.
- [8] M. Mutyam, F. Wang, R. Krishnan, V. Narayanan, M. Kandemir, Y. Xie, and M. J. Irwin, "Process-Variation-Aware Adaptive Cache Architecture and Management," IEEE Transactions on Computers, vol. 58, no. 7, Jul. 2009.
- [9] S.Ozdemir, D.Sinha, G.Memik, J.Adams, and H.Zhou, "Yield-Aware Cache Architectures," in MICRO 39.
- [10] T. M. Austin and G. S. Sohi, "Zero-cycle loads: microarchitecture support for reducing load latency," in MICRO 28.
- [11] S. T. Srinivasan and A. R. Lebeck, "Load latency tolerance in dynamically scheduled processors," in MICRO 31.



SPECIAL Column I

SPYGLASS

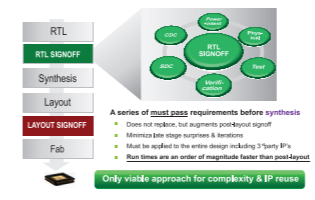
Early Design Analysis for Logic Designers

Introduction

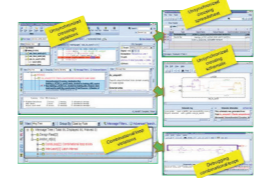
Atrenta사의 SpyGlass는 향상된 알고리즘을 이용한 분석기술을 바탕으로 초기 RTL에서 예측가능한 Lint, CDC, DFT, Constraints, Power, Physical 등의 문제를 미리 검증하여 설계기간 단축과 비용 절감을 위한 Solution을 제공합니다. SpyGlass는 디자인의 syntactic correctness, power consumption, testability, constraints definition, clock synchronization 등 design에 대한 RTL 단계에서 검증할 수 있는 방법을 제공합니다.

A Better Way - RTL Signoff

SpyGlass는 RTL-Signoff에 Focusing하여 Implementation Flow에서 발생할 수 있는 문제를 Synthesis 전에 체크하고 Fix 하도록 Guide 합니다. 이러한 방법은 Implementation Flow에서의 Issue 발생에 대한 Iteration을 줄일 수 있고, 전체 Design Flow를 단축시켜, Design Quality를 향상시킬 수 있습니다.



Spyglass는 GUI/BATCH 모드의 환경을 제공하며, GUI에서는 Source code, Result, Schematic, Help Viewer 등이 제공됩니다. 이 Viewer들은 서로 간의 Cross Probing을 통해 쉬운 Debugging 환경을 제공합니다.



Products

- SpyGlass-LINT**
SpyGlass Lint는 design의 Structural analysis와 다양한 analysis engine을 이용하여 combinational loop를 포함한 Chip failure가 발생할 수 있는 critical 한 issue를 초기에 발견합니다. RTL의 정확한 lint check와 functional 검증에 의한 design optimization은 verification의 수고와 비용 그리고 design cycle time을 효율적으로 줄일 수 있습니다.
- SpyGlass-CDC**
SpyGlass CDC는 Asynchronous Clock 간의 Domain Crossing에서 발생할 수 있는 Meta-Stability, Reset Synchronization 등의 문제를 check 합니다.그리고 Design 내에 CDC를 위해 사용된 synchronization scheme을 자동으로 인식하고, 그 synchronization에 대해 formal analysis를 진행하여 functional issue (Re-convergence, Data loss, FIFO underflow/overflow) 발생 여부에 대한 검증을 진행합니다.

SpyGlass-DFT

SpyGlass DFT는 gate-level netlist가 생성되기 전에 RTL에서 pinpoint testability issue와 ATPG test coverage를 예상할 수 있습니다. Spyglass DFT solution은 testability issue를 검출할 뿐 아니라 자동으로 그 issue를 fix 합니다. 일반적으로는 test 엔지니어가 gate-level netlist에서 scan insertion을 위해 test clock, set/reset signal 등을 design 하게 되는데, 이때에 수정사항이 있게 되면 그 작업이 쉽지 않을 수 있고, 많은 비용과 시간 소모가 발생할 수 있습니다. Spyglass DFT는 user가 RTL을 생성하는 동안에 testability를 향상시킬 수 방법을 제시함으로써, 개발 시간과 비용을 줄이고, 전반적인 quality를 향상시킬 수 있습니다.

SpyGlass-Constraints

Design cycle을 통해 모든 design hierarchy level 에서의 constraints를 올바르게 생성하고 일치시키는 작업은 상당히 중요한 일입니다. 새로운 constraints를 쓰거나 수천 line의 legacy constraint를 manage 하거나 또는 수천 line의 timing exception을 managing 하는 것은 굉장히 어려울 것입니다. SpyGlass Constraints solution은 Synthesis, STA, Layout에 필수적인 SDC를 RTL단계에서 부터 Generation, Validation, Managing 할 수 있습니다. RTL/Nestlist와 SDC의 간의 일치성을 확인하며, 누락되거나 잘못된 Constraints가 있는지를 check 합니다.

SpyGlass-Power

Spyglass Power는 Design에서 소모되고 있는 Dynamic Power/Leakage Power를 Estimation하고, Clock Gating을 통하여 소모되는 Power를 줄일 수 있는 Point를 찾아내어 Design의 Power Saving을 Guide 합니다. 또한, CPF, UPF를 지원하여 Voltage domain, Power domain을 위한 Component들이 올바르게 Implementation 되었는지를 검증합니다.

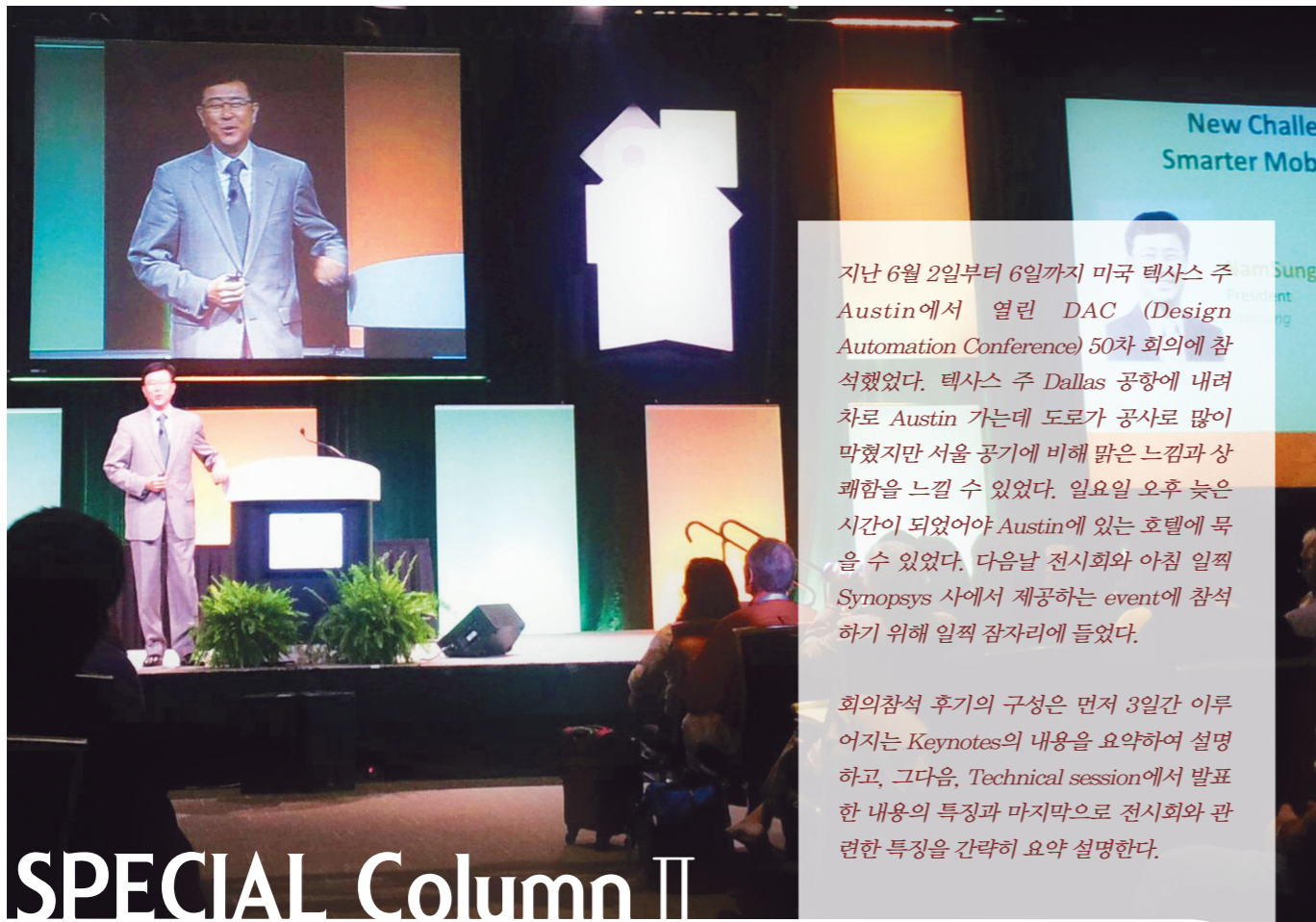
IP-KIT

Atrenta IP-KIT은 IP Suppliers뿐만 아니라 Chip Designer에게도 더욱 효율적인 IP re-use process solution을 제공합니다. Designer에게는 전반적으로 IP quality를 향상시키고, incomplete deliverables 과 incorrect assumptions에 의해 발생하는 iteration을 최소화할 수 있는 장점을 가지고 있습니다.



Atrenta Home Page에서 방문하시면 더 많은 내용을 확인하실 수 있습니다.

	<p>회사명 : ATRENTA</p>
	<p>한국대리점 : 다우엑실리콘 주소 : 경기도 용인시 수지구 죽전동 23-7 다우디지털스퀘어 2층 전화 : 070-8707-2500 웹주소 : www.atrenta.com</p>



지난 6월 2일부터 6일까지 미국 텍사스 주 Austin에서 열린 DAC (Design Automation Conference) 50차 회의에 참석했다. 텍사스 주 Dallas 공항에 내려 차로 Austin 가는데 도로가 공사로 많이 막혔지만 서울 공기에 비해 맑은 느낌과 상쾌함을 느낄 수 있었다. 일요일 오후 늦은 시간이 되었어야 Austin에 있는 호텔에 묵을 수 있었다. 다음날 전시회와 아침 일찍 Synopsys 사에서 제공하는 event에 참석하기 위해 일찍 잠자리에 들었다.

회의참석 후기의 구성은 먼저 3일간 이루어지는 Keynotes의 내용을 요약하여 설명하고, 그다음, Technical session에서 발표한 내용의 특징과 마지막으로 전시회와 관련한 특징을 간략히 요약 설명한다.

SPECIAL Column II

DAC 50차 대회 참석 후기

지난 6월 2일부터 6일까지 미국 텍사스 주 Austin에서 열린 DAC (Design Automation Conference) 50차 회의에 참석했다. 텍사스 주 Dallas 공항에 내려 차로 Austin 가는데 도로가 공사로 많이 막혔지만 서울 공기에 비해 맑은 느낌과 상쾌함을 느낄 수 있었다. 일요일 오후 늦은 시간이 되었어야 Austin에 있는 호텔에 묵을 수 있었다. 다음날 전시회와 아침 일찍 Synopsys 사에서 제공하는 event에 참석하기 위해 일찍 잠자리에 들었다.

회의참석 후기의 구성은 먼저 3일간 이루어지는 Keynotes의 내용을 요약하여 설명하고, 그다음, Technical session에서 발표한 내용의 특징과 마지막으로 전시회와 관련한 특징을 간략히 요약 설명한다.

Keynotes는 화, 수, 목요일에 각 두 명씩 총 6명의 연사로 이루어졌다. 화요일에는 Synopsys CEO인 Aart J. De Geus 와 삼성전자 우남성 사장님(아래 그림)의 Keynotes였다. Geus 의 경우는 일반적인 내용으로 EDA에 종사하는 사람들이 우수하기 때문에 전망이 밝다는 내용으로 압축되며, 우남성 사장님의 경우 삼성 반도체에서 매우 도전적인 분야 (예: TSV, FinFET, Packaging)에 선도적인 개발을 이루었음을 강조하면서,

특히 Flexible 디스플레이를 제공할 수 있는 반도체 시스템을 어떻게 만들 것인지에 대한 문제를 제시하였다. 수요일에는 Qualcomm 사의 부사장인 J.Scott Runner과 Texas Instrument 사의 개발 책임자인 Sanjive Agarwala 의 Keynotes가 있었다. 전자의 경우, Mobile application을 위한 무선 IC 설계를 위해서는 mixed signal HW/SW systems, design verification, packaging, physical design의 협력 설계가 매우 중요함을 강조하였으며, 후자의 경우, 저전력 및 고속의 DSP, RISC 멀티코어 processing system을 만들기 위한 scalable system architecture 연구에 치중하고 있음을 강조하였다.

수요일에는 Jasper Design Automation CEO인 Kathryn Kranend와 Berkeley 대학 A. Sangiovanni-Vincentelli 교수의 Keynotes가 있었는데, Sangiovanni-Vincentelli 교수가 주장한 것은 이제 세상이 계속 발전하는 "Swarm"의 시기를 우리 모두가 겪고 있기 때문에 우리 설계 자동화 분야뿐만 아니라 computer scientists, algorithm designers, MEMs designers, human machine interface experts, biologists, communication system experts, 심지어 lawyers, political scientists가 모두 함께 일을 해야 한다는 요지를 전하고 있다

Technical session의 구성을 크게 나누어 보면, Embedded software (3개), Analog (3개), High-level/logic synthesis (2개), Embedded design methodology and verification (4개), Physical design (3개), Test and reliability (3개), System-level design and communication (3개), Emerging design technologies (2개), Low-power design and analysis (3개), Verification and simulation (4개), DFM (1개), Embedded architectures and platforms (3개), Circuit and interconnect analysis (1개)로 구성되어 있으며, 크게 보아서 전체 technical sessions 중에서 Front-end 영역이 50%, Back-end 40%, 기타 10% 정도를 차지하고 있다.

이번 DAC의 technical session에서 새로운 내용을 보인 분야는 FinFET 분야와 Double patterning이다. 공정에서 FinFET은 3차원 transistor 기술로 많은 장점을 가지고 있는데 leakage power, area, speed 및 voltage scaling 면에서 탁월성을 보이는 반면에 dynamic power, parasitic parameters의 복잡성 면에서 불리한 조건을 가지고 있다. 설계 자동화 측면에서 14nm 이하의 technology node를 가지는 FinFET transistor를 사용하는 다양한 설계를 지원할 수 있는 모델링이 앞으로 절실히 필요한 것으로 보이며, 또한, 미세공정으로 말미암은 single patterning의 어려움을 극복하기 위한 double patterning이 주목받고 있음을 확인하였다.

또한, 여러 Panel이 있었는데 공통으로 언급한 화두는 big.LITTLE 이라는 단어로 power와 performance를 동시에 잡겠다는 것으로, 간단히 요약하면 다중의 상이한 core를 여럿 사용해서 전력 소모를 줄이는 작은 core와 performance를 높이는 큰 core를 짝으로 System에 넣겠다는 발상이다. 여러 Special session을 주제별로 열거하면 다음과 같다: IP의 편리한 사용과 관리, Biology 모델링 및 설계, Medical devices, Silicon roadmap to 6nm, DAC 과거, 현재 및 미래, Embedded system OS의 미래, Electronic vehicles, Next transistor, 3D-IC design, FPGA의 미래, Heterogeneous SOCs.

이번 DAC에서 또 다른 특색은 지금까지 강조해 왔던 power, embedded system은 그대로 중요성을 이어오면서, circuit에서의 reliability 영역에 관한 관심이 많이 높아졌다는 점이다. Best paper로 선정된 "Scalable Vectorless Power Grid Current Integrity Verification"이 단적인 예로 large-scale의 power grids를 명시된 simulation을 통해 분석한다는 것은 시간적인 제약으로 불가능하게 되었는데 vectorless 라는 개념을 통해 극복하고자 하는 새로운 개념이다. 이것과 비슷한 다른 논문에서도 같은 목적을 달성하기 위해 "Constraint abstract" 라는 개념을 내고 있다.

또한, 모바일 기기와 유비쿼터스 컴퓨팅 분야에서 아날로그 회로의 비중이 높아지면서 DAC에서 아날로그 분야 설계자동화 문제를 다루는 비중도 올해 들어 크게 증가하였다. 전년에는 아날로그 관련 세션의 수가 하나 정도에 머물렀으나 올해에는 셋으로 크게 늘었고, 그 분야도 전통적인 SPICE 시뮬레이션뿐만 아니라 아날로그 Place-and-Route 및 아날로그 검증으로 다각화되는 양상을 보이고 있다. EDA 업체들이 최신 상품을 선보이는 Exhibition Floor에서도 아날로그 관련 제품이 전년에 비해 크게 증가하였다.

아날로그 시뮬레이션 분야에서는 회로의 특성을 살려서 더욱 빠르고 효율적인 회로 시뮬레이션을 수행하는 방법들이 소개되었다.

예를 들어, 최근 대두하는 DC-DC 컨버터 등 전력변환회로를 반도체 칩 상에서 디지털과 혼용하여 설계하기 쉽도록 Verilog 상에서 빠르고 정확하게 시뮬레이션하는 논문이 발표되었으며, 데이터 변환기에서 자주 보이는 회로의 병렬구조를 활용하여 시뮬레이션도 여러 프로세서코어에서 병렬적으로 수행할 수 있는 논문이 발표되었다. 아날로그 레이아웃 자동화

관련해서는 앞서 언급한 double patterning 또는 memristor 같은 공정 및 소자 신기술을 활용하거나, electromigration, layout-dependent effect, 대칭성을 고려한 매칭처럼 공정이 스케일 함에 따라 발생하는 문제점들을 줄이면서 레이아웃의 설계 효율성을 향상시킬 수 있는 P&R 알고리즘들이 많이 소개되었다.

사실 올해 DAC의 아날로그 분야에서 가장 괄목할만한 변화는 아날로그 verification 알고리즘 논문의 중앙무대 진출이다. 아날로그 "검증"은 설계자들에게도 생소한 개념으로서, 단순히 회로를 정확하게 시뮬레이션만 하는 데에서 벗어나, 회로가 원하는 성질을 갖는지 formal 하게 증명하겠다는 접근방식이다.

디지털 분야에서는 이러한 시뮬레이션과 verification (검증)의 개념이 잘 정립되어 있으나 아날로그 분야에서는 아직 그렇지 못했다는 것을 생각할 때 매우 주목할만한 변화이다.

예를 들면, 디지털 분야의 여러 formal verification을 활용하기 위해 아날로그 회로를 Boolean finite-state machine으로 근사 접근하는 방법이라든지, Bayesian model fusion이라는 확률적 모델을 사용하여 아날로그 회로의 성능 또는 동작 특성을 적은 수의 시뮬레이션만 가지고 예측하고 검증한다든지, reachability analysis를 확장하여 아날로그 회로가 포함된 디지털 시스템에서도 기존의 formal verification을 수행할 수 있게 한 논문들이 그것이다.

Design track에서도 다양한 주제의 발표가 있었는데 총 56편의 논문 발표와 104편의 poster 발표가 있었다. 또한, work-in-progress (WIP)라 하여 아직 완성되지 않은 연구 내용을 소개하여 반응과 조언을 들 수 있는 자리를 제공하였는데 총 80편의 논문이 WIP로 선정되어 poster로 전시 되었다. 전시 회사는 총 172개의 Booths로 되어 있었으며, Synopsys, Cadence, Mentor를 포함하는 메인 EDA 회사 외에도, 삼성, TSMC와 같은 파운드리 회사도 적극적으로 고객을 맞이함을 볼 수 있었다. 매년 보았던 전시회와 달리 이번 전시회에서는 서로의 협력을 강조하는 내용이 많았다.

예를 들어 Synopsys, ARM, TSMC는 서로 협력 관계임을 매우 강조했는데 TSMC 공정을 통해 ARM processor를 개발하는데 Synopsys EDA 기술을 활용한다는 내용이었다. 매우 바람직한 협력 모델로 보였다.

목요일 학회 마지막 날을 마치고 잠깐 휴식을 취하면서 Synopsys 관계분들을 볼 수 있었는데 EDA 분야의 쇠퇴함을 토로하였으며, 인력 수급에 애로를 겪고 있다고 하였다. 실제로 Special session에서 현재의 Senior EDA 인원과 junior EDA 인원의 비교를 보여 주는데 눈에 띄게 감소함을 볼 수 있었다. 새로운 연구 영역 창출과 시장 확대가 절실한 상황을 감지할 수 있었다.

	<p>서울대학교 전기공학부</p> <p>김태환 교수 연구분야 : 임베디드시스템 설계 E-mail : tkim@ssl.snu.ac.kr http://ssl.snu.ac.kr/~tkim</p>
	<p>서울대학교 전기컴퓨터공학부</p> <p>김재하 교수 연구분야 : 반도체소자 및 집적회로 E-mail : jaeha@snu.ac.kr http://mics.snu.ac.kr/jaeha</p>