



항상 변하여 가길 바랬습니다. 언제나 곁에서 지켜줄 것이라 믿었습니다. 이미 그대는 가슴속에 스며 내가 되었음을 깨닫습니다.

대한민국 비메모리 반도체 산업의 미래를 이끄는 동부하이텍에서 첨단 핵심기술로 세계적인 부가가치를 창출할 젊은 아이디어를 공모합니다. 순수한 열정과, 독특한 아이디어와, 지독한 학구파... 누구라도 좋습니다. 독창적인 아이디어로 세상을 움직이고 싶은 젊은이라면 도전하세요!  
동부 IP 설계공모전에서 당신의 꿈에 날개를 달아드립니다.

# 제6회 동부 IP 설계공모전

참가신청 2013.6.9(일)

참가대상 전국 대학교 대학(원)생 및 교수

공모내용

공정	제작 칩 수	칩 크기	패키지 지원
0.11μm Mixed-Signal/RF CMOS	20	2350μm x 2350μm	80 Pin LQFP
0.35μm High Voltage BCDMOS	20	2350μm x 2350μm	80 Pin LQFP

공모주제

구분	IP 목록	칩 수	제작 공정	
지정 과제	1. DSI(Display SerialInterface)IP	4	0.11μm Mixed-Signal/RF CMOS	
	2. CSI(Camera SerialInterface)IP	4		
	3. USB 3.0 PHY IP	4		
자유 과제	1. Analog IP for TSC (Touch Sensor Controller) Application	4		0.35μm High Voltage BCDMOS
	2. Analog IP for CMOS Power Amplifier	4		
지정 과제	1. DC-DC Converter for Mobile Application	5		
	2. Charge Pump Regulator for LED Display	5		
	3. Low Noise Amplifier for Audio Application	5		
자유 과제	1. Low Power LDO (Low Drop Output) for Mobile Application	5		

\* 현재 동일 IP 또는 아이디어로 타 기관 등에 출품되지 아니한 것  
\* DSI IP, CSI IP, USB 3.0 PHY IP의 상세 사양은 링크된 파일을 참조, 그 외 IP는 상세 사양 없음  
\* 칩 크기 : 2350μm x 2350μm (0.11μm, 0.35μm 공정)

일정

진행 내용	0.11μm	0.35μm
공모전 공고	2013. 5. 13	
제안서 접수 마감	2013. 6. 9	
제안서 평가 결과 발표	2013. 6. 20	
공정 설계설명회 개최	2013. 6. 24	
전반부(Front-End) 및 후반부(Back-End) 설계	~ 2013. 9. 10	~ 2013. 10. 22
DB 접수(IDEC) 마감	2013. 9. 11	2013. 10. 23
DB 검토	2013. 9. 11 ~ 9. 30	2013. 10. 23 ~ 11. 04
DB 전달	2013. 10. 01	2013. 11. 05
Mask & Fab	~ 2014. 01. 21	~ 2014. 02. 04
패키지 작업	2014. 1. 22 ~ 2. 22	2014. 2. 05 ~ 3. 05
칩 테스트(설계자 자체 실시)	~ 2014. 3. 30	~ 2014. 3. 30
논문 접수 마감		2014. 4. 13
발표평가 및 시상식		2014. 4월 말

시상

시 상	시상 내역	시상팀 수
대상	상장, 상금(1,000만원)	1
금상	상장, 상금(500만원)	1
은상	상장, 상금(300만원)	1
동상	상장, 상금(200만원)	2

\* 상·학 공동개발의 우선 체결 및 협력 전개  
\* 본선 입상자가 (주)동부하이텍에 취업을 희망하는 경우 가산점 부여함

기타세부내용  
(주)동부하이텍 홈페이지 <http://www.dongbuhitek.co.kr>  
IDECE 홈페이지 <http://www.idece.or.kr>

문의처

IDECE 조인신 (ischo@idece.or.kr)  
IDECE 김은주 (ejkim@idece.or.kr, 042-350-8533)

주관 Dongbu HiTek 반도체설계교육센터

후원 동부문화재단



# IDECE Newsletter

IDECE Newsletter | 통권·제192호 | 발행일 | 2013. 6. 9 | 발행인 | 박인철 | 편집인 | 남병규 | 제작 | 류복희 | 인  
기 획 | 전향기 | 전 화 | 042) 350-8535 | 팩 스 | 042) 350-8533 | 홈페이지 | <http://idece.or.kr>  
E-mail | [jhg0929@idece.or.kr](mailto:jhg0929@idece.or.kr) | 발행처 | 반도체설계교육센터(IDECE)

2013  
June

Vol.192

저전력 Successive Approximation Analog-to-digital Converter의 기술동향 | 04  
고속 System-in-Package 인터커넥트 기술 동향 | 10  
2013 ICEIC 학회 참가기 | 14 Invent, Develop, Endeavor, Cooperate | 18

반도체설계교육센터 사업은 산업통상자원부, 반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.

## 저전력 Successive Approximation Analog-to-digital Converter의 기술동향

자연계의 아날로그 신호를 디지털 신호로 변환하는 아날로그-디지털 변환기 (analog-to-digital converter: ADC)는 여러 응용분야에 이용되고 있다. 이러한 각각의 응용분야를 위해 ADC의 해상도(resolution)와 변환속도(conversion rate)는 달리 결정된다. 본 고에서는 저전력 Successive Approximation Analog-to-digital Converter의 기술동향에 대해 살펴보고자 한다. (관련기사 P04~08참조)

## 고속 System-in-Package 인터커넥트 기술 동향

최근 들어 System-in-Package (SiP)에 대한 연구가 다양한 분야에서 활발히 진행되고 있다. 불과 10년 전만 해도 크게 주목을 받지 못하던 패키지에 관한 연구가 갑자기 왜 이렇게 주목을 받게 되었을까? 나뭇잎이 아닌 숲을 살펴보아야 전체적인 숲의 형태가 파악되듯이, SiP기술과 관련된 기술적 디테일에서 한발자국 떨어져, SiP와 관련된 전자기술의 전반에 걸친 기술 변화의 큰 흐름을 살펴보면, 왜 최근 들어 SiP 기술이 대두하였는지, 또한 앞으로 SiP 기술이 어떻게 진화해 나가야 할지를 알 수 있지 않을까? 본 고에서는 고속 System-in-Package 인터커넥트 기술 동향을 살펴보고자 한다. (관련기사 P10~13 참조)

## 2013 ICEIC 학회 참가기

지난 1월 30일부터 2월 2일까지 개최된 ICEIC 2013 (International Conference on Electronics, Information, and Communication 2013)는 대한전자공학회 (IEEK) 주관으로 개최되는 국제 학술대회로 올해 13회를 맞이하였다. 전자공학의 전반, 컴퓨터 및 정보기술 일반, 정보통신 전 분야에 걸친 광범위한 범위를 다루고 있으며, 아시아 태평양 및 유라시아 등의 저개발국을 중심으로 개최되고 있다. 본 후기담은 학회에 참석한 한양대학교 김희준 교수와 석사과정 중인 강민해 학생의 시선으로 살펴보고자 한다. (관련기사 P14~17 참조)

## Invent, Develop, Endeavor, Cooperate

21세기 들어 전 산업에 걸친 IT 융·복합화 추세에 따라 시스템반도체 산업은 하드웨어와 소프트웨어의 密結合 가속화와 함께 수요기업(세트 업체)-패시브-파운드리 생태계의 중요성이 더욱 부각되고 있으며, 더불어 시장 지배적 기업의 영향력 또한 증가 일로에 있다. 본 컬럼은 변화하는 현 시대에 맞는 반도체설계교육센터의 역할에 대해 산업통상자원부 시스템반도체 PD를 맡고 계신 성균관대학교 한태희 교수의 이야기를 들어보고자 한다. (관련기사 P18~19 참조)

# IDEC May | 2013 news

## MPW (Multi-Project Wafer)

### 2013년 MPW 진행 현황

공정	MPW 진행회차	제작가능 면적 (면적)mm <sup>2</sup> x칩수/회별	설계진행 팀수 ((면적)x칩수)	DB마감	Die-out	비고	공정	MPW 진행회차	제작가능 면적 (면적)mm <sup>2</sup> x칩수/회별	설계진행 팀수 ((면적)x칩수)	DB마감	Die-out	비고
삼성 65nm (년3회)	119		(4x4)x23	13.3.15	13.8.15	제작중	동부 0.35um BCD (년4회)	118		(5x2.5)x6	13.2.27	13.6.12	제작중
	121	(4x4mm <sup>2</sup> )x 48	(4x4)x27	13.7.5	13.12.6	설계중		120		(5x2.5)x20 (2.5x2.5)x10	13.05.01	13.08.14	설계중
	126		(4x4)x9	13.11.8	14.4.11	정규모집		123	(5x2.5mm <sup>2</sup> )x 6	(5x2.5)x4 (2.5x2.5)x4	13.8.14	13.11.27	설계중
MH 0.18um (년4회)	118		(4.5x4)x16 (4.5x2)x8	13.2.18	13.7.22	제작중	125		(5x2.5)x4 (2.5x2.5)x4	13.10.23	14.2.5	평가중	
	120	(4.5x4mm <sup>2</sup> )x 20	(4.5x4)x19 (4.5x2)x2	13.05.06	13.10.04	DB검토중	TJ SiGe (년1회)	119	(2.5x2.5mm <sup>2</sup> )x 4	(2.5x2.5)x4	13.3.12	13.7.1	제작중
	122		(4.5x4)x19	13.7.29	13.12.24	설계중	TJ CIS (년2회)	120	(2.5x2.5mm <sup>2</sup> )x 4	(2.5x2.5)x4 (2.5x2.5)x4	13.05.06	13.09.16	설계중
MH 0.35um (년2회)	121		(5x4)x20	13.6.17	13.10.4	설계중	TJ BCD (년2회)	125		(2.5x2.5)x4	13.10.14	14.2.17	설계중
	127	(5x4mm <sup>2</sup> )x 20	(5x4)x3	13.12.2	14.3.25	정규모집		120	(5x2.5mm <sup>2</sup> )x 4	(5x2.5)x1 (5x2.5)x1	13.05.20	13.09.16	설계중
동부 0.11nm (년2회)	119		(5x2.5)x20 (2.5x2.5)x8	13.3.20	13.7.31	제작중	125		(5x2.5)x2	13.10.21	14.2.17	설계중	
	124	(5x2.5mm <sup>2</sup> )x 24	(5x2.5)x20 (2.5x2.5)x8	13.9.11	14.1.22	설계중	TJ RF (년2회)	120	(2.5x2.5mm <sup>2</sup> )x 4	(2.5x2.5)x4 (2.5x2.5)x4	13.05.20	13.09.16	설계중
동부 0.18um BCD (년4회)	120		(5x2.5)x4	13.05.15	13.08.28	설계중	125		(2.5x2.5)x4	13.10.21	14.2.17	설계중	
	121		(5x2.5)x4	13.6.26	13.10.9	설계중	* 126회(13-09) ~ 127회(13-10) 정규 모집(삼성 65nm, 동부 0.18um BCD, MH 0.35um) : ~5.30 마감 * M/H : 매그나칩/SK하이닉스, TJ : TowerJazz * 일정은 사정에 따라 다소 변경될 수 있습니다. * 기준 : 2013. 5. 31						
	123	(5x2.5mm <sup>2</sup> )x 4	(5x2.5)x3 (2.5x2.5)x2	13.8.21	13.12.4	설계중	* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)						
126		0	13.11.13	14.2.6	정규모집								

### 「제6회 동부 IP 설계공모전」 협약식 체결 - 6월 9일까지 참가 접수 -



(좌)동부하이텍(대표이사 사장 최창식)과 반도체설계교육센터(IDEC, 소장 박인철)는 5월 30일(목), 대학(원)생 및 교수들을 대상으로 반도체 설계자(IP) 설계 공모전 진행과 관련한 협약식을 가졌다.

이번 공모전은 지정과제와 자유과제를 통해 접수한 제안서 심사를 거쳐 0.11um Mixed-Signal/RF CMOS 공정과 0.35um High Voltage BCDMOS 공정으로 설계하는 한면 칩 생산과 패키징 및 테스트 등 모든 공정을 거쳐 작동 여부까지 검증할 예정이다.

접수는 오는 6월 9일까지 IDEC 홈페이지(idec.or.kr)에서 받고, 최종 심사와 시상식은 내년 4월말에 이뤄진다. 총 5개 팀을 선정해 총 2,200만 원을 지급하며 대학(원)인 경우는 졸업 후 입사 특전도 제공한다.

\* 자세한 사항은 뉴스레터 뒷면 포스터 참조

(좌)김은주 선임(IDEC), 조인신 선임(IDEC), 김재하 교수(서울대), 박인철 소장(IDEC), 송재인 상무(동부하이텍), 임창민 부장(동부하이텍), 최승호 부장(동부하이텍), 권건태 부장(동부하이텍), 조형구 과장(동부하이텍), 권도균 사원(동부하이텍)

\* 문의 : 김은주 (042-350-8533, ejkim@idec.or.kr)

## 2013년 6월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

동시 프로그래밍과 최적화 과정을 이해하여 어플리케이션 성능을 극대화 방법을 배운다.

### 센터별 강좌 일정

센터명	강의일자	강의제목	분류
충북대	6월 20일-21일	저잡음 센서 아날로그프론트엔드 설계기법	설계강좌
KAIST	6월 24일-25일	Linux Administration과정 및 Linux보안과정	SW강좌
	6월 27일-28일	CPU-GPU Heterogeneous Computing	SW강좌
한양대IPC	6월 25일-26일	차량용 센서 설계 및 응용 syllabus	설계강좌

### [ 수강대상 ]

· 대학생, 대학원생, 직장인

### [ 강의수준 ]

· 중급

### [ 강의형태 ]

· 이론+실습

### [ 사전지식, 선수과목 ]

· C 프로그래밍

\* 문의 : KAIST IDEC 구재희 (042-350-8536, kjh9@idec.or.kr)

### ▷한양대IPC 개설 강좌 안내

■ 강좌일 : 6월 25일-26일

■ 강좌 제목 : 차량용 센서 설계 및 응용 syllabus

소재: 차량환경 및 노이즈에 강한 고신뢰성 회로 설계(차량용 고신뢰성 low-jitter 노이즈 클럭 신호 발생기)/고성능 차량 센서 블록 및 시스템과 high-speed 반도체 회로 설계]

■ 강사 : 강사명 (소속)

6월 25일: 이강운 교수(건국대학교)/

6월 26일: 송민규 교수(동국대학교)

### [ 강좌설명 ]

· 6월 25일: 이강운 교수(건국대학교)

### [ 강좌제목 ]

· 차량환경 및 노이즈에 강한 고신뢰성 회로 설계(차량용 고신뢰성 low-jitter 노이즈 클럭 신호 발생기)

### [ 강좌개요 ]

· PLL은 통신에서 클럭을 생성하기 위해서 널리 사용되고 있는 핵심적인 블록중의 하나이다. 본 강좌에서는 차량환경 및 노이즈에 강한 고신뢰성 PLL의 동작원리, VCO, Charge Pump, Divider 등의 구성 회로 및 설계 이슈 등을 다룬다.

### [ 수강대상 ]

· 석박사 과정, 관련 회사원

### [ 강의수준 ]

· 중급

### [ 강의형태 ]

· 이론/실습

### [ 사전지식, 선수과목 ]

· 전자회로 1,2

### [ 강좌설명 ]

· 6월 26일: 송민규 교수(동국대학교)

### [ 강좌제목 ]

· 고성능 차량 센서 블록 및 시스템과 high-speed 반도체 회로 설계

### [ 강좌개요 ]

· 최근의 자동차는 부품이 전장화되면서, 반도체 칩들이 많이 사용되고 있다. 과거에는 MCU 정도였으나 지금은 각종센서가 많이 장착되고 있다. 본 강좌에 서는 자동차에 많이 사용되는 이미지센서를 중심으로 비디오 신호처리용 데이터변환기에 대해 강의한다. 이를 위해, 이미지센서의 기본원리를 공부하고, 이미지센서에 사용되는 각종 회로를 공부한다. 그 중에서도 데이터변환기에 대한강의를 집중적으로 한다. 그리고 실습을 통해 배웠던 지식을 직접 몸으로 익히고 공부한다.

### [ 수강대상 ]

· 석박사 과정, 관련 회사원

### [ 강의수준 ]

· 초급 및 중급 혼재

### [ 강의형태 ]

· 이론/실습

### [ 사전지식, 선수과목 ]

· 전자회로설계 (op-amp 설계 가능자), cadence tool 사용 가능자.

\* 문의 : 이은영 (031-400-4079, hyuip@gmail.com)

### ▷충북대 개설 강좌 안내

■ 강좌일 : 6월 20일-21일

■ 강좌 제목 : 저잡음 센서 아날로그프론트엔드 설계기법

■ 강사 : 고희호(충남대학교)

### [ 강좌개요 ]

· 본 강좌에서는 센서용 아날로그 프론트엔드 설계 기법을 다룬다. 각종 전압/전류/용량/저항형 센서들의 미세 신호를 증폭할 수 있는 센서용 readout IC의 front-end 설계 기법을 살펴본다. 또한 sensor element와 IC의 co-simulation을 위한 sensor 의 modeling 기법을 살펴본다. 또한 저주파 잡음을 회피할 수 있는 CDS 및 chopper stabilization의 이론적인 배경을 살펴보고, 노이즈 해석 기법을다룬다.

### [ 수강대상 ]

· 센서 인터페이스 회로 설계에 관심이 있는 대학원생/직장인

### [ 강의수준 ]

· 중급

### [ 강의형태 ]

· 이론+실습

### [ 사전지식, 선수과목 ]

· 아날로그 회로 설계 기초 지식, Cadence IC615 및 MMSIM (Spectre) tool 사용법

\* 문의 : IDEC충북대지역센터 라해미 (043-261-3572, idec\_haemi@naver.com)

### ▷KAIST 개설 강좌 안내

■ 강좌일 : 6월 24일-25일

■ 강좌 제목 : Linux Administration과정 및 Linux보안과정

■ 강사 : 송상우 대표(크리시스)

### [ 강좌개요 ]

Linux install & Backup & Management에 관한 전반적인 이해를 돕고 보안설정에 대해 이해를 높인다

### [ 수강대상 ]

· 리눅스관리자 초급/초중급

### [ 강의수준 ]

· 초급

### [ 강의형태 ]

· 이론+실습

### [ 사전지식, 선수과목 ]

· 리눅스 기본 cmd와 OS설치경험이 있다면 쉽게 접할 수 있음

■ 강좌일 : 6월 27일-28일

■ 강좌 제목 : CPU-GPU Heterogeneous Computing

■ 강사 : 장병현 교수(The University of Mississippi)

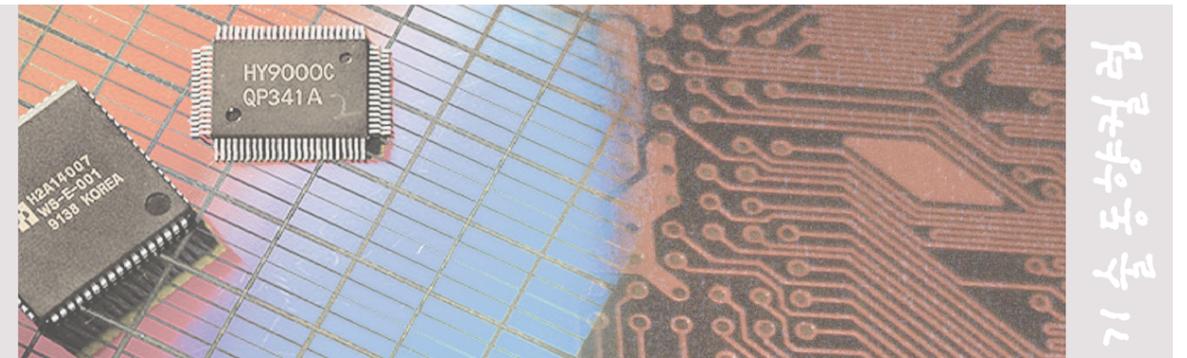
### [ 강좌개요 ]

최근 GPU를 Accelerator로 활용하여 CPU, GPU를 동시에 활용하는 Heterogeneous 컴퓨팅이 주목받고 있다. 본 교육에서는 CPU-GPU

# 저전력 Successive Approximation Analog-to-digital Converter의 기술동향



금오공과대학교 전자공학부  
 장영찬 교수  
 연구분야 : 아날로그집적회로  
 E-mail : ycjang@kumoh.ac.kr  
 http://kit.kumoh.ac.kr/~analog/



본 기술동향은 2012년 12월호에 실렸습니다.

**서론**  
 자연계의 아날로그 신호를 디지털 신호로 변환하는 아날로그-디지털 변환기 (analog-to-digital converter: ADC)는 여러 응용분야에 이용되고 있다.

즉, ADC는 휴대용 통신기기를 비롯하여 이동통신 단말기, 광 대역 모뎀 등과 같은 통신분야, high definition television (HDTV), 디지털 캠코더, Set-Top Box, digital video disc (DVD), liquid crystal display (LCD) 모니터, 컬러 스캐너 등과 같은 음성 및 영상 신호처리 분야, magnetic resonance imaging (MRI), computed tomography (CT), 보청기 등의 의료기기 분야, 그리고 음성인식, 비디오 그래픽 제어기 센서 등의 컴퓨터 분야 등 제반 산업 전반에 다양하게 사용되고 있다.

**본론**  
 이러한 각각의 응용분야를 위해 ADC의 해상도(resolution)와 변환 속도(conversion rate)는 달리 결정된다. 그림 1은 수 kHz 이하의 주파수를 가지는 음성 신호부터 수 GHz 주파수의 RF 신호까지 다양한 아날로그 신호를 디지털 신호로 변환하기 위한 ADC의 해상도와 변환속도를 나타내었다. 일반적으로 저속의 아날로그 신호는 높은 해상도로 데이터 변환이 가능하지만, 고속의 아날로그 신호에 대한 데이터 변환을 위해서는 주로 저해상도의 ADC가 이용된다.

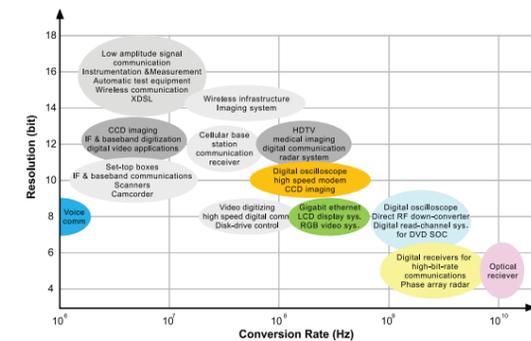


그림 1. 사양 별 ADC의 응용분야

그림 2는 각 사양을 위해 이용되는 ADC의 대표적인 구조를 나타내었다. Industrial measurement 그리고 음성 및 오디오의 응용분야에서는 일반적으로 저속의 변환속도와 고해상도의 사양을 위해서

Sigma/Delta modulator를 이용하는 ADC 구조가 이용된다. 그리고 수십 kHz ~ 수 MHz 범위의 변환속도를 요구하는 응용분야를 위해서는 successive approximation (SA) ADC 구조가 이용된다.

수십 MHz 이상의 변환속도를 가지는 ADC를 위해서는 pipeline ADC 구조가 많이 이용되며, 이 경우 해상도는 10~14-bit 정도를 가진다. 마지막으로 folding, 혹은 flash ADC 구조는 수백 MHz 이상, 수 GHz 정도의 고속의 변환속도를 위한 응용분야에 주로 이용된다.

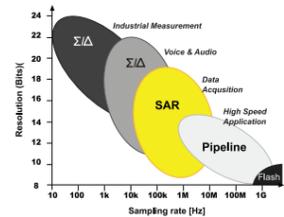


그림 2. 각 사양을 위해 이용되는 ADC의 구조

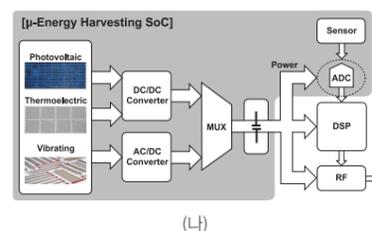
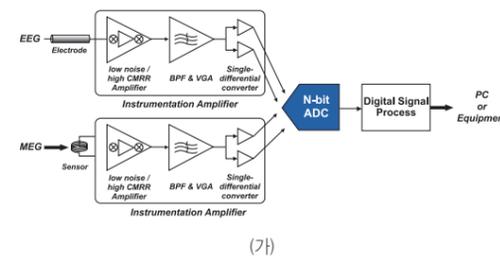


그림 3. 센서 인터페이스에서의 ADC 이용의 예 (가) Bio 응용분야 (나) Energy harvesting 분야

이중 최근에 SA ADC 구조가 센서 인터페이스를 포함한 저전력 데이터 변환기를 위해 많이 이용되고 있다. 그림 3(가)는 뇌전기파 및 뇌자기파를 sensing하여 디지털 신호로 변환하는 센서 인터페이스의 블록도를 나타내었다. 이러한 바이오의 응용분야에는 주로 10-bit의 해상도와 100-kS/s 이하의 변환속도를 가지는 ADC가 이용되고 있다.

그림 3(나)는 energy harvesting system의 각종 sensor의 출력 부분에 이용되는 ADC의 예를 나타내었다. 이 경우 데이터 변환속도는 높지 않지만, 극도의 낮은 전력 소모를 요구하는 분야이다. 이를 위해 SA ADC가 이용되고 있다.

이와 같은 SA ADC는 센서 인터페이스를 포함한 저전력 소모를 요구하는 넓은 범위에 이용되고 있는데, 10~12 bit의 해상도, 그리고 수십 ~ 수백 MHz의 변환속도를 위해 주로 이용되었던 pipeline ADC의 구조의 영역을 대체하고 있다. 이는 ADC의 구현에 사용되는 아날로그 블록이 최소로 사용되며 이로 인해 전력소모를 최소화할 수 있기 때문이다.

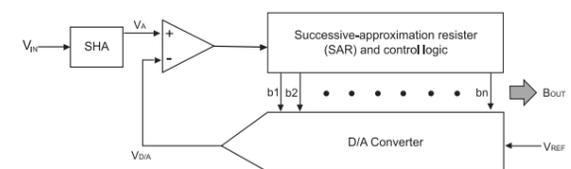


그림 4. SA ADC의 간단한 블록도

그림 4는 SA ADC의 간단한 블록도이다. SA ADC는 아날로그 입력 전압과 가장 근접한 디지털 코드를 얻기 위해서 binary search algorithm을 사용하는 귀환회로이다.

이 변환기는 축차 근사 레지스터와 비교기, 그리고 비교기의 입력으로 귀환회로를 구성하는 디지털-아날로그 변환기 (digital-to-analog converter: DAC)로 구성되어 있다.

각각의 근사과정은 한 개의 클럭 주기 동안에 이루어지므로 전체 N-bit 디지털 코드변환은 N 클럭 주기가 요구된다. SA ADC의 변환속도 및 해상도는 귀환회로를 구성하는 DAC의 변환속도와 해상도에 의해서 결정된다.

따라서 단조 증가성이 우수한 DAC를 사용해야 한다. 본 기술동향은 최근 넓은 응용분야에 사용되는 저전력 SA ADC의 구조와 안정된 동작을 위해 사용되는 설계 기법을 알아본다.

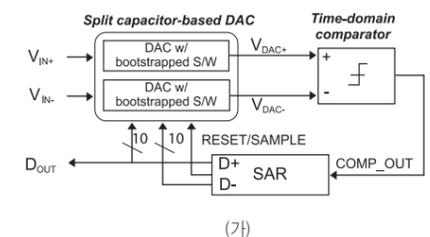
**1 MHz 이하 저속의 변환속도를 가지는 SA ADC**  
 그림 5(가)는 차동 구조의 10-bit 100-kS/s SA ADC의 블록도를 나타내었다[1]. 아래의 SA ADC는 rail-to-rail 입력범위를 가지며, split capacitor-based DAC (SC-DAC), 시간-도메인 비교기, 그리고 축차 근사 레지스터 (successive approximation register: SAR) 로직으로 구성된다. SC-DAC는 SAR 로직의 출력 신호들에 의해 제어된다.

그리고 차동 구조의 SC-DAC와 시간-도메인 비교기는 노이즈 면역력을 증가시킨다. 그림 5(나)는 SA ADC의 타이밍도를 나타낸다. 데이터 변환을 위해서 총 12 클럭 주기가 필요하다. 먼저 첫 번째 클럭 주기 동안 리셋 모드로 SC-DAC의 커패시터에 저장된 모든 데이터를 초기화한다. 그리고 두 번째 클럭 주기 동안 차동 입력 전압(V<sub>IN+</sub>, V<sub>IN-</sub>)을 샘플한다.

마지막으로 데이터 변환은 10번의 클럭 주기 동안 수행되면서 SC-DAC의 출력은 V<sub>DD</sub>/2로 수렴한다. 그림 5(가)의 SA ADC는 그림 6(가)에 나타낸 current starved delay cell과 binary phase detector를 이용하는 time-domain comparator를 사용한다.

이를 통해 그림 6(나)에 나타낸 바와 같이 일반적인 dynamic 비교기 대비 meta-stability의 발생확률 및 옴셋전압의 크기를 줄인다.

이 SA ADC는 0.6 V 공급 전압을 가지는 0.18- $\mu$ m CMOS 공정에서 구현되었으며, 칩 면적은 0.125 mm<sup>2</sup> 이다. 1.76 kHz의 입력 주파수에 대해 SNDR는 57.7 dB이며 ENOB는 9.3-bit이다.



(가)

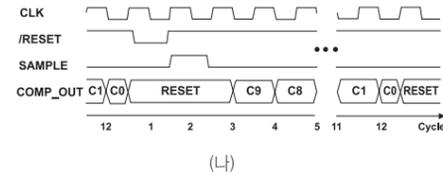


그림 5. 저속 SAR ADC (가) 블록도 (나) 타이밍도

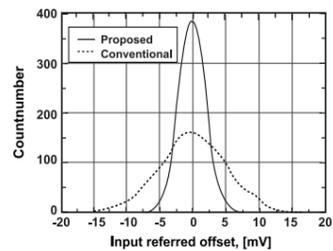
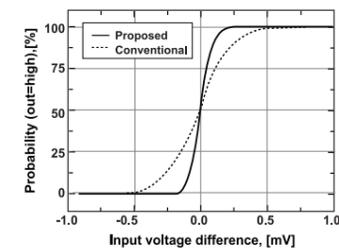
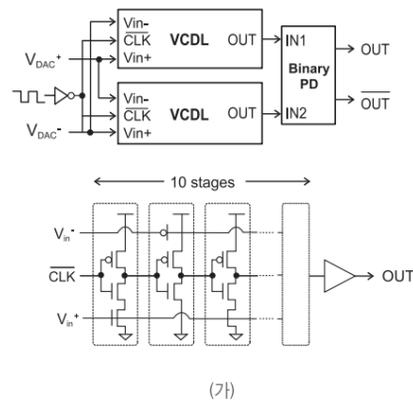


그림 6. Time-domain comparator (가) 회로도 (나) 노이즈와 오프셋의 특성

표 1은 최근에 발표된 저속의 변환속도를 가지는 SA ADC의 비교 표이다. 여기에 분류되는 SA ADC의 데이터 변환속도는 빠르지 않지만, 전력 소모가 매우 작음을 볼 수 있다. 대체적으로 10 uW 내외의 전력소모를 보이며, 수십 fJ/c-s 이하의 figure of merit (FoM)을 나타낸다.

Reference	[1]	[2]	[3]	[4]	[5]
Published	JSSC In2011	ASSCC In2007	TCSI In2011	EDSSC In2008	IEEMS In2009
Architecture	SAR ADC	SAR ADC	SAR ADC	SAR ADC	SAR ADC
Process	180nm CMOS	180nm CMOS	180nm CMOS	180nm CMOS	250nm CMOS
Sampling freq.	100kS/s	500kS/s	80kS/s	137kS/s	20kS/s
Resolution	10-bit	8-bit	10-bit	10-bit	8-bit
Supply	0.6V	1V	1V	1.5V	1.8/2.5V (Analog/Digital)
SFDR	67dB	62.69dB	53.28dB @6KHz	-	57.9dB
SNDR	57.7dB	46.92dB	61.1dB @6KHz	53.8dB	42.82dB
ENOB	9.3-bit	7.5-bit	8.6-bit	8.65-bit	6.65-bit
DNL/INL [LSB]	-0.7/+0.4 -0.7/+0.8	-0.24/+0.17 -0.28/+0.31	-0.7/+0.7 -1.5/+1.5	<0.56 <0.38	<-0.5 <-0.5
Power Consumption	1.3uW	7.75uW	0.4uW	13.4uW	0.68uW
FOM [fJ/conv-step]	21	86	19.5	243	340
Area	0.125mm <sup>2</sup>	0.08mm <sup>2</sup>	0.12mm <sup>2</sup>	0.46mm <sup>2</sup>	0.035mm <sup>2</sup>
Simulation or Measure	Measure	Measure	Measure	Measure	Measure

표 1. 1 MHz 이하의 저속의 변환속도를 가지는 SA ADC의 비교

1 MHz 이상 100 MHz 이하의 변환속도를 가지는 SA ADC 그림 7(가)는 10-bit 10-MS/s 비동기 SAR ADC의 블록도를 나타내었다. 아래의 SA ADC는 위 ADC와 마찬가지로 split capacitor-based DAC, 시간-도메인 비교기, 그리고 SAR 로직으로 구성된다.

그림 7(나)는 비동기 (asynchronous) SAR ADC의 전체 타이밍도이다. CLK\_EX의 high구간 동안 아날로그 신호의 sample 동작이 수행되며, CLK\_EX의 falling edge에서 비교기의 클럭인 CLKC가 DAC의 settle time을 고려한 지연을 발생시킨 후 high가 되어 비교기에서 DAC의 출력 전압을 비교한다.

비교기의 출력은 SAR Logic에 저장되고, 출력된 디지털 값에 따라 DAC는 다음의 기준전압을 생성하기 위한 switching이 이루어진다. 동시에 비교기의 동작이 완료됨을 알리는 VALID 신호가 high로 된다.

VALID신호가 high가 되면 CLKC는 일정 지연을 가진 후 high가 되어 비교기를 pre-charge 하고, pre-charge가 끝나면 VALID 신호는 low가 된다.

그에 따라 CLKC도 low가 되어 비교기가 settle 된 DAC의 출력 전압을 비교한다. 위의 동작을 반복하여 10번의 변환이 완료되어 LSB 값이 출력되면 reset 신호가 발생되어 비 동기 SAR ADC는 다음의 아날로그 입력을 sample 하기 위한 준비를 한다.

기존의 동기 SAR ADC는 DAC의 reset mode, 아날로그 신호의 sample mode, 그리고 10번의 데이터 변환 mode를 위해 각각의 클럭 주기가 사용되어 10MHz의 샘플링 주파수를 구현하기 위해서 120MHz의 외부 클럭이 요구된다.

그러나 비동기로 동작하는 SA ADC는 내부에서 생성된 CLKC와 VALID 신호에 의해 클럭의 한 주기 내에 아날로그 신호가 10-bit의 디지털 코드로 변환되기 때문에 외부에서 공급하는 클럭 주파수와 sampling rate가 동일하게 된다. 따라서 비동기 SAR ADC는 동기 SAR ADC에 비해 빠른 변환속도를 가질 수 있다.

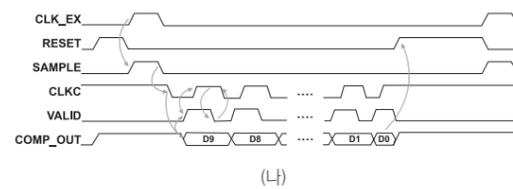
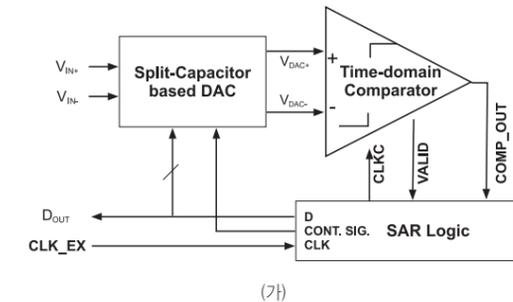


그림 7. Asynchronous SAR ADC (가) 블록도 (나) 타이밍도

표 2는 최근에 발표된 1MHz 이상 100MHz 이하의 변환속도를 가지는 SA ADC의 비교표이다. 여기에 분류되는 SA ADC는 대부분 비동기식으로 동작하며 동기 SAR ADC보다 빠른 데이터 변환속도를 가진다.

Reference	[6]	[7]	[8]	[9]	[10]
Published	VLSI In2010	JSSC In2011	JSSC In2011	ISCAS In2012	TVLSI In2011
Architecture	SAR ADC	SAR ADC	SAR ADC	SAR ADC	SAR ADC
Process	180nm	130nm	90nm	90nm	130nm
Sampling freq.	10MS/s	40MS/s	10MS/s	50MS/s	17.5MS/s
Resolution	10-bit	10-bit	8-bit	10-bit	10-bit
Supply	1V	1.2V	1V	1V	1.2V
SFDR	79.4dB	57.7dB	61.8dB	72.59dB	61dB
SNDR	60.97dB	50.6dB	46.7dB	60.10dB	51dB
ENOB	9.83-bit	8.11-bit	7.77-bit	9.69-bit	8.3-bit
DNL/INL [LSB]	-0.34/+0.28 -0.38/+0.23	-0.78/+0.72 -1.55/+0.90	-0.73/+0.37 -0.84/+0.14	<0.6 <0.7	-
Power Consumption	98uW	550uW	26.3uW	317uW	570uW
FOM [fJ/conv-step]	11	50	12	8.44	103
Area	0.08mm <sup>2</sup>	0.32mm <sup>2</sup>	0.55mm <sup>2</sup>	0.046mm <sup>2</sup>	0.775mm <sup>2</sup>
Simulation or Measure	Measure	Measure	Measure	Simulation	Measure

표 2. 1 MHz 이상 100 MHz 이하의 변환속도를 가지는 SA ADC의 비교

100 MHz 이상 고속의 변환속도를 가지는 SA ADC 그림 8(가)는 10-bit 160-MS/s 2-times interleaved pipelined SAR ADC의 블록도를 나타내었다[11]. 아래의 SA ADC는 6-bit binary capacitive DAC를 가진 1st SA ADC와 7-bit split capacitor-based DAC를 가진 2nd SA ADC, 그리고 8의 이득을 가지는 Residue 증폭기가 pipeline 구조로 2개의 채널이 구성되어 있다.

또한, 비교기의 오프셋과 증폭기의 이득을 보정하는 회로가 추가되었다. 6-bit를 출력하는 1st SA ADC의 마지막 1-bit은 증폭기의 이득을 보정하기 위해 사용되고 7-bit를 출력하는 2nd SA ADC의 마지막 2-bit은 비교기의 오프셋을 보정하기 위해 사용되어 각각의 SA ADC에서 5-bit씩 유효한 디지털 코드를 출력하여 output multiplexer를 통하여 총 10-bit의 디지털 코드를 출력한다.

그림 8(나)는 2-times interleaved pipelined SAR ADC의 전체 타이밍도를 나타낸다. 2-times interleaved 방식이므로 위상이 반대인 클럭이 각 채널에 공급되어 한 주기 동안 한 채널에서 데이터를 변환하고 다른 채널에서는 residue를 증폭한다.

이 SA ADC는 1.1V 공급 전압을 가지는 65nm CMOS 공정에서 구현되었으며, 칩 면적은 0.21 mm<sup>2</sup>이다. 70 MHz의 입력 주파수에 대해서 SNDR는 55.4dB이며, 8.9-bit의 ENOB를 나타내었다.

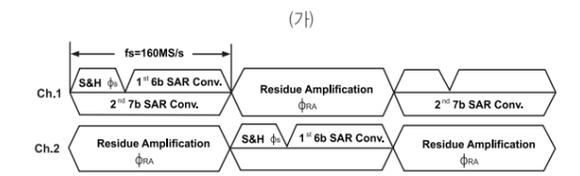
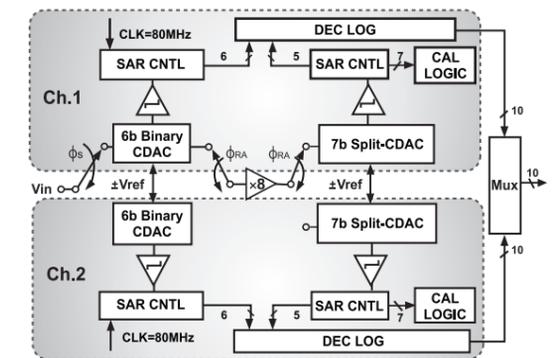


그림 8. 2-Times Interleaved Pipelined SAR ADC (가) 블록도 (나) 타이밍도

표 3은 최근에 발표된 100MHz 이상 고속의 변환속도를 가지는 SA ADC의 비교표이다. 여기에 분류되는 SA ADC는 대부분 time interleaved pipelined SAR ADC 구조를 가지며 pipeline 구조를

통해 resolution이 작은 SA ADC 여러 개를 동시에 동작시킬 수 있기 때문에 resolution이 큰 SA ADC 한 개를 동작시키는 것에 비해 변환속도를 높일 수 있으며, time interleaved 방식을 통하여 클럭의 high 구간과 low 구간을 모두 활용할 수 있으므로 더욱 빠른 변환속도를 가질 수 있다. 또한, 기존의 pipelined ADC 대비 저전력을 나타낼 수 있다.

Reference	[11]	[12]	[13]	[14]	[15]
Published	JSSCC In2012	CICC In2010	ISCAS In2010	VLSI In2012	ISSC In2012
Architecture	Pipelined SAR ADC	Pipelined SAR ADC	Pipelined SAR ADC	Pipelined SAR ADC	Pipelined SAR ADC
Process	65nm CMOS	65nm CMOS	90nm CMOS	65nm CMOS	40nm CMOS
Sampling freq.	160MS/s	204MS/s	300MS/s	500MS/s	250MS/s
Resolution	10-bit	10-bit	10-bit	10-bit	11-bit
Supply	1.1V	1V	1.2V	1.2V	1.1V
SFDR	61.3dB	59.8dB	65.7dB	66.03dB	58.65dB
SNDR	55.4dB	53.2dB	55.1dB	52.94dB	58.7dB
ENOB	8.9-bit	-	8.88-bit	12.58-bit	9.5-bit
DNL/INL [LSB]	-0.3/+0.5 -1.7/+1.3	-0.7/+0.74 -0.9/+0.77	-0.7/+0.74 -0.90/+0.77	<0.58 <1.6	-0.5/+0.8 -1.5/+1.1
Power Consumption	2.72mW	9.15mW	77mW	8.2mW	1.7mW
FOM [fJ/conv-step]	50	95.4	545	-	10
Area	0.21mm <sup>2</sup>	0.22mm <sup>2</sup>	0.79mm <sup>2</sup>	0.046mm <sup>2</sup>	0.066mm <sup>2</sup>
Simulation or Measure	Measure	Measure	Simulation	Measure	Measure

표 3. 100 MHz 이상 고속의 변환속도를 가지는 SA ADC의 비교

결론

최근 논문을 통해 발표한 SA ADC를 세 가지로 분류하여 각각의 구조를 살펴보았다. 데이터 변환속도가 낮은 센서 인터페이스에서 주로 사용되는 SA ADC는 전력 소모가 극단적으로 작아지는 경향을 볼 수 있다.

SA ADC에서 데이터 변환속도가 10 MS/s 이상으로 증가하면 기존의 동기 SA ADC 방식보다는 비동기 SA ADC의 방식을 이용하여 외부에서 공급하는 클럭의 주파수를 줄이도록 한다. 이를 통해 클럭의 공급 및 칩 내부에서의 클럭 분배로 인한 전력소모를 줄일 수 있다.

또한, 최근에는 pipelined ADC, folding ADC, 그리고 flash ADC가 담당하던 수백 MS/s 이상의 높은 데이터 변환속도가 요구되는 응용분야에서도 저전력의 구현을 위해 SA ADC를 이용하기 시작하였다.

이를 위해 SA ADC의 구조에 pipeline의 개념과 time interleave의 개념을 도입하여 그 특성을 더욱 향상시키고 있다.

Reference

[1] S.-K. Lee, S.-J. Park, H.-J. Park, and J.-Y. Sim, "A 21 fJ/conversion-step 100kS/s 10-bit ADC with a low-noise time-domain comparator for low-power sensor interface," IEEE JSSC, vol. 46, no.3, pp. 651-659, Mar. 2011.

[2] Y.-K. Chang, C.-S. Wang, and C.-K. Wang, "A 8-bit 500 KS/s low power SAR ADC for bio-medical application," IEEE ASSCC, pp. 228-231, Nov. 2008.

[3] J.-H. Cheong, K.-L. Chan, P. Khannur, K.-T. Tiew, J. Mingyu, "A 400-nW 19.5-fJ/Conversion-Step 8-ENOB 80-kS/s SAR ADC in 0.18 μm CMOS," IEEE TCASII, vol.58, no. 7, pp. 407-411, Jul. 2011.

[4] H.-K. Kim, Y.-J. Min, Y.-H. Kim, and S.-W. Kim, "A low power consumption 10-bit rail-to-rail SAR ADC using a C-2C capacitor array," IEEE EDSSC, pp. 1-4, 2008.

[5] S.-I. Chang and E. Yoon, "A low-power area-efficient 8 bit SAR ADC using dual capacitor arrays for neural microsystems," IEEE EMBC, pp. 1647-1650, Sep. 2009.

[6] C.-C. Liu, S.-J. Chang, G.-Y. Huang, Y.-Z. Lin, C.-M. Huang, "A 1V 11fJ/conversion-step 10b 10MS/s asynchronous SAR ADC in 0.18 μm CMOS," IEEE VLSI, Jun. 2010, pp.241-242

[7] S.-H. Cho, C.-K. Lee, J.-K. Kwon, and S.-T. Ryu, "A 550 W 10 b 40MS/s SAR ADC with multistep addition-only digital error correction," IEEE JSSC, vol. 46, no. 8, pp. 1881-1892, Aug. 2011.

[8] P. Harpe, C. Zhou, Y. Bi, N. P. van der Meijs, X. Wang, K. Philips, G. Dolmans, and H. de Groot, "A 26 W 8 bit 10 MS/s asynchronous SAR ADC for low energy radios," IEEE JSSC, vol. 46, no. 7, pp. 1585-1595, Jul. 2011.

[9] Guo Wei, Mirabbasi S., "A Low-Power 10-bit 50-MS/s SAR ADC Using a Parasitic-Compensated Split-Capacitor DAC," IEEE ISCAS, pp. 1275-1278, 2012.

[10] S.-H. Cho, C.-K. Lee, S.-G. Lee, and S.-T. Ryu, "A Two-channel Asynchronous SAR ADC with Metastable-Then-Set Algorithm," IEEE TVLSI, vol. 20, no.4, pp.765-769, Apr. 2012.

[11] Yan Zhu, et al., "A 50-fJ 10-b 160-MS/s Pipelined-SAR ADC Decoupled Flip-Around MDAC and Self-Embedded Offset Cancellation", IEEE JSSC, vol. 47, no.11, pp. 2614-2626, Nov. 2012.

[12] Y.-D. Jeon, Y.-K. Cho, J.-W. Nam, K.-D. Kim, "A 9.15mW 0.22mm<sup>2</sup> 10b 204MS/s Pipelined SAR ADC in 65nm CMOS" IEEE CICC, pp. 1-4, Oct. 2010.

[13] Y.-H. Kim, J.-W. Lee and S.-H. Cho, "A 10-bit 300MSample/s Pipelined ADC using Time-Interleaved SAR ADC for Front-End Stages," ISCAS, pp.4041-4044, 2010.

[14] Yan Zhu, C.-H. Chan, S.-W. Sin, S.-P. U, R.P. Martins, "A 34fJ 10b 500 MS/s Partial-Interleaving Pipelined SAR ADC," IEEE VLSI, pp.90-91, 2012.

[15] B. Verbruggen, M. Iriguchi, and J. Craninckx, "A 1.7mw 11b 250ms/s 2x interleaved fully dynamic pipelined SAR ADC in 40nm digital CMOS," IEEE ISSCC, pp. 466-467, Feb. 2012.

IDEC Multi Project Wafer Design Contest 2013
 참여기업
SAMSUNG
MagnaChip
SK 아이닉스
동부하이텍
Amkor
SEMITEC
TOYAKI

# Multi Project Wafer Design Contest 2013

## 국내 대학(원)생의 SoC 설계 아이디어를 국내외 Foundry를 통해 구현해 볼 수 있는 기회를 드립니다.

반도체설계교육센터  
IC DESIGN EDUCATION CENTER

### 2013년 MPW 공정 지원 내역

회사	공정	공정내역	size	공모전횟수	Package
삼성/하이닉스	65nm	RFCMOS 1-poly 8-metal(119#), 126# CMOS 1-poly 7-metal(121#)	4mm x 4mm	3	208pin QFP
	0.35um	CMOS 2-poly 4-metal (Optional layer(DNW,HRLEBJT,CPOLY) 추가)	5mm x 4mm	2	Design-144pin, Package 지원 -208pin QFP
동부하이텍	0.18um	CMOS 1-poly 6-metal (metal을 Thick metal(19#)로만 사용가능) (Optional layer(DNW,HRLEBJT,MM) 추가)	4.5mm x 4mm 4.5mm x 2mm	4	Design-208pin, Package 제작 -208pin QFP
	0.11um	RFCMOS 1-poly 6-metal (Top-LTM)	5mm x 2.5mm 2.5mm x 2.5mm	2	208pin QFP
TowerJazz	0.18um BCDMOS	CMOS 1-poly 4-metal TM	2.5mm x 2.5mm	4	지원하지 않음
	0.35um BCDMOS	CMOS 2-poly 4-metal TM		4	
TowerJazz	0.18um CIS	CMOS 1-poly 4-metal	2.5mm x 2.5mm	2	지원하지 않음
	0.18um RFCMOS	RFCMOS 1-poly 6-metal		2	
	0.18um SiGe	CMOS 1-poly 3-metal(MT) SiGe BCDMOS 1-poly 6-metal		4 1	

2013년 공정 지원 변경 내역  
 \* 삼성 공정 - ① 0.13um 공정 지원 중단 ② 삼성 65nm 3회 지원 (2회-3회)  
 \* 동부 공정 - ① 0.11um-1회만 축소 ② 0.35um 축소 (5회-4회) → 0.18um 증가 (3회-4회)  
 \* 동부 BCD 공정 - PVD 지원 중단 (기존 : 144pin 제작 지원함)

### 2013년 MPW 진행 일정

구분	공정사	공정	제작 일수	우선요청		정규요청		후기	DIE 마감 (Tape-out)	DIE 발행 (Pape-out)	Die-out
				신청마감	신청발표	신청마감	신청발표				
118회 (13-01)	M/H	0.18um	20	12.12.07	12.12.20	12.12.07	12.12.20		13.02.18	13.03.04	13.07.22
	동부	0.35um	3	12.12.07	12.12.20	12.12.07	12.12.20		13.02.27	13.03.13	13.06.12
119회 (13-02)	T/J	0.18um(SiGe)	1	12.12.07	12.12.20	12.12.07	12.12.20		13.03.12	13.03.19	13.07.01
	삼성	0.11um	12	12.12.07	12.12.20	12.12.07	12.12.20		13.03.20	13.04.10	13.07.31
120회 (13-03)	삼성	65nm(RF 지원)	48	12.12.07	12.12.20	12.12.07	12.12.20		13.03.15	13.04.05	13.08.15
	동부	0.35um	3	12.12.30	13.01.16	12.12.30	13.01.16		13.05.07	13.05.15	13.08.14
121회 (13-04)	M/H	0.18um	20	12.12.30	13.01.16	12.12.30	13.01.16		13.05.04	13.05.20	13.10.04
	동부	0.18um	2	12.12.30	13.01.16	12.12.30	13.01.16		13.05.06	13.05.13	13.09.14
122회 (13-05)	T/J	0.18um(CIS)	1	12.12.30	13.01.16	12.12.30	13.01.16		13.05.20	13.05.29	13.08.28
	동부	0.18um	2	12.12.30	13.01.16	12.12.30	13.01.16		13.05.20	13.05.27	13.09.16
123회 (13-06)	M/H	0.35um	20	13.01.30	13.02.15	13.01.30	13.02.15	13.03.04-	13.06.17	13.07.04	13.10.04
	동부	0.18um	2	13.01.30	13.02.15	13.01.30	13.02.15		13.06.26	13.07.10	13.10.09
124회 (13-07)	삼성	65nm	48	13.01.30	13.02.15	13.01.30	13.02.15		13.07.05	13.07.26	13.12.06
	M/H	0.18um	20	13.01.30	13.02.15	13.01.30	13.02.15	13.04.01-	13.07.29	13.08.12	13.12.24
125회 (13-08)	동부	0.18um	2	12.12.05	12.12.21	13.02.28	13.03.15	13.05.02-	13.08.14	13.08.28	13.11.27
	M/H	0.35um	3	13.02.28	13.03.15	13.02.28	13.03.15		13.08.21	13.09.04	13.12.04
126회 (13-09)	동부	0.11um	12	13.03.30	13.04.15	13.03.30	13.04.15	13.06.03-	13.09.11	13.10.02	14.01.22
	T/J	0.18um(CIS)	1	13.04.30	13.05.17	13.04.30	13.05.17		13.10.14	13.10.21	14.02.17
127회 (13-10)	T/J	0.18um(RF)	1	13.04.30	13.05.17	13.04.30	13.05.17		13.10.21	13.10.28	14.02.17
	동부	0.35um	3	13.04.30	13.05.17	13.04.30	13.05.17	13.07.01-	13.10.21	13.10.28	14.02.17
128회 (13-11)	M/H	0.18um	20	13.04.30	13.05.17	13.04.30	13.05.17		13.10.21	13.11.04	14.03.25
	동부	0.35um	3	13.04.30	13.05.17	13.04.30	13.05.17		13.10.23	13.11.06	14.02.25
129회 (13-12)	삼성	65nm(RF 지원)	48	13.05.30	13.06.17	13.05.30	13.06.17	13.08.01-	13.11.08	13.11.29	14.04.11
	동부	0.18um	2	13.05.30	13.06.17	13.05.30	13.06.17		13.11.13	13.11.27	14.02.26
127회	M/H	0.35um	20	13.02.28	13.03.15	13.05.30	13.06.17	13.09.01-	13.12.02	13.12.17	14.03.25

\* 표기 : 1) 년,월,일 2) M/H는 메그나칩(SK하이닉스) 3) T/J는 TowerJazz  
 \* 모집 : 우선(50%), 정규(50%) 모집을 원칙으로 하며, 정규에 마감일 안일 공정한 후기모집을 실시  
 \* 설계발표회 개최는 정규 모집 마감후에만 개최  
 \* Package 제작은 'Die chip out' 이후 1개월 소요  
 \* 위의 일정은 사정에 따라 다소 변경될 수 있음.

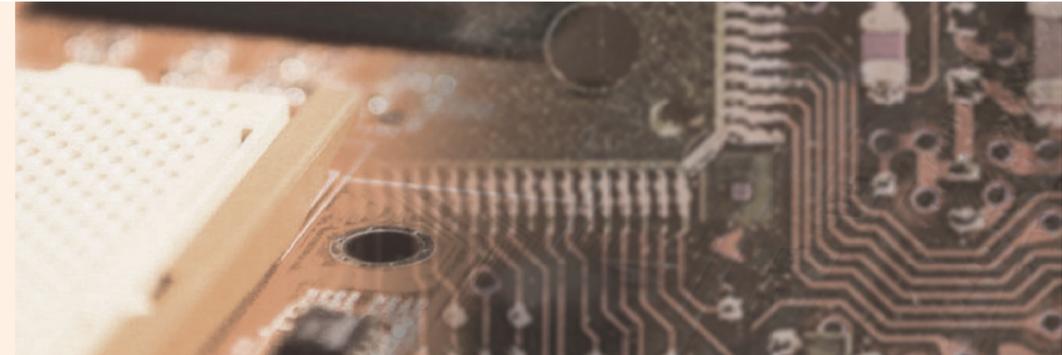
### 참여대상

IDEC Working Group(WG)대학의 학부생 및 대학원생

# 고속 System-in-Package 인터커넥트 기술 동향



포항공과대학교 전자전기공학과  
 김병섭 교수  
 연구분야 : 집적회로/시스템/캐드  
 E-mail : byungsub@postech.ac.kr  
 http://analog.postech.ac.kr/



부러워할수록

### 서론

최근 들어 System-in-Package (SiP)에 대한 연구가 다양한 분야에서 활발히 진행되고 있다. 불과 10년 전만 해도 크게 주목을 받지 못하던 패키지에 관한 연구가 갑자기 왜 이렇게 주목을 받게 되었을까? 나뭇잎이 아닌 숲을 살펴보아야 전체적인 숲의 형태가 파악되듯이, SiP기술과 관련된 기술적 디테일에서 한발자국 떨어져, SiP와 관련된 전자기술의 전반에 걸친 기술 변화의 큰 흐름을 살펴보면, 왜 최근 들어 SiP 기술이 대두하였는지, 또한 앞으로 SiP 기술이 어떻게 진화해 나가야 할지를 알 수 있지 않을까?

### 인터커넥트 기술 동향

SiP 인터커넥트 기술이 대두 되게 된 가장 큰 이유가 무엇인지를 생각해보기에 앞서, 전반적인 전자 시스템에서의 인터커넥트의 위치와 그 기술동향을 살펴볼 필요가 있다. 전자 시스템에서 인터커넥트는 시스템의 성능과 전력소모를 결정짓는 매우 중요한 요소이다. 전자 시스템은 전기신호를 처리해서 정보를 가공하는 것을 주된 목적으로 한다. 따라서 시스템의 구성요소 간의 전기신호의 교환이 필수적이다. 우리가 많이 사용하는 스마트폰에서 평소에 보기 힘든 슈퍼컴퓨터에 이르기까지, 모든 전자시스템은 다양한 인터커넥트를 통한 전기신호의 교환으로 동작한다. 그러므로 인터커넥트가 전자시스템에서 차지하는 비중은 상당히 크며, 전자시스템의 전력소모와 성능을 좌우하는 중요한 요소로 작용한다.

전자시스템의 발전은 주로 지수 함수적으로 발전하며, 이를 뒷받침하기 위해서는 인터커넥트의 성능 또한 지수함수적으로 발전되어야 한다. 그림 1은 CPU의 한 칩당 인터커넥트의 전송 속도와 전력소모의 추이를 연도별로 나타낸 그림이다. 80년대부터 한 칩당 인터커넥트의 속도가 기하급수적으로 증가했음을 알 수 있다. 이는 전자시스템의 성능이 Moore's Law [1]로 대변되듯이 기하급수적으로 발전했고, 그에 따라 인터커넥트에 요구되는 성능 또한 기하급수적으로 증가했기 때문이다. 인터커넥트 설계자들은 인터커넥트의 성능을 기하급수적으로 지속해서 발전시켜 나가기를 강요받고 있으며, 이는 기술적으로 매우 어려운 문제이다.

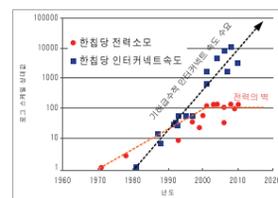


그림 1. CPU의 인터커넥트 속도와 전력소모량의 변화

### 전력의 벽 (Power wall)

연구자마다 견해가 약간씩 다르겠지만, SiP 기술이 활발히 연구되기 시작한 시점은 약 2000년대 중반부터이다. 이 시점이 전력의 벽 (Power Wall) 문제가 크게 대두하는 시점과 일치한다는 사실에 우리는 주목할 필요가 있다. 우리가 많이 사용하는 고성능 디지털 시스템은 대부분 고속 인터커넥트에 의존한다.

이러한 인터커넥트를 구동하는 회로는 대부분 칩에 집적되어 전력을 소모한다. 과거에는 칩의 전력소모가 인터커넥트의 성능수요와 비슷하게 기하급수적으로 증가하여 왔다. 즉, 인터커넥트의 성능을 기하급수적으로 증가시키기 위해서, 기하급수적으로 많은 전력을 사용할 수 있었다.

그렇지만, 2000년대 중반에 이르러 칩 당 전력소모가 한계에 이르렀다. 이를 전력의 벽 (Power Wall) [2]이라고 부른다. 칩이 과도한 전력을 소모하면, 칩의 내부온도가 상승하여, 칩의 수명이 짧아지고, 칩이 파괴될 수도 있다. 따라서 현재 대부분의 상업용 CPU의 전력소모는 그림 1에서 보듯이 약 100W가량으로 한정되어 있다. 그림 1에서 보듯이, 2000년대 중반부터 전력의 벽 문제가 심각해 졌으며, 이는 SiP인터커넥트가 본격적으로 연구되기 시작한 시점과 일치한다.

전력의 벽이 본격적으로 인터커넥트 성능에 본격적으로 문제가 되는 시점인 2000년대 중반부터, SiP 연구가 활발히 진행되었다는 점은 많은 것을 시사한다. 전자시스템에 많이 사용되는 고속 데이터 통신용 인터커넥트의 에너지효율은 데이터 한 비트 당 에너지 (energy/bit)로 나타낼 수 있는데, 이는 수식 (1)처럼 전력을 전송속도로 나눈 값과 같다.

$$E_b(\text{한비트당 에너지}) = (\text{전력}) / (\text{전송속도}) \quad (1)$$

그림 1의 경향과 수식 (1)을 이용하면, 전력의 벽 전후로 인터커넥트 설계 시 에너지 효율에 대한 조건이 크게 바뀌었음을 알 수 있다. 그림 1에서 보듯이 2000년대 중반 전력의 벽 이전에는 전력과 전송속도 둘 다 기하급수적으로 증가하였다. 따라서 수식 (1)의 한 비트 당 에너지는 일정하게 유지될 수 있었으며, 인터커넥트 설계자들은 전력 효율에 관계없이, 전송 속도만 기하급수적으로 증가시켜왔다.

전력의 벽 하에서는 칩 당 전력이 한계에 다다랐기 때문에, 수식 (1)에서의 전력이 상수로 고정되었다. 반면에, 전송속도는 그림 1의 경향에서 보듯이 계속해서 기하급수적으로 증가하고 있기 때문에, 이를 만족하게 하려면 수식 (1)에서 쉽게 유추할 수 있듯이 인터커넥트의

한 비트당 에너지소모와 전송속도를 동시에 기하급수적으로 개선하여야 한다. 이러한 두 가지 속제는 인터커넥트 개발자들에게 매우 어려운 일이며, 이를 해결하기 위해서 SiP 기술이 대두하기 시작하였다.

### 인터커넥트 Scaling

SiP 기술이 어떻게 에너지효율과 전송속도를 동시에 향상할 수 있는지는, 인터커넥트 Scaling을 통해 간단히 설명할 수 있다. 그림 2는 인터커넥트 Scaling의 개념을 간략히 보여준다. 현재 가장 많이 사용되고 있는 시스템의 집적방법은 개별 칩들을 패키지 된 채로 PCB (printed-circuit-board)에 집적하는 방법이다.

우리가 흔히 사용하는 개인용 컴퓨터 내의 메인 보드나 그래픽 카드의 PCB 보드들이 이에 해당한다. 그에 비해, SiP 기술은 이러한 칩들을 패키지 하지 않은 다이(die)의 형태로 패키지 내에 집적하여 칩 간의 집적도를 높여준다. 이때, 패키지 내의 인터커넥트가 PCB인터커넥트보다 미세하기 때문에 보다 많은 전선을 칩들 사이에 배열할 수 있다. 즉 시스템이 더욱 좁은 공간에 보다 많은 미세 전선으로 연결 될 수 있다.

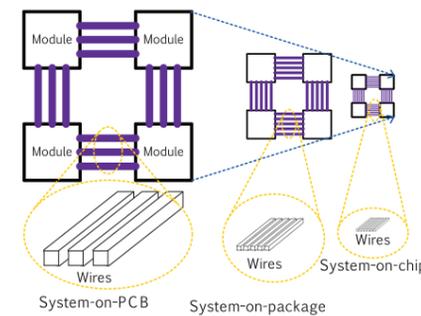


그림 2. 시스템 집적도 향상과 인터커넥트 스케일링 [3]

그림 2에서 보여주고 있는 인터커넥트 스케일링의 가장 큰 장점은 인터커넥트의 길이가 짧아지기 때문에, 채널의 고주파 손실이 작고, 따라서 채널을 통한 고속 데이터 통신에 사용되는 전력의 손실이 줄어든다는 점에 있다. 또한, 시스템의 크기가 소형화되는 경향 보다, 미세 전선이 소형화되는 경향이 빨라서, 칩 사이에 더욱 많은 전선을 배열할 수 있다. 일반적으로, 인터커넥트의 병렬성이 높을수록 전력 효율이 높으며, 이를 구동회로설계에 적절히 반영하면, 전력효율을 향상하게 시킬 수 있다. 이와 같은 이유로 2000년대 중반 이후 전력

의 벽을 극복하려는 방법으로 인터커넥트 스케일링이 많이 연구되기 시작했다.

### 시스템 인 패키지 (SiP)

그림 3은 PCB에 시스템을 집적하는 경우와 SiP 기술을 이용해서 시스템을 집적할 경우 시스템의 크기차이를 나타낸 모식도이다. PCB를 이용하여 시스템을 집적할 경우 칩 다이 (die)를 패키징하고 이를 다시 PCB 보드에 집적한다. 패키지의 크기는 칩 다이보다 훨씬 크기 때문에 그림 3의 (a)에서 보듯이 수평적으로 집적할 때 많은 면적을 차지하고 칩 다이들 사이의 거리가 멀어지게 된다. 이를 SiP 기술을 이용하여 집적하게 되면, 그림 3의 (b)에서 보듯이, 다이들을 하나의 패키지 내에 수평적으로 집적함과 동시에 수직적으로도 집적하여, 시스템의 전체적인 크기가 매우 작아지며, 동시에 칩 다이사이의 거리, 즉 인터커넥트의 길이가 매우 짧아지게 된다.

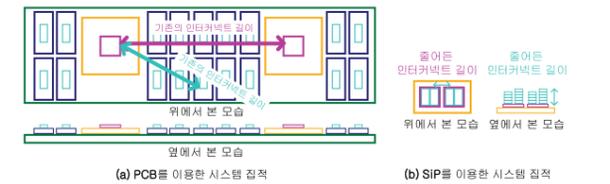


그림 3. PCB를 이용한 시스템 집적과 SiP를 이용한 시스템 집적의 비교.

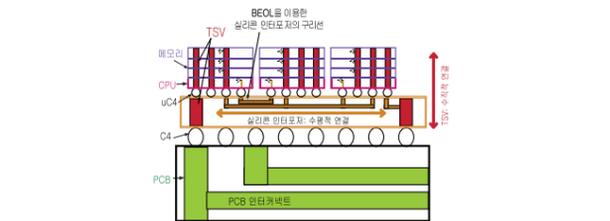


그림 4. 실리콘 인터포저와 Through-Silicon-Via(TSV)를 이용한 칩 적층 기법이 적용된 SiP시스템의 단면도

그림 4는 실리콘 인터포저[4] 와 through-silicon-via (TSV) [5]를 이용하였을 때, 3D IC SiP 시스템이 어떻게 구현되는지를 자세히 보여준다. SiP 시스템 구성은 CPU와 같은 로직 프로세서 위에, 메모리 칩들을 적층한 구조가 일반적이다. CPU와 메모리의 연결은 TSV를 통하여 광대역의 병렬/저전력 인터커넥트로 구성된다. 또한, 이러한 적층구조를 수평적으로는 실리콘 인터포저를 이용해 연결되며, 이는 패키지 내부에 적층된 다이들을 집적하는 것이므로, 기존의 PCB 시

시스템에 비해서 집적도가 매우 높으며, 인터커넥트의 길이가 매우 짧아, 저전력 초고속 인터커넥트가 가능하다. 이런 패키지 내부에 집적된 시스템은 최종적으로 패키지를 관통하는 TSV를 통해서 PCB에 집적되고, 대부분의 중요 부품들이 패키지 내에 집적되었으므로, 기존의 시스템에 비해서 그 크기가 매우 작다.

결국, PCB 상에 집적되는 부품들은 패키지 내부에 집적이 어려운 최소단위의 전자소자들만이 구성되고, 이는 기존의 전자 시스템의 소형화에 도움이 되어, 각종 Mobile Application 및 생체 삽입형 저전력 Application 등에 적합하다. 따라서 광범위한 응용이 가능할 것으로 예상된다.

**시스템 인 패키지 (SiP) 채널 모델**

SiP 채널은 전송선으로 모델하는 기존의 채널과 그 특성이 다르며, 구동회로 설계 시 이를 잘 유념해야 최적의 회로를 구현할 수 있다. 식 (2)는 일반적인 인터커넥트의 특성 임피던스 식을 표현한 식이다.

$$Z_c(\omega) = \sqrt{(R + j\omega L) / (G + j\omega C)} \quad (2)$$

전통적으로 많이 사용되는 전송선은 기생 인덕턴스(L)과 기생 캐피턴스(C)의 값이 다른 값에 비해서 매우 크기 때문에, 특성 임피던스는 대략  $Z_c(\omega) \approx \sqrt{L/C} \approx 50$ 의 값을 가진다. 따라서 전통적인 전송선을 이용한 고속 인터커넥트 구동회로는 50Ohm 저항으로 임피던스 매칭을 하는 것이 일반적이다. 그렇지만, SiP 채널은 기존의 인터커넥트 채널보다 폭이 수  $\mu\text{m}$ 에서 수십  $\mu\text{m}$ 로 좁고, 인터커넥트간의 간격이 수  $\mu\text{m}$ 대로 매우 좁음으로 인터커넥트의 기생 저항(R)과 기생 캐피턴스(C)의 영향을 많이 받기 때문에, RC-dominant 채널로 분류된다.

이러한 RC-dominant 성질에 따라, SiP 채널의 특성 임피던스 수식은  $Z_c(\omega) = \sqrt{(R + j\omega L) / (G + j\omega C)}$ 으로 주파수의 함수로 나타나 진다. 따라서, 기존의 50Ohm 임피던스 매칭의 방법은 SiP 채널에는 적절하지 않다 [3]. 특히, SiP채널을 사용하는 주된 목적이 고속 통신에서의 높은 에너지 효율인데 반해, 수신단에서의 50Ohm 임피던스 매칭은 많은 DC 전력 소모를 요구하기 때문에 [6], 수신단의 termination 임피던스는 주로 큰 값을 가진다.

따라서 기존에 많이 사용되는 전송선 모델로는 SiP 채널의 이러한 특징을 정확히 묘사할 수 없으며, 적절한 SiP 인터커넥트 구동회로를 설계하기 위해서는 기존의 전송선 모델과는 다른 모델이 필요하다.

SiP 채널의 전달함수 모델은 그림 5와 같이 기존의 전송선 모델에서 RC-dominant 특성을 이용하여 유도할 수 있다 [3].

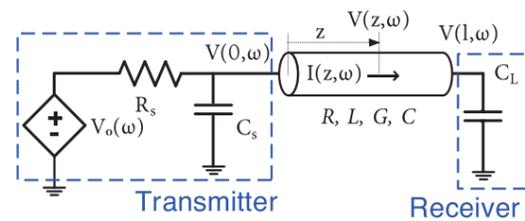


그림 5. SiP 채널의 전달함수를 구하기 위한 모델 [3]

$$T_v(\omega) \approx \frac{V_o(\omega)}{V_i(\omega)} = \frac{2e^{-\sqrt{j\omega RC}l}}{\{R_s(1/Z_c(\omega) + 1/R_s)\} \{Z_c(\omega) + R_L\}/R_s} \quad (3)$$

수식 (3)은 그림 5의 모델에서 유도한 SiP 채널의 전달함수의 수식이다. R<sub>s</sub>와 C<sub>s</sub>는 송신기의 임피던스와 기생 캐피턴스를 묘사하고, C<sub>L</sub>은 수신 단의 입력 캐피턴스를 묘사하고 있다. 그림 6은 그림 5의 전달함수 모델과 스파이스 시뮬레이션 결과를 비교하고 있다. 두 모델이 상당히 잘 일치함을 알 수 있으며, 간단한 전달함수 식이 인터커넥트 설계자에게 좋은 정보를 제공할 수 있음을 보여준다.

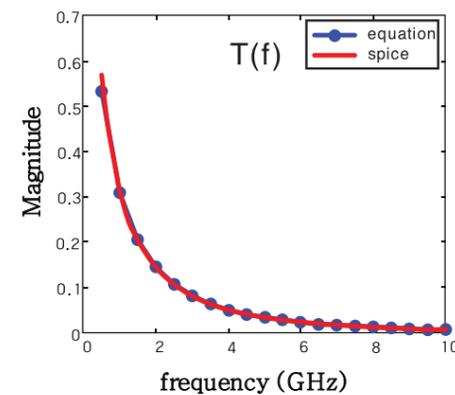


그림 6. 수식 3의 SiP 전달함수 모델과 스파이스 시뮬레이션과의 비교 [7]

**시스템 인 패키지 (SiP) 인터커넥트 구동 회로**

SiP 인터커넥트의 구동회로는 작고 전력소모가 작아야 한다. SiP 인터커넥트를 사용하는 주된 목적이 인터커넥트 스케일링에 의해서 고속 데이터 통신의 전력효율을 증대시키고, 인터커넥트 밀도를 높여, 병렬적으로 많은 데이터를 전송함에 있기 때문에, SiP 구동회로는 많은 수가 사용된다.

따라서 각 채널 당 사용되는 구동회로는 크기가 작고 전력소모가 작아야, 전체 구동회로의 면적과 전력소모가 작게 된다. 따라서 SiP 용의 구동회로는 크기를 최소화하면서, 전력을 적게 소모하는 방향으로 기술이 진화할 것으로 보인다.

최근 들어, 저전력의 작고 효율이 뛰어난 구동회로에 대해서 좋은 연구결과가 보고되고 있다 [6, 7]. 효율 높은 SiP 구동회로를 구현하기 위해서는, SiP 채널의 RC-dominant 한 특성을 살려, high-impedance termination [6]을 하거나 trans-impedance amplifier (TIA)를 이용한 termination [7]을 하여 최대한 채널 자체의 특성을 개선해야 한다.

또한, 동시에 회로적으로는, 기존의 구동회로에 사용되는 다양한 셀들을 하나의 셀로 합쳐 효율성을 극대화하거나 [6], SiP 채널의 특성을 고려하여 기존의 전송선용 구동회로 설계 시 불필요한 스택들을 완화 시켜야 한다 [7].

이러한, 결과로 SiP 채널의 경우, 최근에는 1pJ/b 이하의 저전력 구동회로도 보고되고 있다 [7]. 앞으로 저전력 고효율의 Compact 한

SiP 용 구동회로에 대해서는 더 많은 연구가 있을 것으로 예상된다.

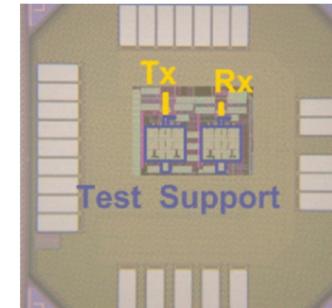


그림 7. 저전력 (0.4~0.6pJ/b) 소형 송수신기 (Tx: 70  $\mu\text{m}$  x 16  $\mu\text{m}$ , Rx: 40  $\mu\text{m}$  x 16  $\mu\text{m}$ ) 사진 [7].

**맺음말**

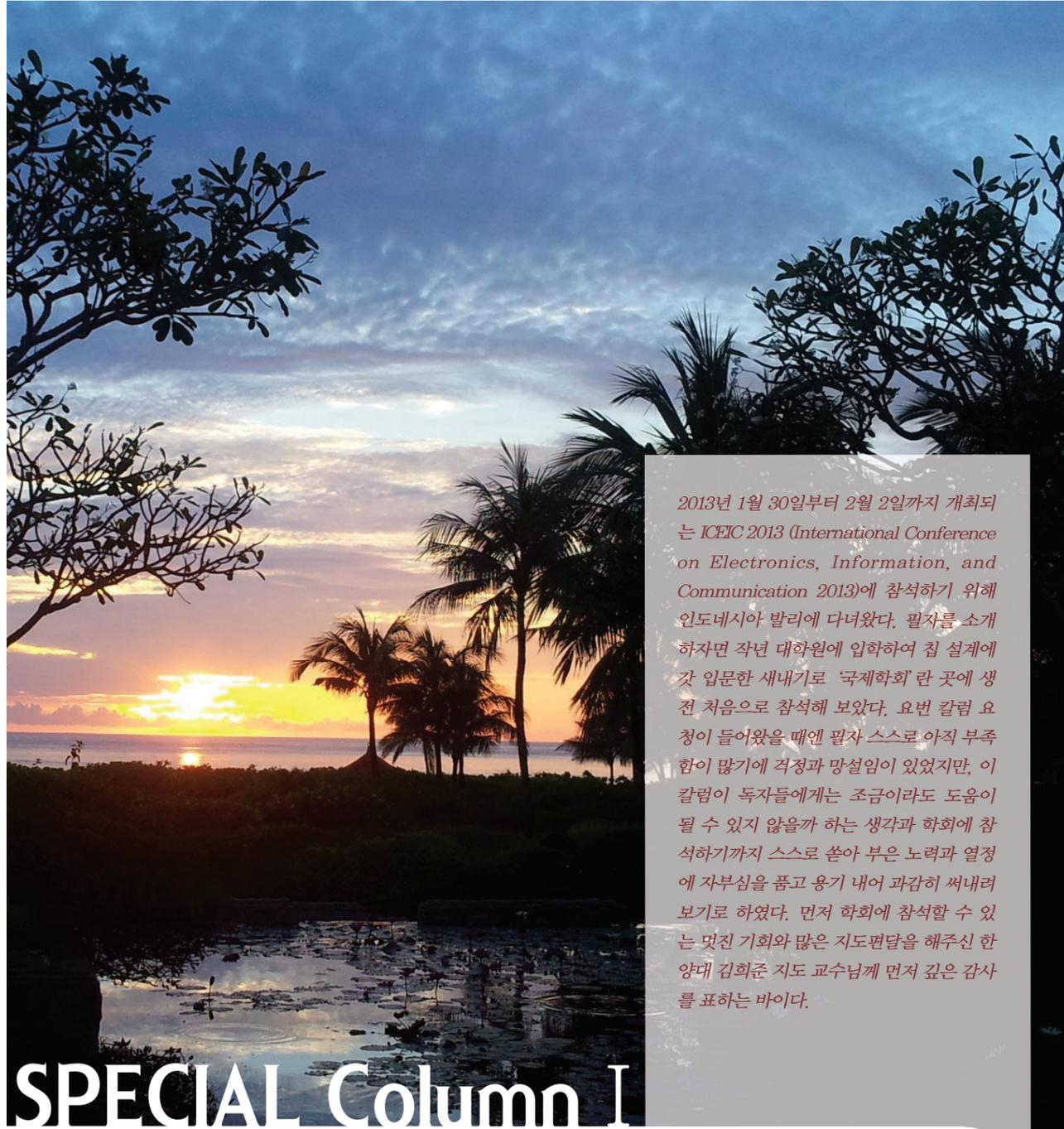
최근 들어 각광을 받고 있는, SiP 인터커넥트의 경우 다양한 방향으로 기술이 진화하고 있다. 이러한 SiP 인터커넥트의 기술적 진화 방향을 예측하고 이를 잘 이해하기 위해서, 우리는 SiP 인터커넥트가 주목을 받게 된, 전반적인 기술적 배경을 살펴보았다. 칩 당 전력소모의 한계를 충족하면서도 기하급수적으로 증가하는 전송속도의 수요를 충족시키기 위해서는 인터커넥트의 길이를 줄여 에너지효율을 높이고 전선의 폭을 줄여 병렬성을 높여야 했다. 이를 위해서 SiP 기술이 주목을 받게 되었고, 앞으로도 SiP기술은 그 짧은 인터커넥트 길이와 높은 병렬성을 이용한, 초근거리 저전력 초고속 데이터 통신용 인터커넥트로 진화할 것이다. 따라서 SiP의 크기는 점점 작아질 것이며, 이에 따라 채널의 특성도 기존의 LC-dominant 한 채널에서 RC-dominant한 채널로 진화할 것이다. 따라서 SiP 인터커넥트용 구동회로는 변화된 채널을 적절히 이해하고 변화된 채널에 맞게 설계 방식을 바꾸어 회로를 개선해, 작고 에너지 효율이 높은 구동회로로 진화할 것이다.

**감사의 말**

끝으로, 관련 연구를 수행할 수 있도록 지원해 주신 한국연구재단 (2012년도 교육과학기술부(현, 미래창조과학부) 재원: No. 2012R1A2A2A02010432)과 지식경제부(현, 산업통상자원부) 및 정보통신산업진흥원 (2012년도 IT명품인재양성사업 재원: C1515-1121-0003)에 감사를 드립니다.

**Reference**

- [1] Gordon E. Moore, "Cramming More Components onto Integrated Circuits," Electronics, pp. 114-117, April 19, 1965.
- [2] T. Kuroda, "CMOS design challenges to power wall," International Microprocesses and Nanotechnology Conference, pp. 6-7, 2001.
- [3] B. Kim, "An analytical model of scaled RC-dominant wires for high-speed wireline transceiver design," IEEE International Midwest Symposium on Circuits and Systems (MWCAS), Aug 2011.
- [4] J. U. Knickerbocker et al., "Development of next-generation system-on-package (SOP) technology based on silicon carriers with fine-pitch chip interconnection," IBM Journal of Research and Development, vol. 49, no. 4/5 July/September 2005.
- [5] U. Kang et al., "8 Gb 3-D DDR3 DRAM Using Through-Silicon-Via Technology," IEEE Journal of Solid-State Circuits, vol. 45, no. 1, pp. 111-119, January 2010.
- [6] B. Kim et al., "A 10-Gb/s Compact Low-Power Serial I/O with DFE-IIIR Equalization in 65nm CMOS," IEEE Journal of Solid-State Circuits, vol. 44, no. 12, pp. 3526-3538, Dec. 2009.
- [7] B. Kim and Vladimir Stojanovic, "Equalized Interconnect for On-Chip Network: Modeling and Optimization Framework," IEEE/ACM International Conference on Computer-Aided Design, Nov. 2007.
- [7] B. Kim and Vladimir Stojanovic, "An Energy-efficient Equalized Transceiver for RC-dominant Channels," IEEE Journal of Solid-State Circuits, vol. 45, no. 6, pp.1186-1197, June 2010.



2013년 1월 30일부터 2월 2일까지 개최되는 ICEIC 2013 (International Conference on Electronics, Information, and Communication 2013)에 참석하기 위해 인도네시아 발리에 다녀왔다. 필자를 소개하자면 작년 대학원에 입학하여 칩 설계에 갓 입문한 새내기로 '국제학회'란 곳에 생전 처음으로 참석해 보았다. 요번 칼럼 요청이 들어왔을 때엔 필자 스스로 아직 부족함이 많기에 걱정과 망설임이 있었지만, 이 칼럼이 독자들에게는 조금이라도 도움이 될 수 있지 않을까 하는 생각과 학회에 참석하기까지 스스로 쏟아 부은 노력과 열정에 자부심을 품고 용기 내어 과감히 써내려 보기로 하였다. 먼저 학회에 참석할 수 있는 멋진 기회와 많은 지도편달을 해주신 한양대 김희준 지도 교수님께 먼저 깊은 감사를 표하는 바이다.

# SPECIAL Column I

## 2013 ICEIC 학회 참가기

2013년 1월 30일부터 2월 2일까지 개최되는 ICEIC 2013 (International Conference on Electronics, Information, and Communication 2013)에 참석하기 위해 인도네시아 발리에 다녀왔다. 필자를 소개하자면 작년 대학원에 입학하여 칩 설계에 갓 입문한 새내기로 '국제학회'란 곳에 생전 처음으로 참석해 보았다.

요번 칼럼 요청이 들어왔을 때엔 필자 스스로 아직 부족함이 많기에 걱정과 망설임이 있었지만, 이 칼럼이 독자들에게는 조금이라도 도움이 될 수 있지 않을까 하는 생각과 학회에 참석하기까지 스스로 쏟아 부은 노력과 열정에 자부심을 품고 용기 내어 과감히 써내려 보기로 하였다. 먼저 학회에 참석할 수 있는 멋진 기회와 많은 지도편달을 해주신 한양대 김희준 지도 교수님께 먼저 깊은 감사를 표하는 바이다.

발리는 인도네시아를 이루는 하나의 섬으로 우리나라 인천공항에서 6시간 정도 떨어져 있다. 열대 기후와 이목을 끄는 아름다운 해변들을 중심으로 리조트들이 건설되어, 전 세계의 관광객들이 많이 찾는 휴양지 중의 하나이기도 하다. 걱정 반, 기대 반으로 발리 공항에 도착해보니 유명 관광지인 명성만큼 냉방 시설은 그러지 못했던 것 같다.

공항 내부에서 선풍기는 물론 에어컨 하나 찾아볼 수 없었다. 발리의 연중 평균기온은 30도, 그리고 습도는 약 78%라고 알려졌는데, 연달아 도착하는 수백 명의 관광객 탓에 체감온도는 그보다 더 높아져만 갔다. 이곳에서 일하고 있는 직원들이 존경스러운 정도였다. 유독 더위를 많이 타는 나는, 6시간 전 한파에 목도리를 공공 싸매고 손을 호호 불며 걸어 다니고 있던 한국이 그리워지기 시작했다.

1시간 동안의 기나긴 입국 심사 끝에 북적거리는 관광객 틈을 빠져나와 학회장으로 향했다. 목적으로 향하는 도중 택시 운전기사에게서 APEC 세계 정상 회담이 올해 겨울 발리에서 개최된다는 소식을 들을 수 있었는데, 그에 대한 준비의 일환으로 발리 곳곳은 공사가 진행 중이었다.

더군다나 넓어야 2차선밖에 안 하는 비좁은 고속도로는 뱅뱅하게 들어선 자동차와 오토바이들로 극심한 교통 체증에 시달리고 있었다. 비록 관광이 아닌 학회 참가 목적으로 온 것이지만 일순간 발리에 대한 실망감을 감출 수가 없었다. 이런 마음을 헤아리는지 구름이 먹먹하게 낀 하늘에서는 비가 한두 방울씩 내리기 시작했다.



Grand Hyatt 리조트 로비에서 - 해가 지는 모습

학회장은 발리 서부 해안가 '누사두아'라는 곳에 있는 Grand Hyatt 리조트였다. 타 리조트와는 다르게 규모가 어느 한 마을에 비할 정도로 커서 숙박시설뿐만 아니라, 컨퍼런스홀, 쇼핑몰, 스파 등의 시설들을 모두 갖추고 있고 리조트 내에 해변까지 갖추어져 있어서 오히려 다른 리조트의 숙

박객들이 관광하러 올 정도라고 한다. 그 때문일까, 도착한 순간 이곳에서만 볼 수 있는 아름다운 해변과 열대 식물, 은은히 퍼지는 자스민 꽃 내음, 그리고 항상 웃음을 머금고 있는 친절하고 리조트 직원들의 모습에 그동안 쌓인 실망감과 피로감들이 저 멀리 사라지는 듯했다.



Grand Hyatt 리조트 앞의 ICEIC 환영 안내판

ICEIC는 대한전자공학회 (IEEK) 주관으로 개최되는 국제 학술대회로 올해 13회를 맞이하였다. 전자공학의 전반, 컴퓨터 및 정보기술 일반, 정보통신 전 분야에 걸친 광범위한 범위를 다루고 있으며, 아시아 태평양 및 유라시아 등의 저개발국을 중심으로 개최되고 있다. 또한, 1991년 중국 연변대학을 시작으로 명성을 조금씩 키워나가고 있다가, 2004년 베트남과 2008년 우즈베키스탄에서 성공적인 개최로 아시아권 국가들의 시선을 끌기 시작했다.

특히 우즈베키스탄 학회 당시에는 기초연설을 현지 정보통신부 차관이 할 정도였고, 그 모습을 현지 방송국에서 담아갈 정도로 열렬적인 관심을 받았다. 그리고 2012년부터는 IEEE CE Society (IEEE Consumer Electronics Society)의 공동후원을 받아 더욱 저명한 국제 학술대회로 육성되고자 매년 국내외 휴양지에서 개최되고 있다.

학회의 주요 목표는 전자, 정보 및 통신 기술 분야에서 저개발국들이 빠른 개발이 이루어지고 있는 현 상황에 대하여 아시아 태평양 지역 내의 엔지니어 및 연구자들이 한자리에 모이게 해 서로의 아이디어를 공유할 수 있도록 하고, 우리나라의 우수한 전자/IT 기술 및 산업을 전파하여 현지 진출에 도움을 주도록 인맥을 구축할 수 있도록 도움을 주는 데에 있다.

그뿐만 아니라 현지 학생들에게 한국 대학원에서 제공하는 우수한 커리큘럼과 연구 프로그램을 소개하여 진학기회를 제공하여 학생들에게도 새로운 주제, 개선책, 기술 그리고 경험을 교환할 수 있도록 좋은 기회를 마련해 주는 목적으로 진행되고 있다. 이에 따라 학회 참가자의 대부분은 전자, 정보 및 통신 분야의 국내외 학생 혹은 관련 업계의 종사자들이다.



조지아텍 Manson Hayes 교수의 Plenary talk

이번 ICEIC 2013에서는 튜토리얼, Plenary Session, 논문발표뿐만 아니라 Welcome Reception, Opening Ceremony, Banquet, Udayana 대학 방문과 같이 학회 주요 목표 취지와 맞게 참가자들과 인적 교류를 할 수 있도록 여러 가지 소셜 이벤트가 준비되어 있었다.

포항공대 박홍준 교수의 "Delta-Sigma Oversampling Analog Circuits"와 연세대 강홍구 교수의 "Signal Channel Speech Enhancement Technique and its Applications"라는 강연 제목으로 2건의 튜토리얼이 진행되었고, Plenary Session에서는 조지아 텍 Monson Hayes 교수가 최근 빠른 성장세를 보이고 있는 CE devices (Consumer Electronic devices) 분야와 같이 떠오르고 있는 Image Processing 연구의 중요성을, LG 전자 민경호 상무는 CE 분야의 업체들이 현재 겪고 있는 상황과 중요시되고 있는 키포인트들에 대하여 'Innovation, Software, and Consumer Electronics'라는 주제로 역설하였다.

이와 같이 유익한 강연들이 학회 둘째 날 진행되면서 참가자들의 연구진진을 도모하였다. 셋째 날에는 12개의 아시아권 국가들의 참여로 약 68편의 논문(인도네시아 34건, 일본 11건, 대만 7건, 이란 및 말레이시아 8건, 그 외 싱가포르, 몽골, 홍콩 등)을 포함하여 총 332건의 논문이 약 18개의 정규 분야 세션으로 나누어져 구두 발표 및 포스터 발표로 분주하게 진행되었다.

참가자 중 우리나라 참가자들이 대부분이었지만 외국 참가자 중 절반이 인도네시아 참가자들로, 현지에서도 ICEIC에 많은 관심을 두고 있다는 사실을 알 수가 있었다.

필자는 'A Current-Sensing PFM-PWM using CMOS OTA-R Schmitt Triggers' 연구 주제로 학회 셋째 날 첫 세션부터 구두 발표를 하게 되었다.

요번 연구에서는 최근 스마트폰과 같은 휴대기기의 수요가 증가하면서 이에 전원장치의 고효율, 소형·경량화의 중요성이 높아지고 있기 때문에 이 세 가지 요건을 갖추도록 OTA (Operational Transconductance Amplifier)를 이용하여 전원장치의 효율성을 높이도록 이용되는 PFM-PWM 모듈레이터를 연구 주제로 하였다.

PFM-PWM이 듀얼모드로 동작하기 때문에 넓은 부하 범위에서 높은 효율 특성이 있을 수 있게 설계하였고, 또한, 주로 사용되는 OP-Amp (Operational Amplifier) 대신 OTA를 사용함으로써 소자 사용을 최소화하여 저전력에서 동작하도록 하였다.

설계된 회로는 XFAB CMOS 1.0 um 공정을 통하여 칩으로 제작하였고 동작특성을 성공적으로 증명하였다. 차기 연구로 이 제작된 칩으로 직접 전원장치에 One-Chip화하여 높은 효율 특성을 얻게 된다면 흥미로운 주제가 되리라 생각이 든다.

후담으로 발표 30분 전 긴장감에 손이 부들부들 떨리기 시작하더니 다리까지 떨리기 시작했다. 그리고 발리 기후 특성상 새벽부터 오후 12시까지 비가 오다가 이후로는 굉장히 맑은 날씨를 보이는데, 발표가 진행되는 새벽부터 유독 비가 많이 내리기 시작했다.

쏟아지는 빗줄기들을 보니 마음이 차분 해지는커녕 마음이 심승생승해져 결국엔 비장의 무기, 어머니가 챙겨주신, 청심환을 꺼내 원샷을 하며 학회장에 입성하였다.

발리 도착 이후 환상적인 발리 섬의 아름다운 자연을 마다하며 밤을 꼬박 세고 발표 준비를 했지만, 정작 발표 10분 동안 무슨 말을 했는지 기억이 안 날 정도로 많이 떨렸고 긴장이 되었다. 비록 만족스러운 발표는 하지 못했지만, 실패는 성공의 어머니라고 하지 않았던가 요번을 타산지석으로 더 많이 노력하고 연구할 것을 다시 한 번 다짐하게 되었다.



발표를 마친 후 컨퍼런스를 앞에서

필자의 발표가 끝난 후부터는 여유가 생겨 다른 세션 발표에 참석하고자 했지만 많은 세션이 동 시간대에 진행되고 있어 몇 가지만 골라 들을 수 있었다. 그 중 도쿠시마 대학의 마사키 하시즈메 교수팀의 'Size Reduction of a Built-in Test Circuit for Locating Open Interconnects in 3D ICs' 라는 연구 주제를 흥미롭게 보았다.

3차원 칩 배열을 이용한 3D IC는 아직 많은 학자가 연구를 진행하는 시작 단계에 있는 것으로 알려져 있지만, 기존 IC가 가진 한계점들을 보완하여 보다 더 나은 직접도와 퍼포먼스를 갖고 있다는 매력적인 장점을 가지고 있어, 최근 반도체 분야에서 차세대 성장 동력이라 불리고 있다.

또한, 고직접화가 필수적인 SiP (System in Package) 및 SoC (System on Chip) 구현의 핵심 기술이 될 수 있으므로 하시즈메 교수팀의 발표된 연구 주제가 3D IC의 고직접화를 위한 하나의 토폴로지가 될 수도 있을 거라는 생각이 들었고 더욱더 심도 높은 연구가 필요하다는 것을 느꼈다.

모든 학회 발표 일정이 끝나고 Banquet 이벤트가 진행되어 다양한 국가의 여러 분야의 전문가들과 대면하여 친목을 도모할 좋은 기회를 가질 수 있었다.

그리고 학회 마지막 날에는 인도네시아 고등교육부가 선정한 50대 대학 중에 명문 대학으로 손꼽히는 Udayana 대학(1962년 설립)을 방문하여 이공계 분야 인력교류의 전반적인 방향이나 양국의 대학 교육 환경, 그리고 연구 현황과 앞으로의 기술 교류 확대 방안과 공동 협력과제 발굴을 위한 노력 등에 관해 협의하고 MOU를 체결하는 것으로 마무리되었다. 이로써 4일간의 모든 일정이 종료되었다.

매일 같은 연구실 생활로 다른 연구 분야 전문가들과 왕래가 거의 없던 필자에게는 요번 ICEIC 2013 참석으로부터 많은 전문가와 한자리에 모

여 그들의 다양한 생각을 함께 공유하면서 앞으로의 연구방향이라든가 다 함께 풀어나가야 할 숙제와 같은 키포인트를 배움으로써 필자에게는 많은 귀감이 되고 시야를 넓힐 수 있었던 좋은 기회였고, 아시아권 국가 중 우리나라의 위상을 확인할 수 있었다.

또한, 다른 연구자들이 열정적인 모습으로 연구에 임하는 태도로부터 아직 새내기이지만 전자 분야에 몸을 담근 연구자로서 더 열심히 해야겠다는 동기부여가 되었던 것 같다.

다음 14회 ICEIC 개최 일정은 아직 정해지지 않았지만, 직접 학회에 참석해보니 점점 키워나가는 명성만큼 다음 학회도 근사한 휴양지에서 다양한 전문가들과 함께 멋진 공유의 장이 열릴 것이라 믿어 의심치 않는다. 그리고 국내기관 주최의 국제 학술대회로 국내의 전문가들의 더욱 많은 관심을 가져 세계적으로 저명한 국제학술대회가 되기를 기대해 보며 이 칼럼을 마친다.

	<p><b>한양대학교 전자시스템공학부</b></p> <p>김희준 교수                  연구분야 : Power electronics, VLSI                  E-mail : hjkim@hanyang.ac.kr                  http://apeclab.hanyang.ac.kr</p>
	<p><b>한양대학교 전자시스템공학부</b></p> <p>강민혜 석사과정                  연구분야 : VLSI, OTA                  E-mail : jji19823@hanyang.ac.kr</p>



# SPECIAL Column II

## Invent, Develop, Endeavor, Cooperate

www.digital.com이란 웹 사이트는 UNIX와 C 언어 개발 플랫폼인 PDP-11과 VAX라는 미니/마이크로컴퓨터를 개발한, 이제는 전설이 된 DEC (Digital Equipment Corporation)이라는 컴퓨터 회사의 소유였다. 필자는 20여 년 전, 대학원 '시스템 프로그래밍' 수업 시간에 '무려 200MHz로 동작하는 알파(Alpha)라는 마이크로프로세서가 개발되었다'는 뉴스를 들뜬 목소리로 전해주시던 담당 교수님의 기억이 지금도 생생하다. 비슷한 시기 최신 인텔 Pentium의 동작 속도가 66MHz이었던 시절의 이야기다. 알파도 DEC이라는 회사의 제품이다.

2008년 12월 데일리 텔레그래프 인터넷 판은 영국의 정보통신 기기 전문지인 T3가 선정한 "기술발전에 관한 10대 영터리 예측 리스트"를 발표했는데, 그 중 2위가 바로 DEC의 창업자인 켈 올슨이 말한 "가정용 컴퓨터란 것은 필요가 없다."였다. 그 유명한 마이크로소프트 창업자인 빌 게이츠도 이 리스트에 유일하게 두 개 항목에 걸쳐 이름을 올렸는데, 7위에 오른 "아무도 PC에 640KB 이상의 메모리를 필요로 하지 않을 것이다.(1981년)"와 9위에 오른 "2년 뒤면 스팸 메일이 해결될 것이다. (2004년)"라고 한다.

www.digital.com이란 웹 사이트는 UNIX와 C 언어 개발 플랫폼인 PDP-11과 VAX라는 미니/마이크로컴퓨터를 개발한, 이제는 전설이 된 DEC (Digital Equipment Corporation)이라는 컴퓨터 회사의 소유였다. 필자는 20여 년 전, 대학원 '시스템 프로그래밍' 수업 시간에 '무려 200MHz로

동작하는 알파(Alpha)라는 마이크로프로세서가 개발되었다'는 뉴스를 들뜬 목소리로 전해주시던 담당 교수님의 기억이 지금도 생생하다. 비슷한 시기 최신 인텔 Pentium의 동작 속도가 66MHz이었던 시절의 이야기다. '알파'도 DEC이라는 회사의 제품이다.

2008년 12월 데일리 텔레그래프 인터넷 판은 영국의 정보통신 기기 전문지인 T3가 선정한 "기술발전에 관한 10대 영터리 예측 리스트"를 발표했는데, 그 중 2위가 바로 DEC의 창업자인 켈 올슨이 말한 "가정용 컴퓨터란 것은 필요가 없다."였다. 그 유명한 마이크로소프트 창업자인 빌 게이츠도 이 리스트에 유일하게 두 개 항목에 걸쳐 이름을 올렸는데, 7위에 오른 "아무도 PC에 640KB 이상의 메모리를 필요로 하지 않을 것이다.(1981년)"와 9위에 오른 "2년 뒤면 스팸 메일이 해결될 것이다. (2004년)"라고 한다.

이렇듯 대가에게조차 예측은 어렵다. 그래서 "The best way to predict the future is to invent it."라는 Alan Kay의 말이 더 와 닿는지 모르겠다.

故 Richard Newton 교수는 1985년 EDA (Electronic Design Automation)의 Next Big Thing은 '로직 합성 (Logic Synthesis)'이 될 것으로 예측했고, Alan Kay의 말대로 본인 스스로 이런 미래를 창조한 주역이 되었다. "HDL(Hardware Description Language)과 로직합성"은 반도체 설계에 엄청난 혁신을 가져왔고, 한때 Verilog나 VHDL 언어에 능숙하다는 것이 제법 유능한 ASIC 설계 엔지니어의 resume에서 보유 skill의 첫 번째 라인을 차지하기도 했다. 필자가 회사를 퇴직할 지 7년이 다 되어 가고 그 사이 칩에 집적되는 gate count는 열 배 넘게 증가하였지만, 설계 방법론은 그때나 지금이나 그다지 큰 차이가 없는 것 같다.

SoC (System-on-Chip)가 IC 설계의 중심에 자리 잡으면서 'IP 재사용'에 기반을 둔 이런 구조적 설계 방식의 생산성이 칩 복잡도 증가를 간신히 따라가고 있지만, 이로 말미암아 역설적으로 High-level synthesis (또는 Architecture synthesis)는 Logic synthesis의 뒤를 이은 Next Big Thing이 되지 못하였다. 또한, 반도체 회사들은 ARM과 같은 IP 전문 회사에 많은 것을 의존하게 되었고, Verilog와 VHDL 실력을 갈고닦은 많은 RTL 엔지니어들은 '설계 엔지니어'가 아닌 'integration 엔지니어'에 그치고 마는 경우가 빈번해지고 있다.

'반도체 공정 기술은 40년이 넘게 지속해서 "무어의 법칙"을 지켜왔으나 향후 10년 뒤에도 "무어의 법칙"을 이야기하려면 Innovation을 넘어선 Invention이 필요로 한다. 이제 우리나라 R&D도 "First Mover 전략"을 취해야 한다고 하는데, 어디서부터 실마리를 풀어야 할지 고민거리다. 아마도 가장 가까운 답은 역시 '사람'에 있을 것이다.

Cadence와 Synopsys의 공동 창업자이자 Richard Newton 이상으로 EDA 발전에 지대한 공헌을 한 Alberto Sangiovanni-Vincentelli 교수는 1979년에서 1993년 사이가 EDA 모든 분야에서 꽃을 피운 황금기였으며, 1993년 이후 Design technology의 진보 속도가 현저하게 느려졌다고 회고하였다. 또한, 그 시기는 웹 기반의 인터넷이 IT산업의 에너지와 자본(투자), 두뇌를 빨아들이기 시작한 시점과 일치한다고 진단하였다.

한 명의 천재가 수만 명을 먹여 살린다지만, 반도체 교육이 소수 몇 명의 천재만을 위한 것이 되어서는 안 될 것이다. 그래서 IDEC의 역할은 여전히 중요하다. 필자가 회사에서 대학으로 자리를 옮기고 지식경제부 (현 산업통상자원부) 시스템반도체 Program Director로 2년간 봉직하는 동안, 대학의 여러 교수님로부터 정부의 시스템반도체 정책 중 가장 성공적인 것이 IDEC이라는 말을 수차례 들었다. IDEC의 설립 과정을 가까이서 지켜보고 당시 도입할 워크스테이션 기종과 EDA tool의 evaluation을 담당했던 한 사람으로서 매우 뿌듯함을 느끼지만 이러한 찬사가 혹시 직접적인 수혜를 받은 특정 분야의 몇몇 대학 교수님만의 의견은 아닌지도 생각해 본다. 실제로 아날로그 IC를 설계하시는 대학 교수님들이 IDEC의 MPW 프로그램을 통해 적은 비용으로 칩 제작을 해서 다수의 연구 실적을 올리고 인력 양성에 도움받은바 크다고 생각하지만, 기업 관계자나 디지털

SoC 설계 분야 교수님들로부터는 이러한 얘기를 들어 본 적은 거의 없는 듯하다. 필자 또한 몇 년째 IDEC 참여 교수 명단에 이름은 올리고 있지만, 회로 설계 기술이 전문 분야가 아니어서 그런지 직접적인 참여를 통해 도움받을 기회를 찾기 어려운 것 같다. 이런 상황 때문에 최근 IDEC은 IPC (IDEC Platform Center)를 활성화하는 노력을 하고 있다고 생각하며 정부 지원이 지속해서 확대 유지되길 바란다.

21세기 들어 전 산업에 걸친 IT 융·복합화 추세에 따라 시스템반도체 산업은 하드웨어와 소프트웨어의 密結合 가속화와 함께 수요기업(세트 업체) -팹리스-파운드리 생태계의 중요성이 더욱 부각되고 있으며, 더불어 시장 지배적 기업의 영향력 또한 증가 일로에 있다. 반도체 산업의 발전은 미세공정에 의한 집적도 증가에 기인한 바 크지만, 최근 20나노 이하에서 제조비용이 급증하고 소위 'Dark Silicon'으로 대변되는 미세화와 전력 소모 제한 문제에 당면하면서 FinFET 구조의 3D 트랜지스터 기술이 20나노 이하에서 본격적으로 채용되는 추세이다.

또한, 첨단 제조 공정을 제공할 수 있는 업체가 극소수로 줄어들면서 기존 팹리스-파운드리-IDM으로 구분되던 산업 생태계 판도에서 팹라이트 (Fab-lite), 특화 파운드리와 같이 분화된 형태가 출현하고 있다. 또한, IDM 내부적으로는 각각 팹리스와 파운드리 기능을 하는 부서가 존재하는 곳도 있으며, 현재의 삼성전자, 또는 과거의 IBM이나 모토롤라(Freescale 분사 이전)는 세트 분야를 보유하는 'IDM System company'로 차별화된다. 그리고 사실상 현재 시점에서 IDM이라 불릴 수 있는 기업은 인텔과 삼성 두 곳만 남았다고 해도 과언이 아닐 것이다.

팹리스 또한 단일 모델만 존재하는 것은 아니다. 쉘컴 같은 회사는 스스로를 IFM (Integrated Fabless Manufacturer)라고 부르며, IFM은 전통적인 팹리스 모델이 아니라 반도체 생태계와 더욱 긴밀히 협력하면서 전통적인 IDM의 장점을 취하고 있다. 새로운 반도체 공정을 정의할 때부터 자사의 product 니즈를 반영하여 risk도 줄이고 IDM과 같은 수준으로 새로운 첨단 공정을 early access 하기 위한 전략이다. 쉘컴은 직접 세트를 생산하지 않지만, 가장 핵심적인 칩과 소프트웨어를 제공함으로써 생태계의 중심에 서 있기 때문에 가능하다. 애플 또한 시장 통계에는 잡히지 않지만, 최상위권 팹리스 기업인 동시엔 철저한 제조 아웃소싱을 통해 이익을 극대화하고 있다.

IDEC이 더욱 발전적인 방향으로 나아가려면, 이러한 반도체 산업 추세에 맞도록 칩 설계 교육뿐 아니라 임베디드 SW를 포함한 시스템 설계, 반도체 공정, IT 융복합 분야에 이르기까지 다양한 교육 프로그램을 제공하면서 정부는 물론 기업, 연구소, 더 나아가 글로벌 협력 체계를 구축해야 할 것이다. 이를 통해 보다 건실한 재정적 지원을 이끌어내고 그에 상응하도록 고객 니즈에 맞는 변신이 필요한 시점이다. 이상적인 IDEC의 모습을 4단어로 다시 정의해본다.

Invent, Develop, Endeavor, Cooperate!

	지식경제 R&D 시스템반도체 PD (한국산업기술평가관리원)/반도체시스템공학과 교수 (성균관 대학교)
	한태희 교수 연구분야 : Next generation SoC Architecture, Low power/energy technologies, Memory/Storage system E-mail : than@skku.edu / than@keit.re.kr http://home.skku.edu/~mobiletech