



아빠!
이 로봇으로 지구 끝
지켜낼꺼야

www.skhyun.com

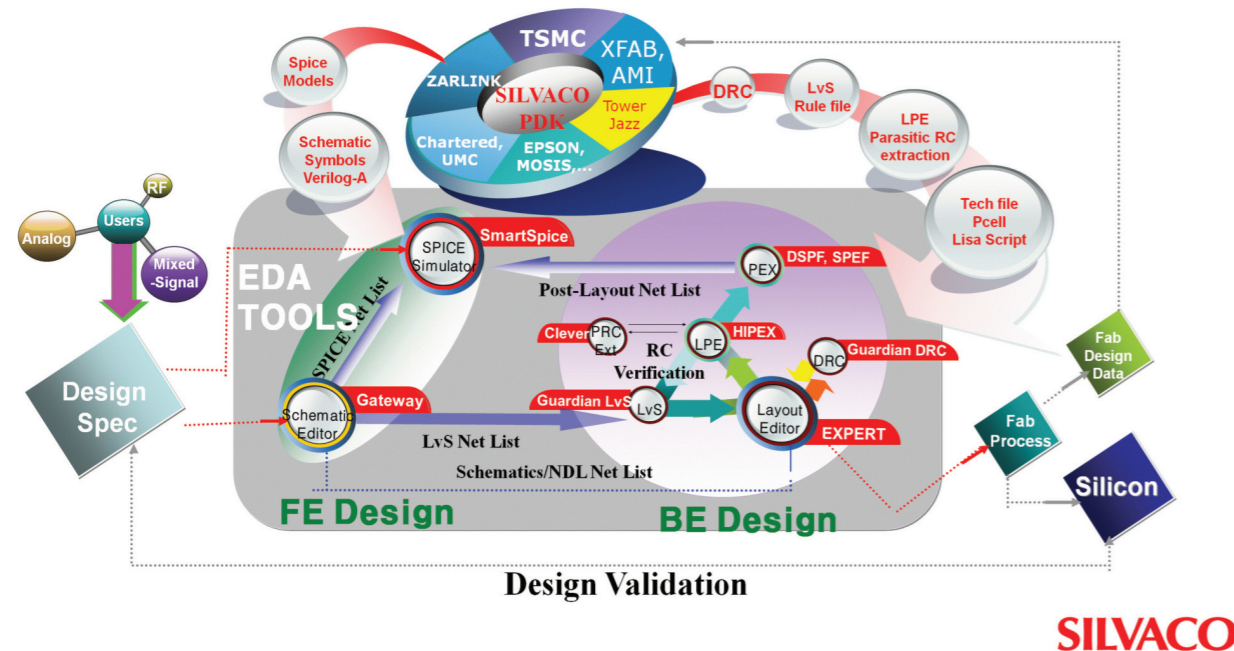
꿈은 누구나 꿀 수 있지만
그 꿈이 현실이 되기 위해선
기술이 필요합니다

세상 모든 꿈을 가능하게 하는 기술-
SK하이닉스가 만듭니다



업계를 선도하는 기술 경쟁력으로 세계 최고의 메모리 반도체를 생산하는 SK하이닉스! 세상을 움직이는 진짜 기술을 만듭니다

SILVACO PDK DATA FLOW



HEVC 고화질 영상 압축 표준 기술 | 04 안드로이드 오픈 액세서리와 시스템 반도체 융합 전망 | 08
Platform Architect MCO | 12 Platform Architect MCO | 16

반도체설계교육센터 사업은 산업통상자원부, 반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.

HEVC 고화질 영상 압축 표준 기술

HEVC는 H.264/AVC에 비해 약 35%의 부호화 효율을 보이는 차세대 영상 압축 표준으로, HD급 영상과 UHD급 영상의 방대한 데이터를 효과적으로 압축하기 위한 핵심 기술로 사용될 것으로 예상된다. 따라서 전 세계적으로 HEVC 기술을 상용화하기 위한 노력이 지속될 것으로 예상되며, 가까운 시기에 최적화된 HEVC 하드웨어 및 소프트웨어 솔루션이 시장에 출시될 것으로 기대된다. 본 원고에서는 HEVC 최종 표준안에 정의된 주요 기술들을 살펴보고자 한다. (관련기사 P04~07참조)

안드로이드 오픈 액세서리와 시스템 반도체 융합 전망

안드로이드 오픈 액세서리와 시스템 반도체 융합 전망977년 애플 컴퓨터가 8-비트 개인용 컴퓨터 Apple II를 발표한 이래, 개인용 PC 시장은 최근까지 지속적인 성장세를 유지했는데, 최근 전 세계 개인용 PC의 매출이 전년 대비 10% 이상 감소한 것으로 알려지고 있는데, 태블릿 컴퓨터와 스마트폰의 영향이 큰 것으로 판단된다. 소비자에게 큰 충격으로 다가온 아이폰은 고성능 AP, 안정적인 운영체제, 다양한 애플리케이션 내장을 바탕으로 기존 전화기의 한계를 벗어나 멀티미디어, PDA 및 게임 기기로 스마트폰을 탈바꿈시키고 있다. 본 고에서는 안드로이드 오픈 액세서리와 ADK에 대해 소개하고, ADK를 활용한 앱 개발 방안을 다루고, 마지막으로 시스템 반도체 분야와 융합 방안 및 전망을 살펴본다. (관련기사 P08~11 참조)

Complete analog, mixed-signal, and RF circuit design environment

실바코는 아날로그 및 mixed-signal IC 설계를 위한 EDA (electronic design automation) 소프트웨어를 제공하는 선도 업체이다. 1984년에 창립 이래 TCAD 공정 및 소자 시뮬레이션, Spice 파라미터 추출, 회로 시뮬레이션 및 custom IC 디자인과 검증에 필요한 솔루션을 공급하고 있다. 본 고에서는 실바코의 Complete analog, mixed-signal, and RF circuit design environment를 소개하고자 한다. (관련기사 P12~14 참조)

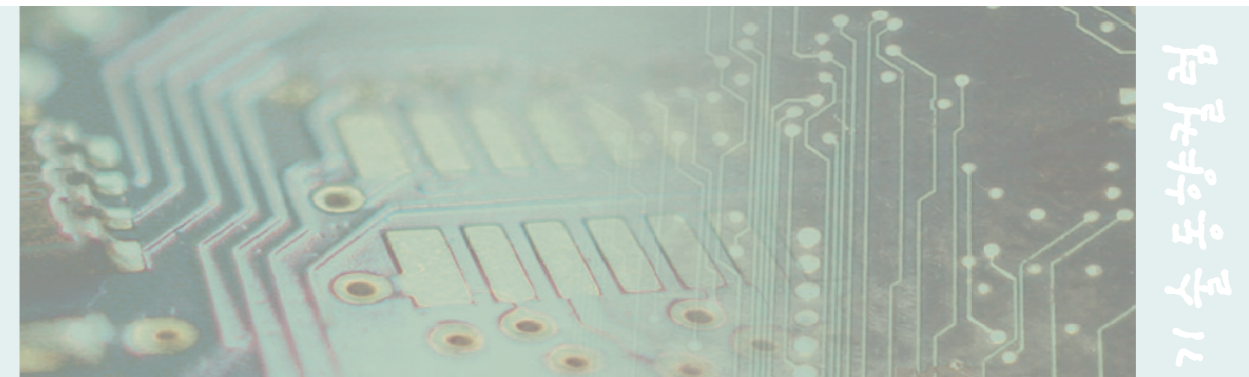
FETCH 2013 참석 후기

지난 1월 7일부터 9일에 걸쳐 개최된 FETCH는 Heterogeneous Embedded System 설계를 위한 다양한 분야를 다루는 workshop으로써, 올해로 7번째를 맞이하여 진행하였다. 본 취지는 프랑스, 스위스 캐나다의 불어권 지역 연구자들의 교류를 활성화하고 박사 과정에 재학하고 있는 학생들에게 최신 연구 동향 및 연구 방향을 제시해 주기 위해서 만들어졌다. 본 후기담은 technical program chair (TPC)를 맡아서 프로그램 구성 및 speaker 초청과 local organization에 해당하는 일을 총괄하여 진행한 로잔연방공대 김정수 박의 시선으로 살펴보고자 한다. (관련기사 P16~18 참조)

HEVC 고화질 영상 압축 표준 기술



광주과학기술원 실감방송연구원
 호요성 교수
 연구분야 : 영상신호처리, 영상압축, 3DTV, MPEG/HEVC
 E-mail : hoyo@gist.ac.kr
 http://vclab.kjist.ac.kr/



고화질 영상 압축 기술의 필요성과 목적

2013 국제 가전제품 박람회 (International Consumer Electronics Show)에서는 다양한 UHDTV(Ultra High Definition TV)가 출품되었다. UHDTV는 HDTV (High Definition TV) 대비 4배 또는 16배의 해상도를 가지며, 매우 사실적인 고품질 방송서비스를 제공할 수 있다. UHDTV는 3DTV와 더불어 HDTV 이후의 차세대 실감방송 서비스의 주요한 방송 기술이다. 최근 모바일 시장에서도 기본 화면 해상도가 HD급인 스마트폰이 출시되기 시작했다. 이처럼 소비자들의 차세대 영상 서비스에 대한 수요에 발맞춰 다양한 차세대 멀티미디어 제품들이 출시되는 가운데, 고화질 영상처리 기술에 대한 관련 산업계 및 학계 관심이 높아지고 있다.

현재 DTV, DMB, DVD, 디지털 캠코더, 영상 블랙박스, IPTV, 스마트 TV, 스마트폰 등에 이르기까지 다양한 멀티미디어 기기에 사용되는 H.264/AVC 표준[1]은 고해상도 및 고화질 영상 서비스를 지원하기에는 한계가 있다. ITU-T VCEG(Video Coding Experts Group)과 ISO/IEC MPEG(Moving Picture Experts Group)은 H.264/AVC보다 더 개선된 압축률과 더 낮은 복잡도를 갖는 새로운 차세대 동영상 압축 표준의 필요성을 느끼고, 2010년 초 HEVC(High Efficiency Video Coding)[2][3]라는 새로운 표준화 활동을 시작했다. 마침내 2013년 1월 스위스 제네바 회의에서 HEVC 최종 표준안(FDIS: Final Draft International Standard)[4]이 완성되었다.

HEVC는 H.264/AVC에 비해 약 35%의 부호화 효율을 보이는 차세대 영상 압축 표준으로, HD급 영상과 UHD급 영상의 방대한 데이터를 효과적으로 압축하기 위한 핵심 기술로 사용될 것으로 예상된다. 따라서 전 세계적으로 HEVC 기술을 상용화하기 위한 노력이 지속될 것으로 예상하며, 가까운 시기에 최적화된 HEVC 하드웨어 및 소프트웨어 솔루션이 시장에 출시될 것으로 기대된다. 본 원고에서는 HEVC 최종 표준안에 정의된 주요 기술들을 살펴보고자 한다.

JCT-VC의 고화질 영상 압축 표준기술 개발

ITU-T VCEG과 ISO/IEC MPEG은 영상 압축 표준화 활동의 양대축이다. 이 두 그룹은 때로는 경쟁하고 때로는 상호 협력하며 다양한 영상 압축 표준을 만들어왔다. VCEG은 H.264/AVC FReXt 표준 이후의 차세대 표준기술 개발을 진행하기 위해 다양한 핵심 기술들의 잠재력을 조사를 시행했다.

2005년 4월에 VCEG에서는 압축효율 개선, 복잡도 감소, 피드백 기반 오류 강인성 등을 KTA(Key Technology Areas)로 정의하고, H.264/AVC를 기반으로 하는 KTA 소프트웨어를 개발하며 향후 비디오 압축 표준을 준비했다.

2008년 10월에 MPEG에서는 새로운 영상 부호화 표준에 대한 브레인트스팅 회의를 하고, 같은 해 7월부터 새로운 영상 부호화 표준에 대한 본격적인 논의를 시작했다. 이후 MPEG은 새로운 표준화를 시작할 만큼 기술적으로 성숙하였는지를 확인하기 위해 CfE (Call for Evidence) 문서를 공식적으로 발행했고, 고성능 비디오 코덱에 대한 비전과 요구사항에 관한 문서를 발행하였다 [5].

2009년 7월 CfE 평가 결과 기존의 H.264/AVC 표준 대비 30% 이상의 압축률 향상이 검증되었고, 새로운 영상 부호화 표준인 HVC (High-performance Video Coding) 표준화 작업을 추진하기로 했다. 같은 시기 VCEG 역시 그간 KTA를 중심으로 차세대 비디오 압축에 관한 기술 발굴을 해오던 작업의 중간 결론으로, 기존 성능을 크게 개선할만한 기술적 성숙도가 어느 정도 확보되었다는 자체 평가와 함께 H.NGVC(Next Generation Video Coding)라는 이름 아래 차세대 비디오 부호화를 추진할 뜻을 밝혔다.

2009년 10월, 제90차 MPEG 회의에서는 새 표준을 위한 CIP (Call for Proposals) 초안을 발행하면서 향후 표준화 일정을 수립하고 VCEG과의 협력 방안을 논의했다. 그 결과 제91차 MPEG 회의에서 MPEG과 VCEG이 협력팀을 구성하기로 합의하고 두 기관이 공동으로 CIP를 발행했다 [6]. 협력팀의 이름은 JCT-VC(Joint Collaborative Team on Video Coding)이다. 이후 활발한 표준화 활동을 거쳐 2013년 1월 드디어 최종 표준안이 완성되었다. 새롭게 승인된 이 표준을 ISO/IEC는 MPEG-H Part 2, ITU-T는 H.265로 명명했다.

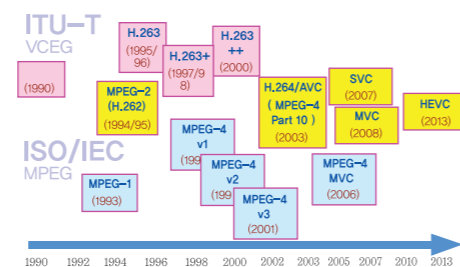


그림 1. 영상 압축 표준의 발전

HEVC 표준 주요 기술

그림 2는 HEVC 표준의 부호화기를 보여준다. HEVC에는 H.264/AVC와 달리 하나의 프로파일만 존재한다. 표 1은 HEVC의 유일한 프로파일인 Main Profile에 포함된 기술들을 정리한 것이다. 본 장에서는 이 프로파일에 포함된 핵심 부호화 기술들을 소개한다.

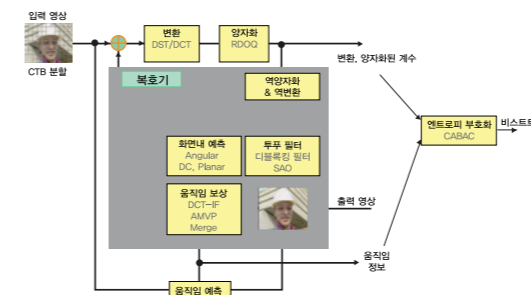


그림 2. HEVC 부호화기의 블록도

기술 분야	부호화 기술
계층적 부호화 구조	- CU (Coding Unit): 8x8부터 64x64 크기의 쿼드 트리 분할 - PU (Prediction Unit): 정방형, 비정방형 예측 블록 - TU (Transform Unit): 4x4부터 32x32 크기의 정방형 변환
변환	- 4x4 to 32x32 크기의 정수 DCT 변환 - 화면내 4x4 블록을 위한 정수 DST 변환 - 화면간 슬라이스에서 PU보다 큰 TU 사용 - PCM (Pulse Code Modulation) 예측
양자화	- RDOQ (Rate Distortion Optimized Quantization)
화면내 예측	- 33개의 방향성을 갖는 각도 기반 화면내 예측 - DC 예측과 Planar 예측
화면간 예측	- 휘도 블록을 위한 1/4 화소 정확도 샘플 보간 - 색차 블록을 위한 1/8 화소 정확도 샘플 보간 - AMVP (Advanced Motion Vector Prediction)
	- Merge 모드
엔트로피 부호화	- 문맥 기반 적응적 이진 산술 부호화 (Context-based Adaptive Binary Arithmetic Coding, CABAC)
루프 필터	- 디블록킹 필터 - SAO (Sample Adaptive Offset)
기타	- 샘플당 8비트로 데이터 저장 및 출력

표 1. HEVC Main Profile

계층적 부호화 구조

HEVC에서는 쿼드트리 기반 부호화 기술이 사용된다. 하나의 화면은 정사각형의 부호화 트리 블록(coding tree block, CTB)들로 분할되고, 각 CTB는 부호화 트리의 루트(root)가 된다 [7]. 즉, CTB는 부호화 블록(coding block, CB)들로 분할된다. CB의 크기는 쿼드트리 기반 분할 방법을 통해 적응적으로 선택된다.

각 CB는 예측 트리와 변환 트리의 루트가 된다. 예측 트리는 한번만 분할되며, 임의의 CB가 어떻게 예측 블록(prediction block, PB)으로 분할되는지를 알려준다. 즉, 예측 트리에 해당하는 구문 요소들은 예측과 관련된 매개변수들을 기술한다. 그림 3은 HEVC Main Profile에 정의된 화면 간 부호화에서 사용되는 PB 분할을 보여준다.

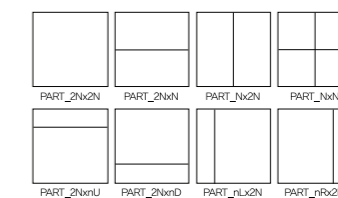


그림 3. 화면간 예측에서 PB 분할 모드

예측 후의 변환 부호화에서는 임의의 CB는 더 작은 변환 블록(transform block, TB)들로 분할된다. HEVC에서는 임의의 CB에 대해, TB와 PB가 독립적으로 결정되므로 PB보다 큰 TB의 선택이 가능하다. 그림 4는 하나의 CTB에 대한 CB와 TB가 분할되는 예를 보여준다. 여기서, 굵은 선은 CTB를 의미하고, 실선은 CB를, 점선은 TB를 의미한다.



그림 4. CTB 분할 (실선은 CB, 점선은 TB를 의미)

서로 다른 트리의 모든 블록은 서로 다른 크기의 특정한 샘플 배열에 해당한다. 연관된 트리에 따라, 이 블록들은 단위(unit)라 불리는 특정한 구문 구조와 연관된다. TB 샘플 배열들과 그와 관련한 구문 요소들(coded block flag 또는 transform coefficient level)은 변환 단위(transform unit, TU)로 분류된다. 예측 단위(prediction unit, PU)는 예측과 관련된 모든 것을 포함한다. 즉, 예측 배열과 움직임 벡터 또는 화면 내 모드와 같은 구문 요소가 PU에 포함된다. CB 샘플 배열과 그와 관련된 구문 요소들은 부호화 단위(coding unit, CU)로 분류된다. 마지막으로 CTB 배열과 그와 연관된 구문 요소, 그리고 해당 CTB에 포함된 CU들은 부호화 트리 단위(coding tree unit, CTU)로 간주한다.

화면 내 예측 부호화 기술

HEVC 화면 내 예측에서는 현재 블록과 인접한 PU의 경계 화소들을 사용한다. 경계 화소들은 이전에 부호화되고 복호화되어 사용 가능하다. 화면 내 부호화에서 사용 가능한 예측 모드는 표 2와 같이 0번부터 35번까지 정의되어 있다. 휘도 블록에서는 임의의 PU에 대해 0번부터 34번까지로 정의된 DC 모드, Planar 모드, 33개의 Angular 예측 모드를 사용한다 [8]. 색차 블록에서는 Planar, 수직, 수평, DC 예측 모드, 그리고 DM_Chroma_idx 모드를 추가로 사용

한다. DM_Chroma_idx 모드는 휘도 블록의 예측 모드를 색차 블록에서 그대로 사용하는 모드로 휘도 성분과 색차 성분 간의 값 특성이 유사한 경우 부호화 효율을 얻을 수 있다.

모드 번호	이름
0	Planar
1	DC
2~34	Angular 예측

표 2. 화면내 예측 모드

화면간 움직임 예측 기술

HEVC 화면간 움직임 예측의 주요 특징은 AMVP (Advanced Motion Vector Prediction) 기술과 Merge 기술이다 [9]. H.264/AVC에서는 주변 블록들의 움직임 벡터들의 중간값(median)을 이용해 하나의 움직임 벡터 예측값을 생성하고, 실제 움직임 벡터와 이 예측값의 차를 부호화한다. HEVC에서는 다양한 움직임 벡터 예측값들을 경쟁시켜 현재 움직임 벡터와 최소의 차를 갖는 움직임 벡터 예측값을 이용하는 AMVP 기술을 사용한다. AMVP는 두 개의 움직임 벡터 예측 후보를 사용한다. 먼저 두 개의 공간적 움직임 벡터 예측 후보를 탐색한 후, 그 중 하나 이상의 후보를 사용할 수 없거나 두 개의 후보가 중복되는 경우, 하나의 시간적 움직임 예측 후보를 탐색한다. 그림 5는 공간적 및 시간적 움직임 벡터 예측 후보들을 보여준다. 후보들은 그림 5와 같이 해당 블록의 위치에 따라 결정된다.

AMVP의 공간적 움직임 벡터 예측 후보는 그림 5의 {A₀, A₁} 중에서 하나의 후보를, {B₀, B₁, B₂} 중에서 하나의 후보를 선정한다. 만약 해당 블록이 현재 슬라이스를 벗어나거나 화면 내 부호화된 블록일 경우에는 후보가 될 수 없다. 시간적 후보로는 그림 5와 같이 참조 화면의 collocated PU의 오른쪽 대각선 아래에 있는 T₁ 블록을 사용한다. 이 블록이 사용 가능하지 않을 경우, collocated PU의 중간에 있는 T₂ 블록을 사용한다. 현재 움직임 벡터와 예측 움직임 벡터의 차이가 0인 경우 Merge 기술을 사용한다. Merge 기술은 현재 PB에 대한 움직임 정보를 복호기로 전송하지 않고, 공간적 또는 시간상으로 인접한 블록들로부터 산출하는 기술이다. Merge 기술이 사용되는 경우, 사용 여부를 알리는 플래그와 어떠한 움직임 벡터 예측 후보가 사용되었는지를 알리는 인덱스 정보가 전송된다. Merge 기술을 사용하면 AMVP의 경우보다 전송해야 하는 비트량이 감소하므로 부호화 성능이 향상된다. Merge 기술에서의 공간적 움직임 벡터 예측 후보 탐색 순서는 {A₁, B₁, B₀, A₀, B₂}이다. 시간적 움직임 벡터 예측 후보 탐색 방법은 AMVP의 경우와 동일하다.

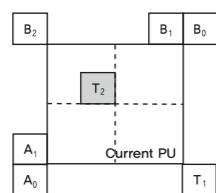


그림 5. 화면간 예측에서 공간적/시간적 움직임 벡터 예측 후보

루프 필터 기술

HEVC는 디블록킹 필터[10]와 SAO(Sample Adaptive Offset)[11], 두 가지 루프 필터를 사용한다. 디블록킹 필터는 예측 및 양자화로 덕분에 발생하는 블록 경계의 왜곡을 효과적으로 제거함으로써 복호

영상의 주관적 화질을 향상하는 기술이다. 또한, 복호화 과정 내에 디블록킹 필터 과정이 포함된 루프 내 필터링(in-loop filtering)을 사용하기 때문에 필터가 적용된 영상을 참조 영상으로 활용하게 되어 부호화 효율도 달성할 수 있다. HEVC의 디블록킹 필터는 H.264/AVC의 디블록킹 필터와 상당히 유사하지만, 복잡한 연산 과정을 간략화한 기술이다.

SAO는 양자화 등의 부호화 과정을 통해 발생하는 원본 영상과 복호 영상 간의 왜곡을 화소 단위의 오프셋(offset)을 통해 보상함으로써, 주관적 화질 및 부호화 효율을 함께 향상시키는 기술이다. SAO 기술에서는 왜곡의 정도가 다른 화소를 구분해 서로 다른 오프셋을 적용하는 적응적인 보상 방법을 사용함으로써, 영상의 특성에 따라 부분적으로 다르게 발생하는 왜곡을 효율적으로 최소화할 수 있도록 한다.

엔트로피 부호화 기술

H.264/AVC에서 두 개의 엔트로피 부호화 기술을 사용했던 것과 달리, HEVC는 문맥 기반 적응적 이진 산술 부호화(context-based adaptive binary arithmetic coding, CABAC)[12][13]를 하나의 엔트로피 부호화 기술로 사용한다. CABAC은 실험을 통해 얻은 확률로 부호화해야 할 각 구문요소의 문맥 모델(context model)을 만들고, 이를 이용해 엔트로피 부호화를 수행한다. CABAC은 그림 6과 같이 크게 이진화, 문맥 모델링, 이진 산술 부호화, 확률 업데이트 부분으로 구성된다.

이진화 단계는 이진값이 아닌 신택스 요소를 이진화된 시퀀스로 매핑하는 과정이다. 만약 이진값을 갖는 신택스 요소가 입력 신호로 주어지면, 첫 번째 단계인 이진화 과정은 생략된다. 이진화된 시퀀스의 각 이진값은 문맥 모델링 단계로 들어간다. 여기서 이진값은 이진화 과정에서 생성된 이진 시퀀스의 각각의 비트를 의미한다. 문맥 모델링 단계에서는 현재 이진값에 대응하는 확률 모델을 이전에 부호화된 신택스 요소, 혹은 이진값에 따라 선택한다. 확률 모델을 결정된 후, 결정된 확률 모델과 주어진 이진값을 이용하여 이진 산술 부호화를 수행한다. 마지막으로 선택된 확률 모델을 업데이트한다.

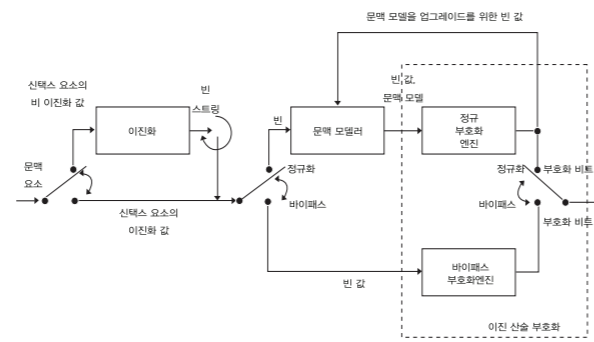


그림 6. CABAC의 구조

HEVC의 부호화 성능

2012년 12월, HEVC 이전의 영상 압축 표준들과 HEVC 표준의 성능 비교 결과가 발표되었다 [14]. HEVC 표준의 주요 목적 중 하나가 다양한 전자기기에서의 고품질 영상 서비스이므로, 성능 평가는 방송 서비스를 위한 full-HD(1920×1080)급 영상과 모바일 기기를 위한 WVGA(832×480)급 영상에 대해 수행되었다. 성능 평가에는

HEVC Test Model (HM) 8.0[15]이 사용되었다. HM은 HEVC 표준화에서 사용되는 소프트웨어로, JCT-VC에서 유지 및 관리된다. 주로 기술 제안을 목적으로 이 소프트웨어에 알고리즘을 구현하고 성능을 평가한다.

표 3은 성능 평가에 사용된 실험 영상 목록이고, 표 4는 부호화 성능 평가 결과를 보여준다. 성능 비교에 사용된 영상 압축 표준은 H.262/MPEG-2 Main Profile (MP), H.263 High Latency Profile (HLP), MPEG-4 Advanced Simple Profile (ASP), H.264/MPEG-4 AVC High Profile (HP)이다. 표 3은 동일한 화질에 대해 각 영상 압축 표준들의 부호화 성능을 비교한 것이다. 표 3에서 볼 수 있듯이, HEVC는 H.264/MPEG-2 MP에 비해 약 35.4%, MPEG-4 ASP에 비해 63.7%, H.263 HLP에 비해 65.1%, MPEG-2/H.262 MP에 비해 70.8%의 비트율 절감 효과를 보인다. 그림 7은 실험 영상 중 하나인 Park Scene 영상에 대한 부호화 성능 비교 실험 결과를 울-왜곡 곡선으로 나타낸 것이다.

영상	해상도	프레임율 (fps)	프레임 수
Kimono	1920×1080	24	240
Park Scene		24	240
Cactus		50	500
BasketballDrive		50	500
BQTerrace		60	600
BasketballDrill	832×480	50	500
BQMall		60	600
PartyScene		50	500
RaceHorses		30	300

표 3. 실험 영상

	비트율 절감률 (%)			
	H.264/MPEG-4 AVC HP	MPEG-4 ASP	H.263 HLP	MPEG-2/H.262 MP
HEVC MP	-35.4	-63.7	-65.1	-70.8
H.264/MPEG-4 AVC HP	-	-44.5	-46.6	-55.4
MPEG-4 ASP	-	-	-3.9	-19.7
H.263 HLP	-	-	-	-16.2

표 4. HEVC Main Profile의 부호화 성능

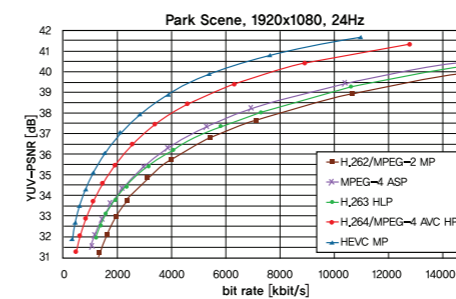


그림 7. 울-왜곡 곡선

결론

본고에서는 최근 완성된 HEVC(High Efficiency Video Coding) 표준의 주요 기술을 살펴보았다. 일반적으로 표준 완성 후 안정화된 제품이 시장에 나오기까지 소프트웨어는 약 2년, 하드웨어는 약 4년 정도의 시간이 소요된다. 하지만 HEVC는 학계뿐 아니라 세계 유수

의 소프트웨어 및 하드웨어 업체들이 적극적으로 참여해 만들어진 표준이며, 매번 회의에 1,000개가 넘는 기고서가 제안될 정도로 활발한 표준화 작업의 산물이다. 이러한 추세로 볼 때 빠른 시일 안에 많은 응용분야에서 HEVC 표준이 사용될 것으로 기대된다. HEVC 영상 압축 표준을 여러 응용 분야에 적용하기 위해서는 그 핵심 기술에 대한 명확한 이해가 필요하며, 본 원고가 HEVC 표준에 대한 이해를 높이는 데 도움이 되기를 기대한다.

Reference

- [1] H. Schwarz, D. Marpe, and T. Wiegand, "Overview of the scalable video coding extension of the H.264/AVC standard," IEEE Trans. Circuits Syst. Video Technol., Vol.17, No.9, pp. 1103-1120, Sept. 2007.
- [2] 호요성, 최정아, "UHD 고화질 영상 압축 기술: HEVC 알고리즘 이해와 프로그램 분석," 진샘미디어, 2013.
- [3] 심동규, "차세대 비디오 표준 압축 기술 HEVC," IDEC Newsletter, pp. 04-08, 2011년 07월.
- [4] ITU-T SG16 WP3 and ISO/IEC JTC1/SC29/ WG11, "High Efficiency Video Coding (HEVC) text specification draft 10 (for FDIS & Consent)," JCTVC document, L1003, Geneva, CH, Jan. 2013.
- [5] ISO/IEC JTC1/SC29/WG11, "Vision, application, and requirements for high performance video coding (HVC)," MPEG document, N11096, Kyoto, JP, Jan. 2010.
- [6] ISO/IEC JTC1/SC29/WG11, "Joint call for proposals on video compression technology," MPEG document, N11096, Kyoto, JP, Jan. 2010.
- [7] Y. Yuan, I. Kim, X. Zheng, L. Liu, X. Cao, S. Lee, M. Cheon, T. Lee, Y. He, and J. Park, "Quadtree based non-square block structure for inter frame coding in High Efficiency Video Coding," IEEE Trans. Circuits Syst. Video Technol., vol. 22, no. 12, pp. 1707-1719, Dec. 2012.
- [8] J. Lainema, F. Bossen, W. Han, J. Min, and K. Ugur, "Intra coding of the HEVC standard," IEEE Trans. Circuits Syst. Video Technol., vol. 22, no. 12, pp. 1792-1801, Dec. 2012.
- [9] M. Bici, K. Ugur, J. Jung, G. Clare, and T. Wiegand, "Block merging for quadtree-based partitioning in HEVC," IEEE Trans. Circuits Syst. Video Technol., vol. 22, no. 12, pp. 1720-1731, Dec. 2012.
- [10] A. Norkin, G. Bjøntegaard, A. Fuldseth, M. Narroschke, and M. Ikeda, "HEVC deblocking filter," IEEE Trans. Circuits Syst. Video Technol., vol. 22, no. 12, pp. 1746-1754, Dec. 2012.
- [11] C. Fu, E. Alshina, A. Alshin, Y. Huang, C. Chen, C. Tsai, C. Hsu, S. Lei, J. Park, and W. Han, "Sample adaptive offset in the HEVC standard," IEEE Trans. Circuits Syst. Video Technol., vol. 22, no. 12, pp. 1755-1764, Dec. 2012.
- [12] V. Sze and M. Budagavi, "High Throughput CABAC Entropy Coding in HEVC," IEEE Trans. Circuits Syst. Video Technol., vol. 22, no. 12, pp. 1778-1791, Dec. 2012.
- [13] 최정아, 호요성, "HEVC 화면내 부호화를 위한 효율적인 변환 계수 부호화 방법," 스마트미디어저널, 제1권, 제2호, pp. 06-11, 2012년 06월.
- [14] J. Ohm, G. Sullivan, H. Schwarz, T. Tan, and T. Wiegand, "Comparison of the coding efficiency of video coding standards? including High Efficiency Video Coding (HEVC)," IEEE Trans. Circuits Syst. Video Technol., vol. 22, no. 12, pp. 1669-1684, Dec. 2012.
- [15] HEVC Test Model, HM 8.0, https://hevc.hhi.fraunhofer.de/svn/svn_HEVCSoftware/tags/HM-8.0/.

안드로이드 오픈 액세서리와 시스템 반도체 융합 전망



동국대학교 컴퓨터공학과 교수

최병운 교수
 연구분야 : 컴퓨터 구조 및 SoC 설계
 E-mail : bychoi@deu.ac.kr
 http://hyomin.deu.ac.kr/~bychoi



부록 1

서론

1977년 애플 컴퓨터가 8-비트 개인용 컴퓨터 Apple II를 발표한 이래, 개인용 PC 시장은 최근까지 지속적인 성장세를 유지했는데, 최근 전 세계 개인용 PC의 매출이 전년 대비 10% 이상 감소한 것으로 알려지고 있는데, 태블릿 컴퓨터와 스마트폰의 영향이 큰 것으로 판단된다. 소비자에게 큰 충격으로 다가온 아이폰은 고성능 AP, 안정적인 운영체제, 다양한 애플리케이션 내장을 바탕으로 기존 전화기의 한계를 벗어나 멀티미디어, PDA 및 게임 기기로 스마트폰을 탈바꿈시키고 있다.

훨씬 많은 제조업체와 공개 전략으로 무장한 안드로이드 폰은 2008년 10월에 첫 번째 제품을 발표한 이래 매년 몇 차례씩 버전을 갱신시키며, 2013년 4월 현재 4.2 버전인 젤리빈(Jelly-Bean)이 시장에 판매되고 있으며, 2012년 4분기를 기준으로 전 세계 스마트 폰 시장의 약 75%를 점유하고 있다.

개인용 PC는 초기에는 업무용과 멀티미디어 기기로 한정되어 사용되었지만, 내장된 외부 확장 기능인 PCI, PCI-X 버스, USB 버스, 직·병렬 포트, 이더넷, 블루투스 등을 활용하여, 가정 자동화, 가전 제품 원격제어, 계측기기 및 주변 장치와 연계된 응용 제품 등을 통해 영역을 확대하고 있다.

유사한 기술 개발 흐름으로 휴대성과 통신 기능, 적절한 연산 성능을 갖춘 스마트폰에 대한 기능과 미래 응용 가능성에 대한 분석을 바탕으로 구글은 2011년 5월 개발자 컨퍼런스인 Google IO에서 외부 하드웨어와 안드로이드 기기가 통신하는 안드로이드 오픈 액세서리 표준(Android Open Accessory Standard)을 발표하였다.

안드로이드 오픈 액세서리 표준은 크게 2개의 USB 디바이스 간에 통신을 제어하는 안드로이드 공개 액세서리 프레임워크(Android Open Accessory Framework)와 외부 액세서리를 만드는 데 필요한 하드웨어와 소프트웨어인 액세서리 개발 키트(Accessory Development Kit, ADK)로 구성된다.

구글은 안드로이드 오픈 액세서리 표준을 통해 스마트폰과 태블릿 컴퓨터에 외장 하드웨어를 제어할 수 있는 기능을 부여한 것이다[1-4]. 구글 사는 안드로이드 오픈 액세서리 표준의 폭넓은 활용을 지원하기 위해 ADK 레퍼런스 보드와 보드를 활용한 예제 프로그램을 공개하였는데 ADK 보드는 그림 1과 같이 레퍼런스 베이스 보드와 연결되는 데모 쉘드 보드로 구성된다.

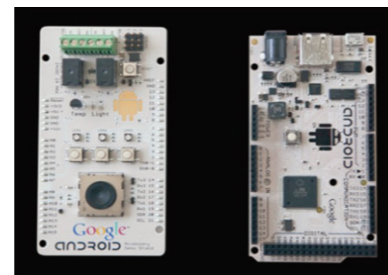


그림 1. 구글 사가 소개한 안드로이드 ADK 보드
 (a) 입출력 장치를 내장한 데모 쉘드 보드
 (b) ADK 레퍼런스 보드

외국에는 안드로이드 오픈 액세서리 관련 서적이 많이 출시되고 있으나 국내에서는 관련 책이 거의 없고, 최근 국내 일부 벤처 회사에서 교육용 보드를 만들어 시장에 출시하고 있는 상황이다. 본 컬럼에서는 안드로이드 오픈 액세서리와 ADK에 대해 소개하고, ADK를 활용한 앱 개발 방안을 다루고, 마지막으로 시스템 반도체 분야와 융합 방안 및 전망을 살펴본다.

안드로이드 오픈 액세서리 프레임워크

안드로이드 오픈 액세서리를 지원하는 안드로이드에는 USB 호스트 모드(host mode)와 안드로이드 오픈 액세서리 모드(Android Open Accessory mode)가 존재한다. USB 버스의 호스트의 핵심 기능은 데이터 전송을 주도하고, 통신 프로토콜을 제공함과 동시에 USB 슬레이브 기기에 전력을 제공하는 기능이다.

USB 호스트 모드가 지원되는 안드로이드 디바이스의 경우 거의 모든 PC의 USB 주변장치를 연결할 수 있고 사용자 앱에서 이것을 활용할 수 있다. USB 호스트 모드를 지원하지 않는 디바이스의 경우 외부 하드웨어와 별크 통신 채널을 제공하는 안드로이드 오픈 액세서리 모드(Android Open Accessory mode)가 존재한다. 현재 대부분의 안드로이드 폰은 USB 호스트 기능을 있지 않으므로 액세서리 모드를 통해 안드로이드 오픈 액세서리 표준을 구현한다.

액세서리 모드에서는 안드로이드 디바이스(안드로이드 폰 혹은 태블릿 컴퓨터)가 USB 슬레이브이고, 주변 액세서리(즉, ADK 보드)가 USB 호스트가 된다. 그림 2는 안드로이드 오픈 액세서리 모드를 활

용한 하드웨어 구성을 나타낸다. 안드로이드 액세서리 보드는 USB 호스트 기능을 위해 별도의 호스트 제어 칩을 사용하고 있다[5].

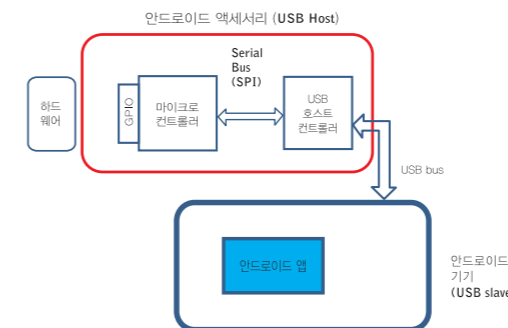


그림 2. 안드로이드 오픈 액세서리 모드를 사용한 하드웨어 구성

구글은 이러한 2가지 동작 모드를 지원하기 위해 안드로이드 액세서리 오픈 프로토콜(Android open accessory, AOA) 프로토콜을 정의하였다. 2011년 5월에 발표한 AOA 프로토콜 1.0은 안드로이드 3.1버전부터 지원하며, 추가 라이브러리 설치를 통해 안드로이드 2.3.4 디바이스도 지원할 수 있다. 2012년 Google IO에서는 AOA 프로토콜 2.0이 발표되었는데, 오디오 스트리밍(Audio streaming)과 HID를 추가로 지원하며 API 레벨 16부터 지원한다. 표 1는 안드로이드 기기가 액세서리 모드로 동작하도록 지원하는 데 사용하는 프로토콜 관련 API(Application Programming Interface)를 나타내며, 호스트 모드를 지원하는 별도의 API도 존재한다.

클래스	설명
UsbManager	연결된 액세서리에 대한 검사 및 통신을 위해 사용하는 클래스
UsbAccessory	USB 액세서리 정보를 관리 및 확인하는 클래스

표 1. USB 액세서리 모드 관련 API와 클래스

구글의 안드로이드 오픈 액세서리 프레임워크의 특징은 기존 안드로이드 오픈 소스 프로젝트(Android Open Source Project)와 같이, 3가지 특징, 개방성, 무료 사용, 단순함의 특징을 갖고 있다.

안드로이드 ADK 보드

개인용 PC와 달리 스마트폰은 기존 통신망을 제외하면 외부 연결 포트가 오디오 포트, USB 포트, 블루투스 등으로 제한적인 데, 구글 사가 안드로이드 ADK를 발표하기 이전에 일부 회사와 하드웨어 위

미 개발자가 오디오 포트와 USB 포트를 활용한 제품을 출시하기도 했는데, 대표적인 예가 Sparkfun사의 IOIO 보드가 있다.

Sparkfun사의 IOIO 보드만 AVR ATmega 2560 칩이 아닌 PIC 마이크로컨트롤러를 사용하고 있는데, TCP 소켓과 Android Debug Bridge(ADB) 인터페이스를 사용하였다. ADB 인터페이스는 구글이 스마트폰의 디버깅 목적으로 정의하였기 때문에, 기존의 모든 안드로이드 기기에 동작하는 장점이 있지만, 디버깅에 관여하는 PC에 악성 소프트웨어가 설치되어 있을 경우, 스마트폰을 디버깅 모드로 설정하면 스마트 폰을 다양한 보안 위험에 노출하게 만드는 위험이 있다.

이러한 측면을 고려하여 USB를 기반으로 한 새로운 안드로이드 오픈 액세서리 표준을 정의하고, 레퍼런스 ADK 보드를 발표한 것으로 판단된다. 안드로이드 OS와 마찬가지로 ADK도 공개 전략을 취하고 있는데, 현재 제품으로 출시되고 있는 대표적인 제품은 표 2와 같다. 대부분의 제품은 공개 하드웨어 플랫폼인 아두이노(Arduino) Mega 2560 보드 설계를 사용하고 있다.

아두이노는 2005년에 시작한 오픈 하드웨어 프로젝트(Open Hardware Project)이며, 안드로이드의 오픈 소프트웨어 프로젝트와 추구하는 방향이 일치하기 때문에 안드로이드가 이를 레퍼런스 보드에 사용한 것으로 판단된다. 현재, 아두이노 보드는 미국 아트멜사의 AVR 혹은 ARM사의 Cortex M3 ARM(Arduino Due 보드에 내장)을 마이크로프로세서로 사용하여 제작되고 있다.

ADK board	Google ADK	Arduino ADK	Seeeduino ADK	Sparkfun IOIO
processor	ATmega2560	ATmega2560	ATmega2560	PIC24FJ256
CPU clock speed	16MHz	16MHz	16MHz	32MHz
Flash memory	256 Kbytes	256 Kbytes	256 Kbytes	256 Kbytes
RAM	8 Kbytes	8 Kbytes	8 Kbytes	8 Kbytes
Digital IO pins	54 (14 PWM)	54 (14 PWM)	56 (14 PWM)	48 (28 PWM)
Analog input pins	16	16	16	16
Input voltage	5.5V~16V	5.5V~16V	6V~18V	5V~15V
connectors	DC power USB A-type USB micro B-type	DC power USB A-type USB B-type	DC power USB A-type USB micro B-type	USB A-type

표2. Google ADK 및 호환 ADK 개발 보드[6]

안드로이드 폰과 아두이노 ADK 보드를 활용한 안드로이드 액세서리 개발

현재 대부분의 스마트 폰은 USB 호스트 기능이 존재하지 않아, USB 호스트 기능을 갖춘 ADK 보드를 활용하여 안드로이드 오픈 액세서리를 구현하는데, 개발에 필요한 소프트웨어와 하드웨어는 표 3과 같다.

소프트웨어 및 개발에 사용하는 IDE	JDK(Java Development Kit)
	안드로이드 SDK
	Eclipse IDE
	아두이노 IDE
하드웨어	ADK reference package (아두이노 IDE에 ADK 관련 라이브러리 제공)
	아두이노와 안드로이드 프로그램 개발을 위한 PC 아두이노 Mega ADK 보드 혹은 유사 호환 보드 하드웨어 제작을 위한 부품 혹은 FPGA

표3. 안드로이드 오픈 액세서리 개발에 필요한 하드웨어와 소프트웨어

안드로이드 폰과 아두이노 Mega ADK 보드를 사용하여, 안드로이드 ADK 시스템을 만드는 개발환경은 그림 3과 같다. PC에서 아두이노 프로그램을 한 후 응용 프로그램을 적재하는 동작은 USB-to-serial 칩을 통해 이루어진다.

그리고 PC에서 Eclipse 환경에서 안드로이드 프로그램을 만든 후, USB로 안드로이드 폰에 적재하는 과정도 필요하다. 최종 ADK 보드와 안드로이드 디바이스는 USB 버스와 USB 호스트 컨트롤러 칩을 통해 아두이노 Mega ADK 보드와 연결된다.

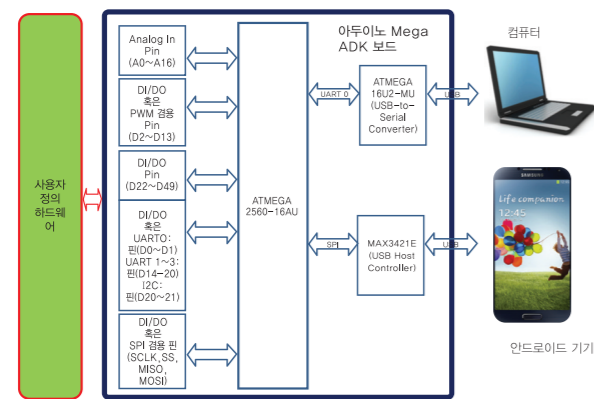


그림3. 안드로이드 ADK 개발 환경

그림 3의 개발환경을 사용하여 안드로이드 오픈 액세서리 시스템을 만드는 과정은 그림 4와 같다[6-7]. 자세한 코드와 개발 내용은 참고 문헌[6],[7] 참고하길 바란다.

그림 5는 하드웨어로 구성된 전위차계의 전압값을 아날로그-디지털 변환기를 통해서 읽어서, 안드로이드 기기(예: Nexus-7)에 프로그레스 바(Progress bar) 위젯으로 그 값을 출력하는 예를 나타낸다.

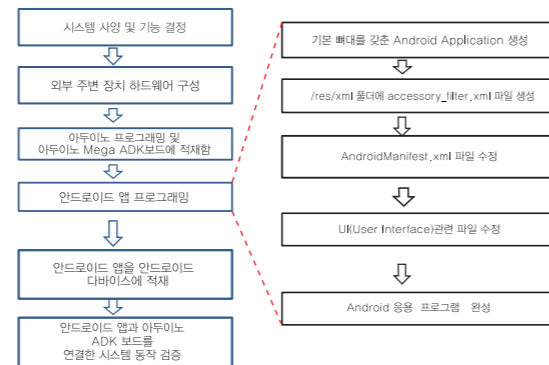


그림4. 안드로이드 ADK 개발 과정

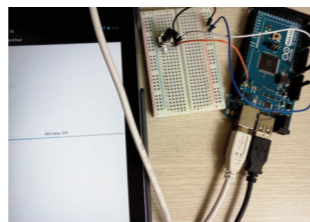


그림5. 하드웨어 정보를 프로그레스 바 위젯으로 표시하는 ADK의 동작 예

안드로이드 오픈 액세서리와 시스템 반도체 융합

안드로이드 오픈 액세서리는 안드로이드 디바이스가 호스트 모드와 액세서리 모드를 지원하는지에 따라, AOA 1.0 혹은 2.0 프로토콜을 지원하는 다양한 액세서리 개발이 가능하다. 현재 대부분의 스마트 폰이 USB 호스트 연결 기능이 부족하므로, 액세서리 모드를 기준으로 안드로이드 폰에 SoC(System on Chip)을 연결하는 방안을 검토해 볼 수 있다. 첫 번째 방안은 그림 6과 같이 기존 ADK 보드의 기능을 최대한 유지하면서, GPIO 포트 대신에 보조프로세서 버스를 통해 시스템 반도체 SoC(System-on-Chip) 디바이스를 연결하는 방안이다.

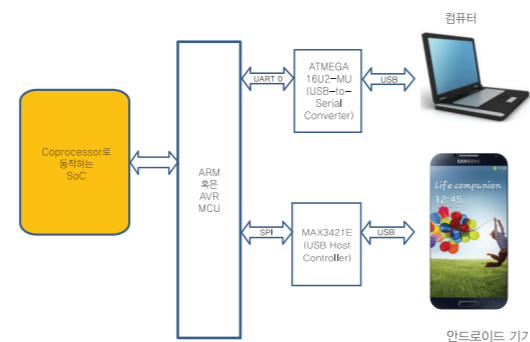


그림6. 보조 프로세서 형태로 SoC 칩의 내장 방안

두 번째 방안은 그림 7과 같이 기존 ADK 보드에 있는 AVR 혹은 ARM MCU 기능을 내장하는 전용 SoC 칩을 USB 호스트 컨트롤러 칩을 통해 연결하는 방식이다. SoC 칩 내부에는 SPI 직렬 버스 인

터페이스로 동작하는 전용 마이크로프로세서 혹은 유사 기능을 탑재하게 된다.

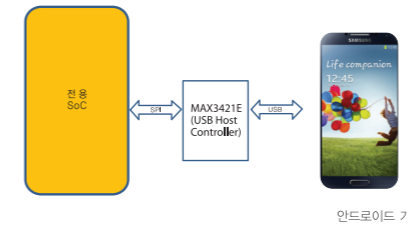


그림7. USB 호스트 컨트롤러를 통해 연결하는 전용 SoC 칩

마지막으로 그림 8과 같이 USB 호스트 기능을 내장한 SoC 칩 구조이다. 마지막 방식은 SPI 버스의 한계를 극복할 수 있기 때문에 가장 높은 성능을 기대할 수 있다. 안드로이드 폰의 기능이 확장되어 차후 USB 호스트 기능을 보편적으로 갖게 될 경우, USB 슬레이브 형태의 액세서리 개발이 필요할 것으로 예측된다.



그림8. USB호스트 컨트롤러를 내장한 SoC 칩

향후 전망 및 맺음말

안드로이드 오픈 액세서리의 응용 분야로 안드로이드 기반 휴대 기기와 운동 기기간의 상호 작용을 통한 심장 박동과 칼로리 소비량 계산, 게임기기 등으로 쉽게 생각할 수 있다. 다만, 현재 액세서리 모드의 경우 외부 액세서리가 USB 호스트로 동작해야 하므로 전원을 안드로이드 기기에 제공해야 하는 문제가 있다. 이러한 문제는 USB 호스트 모드를 사용하게 되는 안드로이드 기기를 사용하면 일부분의 문제가 해결될겠지만, 이동 기기 특성상 외부 전원이 없는 경우 전력 소비 문제가 따를 것으로 예측된다.

따라서 안드로이드 오픈 액세서리를 구현한 사례는 상업적인 제품보다 하드웨어 개발을 취미로 하는 개발자와 학문적인 연구자에 의한 결과물이 많은 것 같다. 그런데 전자신문 기사(2013년 3월 24일)[8] 기사를 보면 4월 말 출시가 예정된 삼성의 차세대 갤럭시 S4가 앱세서리(Appcessories)라는 새로운 사업 영역을 개척했다는 기사가 나왔다. 앱세서리는 앱(Application)과 액세서리(Accessories) 결합으로, 기존 스마트폰이 제공하지 못하는 기능과 서비스를 액세서리와 앱 결합을 통해 제공하는 방안으로 게임기와 운동 기구를 예로 들고 있다.

현재 제품으로 출시되고 있는 아두이노 ADK 보드는 USB 호스트 컨트롤러 칩을 통해 SPI 직렬 버스로 연결되므로, 높은 성능을 요구하는 분야에 적용하는데 한계가 있다고 판단되지만, 단순한 연결 방식과 스마트 폰의 적절한 연산 능력을 근거로 높은 성능이 요구되지 않는 모바일 틈새시장에 그 응용이 확대될 수 있을 것으로 판단된다.

그리고 그림 8과 같이 안드로이드 기기와 직접 연결되는 SoC를 내장한 안드로이드 오픈 액세서리 구조 경우 높은 성능으로 새로운 응용 분야를 개척할 수 있을 것으로 예측되며, 이러한 분야를 선점하기 위해 시스템 반도체 측면에서 폭넓은 연구가 필요하다고 판단된다.

Reference

- [1] Jeff Brown, Erik Gilling, and Mike Lockwood, "Introducing Android Open Accessories and ADK", Google IO Conference, May 10, 2011.
- [2] Android Open Source Project, "Android Open Accessory Protocol 2.0", <http://source.android.com/tech/accessories/aocp/aoa2.html>
- [3] 라영호, "구글의 새로운 시도, 구글 ADK의 이해", 마이크로소프트 웨어, http://www.imaso.co.kr/?doc=bbs/gnuboard.php&bo_table=article&wr_id=37711
- [4] 마누엘 디 세르보, 데이브 린네스, "USB를 사용한 하드웨어와 안드로이드 기기의 접속" 월간 전자과학, <http://www.elec4.co.kr/article/print.asp?idx=2076>.
- [5] Maxim, USB Peripheral/Host Controller with SPI Interface.
- [6] Mario Bohmer, Beginning Android ADK with Arduino, Apress, 2012.
- [7] CNDI(주) 기술연구소, "안드로이드 ADK와 Arduino MegaADK 활용", 경북대학교 IDEC Platform Center, 2013. 2.
- [8] 전자신문, "삼성, 갤럭시 S4발고 야심작 또 있다", 2013년 3월 22일 기사.



실바코는 아날로그 및 mixed-signal IC 설계를 위한 EDA (electronic design automation) 소프트웨어를 제공하는 선도 업체입니다. 1984년에 창립 이래 TCAD 공정 및 소자 시뮬레이션, Spice 파라미터 추출, 회로 시뮬레이션 및 custom IC 디자인과 검증에 필요한 솔루션을 공급하고 있습니다.

미국 캘리포니아주 산타클라라의 본사 및 세계 11개 현지 법인에서 최상의 제품과 숙련된 인력으로 아날로그 반도체 공정, 소자 및 디자인 자동화 솔루션을 제공함으로써, 전 세계의 첨단 팹리스 반도체 업체, 집적 반도체 제조업체, 파운드리, 대학 등에 폭넓은 고객층을 확보하고 있습니다.

SPECIAL Column I

Complete analog, mixed-signal, and RF circuit design environment

회사소개

실바코는 아날로그 및 mixed-signal IC 설계를 위한 EDA (electronic design automation) 소프트웨어를 제공하는 선도 업체입니다. 1984년에 창립 이래 TCAD 공정 및 소자 시뮬레이션, Spice 파라미터 추출, 회로 시뮬레이션 및 custom IC 디자인과 검증에 필요한 솔루션을 공급하고 있습니다.

미국 캘리포니아주 산타클라라의 본사 및 세계 11개 현지 법인에서 최상의 제품과 숙련된 인력으로 아날로그 반도체 공정, 소자 및 디자인 자동화 솔루션을 제공함으로써, 전 세계의 첨단 팹리스 반도체 업체, 집적 반도체 제조업체, 파운드리, 대학 등에 폭넓은 고객층을 확보하고 있습니다.

제품

SmartSpice Analog Circuit Simulator

SmartSpice는 고정밀 아날로그 회로 및 믹스드 시그널 회로의 설계, 주요 회로망의 분석, 셀 라이브러리의 추출 등에 최고의 퍼포먼스와 정확도를 제공합니다. 또한, 타사의 아날로그 디자인 플로우 및 파운드리 소자 모델과 호환됩니다.

넷 리스트, 모델, 분석 특징 및 결과에 대해 HSPICE™ 및 SPECTRE™ 와 100% 호환

주요 아날로그 디자인에 가장 정확한 회로 시뮬레이션 결과를 제공
 SPICE 회로 시뮬레이션 중 최고 수준의 런타임 시뮬레이션 속도
 강력한 수렴을 위해 멀티 솔버 및 스테핑 알고리즘을 제공
 Bipolar, CMOS 및 TFT, SOI, HBT, FRAM, FinNET 등에 보정된 SPICE 모델을 최대한 제공
 Verilog-A로 개방형 모델 개발 환경과 폭넓은 아날로그 행동 성능을 제공
 나노 크기의 설계에 대해 SEE (Single Event Effects) 신뢰도를 분석
 강력한 암호화에 의해 고객 및 서드-파티의 소중한 지적 재산을 보호 가능

속도

다른 SPICE 제품의 고유 속도(raw speed)보다 2~4배 빠르게 시뮬레이션 로그에 가까운 멀티 스레드의 처리를 위해 다중 병렬 64비트 CPU를 지원

네트워크 분산 처리 및 원격 .ALTER 몬테 카를로 분석을 네트워크 분산 처리 스레드 풀을 이용한 효율적인 병렬 처리

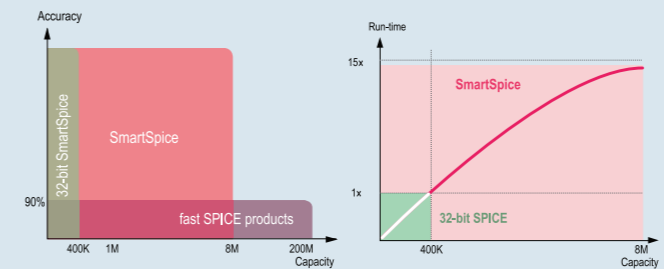


그림1. SmartSpice는 진정한 SPICE급 정확도로 full-chip의 정적/동적 시뮬레이션 및 누설 전력 시뮬레이션을 하여, 추출된 기생 성분 및 ctm/aggressor 회로망을 갖춘 클록 트리의 신호 무결성을 나타냅니다.

정확성

유료 행렬에서 가우스 소거법을 사용 (초기 Berkeley 3C1 솔버에 기초) 직접 솔버 및 반복 솔버의 라이브러리

연속성, 선형성 및 유효 파라미터 범위를 위해 실행 시에 Berkeley 물리 기반 모델 파라미터를 검증

추출된 파운드리 모델의 불일치를 검출하여 최종 단계에서 퍼포먼스 및 정확성 저하를 방지

시뮬레이션의 속도 대비 정확성을 제어하기 위해 풍부한 옵션을 제공

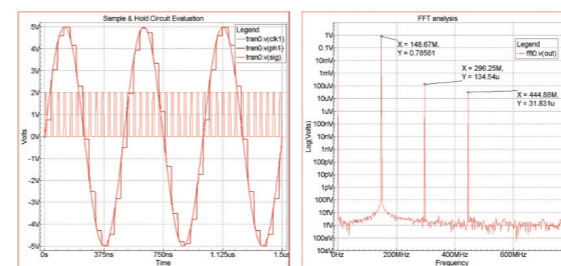


그림2. SmartView: SmartSpice 및 HSPICE 시뮬레이션 결과로부터, 상승 시간, 기울기, 벡터 계산기에 필요한 시간/전압/전류/전력의 측정 그래프 및 주석화된 플롯과 아이 다이어그램을 생성합니다.

Gateway Schematic Editor

Gateway는 플랫폼/계층형 설계를 지원하며, EDIF 200 표준을 통해 타사 스키매틱 에디터(PSPICE, OrCAD, Composer 등)로부터 기존 디자인을 손쉽게 수용합니다. Gateway는 전역 설정을 통해서 대규모 설계팀에서 사용할 수 있으며, 특정 워크스페이스로 다수의 설계 및 테크놀로지를 처

리합니다.

멀티-뷰, 멀티-시트, 계층형 IC 디자인을 생성 및 수정하는 강력한 스키매틱 캡처 및 에디터 기능
 행동 모델, 크로스-프로빙, 파형 디스플레이를 갖추어 SmartSpice 회로 시뮬레이터와 유연하게 통합
 HSPICE와 호환되는 입력 데크 생성
 디자인 팀의 셀/심볼 라이브러리에 대해 공유 워크스페이스로 다중 사용자 프로젝트를 제어
 EDIF 200을 통하여 타사의 스키매틱 캡처 툴로부터 전한 하나의 스키매틱으로부터 시뮬레이션, NDL, LVLS를 위한 넷리스트 생성

풍부한 기능

심볼, 서브서킷, 하위 스키매틱 및 Verilog-A 모델의 생성 용이
 시뮬레이션, 스키매틱-드라이브-레이아웃, LVLS 호환성을 위해 포괄적인 심볼 생성 및 편집
 반복 작업 및 기존 캡처 툴의 에뮬레이션을 위한 사용자 구성 키 포팅, IP 재사용, 대화형 설계를 처리하기 위한 포괄적인 검색 및 교체 모듈, 재사용할 수 있는 설계, 라이브러리, 기존 회로와의 작업을 위한 계층 캡처
 와이어, 버스, 버스 분할, 버스 병합으로 강력한 편집 기능
 설계자가 구성하는 룰 체크는 전기적 드로잉 규칙 위반 및 명칭 오류를 표시
 디자인-룰-연결 레이아웃 요소를 자동으로 생성하기 위한 Parameterized cell 소스 디자인 엔트리 데이터

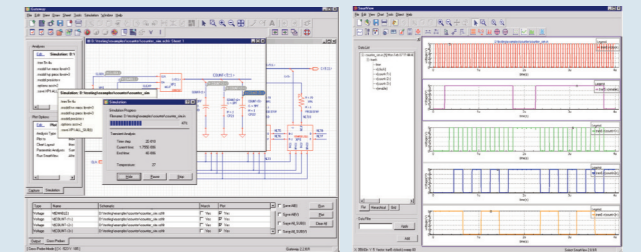


그림3. Gateway는 크로스-프로빙, 진행 파형, 해석 옵션 및 최적화를 갖추어 계층적 설계에 대한 프론트-엔드를 제공합니다.

통합된 커스텀 IC 디자인 플랫폼

커스텀 아날로그 회로를 위한 front-to-back 설계 자동화 솔루션
 행동 모델, 스키매틱, 회로 시뮬레이션 레이아웃, DRC, LVLS 및 기생 추출과 입증된 피드백 플로우를 연결
 지연, 기울기, 오버슈트, 상승 시간, 아이 다이어그램의 오버레이 측정을 위해 SmartView 그래픽 파형 포스트-프로세서와 통합 - 벡터 계산기로 완성
 스키매틱과 포스트-프로세스 사이의 강력한 크로스-프로빙으로 실시간 설계 피드백을 제공
 콜백 기능은 디자인 룰, 내성, 파라미터 계산, process skew에 대한 표현식을 실시간으로 평가
 계층 전반에 걸쳐 전류/전압에 대한 DC 바이어스를 표시

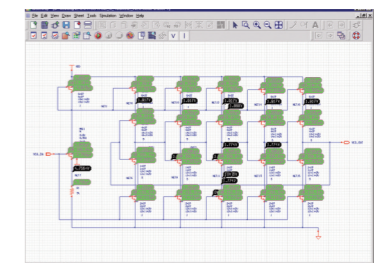


그림4. 플랫폼/계층형 드로잉에 대한 전류/전압 DC 바이어스

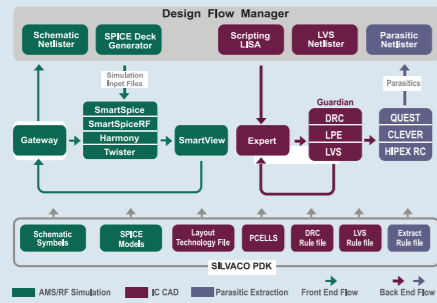


그림5. 전체 커스텀 IC 디자인 플랫폼에서의 Gateway

Expert Layout Editor

Expert는 완벽한 편집 기능, 대규모 용량 처리, 신속한 레이아웃 뷰어를 갖춘 고성능 계층형 IC 레이아웃 에디터입니다. Expert는 넷리스트에 의한 레이아웃 및 Pcell(Parameterized cell)을 통하여 높은 수준의 설계 지원을 제공합니다.

통합된 DRC/LVS/LPE 및 기생 추출 기능으로, 아날로그, 믹스드 시그널, RF, 디지털 레이아웃에 생산적인 환경
ExpertViews는 편집 기능을 제외하면, Expert와 기능 면에서 동일 GDSII 파일의 신속한 로딩, 편집 및 대규모 데이터베이스의 뷰어 설계 자동화에 필요한 강력한 스크립트 성능 및 C++ API를 제공 업계 표준 포맷을 사용하여, 물리 검증을 위해 Calibre Interactive 및 통합 RVE와 통합
노드 하이라이트 기능을 제공하여, 클릭한 객체와 전기적으로 연결된 레이아웃 객체를 모두 하이라이트
모든 기술 레벨을 위한 사용의 편의성 - 초보자를 위한 온라인 도움말, 전문가를 위한 강력한 스크립트
강력한 암호화에 의해 고객 및 서드-파티의 소중한 지적 재산을 보호 가능

생산적인 레이아웃 환경

10GB 이상의 데이터베이스를 몇 분(몇 시간이 아닙니다.)만에 고속으로 로드
멀티-레벨 계층을 통하여 여러 윈도우에 신속하게 이동 및 확대/축소 - 탐색을 위한 북마크 기능 구비
실시간, 온라인, 배치 검증을 위해 Guardian DRC/LVS/LPE와 유연하게 통합
CMOS, Bipolar, BiCMOS, SiGe, GaAs, InP 등에서 아날로그, RF, 디지털 회로에 생산적인 레이아웃 환경
명령어를 편리하게 호출하기 위해, 단축키 메뉴 및 커맨드 라인을 변경 가능

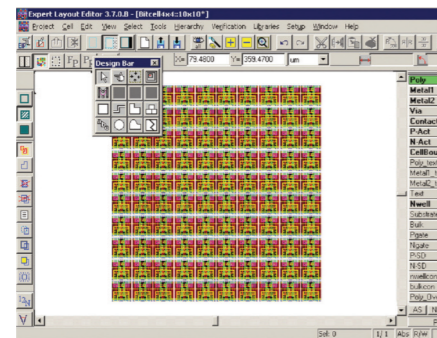


그림6. 완벽하게 변경 가능한 단축키, 매크로, 툴바, 레이어, 색상, 스타일 등을 Virtuoso로부터 직접 가져와서, 레이아웃 설계자에게 익숙하고 생산적인 작업 환경을 제공합니다.

강력한 레이아웃 에디터 기능

Javascript 및 LISA 스크립트 그래픽 지원으로 Parameterized cell 생성
강력한 C++ API는 모든 편집 기능에 액세스
체크-인, 체크-아웃 라이브러리 매니저를 이용하여, 네트워크로 동일 프로젝트에 대해 동시 작업 가능
자동 축소/확대 및 크기 조정 기능으로 공정 이전에 드는 수고를 최소화

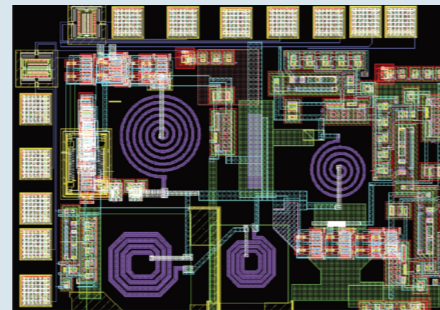


그림7. 다용도 에디터는 아날로그, RF, 마이크로파 회로 요소에 필요한 모든 각도의 다각형을 생성하며, CMOS, Bipolar, BiCMOS, SiGe, GaAs, SiC, InP, TFT 및 기타 공정 기술의 인덕터, 파워 디바이스가 포함됩니다.

SILVACO

(주)실바코 코리아

주소 : 134-020 서울특별시 강동구 천호동 469-1 스타시티빌딩 5층
Tel : 02-447-5421 Fax: 02-447-5420
E-mail: krsales@silvaco.com

IDEC MPW 설계공모전 2013

국내 대학(원)생의 SoC 설계 아이디어를 국내외 Foundry를 통해 구현해 볼 수 있는 기회를 드립니다.



2013년 MPW 공점 지원 내역

회사	공정	공정내역	size	공모전횟수	Package
삼성	65nm	RFCMOS 1-poly 8-metal(119#), 128# CMOS 1-poly 7-metal(121#)	4mm x 4mm	3	208pin QFP
	0.35um	CMOS 2-poly 4-metal (Optional layer(DNW,HRLEBT,CPOLY) 추가)	5mm x 4mm	2	Design-144pin, Package 지원 -208pin QFP
메그나칩/아이닉스	0.18um	CMOS 1-poly 6-metal (metal을 Thick metal) (PM에 의한 사용가능) (Optional layer(DNW,HRLEBT,MM) 추가)	4.5mm x 4mm 4.5mm x 2mm	4	Design-208pin, Package 제작 -208pin QFP
	0.11um	RFCMOS 1-poly 6-metal (Top-LTM)		2	208pin QFP
동부하이텍	0.18um BCDMOS	CMOS 1-poly 4-metal TM	5mm x 2.5mm 2.5mm x 2.5mm	4	지원하지 않음
	0.35um BCDMOS	CMOS 2-poly 4-metal TM		4	지원하지 않음
TowerJazz	0.18um CIS	CMOS 1-poly 4-metal		2	
	0.18um RFCMOS	RFCMOS 1-poly 6-metal		2	
	0.18um BCDMOS	CMOS 1-poly 3-metal(MT)		4	지원하지 않음
	0.18um SiGe	SiGe BiCMOS 1-poly 6-metal		1	

2013년 공정 지원 변경 내역

- 삼성 공정 - ① 0.13um 공정 지원 중단 ② 삼성 65nm 3회 지원 (2회-3회)
- 동부 공정 - ① 0.11um-지정 축소 ② 0.35um 축소 (5회-4회) → 0.18um 증가 (3회-4회)
- 동부 BCD 공정 - PWS 지원 중단 (기존 : 144pin 제작 지원함)

2013년 MPW 진행 일정

구분	공정	공정	제작 횟수	우선요청		정규요청		후기	DIE 마감 (Tape-out)	DIE 마킹 (Pape-ink)	Die-out
				신청마감	신청발표	신청마감	신청발표				
118회 (13-01)	M/H	0.18um	20	12.12.07	12.12.20	12.12.07	12.12.20		13.02.18	13.03.04	13.07.22
	동부	0.35um	3	12.12.07	12.12.20	12.12.07	12.12.20		13.02.27	13.03.13	13.06.12
119회 (13-02)	TJ	0.18um(SiGe)	1	12.12.07	12.12.20	12.12.07	12.12.20		13.03.12	13.03.19	13.07.01
	동부	0.11um	12	12.12.07	12.12.20	12.12.07	12.12.20		13.03.20	13.04.10	13.07.31
120회 (13-03)	삼성	65nm(RF 지원)	48	12.12.07	12.12.20	12.12.07	12.12.20		13.03.15	13.04.05	13.08.15
	동부	0.35um	3	12.12.20	13.01.16	12.12.20	13.01.16		13.05.07	13.05.15	13.08.14
	M/H	0.18um	20	12.12.20	13.01.16	12.12.20	13.01.16		13.05.04	13.05.20	13.10.04
	TJ	0.18um(CIS)	1	12.12.20	13.01.16	12.12.20	13.01.16		13.05.06	13.05.13	13.09.14
	동부	0.18um	2	12.12.20	13.01.16	12.12.20	13.01.16		13.05.15	13.05.29	13.08.28
	TJ	0.18um(RF)	1	12.12.20	13.01.16	12.12.20	13.01.16		13.05.20	13.05.27	13.09.16
121회 (13-04)	M/H	0.35um	20	13.01.30	13.02.15	13.01.30	13.02.15	13.03.04-	13.06.17	13.07.04	13.10.04
	동부	0.18um	2	13.01.30	13.02.15	13.01.30	13.02.15		13.06.26	13.07.10	13.10.09
122회 (13-05)	삼성	65nm	48	13.01.30	13.02.15	13.01.30	13.02.15		13.07.05	13.07.26	13.12.06
	M/H	0.18um	20	13.01.30	13.02.15	13.01.30	13.02.15	13.04.01-	13.07.29	13.08.12	13.12.24
123회 (13-06)	동부	0.18um	2	13.02.28	13.03.15	13.02.28	13.03.15	13.05.02-	13.08.14	13.08.28	13.11.27
	동부	0.35um	3	13.02.28	13.03.15	13.02.28	13.03.15		13.08.21	13.09.04	13.12.04
124회 (13-07)	동부	0.11um	12	13.03.30	13.04.15	13.03.30	13.04.15	13.06.03-	13.09.11	13.10.02	14.01.22
	TJ	0.18um(CIS)	1	13.04.30	13.05.17	13.04.30	13.05.17		13.10.14	13.10.21	14.02.17
125회 (13-08)	TJ	0.18um(RF)	1	13.04.30	13.05.17	13.04.30	13.05.17	13.07.01-	13.10.21	13.10.28	14.02.17
	TJ	0.18um(BCD)	2	13.04.30	13.05.17	13.04.30	13.05.17		13.10.21	13.10.28	14.02.17
	M/H	0.18um	20	13.04.30	13.05.17	13.04.30	13.05.17		13.10.21	13.11.04	14.03.25
	동부	0.35um	3	13.04.30	13.05.17	13.04.30	13.05.17		13.10.23	13.11.06	14.02.25
126회 (13-09)	삼성	65nm(RF 지원)	48	13.05.30	13.06.17	13.05.30	13.06.17	13.08.01-	13.11.08	13.11.29	14.04.11
	동부	0.18um	2	13.05.30	13.06.17	13.05.30	13.06.17		13.11.13	13.11.27	14.02.26
127회 (13-10)	M/H	0.35um	20	13.02.28	13.03.15	13.05.30	13.06.17	13.09.01-	13.12.02	13.12.17	14.03.25

- 표기 : 1) 년,월,일 2) M/H는 메그나칩/SK아이닉스 3) TJ= TowerJazz
- - : 우선(50%), 정규(50%) 요청을 원칙으로 하며, 정규에 마감일 안일 공정한 후기모집을 실시
- - : 실제발표 개수는 정규 모집 마감후에 개회
- Package 제작은 'Die chip out' 이후 4개월 소요
- 위의 일정은 사정에 따라 다소 변경될 수 있음.

참여대상

IDEC Working Group(WG)대학의 학부생 및 대학원생

Multi Project Wafer Design Contest 2013



지난 1월 7일부터 9일에 걸쳐서 스위스의 Leysin 이라는 곳에서 개최된 FETCH workshop 에 대한 후기를 기재한다. 본인은 이번 workshop에 technical program chair (TPC)를 맡아서 프로그램 구성 및 speaker 초청과 local organization에 해당하는 일을 총괄하여 진행하였다. Leysin 은 스위스 북서쪽 중 하나인 Vaud 주에 위치한 조그만 산동네로, 본인이 머물고 있으며 올림픽의 도시로 잘 알려진 로잔에서 기차로 1시간 정도면 도착할 수 있는 마을이다. 겨울에는 스키를 여름에는 하이킹을 즐길 수 있다. 마을은 해발 800m 정도에 있으며, 마을 중심에서 5분 정도만 걸어가면 케이블 카를 타고 해발 2,000m 정상에 도착하여 스키를 탈 수가 있다. Workshop 기간에는 겨울임에도 최고 기온이 10도 정도로 매우 따뜻했으며, 특히, 첫날은 구름이 마을 아래로 끼는 해운을 감상할 수 있었다.

SPECIAL Column II

FETCH 2013 참석 후기

지난 1월 7일부터 9일에 걸쳐서 스위스의 Leysin 이라는 곳에서 개최된 FETCH workshop 에 대한 후기를 기재한다. 본인은 이번 workshop에 technical program chair (TPC)를 맡아서 프로그램 구성 및 speaker 초청과 local organization에 해당하는 일을 총괄하여 진행하였다.

Leysin 은 스위스 북서쪽 중 하나인 Vaud 주에 위치한 조그만 산동네로, 본인이 머물고 있으며 올림픽의 도시로 잘 알려진 로잔에서 기차로 1시간 정도면 도착할 수 있는 마을이다. 겨울에는 스키를 여름에는 하이킹을 즐길 수 있다. 마을은 해발 800m 정도에 있으며, 마을 중심에서 5분 정도만 걸어가면 케이블 카를 타고 해발 2,000m 정상에 도착하여 스키를 탈

수가 있다. Workshop 기간에는 겨울임에도 최고 기온이 10도 정도로 매우 따뜻했으며, 특히, 첫날은 구름이 마을 아래로 끼는 해운을 감상할 수 있었다.

회의 개최 및 참석의 후기 구성은 먼저 FETCH workshop에 대한 간단한 소개와 전반적인 구성에 대해서 설명하고 관심을 두고 들은 몇가지 발표에 대해서 간단히 요약하여 설명하려고 한다,

FETCH Heterogeneous Embedded System 설계를 위한 다양한 분야를 다루는 workshop 으로서, 올해로 7번째를 맞이하여 진행하였다. 본

취지는 프랑스,스위스 캐나다의 북서쪽 지역 연구자들의 교류를 활성화하고 박사 과정에 재학하고 있는 학생들에게 최신 연구 동향 및 연구 방향을 제시해 주기 위해서 만들어졌다. 전통적으로 프랑스,스위스,캐나다,몬트리올의 스키 리조트에서 개최되며, 기존에 개최된 도시로는 Villard-de-Lans, 프랑스(2007), Montebeelo, 캐나다(2008), Chexbres, 스위스(2009), Chamonix, 프랑스(2010), Quebec, 캐나다(2011), Aipse D'Hues, 프랑스(2012)이다.

최근에는 점차 지역적 언어적 제한을 탈피하여 국제적인 workshop으로 진행되고 있으며, 올해는 총 60여 명의 참가자가 있었으며, 2/3 정도는 북서쪽 연구자 및 학생들이 참석하였고, 나머지 인원은 미국, 스페인,이탈리아 등에서 참가하였다. 올해는 한국에서도 포항공대의 유승주 교수와 충남대의 김지훈 교수가 참석하였다.

FETCH workshop에서 다루는 내용은 디바이스, 회로 설계, 시스템, 아키텍처 레벨과 어플리케이션까지 임베디드 시스템 설계에 필요한 다양한 부분을 다룬다. 올해도 이와 같은 기본 골격을 가지고 프로그램이 구성되었다. 첫날은 주로 차세대 디바이스와 패키지 분야에 해당하는 내용을 다루었으며, 둘째 날은 시스템, 다중코어 아키텍처와 저전력 솔루션에 대한 내용을 다루었다.

마지막 날은 mixed 시그널 회로 설계와 최근 많은 주목을 받고 있는 메디컬 어플리케이션에 대해서 집중적으로 다루었다, 그림 좀 더 자세히 프로그램 구성에 관해서 기술하겠다. 기본적으로 모든 발표는 초청을 바탕으로 진행된다. Tpc인 본인과 다른 한 명의 Tpc인 pierre - Emmanuel Gaillardon(EPFL), qeneral chair인 David Atenza 교수와 프랑스의 CEA-LETI의 Ahmed jerraya교수와 상의하여서 workshop의 구성을 정하였다. 총 40여 명의 발표자를 초청했어야 했기 때문에 초청장은 작년 7월부터 발송하기 시작했으면 약 3개월 정도가 지난 9월 말에서야 발표자 초청을 완료할 수 있었다.

FETCH의 발표 구성은 top-down, 방식과 T-shape의 형태가 되도록 구성하였다. 즉, 해당 날의 첫 발표인 keynote 세션에서 45분간 당일에 다루는 내용의 큰 그림을 제시해주고, 나머지 발표들은 좀 더 세부적인 내용을 다루는 것을 목표로 한다. 특히 발표 형태를 in-depthpresentation (30분)과 mini-keynote(15분) 두 가지 형태로 세분화하여 새로운 분야에 대해서는 좀 더 자세히 다루는 동시에 많은 연구자에게 발표기회를 제공하였다. 또한,다른 워크샵 및 학회와는 차별화하여,오전과 오후 세션의 마지막에 30분 동안 해당 세션에서 발표한 사람들의 자유로운 토론할 기회를 제공하였다.

이 토론 세션에서는 시간 제약상 물어보지 못한 질문들에 대한Q&A 뿐 아니라session chair가 공통의 질문을 던지고 각자의 의견을 말하는 등 자유롭게 진행이 되었다. 이외에도 각 날의 마지막 세션은 박사과정 학생들이 자기의 현재 연구 분야에 대해서 5분간 간단히 발표하고 포스터 세션을 가지면 많은 연구자와 의견을 교환할 수 있는 장을 마련했으며, 올해는 14명의 pho 학생들이 참석하였다.

그럼, 좀 더 자세히 FFNCH에서 다루는 내용에 관해서 기술하도록 하겠다. 첫날의 주요 주제는 차세대 소자 및 3차원 적층 회로 설계에 관련한 내용을 집중적으로 다루었다. 18개월마다 회로의 집적도는 2배가 증가한다는 Moore의 법칙은 최근까지 트랜지스터의 소형화를 통해서 실현되었다. 하지만 최근 디바이스의 사이즈가 수십 나노미터까지 다다르며 통상적인 트랜지스터의 소형화의 물리적 한계에 다다르고 있으며, 또한, 과도한 디바이스 소형화는 누설 전류의 급격한 증가와 reliability 감소 등의 부작용을 야기시키고 있다.

최근에 이를 극복하고자 기존의 Field-Effect Transistor(FET)를 대체하기 위한 많은 디바이스들이 연구되고 개발되고 있다. FETCH의 첫 발표를 맡은 EPFL의 Giovanni De Micheli 교수는 Keynote speech에서 이러한 차세대 나노 소자에 관한 연구 동향에 대해서 발표를 하였다. 특히, 그의 연구실에서 주로 연구하고 있는 silicon nanowire 와 탄소 나노튜브(carbon nanotube)에 관한 내용을 집중적으로 발표하였다.

단순한 디바이스 성질에 관한 연구뿐 아니라 이를 이용하여 기본 로직 게이트 (예, NAND, XOR 등)를 구현하는 방법에서부터, 이러한 나노 디바이스들의 적용 가능한 분야인 biosensor, body area network, smarttextiles 등의 분야를 소개하고 실제로 스위스의 연구단체인 NanoTera 의 지원으로 진행되고 있는 프로젝트를 소개해주었다.

최근 메모리 용량을 키우고 전력 소비를 줄이기 위한 다양한 연구도 진행되고 있다. 이러한 연구 동향에 대해서 CEA-LETI의 Silicon Component Division에 있는 Barbara De Saivo교수가 발표를 하였다. 기존의 DRAM 방식은 집적도 및 pre-charge와 주기적인 refresh로 인하여 전력 소비가 크다. 이를 극복하고자 최근 DRAM과 같은 휘발성(volatile) 메모리를 비휘발성(non-volatile) 메모리로 대체하고자 하는 연구가 활발히 진행되고 있다.

NANO Flash는 DRAM을 메모리와 비교하여 10배 정도 집적도가 높으며, 전력소비를 획기적으로 줄일수 있다. 하지만, MNND Flash가 DRAM을 완벽히 대체하기에는 크게 두 가지 면에서 문제를 갖고 있다. 우선, Write 횟수가 1,000회 정도로 제한이 되어 있으며 (그 이상 Write를 하면 unreliable 함) read/write latency가 DRAM에 대해서 길다. 이를 극복하기 위해서 DRAM과 NAND Flash를 hybrid 하게 사용하는 연구들이 진행이 되고 있다. 근본적으로 NAND Flash의 단점을 극복하기 위해서 차세대 Phase-Change RAM (PRAM),Oxide Resistive REM(OxRAM) 등에 차세대 비휘발성 메모리에 대한 연구가 활발히 진행되고 있다.

그림 1은 현재 연구되고 있는 다양한 메모리들에 관한 분류를 나타내고 있다, 특히 PRAM은 그중에서 가장 활발히 진행되고 있는 분야이며, 최근 8GB PRAM 프로토타입이 삼성에서 발표되었다. PRAM은 Flash의 단점 중 하나인 low write endurance 문제를 어느 정도 해결하였으나, 여전히 긴 write latency 문제를 갖고 있다. 그 덕분에 여전히 DRAM이 필요하면 DRAM과 비휘발성 메모리를 이용한 hybrid 메모리 시스템 구성은 열린 속제로 남아 활발히 연구가 진행되고 있다.

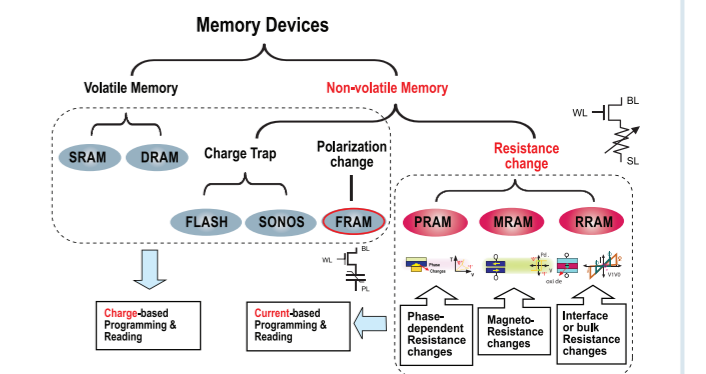


그림1. 다양한 메모리 구분

둘째 날은 다중 코어 아키텍처와 저전력 시스템 관리 방법론에 관한 내용을 주로 다루었다. 첫 번째 발표는 이탈리아 Bologna 대학에 교수인

Luca Benini 교수가 "Multi-Scale Heterogeneous Computing : from instruction extension to programmable accelerators"의 제목으로 발표하였다. 그는 다중코어 시스템인 다중코어 시스템에 대한 기본적인 설명에서부터 최근 그가 STMicroelectronics에서 Project Investigator(P)로 일하며 발표한 P2012의 아키텍처에 대해서 설명하였다.

최근 다중코어 설계 시 전력소비에 대한 고려가 점차 중요해지고 있다. 증가한 전력소비를 감당하지 못하고 부분적으로만 시스템을 동작할지도 모르는 dark silicon에 대한 우려가 현실화되면서 에너지 소비의 효율성을 높이는 방향으로 다중 코어에 관한 연구가 진행되고 있다.

P2012는 이를 해결하기 위한 scalable 한 클러스터 기반의 컴퓨터 아키텍처를 제시하였다. 그뿐 아니라 memory wall 문제를 해결하기 위한 메모리 설계를 제시하였으며 Through-Silicon Vias (TSV)를 이용한 3천원 적층으로 구현함으로써 메모리 접근 시간을 획기적으로 줄일 수 있었다.

이외, 효과적인 메모리 설계에 대한 좀 더 자세한 내용은 그다음 발표인 포항 공대의 유승주 교수가 발표를 맡아 진행하였으며, 특히 DRAM과 PRAM의 특성을 고려한 효과적인 메모리 시스템 구현에 관해서 발표하였다. 오후 세션에서는 충남대 김지훈 교수가 한국에서 많은 연구실의 참여로 개발되고 있는 Core-A를 소개하였다.

많은 사람이 한국산 코어에 관해서 관심을 보여서 한편으로 뿌듯하였다. 하지만 아직 한국에서밖에 라이선스가 안 된다는 제약이 있어서 많은 곳에서 사용되는데 제약사항이 있는 것 같다. 하루빨리 이러한 제약이 없어져서 많은 좀 더 많은 연구자가 사용할 수 있기를 기대해 본다.

마지막 날의 발표는 mixed signal 회로 설계와 medical 어플리케이션에 대한 주제로 오전 세션만 발표가 진행되었다. 첫발표를 맡은 EPFL의 Andreas Burg 교수는 "Near- and sub-threshold design for ultra-low-power embedded systems"이라는 발표 주제로 sub-threshold SRAM설계 및 sub-threshold에서 동작하는 low-power processor 설계 및 동적 전력 관리 방법에 대해서 본인 연구실에서 연구하고 있는 내용을 다소 자세히 발표하였다. 이러한 ultra-low-power 프로세서와 SRAM 들은 최근 medical application의 증가하는 수요와 맞물려 매우 활발히 진행되고 있다.

한편으로 심장의 심전도(Electrocardiography (ECG))를 수시로 체크하고 이상이 있을 시 병원으로 전송해주는 어플리케이션의 경우 배터리를 동작하여야 하며 배터리 수명이 수일에 다다라야 하므로 저전력 설계가 꼭 필요한 분야이다. 특히, 전송 파워를 줄이기 위해서 전송 데이터를 배터리 구동노드 상에서 어느 정도 프로세싱을 하여야 하므로 저전력 프로세서의 설계가 꼭 필요하다.

이러한 저전력 ECGdetection 시스템을 구현하기 위해서 스위스의 연구소인 CSEM과 EPFL 등 몇몇 연구소에서 icyHeart라는 프로젝트가 진행되고 있으며, 이날 세션에서 CSEM 연구소의 Frederic Giroud가 icyHeart 프로젝트에 대해서 전반적인 설명을 하였다. 특히, 본인이 현재 속해 있는 EPFL의 Embedded System Lab (ESL) 역시 이 프로젝트에 속해있으며 최근 이 프로젝트의 결과물을 활용하는 start-up 회사인 SmartCardio라는 회사를 창업하였다.


FETCH workshop은 연구의 교류뿐 아니라 친목 도모를 위한 많은 자리를 마련하였다. 특히, 올해는 스위스의 NanoTera 에서 펀드를 지원을 받아서 학회 기간 중 모든 식사를 제공하였으며, 특히 둘째 날 저녁의 gala dinner를 성대히 개최하였다. Gala dinner 장소는 Leysin 마을에서 케이

블 카를 타고 2,000m 정상에 있는 레스토랑에서 진행하였다. 이 레스토랑은 90분 간격으로 360도 회전한다. 비록 밤이라서 밖의 경관이 잘 보이지 않았지만 그래도 색다르고 재밌는 경험이었다.

Gala dinner 중에 박사과정 학생들의 발표 중에 Best thesis award를 시상하였는데, 올해는 EPFL의Giovanni De Micheli 교수 연구실에 있는 Luca Gaetano Amaru 학생이 "Logic Synthesis for Emerging Technologies" 주제로 발표한 것이 선정되었다.

1월 9일 FETCH workshop이 다 끝나고서는 많은 생각이 교차했다. 비록 작은 workshop이었지만 근 6개월 정도 준비를 한 것이고 다행히 문제없이 계획대로 잘 진행돼서 흥분하고 기쁜 맘이 주를 이뤘지만, 한편으로는 아쉬움이 많이 남았기 때문이다.

이런 워크샵을 처음 준비해보는 것이기에 처음에 준비하면서 과연 내가 잘해낼수 있을까 많은 걱정도 많이 됐고 시행착오도 많이 겪었지만, 많은 사람이 만족하는 모습을 보고 활발히 서로 연구에 대해서 교환하는 것을 보니 뿌듯한 느낌이 들기도 했다. FETCH 워크샵에 대한 좀 더 자세한 설명과 모든 발표자료는 홈페이지 (www.fetch-conference.org)에서 확인할 수 있다. 내년 FETCH는 마찬가지로 1월 Canada의 Montreal에서 개최된다고 한다. 내년 이벤트에서는 좀더 많은 한국 사람들이 참가해서 많은 연구자와 활발히 교류할 기회를 갖기를 기대한다.



로잔연방공대

김정수 박사
 연구분야 : 저전력 시스템 설계
 E-mail : jungsoo.kim@epfl.ch
 http://esl.epfl.ch


www.ufcom.org

제 9회 2013 웨어러블 컴퓨터 경진대회

Smart IT : Any-information for Anybody

| 지정공모 | 3월 21일(목) ~ 5월 26일(일)

| 아이디어공모 | 3월 21일(목) ~ 8월 16일(금)



대회 내용

- 지정공모
스마트 기기(스마트폰, 태블릿PC 등)를 활용하여 입는 컴퓨터를 직접 제작
※ 본선 진출 팀에게는 시작품 제작비 150만원 및 삼성전자의 스마트 IT 기기 지원
- 아이디어공모
주제에 제한이 없으며 웨어러블 컴퓨터에 대한 아이디어를 포스터로 제출. 독창성 및 창의성이 주요 평가 항목

진행 일정

- 지정공모
참가 및 제안서 접수 (3월21일 ~ 5월26일) ▶ 서류 및 발표 심사 ▶ 시작품 제작 ▶ 본선 대회
- 아이디어공모
참가 및 제안서/포스터 접수 (3월21일 ~ 8월16일) ▶ 1차 심사 ▶ 포스터 수정본 제출 ▶ 2차 심사 ▶ 본선 대회

시상 내역

▪ 지정공모		
순위	상격	상금
대상(1팀)	미래창조과학부장관상	400만원
금상(1팀)	KAIST 총장상	300만원
은상(1팀)	KAIST 총장상	200만원
동상(3팀)	KAIST 총장상	100만원
우수아이디어상(2팀)	SDIA 센터장상	100만원
특별상	삼성전자상	300만원

▪ 아이디어공모		
순위	상격	상금
대상(1팀)	KAIST 총장상	100만원

※ 위 내용은 주관기관의 사정에 따라 변경될 수 있습니다. 자세한 내용은 홈페이지 www.ufcom.org를 참조 바랍니다.

주 최 | 미래창조과학부
주 관 | KAIST SDIA
후 원 | 삼성전자
문 의 | Tel. 042)350-8933 Fax. 042)350-8930 E-mail. wcc@sdia.or.kr / sjlim@ee.kaist.ac.kr