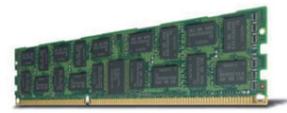


Less energy.  
More speed.



The new 30 nano class Green DDR3

Samsung's 30 nano class 4G bit DDR3 server memory chip is the most advanced, best-performing chip we've ever created. It saves 86% more energy, processes two times faster and is far more reliable than its predecessor.\* In fact, its energy usage is so small, operating and maintenance costs of your server farm are significantly reduced. Welcome the eco-innovation that doesn't compromise performance - just one more reason the leader in green memory technology is Samsung.

www.samsung.com/greenmemory



© 2011 Samsung Electronics Co. Ltd.  
\* Samsung internal test result, compared to Samsung 60 nano class DDR3 memory chip. Actual performance difference may vary depending on the test environment.



# IDECC Newsletter

IDECC Newsletter | 통권: 제189호 | 발행일: 2013년 2월 28일 | 발행인: 박인철 | 편집인: 김이섭 | 제작: 푸물디자인  
기획: 전항기 | 전화: (042) 350-8535 | 팩스: (042) 350-8540 | 홈페이지: http://idecc.or.kr  
E-mail: jhg0929@idecc.or.kr | 발행처: 반도체설계교육센터(IDECC)

Vol. 189

2013  
March

태양전지 (Solar Cell) 기술 동향 / 차세대 나노기술을 중심으로 | 04  
테라헤르츠 집적회로를 위한 CMOS 쇼트키 장벽 다이오드(Schottky Barrier Diode) 기술 | 08  
Computer Architecture 관점에서 DRAM 에너지 소비를 줄이기 위한 방법 및 연구동향 | 12 | Platform Architect MCO | 16

반도체설계교육센터 사업은 지식경제부, 반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.

## 태양전지 (Solar Cell) 기술 동향 / 차세대 나노기술을 중심으로

신재생에너지자원의 개발에 대해, 기존 기술 및 산업과 호환이 되는 실리콘소재를 기반으로 한 태양전지의 개발은 이미 시대적 요구이다. 현재의 국내 기술이 발광소자(LED)에 집중되고, 수광소자(PN or PIN)의 기술개발에 뒤처져 있는데, 차세대 수광소자를 세계수준의 나노소자 공정기술을 기반으로 하여 개발한다면 선진대열에 합류할 수 있는 절호의 기회라 생각된다. 융복합 연구로서 배터리 및 발광소자의 통합 개발을 통해 Standalone Solar 시스템구축도 향후 도전해 볼만한 연구라 생각된다. 본 고에서는 태양전지의 기술동향과 차세대 기술로 각광받고 있는 수직형 나노선 태양전지 기술을 간략히 살펴보고자 한다. (관련기사 P04~07참조)

## 테라헤르츠 집적회로를 위한 CMOS 쇼트키 장벽 다이오드(Schottky Barrier Diode) 기술

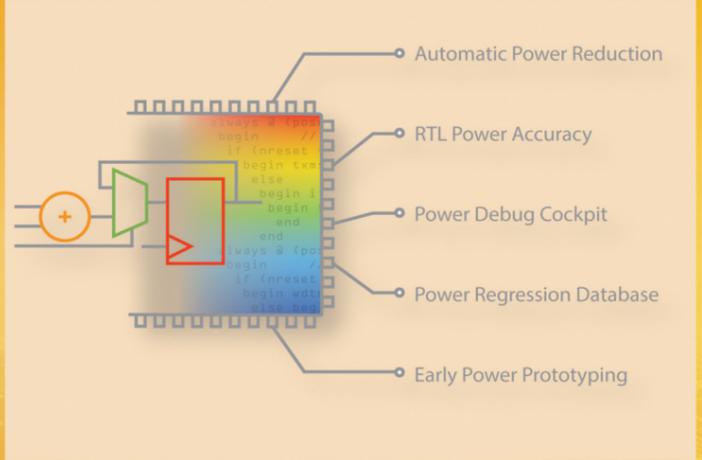
300GHz~3THz 영역의 전자기 스펙트럼으로 정의되는 테라헤르츠(terahertz)는 그 독특한 물리적 특성으로 센싱(sensing), 이미징(imaging), 통신 분야의 다양한 응용에 이용될 수 있다. 최근 CMOS 집적회로의 비약적인 성능 발전으로, CMOS 기술을 이용한 집적화를 통해 그 가격과 부피를 현저히 낮춘 경제적인 테라헤르츠 시스템을 고려할 수 있게 되었다. 본 고에서는 CMOS SBD 소자 및 역병렬다이오드쌍(Anti-parallel Diode Pair)을 소개하고, 이 CMOS 다이오드 소자를 응용한 테라헤르츠파 발생 및 검출을 위한 집적회로를 살펴보고자 한다. (관련기사 P08~11 참조)

## Computer Architecture 관점에서 DRAM 에너지 소비를 줄이기 위한 방법 및 연구동향

현대의 많은 컴퓨팅 시스템은 용량대비 비용이 상대적으로 낮고 고집적 가능한 DRAM을 주메모리로 사용하고 있다. 최근에는 멀티코어 프로세서가 내장형 컴퓨팅 환경을 포함한 전반적인 컴퓨팅 환경에서 보편화되고 있고, 갈수록 높아지는 컴퓨팅 성능의 요구로 인해 보다 빠르고 대용량의 DRAM이 사용되는 추세이다. 동시에 더욱 많은 DRAM 칩이 사용된다는 것은 DRAM에서 소비되는 에너지가 전체 시스템이 소비하는 에너지를 보다 많이 차지하게 된다고 볼 수 있다. 본 고에서는 현재의 DRAM 시스템에 대해 간략히 소개하고 DRAM 에너지 소비의 주요 요인과 이를 해결하기 위한 방법 및 연구동향에 대해 살펴본다. (관련기사 P12~15 참조)

## Platform Architect MCO

Synopsys PA MCO(이하 PA)는 차세대 SoC Architecture 와 Multicore systems의 system-level 성능분석, Capturing, Configuring, Simulating 등을 위해 System-C TLM 을 기준으로 Graphical 한 환경을 제공한다. PA는 System Architect들을 위한 분석 환경 및 H/W, S/W의 partitioning과 SoC infrastructure의 구성을 가능하게 하며, 정확한 시스템 성능과 비용의 최적화를 이룰 수 있는 환경을 제공한다. 본 고에서는 Synopsys사의 Platform Architect MCO를 소개하고자 한다. (관련기사 P16~19 참조)



## PowerArtist™

A complete RTL design-for-power platform for IP and SoC, combining RTL Power Analysis and Automated Reduction within a powerful Graphical Debug and Tcl-based Regression environment. PowerArtist provides 10X productivity over gate level power with physically-aware PACE models delivering predictable RTL accuracy. RTL Power Models from PowerArtist uniquely enable early power grid prototyping.

Advanced Simulation Solutions for Electronic Design



Learn more at www.apache-da.com

MPW (Multi-Project Wafer)							
MPW 설계 현황				MPW 칩 제작 현황			
구분	공정	제작가능 면적 (mm <sup>2</sup> x 칩수)	채택 칩수	설계면적 (mm <sup>2</sup> x 칩수)	DB마감	Die-out	비고
118회 (13-01)	M/H 0.18	4.5x4mm <sup>2</sup> x20	24	4.5x4mm <sup>2</sup> x16 4.5x2mm <sup>2</sup> x8	2013.2.18	2013.7.22	DB 검토중
	동부 0.35BCD	5x2.5mm <sup>2</sup> x6	6	5x2.5mm <sup>2</sup> x6	2013.2.27	2013.6.12	DB 접수중
119회 (13-02)	TJ0.18 SIGe	2.5x2.5mm <sup>2</sup> x4	4	2.5x2.5mm <sup>2</sup> x4	2013.3.12	2013.7.1	
	동부 0.11	5x2.5mm <sup>2</sup> x24	28	5x2.5mm <sup>2</sup> x20 2.5x2.5mm <sup>2</sup> x8	2013.3.20	2013.7.31	
	삼성 65nm	4x4mm <sup>2</sup> x48	21	4x4mm <sup>2</sup> x21	2013.3.15	2013.8.15	
120회 (13-03)	동부 0.35BCD	5x2.5mm <sup>2</sup> x6	10	5x2.5mm <sup>2</sup> x20 2.5x2.5mm <sup>2</sup> x10	2013.5.1	2013.8.14	
	M/H 0.18	4.5x4mm <sup>2</sup> x20	21	4.5x4mm <sup>2</sup> x19 4.5x2mm <sup>2</sup> x2	2013.5.6	2013.10.4	
	TJ0.18 CIS	2.5x2.5mm <sup>2</sup> x4	4	2.5x2.5mm <sup>2</sup> x4	2013.5.6	2013.9.16	
	동부 0.18BCD	5x2.5mm <sup>2</sup> x4	4	5x2.5mm <sup>2</sup> x4	2013.5.15	2013.8.28	
	TJ0.18 RF	2.5x2.5mm <sup>2</sup> x4	4	2.5x2.5mm <sup>2</sup> x4	2013.5.20	2013.9.16	
	TJ0.18 BCD	5x2.5mm <sup>2</sup> x4	1	5x5mm <sup>2</sup> x1	2013.5.20	2013.9.16	
	삼성65nm	4x4mm <sup>2</sup> x48	32	4x4mm <sup>2</sup> x32	2013.7.5	2013.12.6	(설계설명회) *삼성65nm 공항(3.5회)
121회 (13-04)	동부0.18 BCD	5x2.5mm <sup>2</sup> x4	4	5x2.5mm <sup>2</sup> x4	2013.6.26	2013.10.9	
	M/H0.35	5x4mm <sup>2</sup> x20	20	5x4mm <sup>2</sup> x20	2013.6.17	2013.10.4	
122회 (13-05)	동부0.35 BCD	5x2.5mm <sup>2</sup> x6	1	5x2.5mm <sup>2</sup> x1	2013.8.14	2013.11.27	
123회 (13-06)	동부0.18 BCD	5x2.5mm <sup>2</sup> x4	0	5x2.5mm <sup>2</sup> x0	2013.8.21	2013.12.4	
124회 (13-07)	동부0.11	5x2.5mm <sup>2</sup> x24	10	5x2.5mm <sup>2</sup> x10	2013.9.11	2014.1.22	
125회 (13-08)	TJ0.18 CIS	2.5x2.5mm <sup>2</sup> x4	4	2.5x2.5mm <sup>2</sup> x2	2013.10.14	2014.2.17	
	TJ0.18 RF	2.5x2.5mm <sup>2</sup> x4	4	2.5x2.5mm <sup>2</sup> x4	2013.10.21	2014.2.17	
	TJ0.18 BCD	5x2.5mm <sup>2</sup> x4	0	5x2.5mm <sup>2</sup> x0	2013.10.21	2014.2.17	
	M/H 0.18	4.5x4mm <sup>2</sup> x20	8	4.5x4mm <sup>2</sup> x8	2013.10.21	2014.3.25	
	동부0.35 BCD	5x2.5mm <sup>2</sup> x6	2	5x2.5mm <sup>2</sup> x2	2013.10.23	2014.2.5	

\* M/H = 매그나칩/SK하이닉스, TJ : TowerJazz  
\* 기준 : 2013. 2. 25

\* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)

\* 123(13-6) 정규모집, 126(13-9)/127(13-10) 우선모집 중 : 228 마감  
\* 122(13-05)~125(13-08) : 우선모집 완료

### 2013년 EDA Tool 지원 안내

#### 1. 2013년 공급 확정 EDA Tool 안내

No	Vendor	EDA Tool	No	Vendor	EDA Tool
1	Actel	Libero	12	Cadence	Cadence
2	Allera	Quartus	13	Carbon	SoC Designer Plus
3	Atrenta	Spyglass	14	Model studio	
4	CSITEK	CSIEDA	15	Mentor	Mentor
5	DoiCAD System	MultiSIM	16	Selocce	MyCAD
6		Accucell	17	Silvaco	SmartSpice & Expert
7		Accucore	18		Back-end
8		SmartSpiceRF	19		Front-end
9		SmartView	20	Synopsys	TCAD
10	Xilinx	ISE	21		Saber
11	Aldec	Active-HDL	22		SBG (구 Synplify)
			23		Coware

#### 2. WG별 EDA Tool 배분수량 및 사용자 내역 확인

- 홈페이지 : [http://www.idec.or.kr/cadTool\\_Money.html](http://www.idec.or.kr/cadTool_Money.html)  
- WG 참여교수님별로 로그인 하면 개인별 톨 배분수량, 사용료를 확인하실 수 있습니다.  
- 위 웹주소에서 EDA Tool 배분수량 및 사용자 내역을 확인하시고, 신청내역 확인 후 이상이 없을 경우 EDA Tool 사용료를 납부를 요청드리오니, 2013.04.19 일(금)까지 첨부계좌로 납부해 주시기 바랍니다.

\* 문의 : 석은주(042-350-8538, cunjuseok@idec.or.kr)

#### 3. 공급 취소Tool

- EDA Tool 수요조사 결과 아래 두 가지 Tool의 WG 수요량이 저조하여 2013년 공급이 취소 되었습니다.

No	Vendor	EDA Tool
1	Forte	Cynthezier
2	AWR	Microwave Office

#### 4. 공급 미정 Tool

- 아래 두 가지 Tool이 2013년도 Synopsys사로 Merge되었으며, 현재 공급 관련하여 협의 진행 중입니다. 협의가 완료되는 대로 다시 공지해 드리겠습니다.

No	Vendor	EDA Tool
1	Synopsys	Laker
2	Synopsys	Verdi

#### 5. 배포수량 조정 대상 Tool

- Cadence, Mentor Tool은 WG 수요량이 IDEC 공급량을 초과하여 배포수량이 조정되었으며, 조정된 연구실에는 별도 공지해드렸습니다.

### 제20회 한국반도체학술대회 Chip Design Contest 개최

#### ● 박형구(성균관대)에게 Best Design Award의 영광이

KAIST 반도체설계교육센터(IDECE, 소장 박인철)는 지난 02월 05일(화), 웰리힐리파크 루비홀에서 「제20회 한국반도체학술대회 Chip Design Contest」를 개최했다. 이날 행사를 통해 80편의 페이퍼가 발표되었으며, 전국 대학에서 참여한 데모 11, 패널 69 참가팀이 그동안의 노력과 실력을 힘껏 발휘했다.

Chip Design Contest에 제출한 80편의 논문 중 평가를 통해 가장 우수한 논문을 수상하는 Best Design Award는 성균관대 박형구(논문명 : Power Transmitter and Receiver for Magnetic Resonant High Efficiency Wireless Charging System)가 받는 영예를 안았다.

또한, 당일 심사를 통한 데모부분 Best Demo Award는 연세대 유경호가 수상하는 영예를 안았고, SSCS 서울캠퍼스상은 인천대 윤은정, 패널부분은 Best Poster Award로 고려대 이현웅, 금오공대 이광훈이 선정되었다.

#### - 수상자 명단 -

Award 명	논문명	소속	저자
Best Design Award	Power Transmitter and Receiver for Magnetic Resonant High Efficiency Wireless Charging System	성균관대학교 정보통신대학	박형구, 김홍진, 이동수, 이강윤
Best Demo Award (SSCS 서울캠퍼스)	0.5V 솔라셀을 이용한 MPPT 기능을 갖는 에너지 하베스팅 회로	인천대학교 전자공학과	윤은정, 황인호, 박종태, 유종근
Best Demo Award	An All-Digital Timing Generator for High Performance ATE	연세대학교 전기전자공학과	유경호, 정동훈, 정성욱
Best Poster Award	적분형 AD Converter를 이용한 누설 전류 감지 회로 설계	고려대학교 전기전자전파공학부	이현웅, 오로, 장지용, 성만영
	A 4.6 mW 2 Gb/s SLVS Transmitter for 0.18 μm CMOS Mobile Interface	금오공과대학교 전자공학부	이광훈, 이승용, 장영찬

\* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)

# 태양전지 (Solar Cell) 기술 동향 / 차세대 나노기술을 중심으로



포항공과대학교 창의IT융합공학과  
 백창기 교수  
 연구분야 : DRAM cell, Flash Memory Cell, Bio Sensor, LED and Solar Cell etc.  
 E-mail : baekck@postech.ac.kr



### 서론

신재생에너지자원의 개발에 대해, 기존 기술 및 산업과 호환이 되는 실리콘소재를 기반으로 한 태양전지의 개발은 이미 시대적 요구이다. 현재의 국내 기술이 발광소자(LED)에 집중되고, 수광소자(PN or PIN)의 기술개발에 뒤처져 있는데, 차세대 수광소자를 세계수준의 나노소자 공정기술을 기반으로 하여 개발한다면 선진대열에 합류할 수 있는 절호의 기회라 생각된다. 융복합 연구로서 배터리 및 발광소자의 통합 개발을 통해 Standalone Solar 시스템구축도 향후 도전해 볼만한 연구라 생각된다. 본 칼럼에서는 태양전지의 기술동향과 차세대 기술로 각광받고 있는 수직형 나노선 태양전지 기술을 간략히 살펴보고자 한다.

### 본론

신재생에너지 분야 중 태양광을 활용한 기술개발에 대한 관심이 전 세계적으로 증대되고 있으며 매년 40% 이상의 산업 성장률을 보이고 있다(그림 1). 2010년 태양광 발전 보급현황은 16,269 MW로 전년 대비 124% 증가 하였으며, 매년 시장이 급속도로 팽창하고 태양광 관련 산업도 궤도에 올라오면서 기술경쟁이 치열해 지고 있다. 독일, 일본, 미국 등 선도국가들은 대규모 정부 지원을 통한 시장 확대와 체계적인 기술개발로 태양전지 생산량을 비약적으로 늘려나가고 있다. 세계 태양전지 설치 보급량 시장을 보면 2009년 기준으로 독일이 전체의 47%이며, 그리고 스페인, 일본, 미국 순이다(그림 2). 독일의 경우 2000년부터 재생에너지법을 실시하여 전력망 연결 보장 및 2004년의 발전차액지원제도를 이용하여 발전된 전기를 국가가 보장함으로써 시장규모를 급격히 늘렸다. 또한 에너지 분야의 연구 개발 투자액의 46%를 태양광에 투자했으며, 에너지 관련 중소기업에 보조금을 지원하여 기술 및 인력육성에 심혈을 기울이고 있다. 반면, 국내는 최근 정부의 지원에 의한 대규모 발전용 태양전지 및 광 발전 시스템 보급정책으로 발전량이 급속히 증가하였지만(그림 3) 2010년 기준으로 독일의 30분의 1 수준인 655 MW에 불과하며 세계적인 경쟁을 위해서는 시장 및 기술개발에 적극적이고 지속적인 노력이 요구된다. 2015년에 메모리 반도체 사업을 뛰어넘을 것으로 예측되는 세계 태양광 시장을 선점하기 위해서는 태양전지 신기술개발에 대한 투자가 선행되어야 할 것이다.

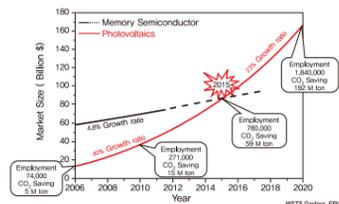


그림 1. 세계 태양광 시장 매출 규모

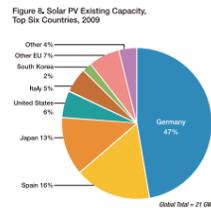


그림 2. 각국별 태양전지 설치 보급량

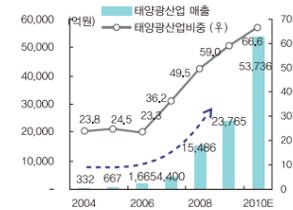


그림 3. 국내 태양광 발전 매출 규모

### 태양전지 기술 개발 동향 태양전지 기술의 분류

에너지 전환 효율과 제조비용에 따른 태양전지 기술을 표 1과 같이 3단계로 구분하였다. 결정형 실리콘 태양전지가 1세대, 화합물 반도체 및 박막형 반도체 태양전지가 2세대, 유기 및 나노 반도체 소재를 이용한 태양전지가 3세대로 분류된다. 태양전지 시장의 80% 이상이 결정질의 실리콘 웨이퍼를 이용하여 도핑을 통해 태양전지를 형성하는 결정형 기술(1세대)을 채택하고 있다. 1세대 기술의 장점은 안정화된 생산 공정 및 높은 효율 때문인데 반해 소재와 공정비용이 비싸며 추가 비용절감이 어렵다는 단점으로 전체 에너지 관련 시장의 확대를 방해하는 요인이 되기도 한다. 2세대, 3세대 기술인 박막형 태양전지는 1세대 결정형에 비해 생산단가는 저렴하지만 효율이 낮으며 산업화 초기단계라 기술의 안정화가 필요하나 기술개발을 통한 효율 향상 및 저가 생산이 가능한 것으로 예상되어 많은 관심을 받고 있다.

세대구분	1세대		2세대				3세대	
구분	결정형 실리콘	다결정 실리콘	III-V 박막형 실리콘	CdTe	CIGS	DSSC	유기 박막	나노 구조체
시장 점유율	42%	43%	0.1% 미만	12%	2.7%	0.2%	0.1% 미만	0.1% 미만
모듈 효율	15%	12%	35%	8%	10%	12%	7%	5% 미만
장점	안정된 생산 공정, 신뢰성		고효율	생산단가 저렴		생산단가 매우 저렴		
단점	고비용 소재, 공정		고비용	저효율 내구성	저효율 특성 위험	고비용	내구성	저효율 신기술

표 1. 태양전지 기술의 세대 분류 및 특징

### 해외 그룹 기술 동향과 국내 기술 현황

해외 그룹의 고효율 태양전지 기술 개발 동향(표 2)을 살펴보면 미국은 단결정 Backside-Contact Concentrator를 통해 25%의 고효율을 달성하였으며, 일본에서는 HIT 기술로 21.4%의 효율을 달성하였다. 독일에서는 다결정 실리콘을 성장시키는 기술로 Q-Cell사가 2007년 세계 생산량 1위에 오르기도 하였으며 호주의 UNSW는 Buried-Contact 기술로 24% 효율을 달성하였다. 비정질 실리콘 및 CIGS(Copper Indium Gallium Selenide), CdTe와 같은 화합물을 박막으로 증착하는 2세대 기술은 낮은 생산단가를 바탕으로 2010년 기준 연평균 40% 이상의 성장세를 기록하고 있다. 미국의 First Solar는 CdTe 박막 태양전지를 생산하고 있고 Intel은 독일 및 중국 박막업체에 투자하고 있으며 IBM은 CIGS 기술을 개발하고 있다. 일본의 기업들은 유기 박막처럼 가볍고 저렴한 태양전지에 주력하고 있으며 특히 일본의 Toray는 2015년 상용화를 목표로 세계 최대 효율(5.5%)의 유기 박막 태양전지를 개발하였다. 국내의 경우 대부분의 기업이 단결정 실리콘을 성장시키는 1세대 태양전지를 생산하고 있으며 2세대 기술인 박막 태양전지 기술력은 선진국에 비해서는 미흡하지만 산업화 초기 단계 수준의 기술투자가 많이 이루어지고 있다. 현재 ETRI는 총 90여개의 국내의 특허를 보유하고 있으며 LG전자, LG디스플레이, 삼성전자가 등 대기업들이 신 성장 동력의 하나로 박막 태양전지 개발 연구를 시작하는 단계이다. 비정질 박막형 실리콘은 초기생산 기술 보유 및 사업화 진행단계에 있지만 화합물 태양전지는 해외와의 기술 격차가 상당하며 아직 연구단계에 머물러 있다. 특히 태양전지 개발에 후발주자인 국내 그룹들은 고효율 태양전지를 제작하는 원천 기술이 절대적으로 부족하여 기술개발 투자증대가 절실히 필요하다.

	해의 고효율 태양전지 기술 동향	비고	
결정질 실리콘	미국 NREL SunPower	16% 이상의 양산용 태양전지 생산 Backside-Contact Concentrator (25%)	국내 태양전지 기술개발 상대적 미흡
	일본 Sanyo Sharp	HIT(Heterojunction with intrinsic Thin-layer) (21.4%) 다결정형 V-Groove (18.6%)	
	독일 Fraunhofer 연구소	Q-Cell 대면적 다결정 실리콘 태양전지 양산 (15%) LFC (Laser Fired Contact) (20.3%)	
실리콘 박막형	호주 UNSW	Honeycomb (19.8%) Buried-Contact (24%)	국내 태양전지 기술개발 상대적 미흡
	독일 Fraunhofer 연구소	1-2 um 두께의 thin film solar module (10.5%)	
화합물 박막형	미국 Boeing NREL	CIGS 단일, 이중 집합 박막 태양전지 (19.9%)	국내 태양전지 기술개발 상대적 미흡
	미국 First Solar	CdTe 박막 태양전지 생산 (10.2%)	
	일본 AGU	MBE를 이용한 CdTe 박막 증착 기술 (10.2%)	
	독일 Würth Solar	동시증발법을 이용한 CIGS 증착 (11.5%)	
유기 박막형	일본 Toray	유기 박막 세계 최고 효율 (5.5%)	

표 2. 해외 고효율 태양전지 기술

### 3세대 태양전지 기술 개발의 필요성

향후 결정형 실리콘(c-Si) 중심이었던 태양전지 시장은 박막형 태양전지 또는 신개념 태양전지로 옮겨 갈 것으로 예측된다(그림 4). 미래형 태양전지로 3세대 기술인 나노구조, 유기박막 태양전지가 매

우 저렴한 생산단가와 높은 효율로 인해 크게 주목 받고 있다(그림 5). 그 중 실리콘 나노선 태양전지는 세계 최고수준의 국내 반도체 공정 기술을 적용할 수 있으며 제작비용이 저렴하여 미래 태양전지에 가장 적합한 기술로 보고되고 있다. 나노선 태양전지가 시장에 진입하기 위해서는 높은 효율과 저렴한 생산단가가 필수적이며 대량생산 제조공정 기술의 확보가 반드시 필요하다. 하지만 이에 대한 국내 기술개발은 해외그룹에 비해 미약하며 연구 인력 및 인프라가 부족하다. 기술 개발 및 연구 인력 부족으로 인한 생산대비 가격경쟁력 확보 및 안정성 문제가 여전히 어려움으로 남아있어 이에 대한 해결이 시급한 과제이다.

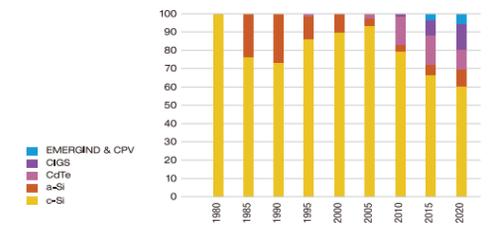


그림 4. 기술별 태양전지 시장 점유율 추이

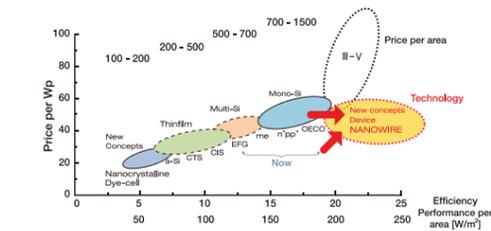


그림 5. 태양전지 기술 요약

### 실리콘 기반 나노선 태양전지 기술 개발 동향

표 3에는 태양전지기술, 공정 기술, 전산기술에 대한 해외 선진 그룹과 국내 연구그룹의 기술 수준을 종합적으로 비교하였다. 실리콘 나노선 구조 기반 태양전지의 해외기술은 대부분 미국, 중국, 독일 등의 대학에서 진행되고 있다. 미국의 Harvard 대학은 nanocluster-catalysed vapor-liquid-solid (VLS) 방법을 이용하여 p-type의 단결정 실리콘 나노선을 합성 후 CVD를 이용하여 i층과 n층을 증착해 동축형 실리콘(PIN)을 제작하여 전하수집과 안정성을 향상 시켰다. Caltech은 금속 나노 소자를 이용한 VLS방법을 이용하여 나노선을 형성하였으며<sup>2)</sup>, Stanford 대학에서는 top-down 방식으로 나노선 패턴을 형성하였다<sup>3)</sup>. 중국의 Beijing 대학은 금속 미립자

를 이용한 습식 식각을 이용하여 나노선을 제작하였다<sup>4)</sup>. 독일의 Institute of Photonic Technology에서는 Au dot의 배열을 통한 CVD 공정을 이용하여 나노선 태양전지를 제작함으로써, 낮은 광 반사율과 투과율을 특성을 가진 광흡수구조를 보였다. 이러한 연구 진행에도 불구하고, 나노선을 이용하여 제작된 태양전지 기술은 현재 최대 효율이 9%를 넘지 못하고 있으며 다양한 공정 방법 시도로 시제품을 만드는 초기 연구단계에 머무르고 있다. 실리콘 나노선 태양전지의 핵심기술인 나노선 공정은 반도체 제작 기술을 그대로 적용할 수 있다는 장점을 가진다.

세계 최고 기술을 자랑하는 삼성<sup>®</sup> 및 싱가포르의 A-STAR<sup>®</sup>, 일본의 Toshiba 등에서 연구가 진행 중이다. 그러나 아직 구조 및 공정 조건의 변화에 의한 효율, 안정성, 신뢰성 향상에 관한 연구는 미비하다. 특히 국내에서 마이크로선 및 박막 태양전지 그룹을 중심으로 연구가 진행 중이나 해외 그룹에 비해 연구과제 및 인력, 기술, 실적 등이 매우 부족하여 인프라 구축 및 지원이 많이 필요한 실정이다.

	선진 그룹 기술	국내 및 본 연구그룹 기술	비고
Photovoltaic Designs based on Nanostructured Materials	Nanocrystals(EFPL), Nanotubes(NREL, MIT), Nanowires(Caltech, Harvard, Stanford Univ.)	Nanocrystals(KIST)	국내 그룹이 상대적으로 미흡
Nanowire Fabrication and Characterization	Top down Process Nanowire (Samsung, A-Star, Toshiba) Bottom up Process Nanowire (Harvard, Caltech, Beijing Univ.)	Top down Process Nanowire (Samsung, POSTECH)	동일 수준
Quantum and Photonic Simulation	Density Gradient, NEGF	Density Gradient, NEGF	국내외 양자 광학 모델 미흡

표 3. 나노소자 기술 수준 비교

3세대 기술 중 실리콘 나노선 태양전지는 기존의 평면형 태양전지(그림 6)의 표면에 나노구조를 적용한 것으로 빛의 흡수량과 발전량을 늘리기 위함이 목적이다. 특히, 나노구조 중 중심기둥(core)을 doping type이 반대인 껍데기 층(shell)이 감싸는 방사형(radial)의 원통형 구조(그림 7)로 제작함으로써 고품질의 실리콘 사용을 줄이면서도 전체 효율을 향상 시켜 최근 전 세계적으로 연구되고 있다.

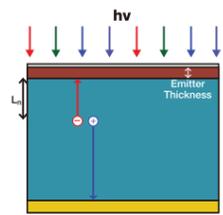


그림 6. 평면형 태양전지

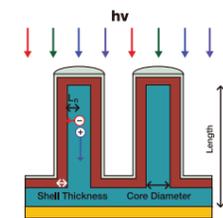


그림 7. 원통형 나노선 태양전지

원통형 나노선 구조가 기존의 평면형에 비해 효율이 우수한 원인은 첫 번째로 나노선 구조체로 인한 반사율의 감소이다. 태양전지의 주 흡수대인 가시광선 및 자외선영역에서 실리콘의 반사율은 30% 이

상이며 반사방지막을 적용하더라도 특정 파장대의 반사율만 감소가 된다. 그러나 나노선 구조체에 빛이 입사하게 되면 기둥에서 반사된 빛은 외부로 향하지 않고 다시 내부로 향해 재흡수 되므로 전체 빛의 이동 경로(light trapping path)는 길어지게 되며 빛이 재료에 전부 흡수될 확률이 증가하게 된다.<sup>9)</sup> 두 번째로 동일부피에서 원통형 구조는 광전자를 발생시키는 PN junction 면적이 평면형에 비해 상당히 증가하는 장점이 있다. 원통형 구조에서 분리되는 전하의 방향과 입사되는 빛의 방향이 수직하게 형성되며, 이 때 전하를 분리시키는 PN junction이 전체 태양전지의 물리적 면적크기가 아니라 나노선의 개수, 길이, 면적에 의해 결정되어 면적대 부피비를 크게 증가시킬 수 있다<sup>9)</sup>. 마지막으로 원통형 구조에서는 전하가 확산되는 거리가 나노선의 반지름에 의해 제한되어 고순도의 결정형 실리콘 사용을 줄일 수 있다. Excited된 전하가 이동하는 거리가 줄어들며, 낮은 diffusion length의 특성을 보이는 높은 shell doping농도의 태양전지 제작을 가능하게 하여<sup>10)</sup> 불순물에 의한 전기적 재결합(recombination) 확률을 낮추는 효과가 있다<sup>1)</sup>. 따라서 낮은 생산비용의 저순도 실리콘으로 고성능의 태양전지를 제작할 수 있는 장점이 있다<sup>1)</sup>. 최근 들어 빛의 흡수율 증가를 위해 소자 구조를 바꿔 입사면에서 빛의 반사율 감소와 재흡수를 늘리기 위한 많은 노력이 이루어졌다<sup>2)(3)(4)</sup>. 그러나 셀 내부로 입사된 빛의 효율을 늘리기 위한 시도는 back reflector를 이용하여 투과된 빛을 반사시키는 것<sup>15)</sup>에 국한되며, 나노선 구조를 이용한 사례는 아직 보고되지 않았다.

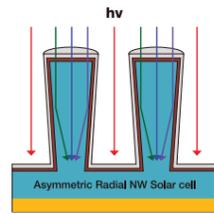


그림 8. 비대칭 원통형 나노선 태양전지

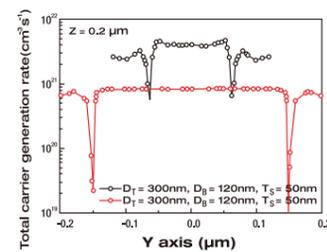


그림 9. 대칭형/비대칭형 구조의 전하 생성률

대칭형과 비대칭 원통형 나노선 구조의 태양전지의 차이점 비대칭 구조의 나노선 태양전지는 입사면적에 비해 하부의 면적이 작은 역 원뿔형의 구조(그림 8)로, 나노선 형태 변화에 의한 효율 개선 및 최적 설계변수 도출과 검증에 중점을 둔다. 비대칭형 태양전지는 들어온 빛의 흐름을 바꾸어 광 발생 효율을 증가시키고 동시에, 반지름이 작아짐에 따라 전하 재결합율이 감소하는 현상을 이용하는 구조다. 하부의 반지름을 축소시키면 수직으로 입사된 빛 중 일부분이 그림 1-8과 같이 shell의 외벽에서 반복적으로 전반사되어 내부로 향하게 되며 반사가 일어날 때 마다 수평성분이 증가하게 되어 전체 빛이 이동하면서 전하를 발생시키는 경로(light trapping path)가 증가하게 된다. 한편 반사된 빛은 지름이 작아 나노선의 하

부로 집중되며, 이로 인해 하부의 전체 광 전하 생성률이 대칭적 나노선에 비해 증가하게 된다(그림 9). 즉 지름이 작아 전하의 재결합율이 낮은 하부에 집중적으로 전하가 생성되어 전체적으로 excited 되는 전하의 수가 증가하게 된다. 결과적으로 하부의 지름이 감소하면서 빛의 집광현상과 경로의 증가로 인해 발생하는 전하가 증가하게 되어 빛의 흡수율이 증가하게 되며, excited된 캐리어 손실의 감소로 에너지 전환 효율이 증가하게 된다. 현재까지 발표된 대부분의 나노선 태양전지는 주로 bottom-up 기술을 기반으로 제작되어 집적도, 재현성 및 신뢰성이 떨어지고 대량생산이 어렵다는 단점이 있다. 따라서 반도체 소자의 양산에 적용되는 나노 공정기술인 top-down 기술을 적용하여 집적도, 신뢰성 및 성능을 향상시키는 것이 나노선 태양전지 제작의 기술적 선제조건이다. 나노선 태양전지 구현의 기술적 바탕이 되는 top-down 기술을 통해 비대칭을 포함한 다양한 원통형 구조의 나노선 태양전지 공정을 통해 저비용화와 고효율화를 지향하는 나노선 태양전지 소자 개발이 필수적 과제로 생각된다.

**결론**

지금까지 간략하게 태양전지 개발에 대한 기술동향과 차세대 나노선 태양전지의 연구현황을 살펴보았습니다. 요약하면, 나노선 태양전지는 반도체 산업의 기반 공정 흐름을 계승하여 제작함으로써 집적도를 향상시킬 수 있으며, 현 단계의 반도체 나노소자 공정기술을 개선하여 태양전지의 신뢰성 및 성능, 수율을 향상시킬 수 있다. 저비용, 기존 반도체 공정과의 호환성 등을 고려한 연구를 통해 미래 에너지원 수급 연구에 대한 기술적, 공학적, 경제적 우위를 점할 수 있을 것으로 생각된다. 아울러 기존 반도체 제작 과정과 호환이 가능한 차세대 고효율 태양전지를 제언함에 따라 신규 연구 인력 수급 및 차세대 인력 양성에도 도움이 될 것으로 기대한다.

**태양전지 개발에 활용될 나노선 원통형 구조의 장점과 차별성 나노선 원통형 구조의 장점**

- 나노선 구조체로 인한 반사율의 감소와 전체 흡수율 증가
- 나노선의 외벽에서 반사된 빛은 다시 내부로 향하게 되어 빛의 재흡수율이 증가됨
- 빛의 진행방향 변경으로 전체 빛의 이동 경로가 증가하여 빛이 재료에 전부 흡수될 확률이 증가함
- 원통형 나노선 구조는 PN junction 면적이 평면형에 비해 상당히 증가됨
- 원통형 구조에서 분리되는 전하의 방향과 입사되는 빛의 방향이 수직하게 형성됨
- 전하를 분리시키는 PN junction이 전체 태양전지의 물리적 면적크기가 아니라 나노선의 개수, 길이, 면적에 의해 결정되어 크게 증가시킬 수 있음
- 원통형 나노선 구조에서는 제한적인 전하의 확산거리를 가짐
- 나노선의 반지름에 의해 제한되어 기존 평면형 보다 줄어듦
- Excited된 전하의 이동하는 거리 감소 및 높은 doping농도의 layer 제작이 가능하여 전기적 재결합 확률 저하
- 고순도의 결정형 실리콘 사용이 줄어들 수 있어 생산비용을 감소시키는 효과가 있음

**비대칭 원통형 태양전지의 장점**

- 입사면적에 비해 하부의 면적이 작은 역 원뿔형의 비대칭적 나노선 구조를 top-down 형태로 제작함으로써 빛의 흡수율과 효율을 증가시키고 동시에 집적도와 신뢰성을 향상하는데 있다.
- 비대칭 구조의 나노선 태양전지
- 들어온 빛의 흐름을 바꾸어 전하 발생경로 증가를 통한 광 발생 효율을 증가

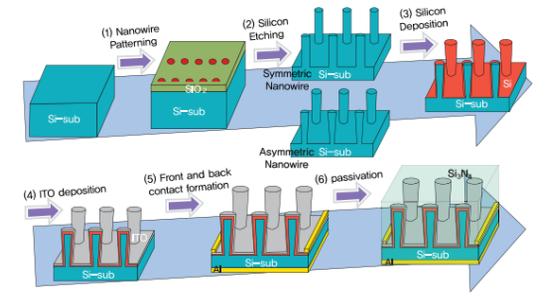
- 반사된 빛은 지름이 작은 나노선의 하부로 집중되어 하부의 전체 광 전하 생성률이 상당히 증가함
- 전하의 재결합율이 낮은 하부에 집중적으로 전하가 생성되어 excited 되는 전하의 수가 상당히 증가함
- 빛의 집광현상과 경로의 증가로 인해 빛의 흡수율이 증가하게 되며, excited된 캐리어 손실의 감소로 에너지 전환 효율이 증가함

**Top-down process**

- 기존의 Bottom Up Process 는 집적도, 재현성, 신뢰성이 떨어지고 낮은 수율로 대량생산이 어려움
- 메모리 및 로직소자의 양산에 적용되는 Top Down Process를 적용하여 집적도, 신뢰성 및 성능을 향상시킴
- 형태, 면적, 길이, 간격 등 세부 설계조건 변화에 따른 성능변화를 고찰이 가능함

**Nano 구조에 적합한 새로운 pn 접합 개발**

- 원통형 나노선 구조의 경우 전통적인 열처리(diffusion)에 의한 PN 접합 방법 적용이 어려움
- Shallow junction 형성 방법으로서의 접근 연구 가능함(열처리법, Doped (silicon 혹은 glass) layer 적용)
- 새로운 PN 접합 구조를 제안하고자 하며 이 경우 Solar cell이 아닌 전자소자로의 파급 효과 기대



Top Down 방식에 기반한 수직형 나노선 태양전지 제작 공정 흐름도

**Reference**

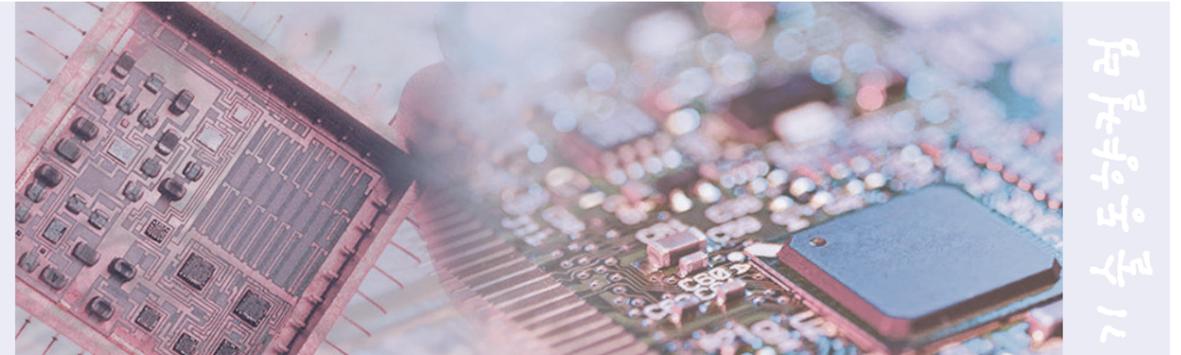
- [1] B. Tian, et al, Nature, vol.449, pp.885-889 (2007)
- [2] D. Kelzenberg, et al, Nano Letters, vol.8, pp.710-714 (2008)
- [3] E. Garnett, et al, Nano Letters, vol.10, pp.1082-1087 (2010)
- [4] K. Q. Peng, et al, Advanced Functional Materials, 18, pp.3026-3035 (2008)
- [5] H. D. Um, et al, Proc. IEDM Tech, Dig., pp.1-4 (2009)
- [6] S. D. Suk, et al, Proc. IEDM Tech, Dig., pp.717-720 (2005)
- [7] B. Yang, et al, IEEE Electron Device Letters, vol.29, no.7, pp.791-794 (2008)
- [8] K. Hadobas et al, Nanotechnology, vol.11, pp.161-164 (2000)
- [9] M. Keyes et al, Journal of Applied Physics, 97, pp.114302-1 (2005)
- [10] F. Wang et al, Journal of Applied Physics, vol.109, pp.084306-1 (2011)
- [11] M. D. Kelzenberg, et al, Nature Materials, vol.9, pp.239-244 (2010)
- [12] J. Zhu et al, Nano Letters, vol.9 pp.279-282 (2009)
- [13] K. Peng et al, Journal of the American Chemical Society, vol.132, pp.6872-6873 (2010)
- [14] Y. Li et al, Small, vol.7, pp.3138-3143 (2011)
- [15] L. Hu et al, Nano Letters, vol.132, pp.3249-3252 (2007)

# 테라헤르츠 집적회로를 위한 CMOS 쇼트키 장벽 다이오드(Schottky Barrier Diode) 기술



서울과학기술대학교 MSDE프로그램

심동하 교수  
 연구분야 : 고주파 집적회로  
 E-mail : dongha@seoultech.ac.kr  
 http://plaza.snut.ac.kr/~dongha



## 서론

300GHz~3THz 영역의 전자기 스펙트럼으로 정의되는 테라헤르츠 (terahertz)는 그 독특한 물리적 특성으로 센싱(sensing), 이미징 (imaging), 통신 분야의 다양한 응용에 이용될 수 있다 [1],[2]. 가령, 위험 물질 검출, 이미징을 이용한 은닉 무기 검색, 비파괴 검사, 암 세포 검사, 단거리 레이더와 초고속 데이터 통신 등이 그 대표적인 예가 되겠다.

기존의 테라헤르츠 시스템은 고가의 도파관(waveguide) 소자나 광학 소자로 구성되기 때문에 부피가 크고 그 가격이 수억에서 수십억 원에 이른다. 저가격의 실용적인 서브 테라헤르츠 신호원 (signal source)과 검출기(detector)의 부재로 이 주파수영역은 오랫동안 미개척 분야로 남아 있었다. 최근 CMOS 집적회로의 비약적인 성능 발전으로, CMOS 기술을 이용한 집적화를 통해 그 가격과 부피를 현저히 낮춘 경제적인 테라헤르츠 시스템을 고려할 수 있게 되었다 [3].

그림 1의 로드맵(roadmap)은 NMOS를 포함한 다양한 트랜지스터와 CMOS 쇼트키 장벽 다이오드(Schottky Barrier Diode: SBD)의 차단주파수(cutoff frequency:  $f_c$ )와 최대발진주파수(maximum oscillation frequency:  $f_{max}$ )의 추이를 보여 준다 [3].

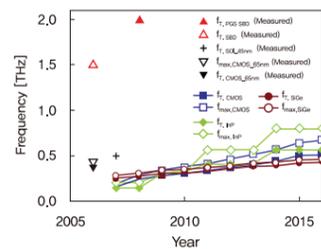


그림 1. CMOS 쇼트키 장벽 다이오드(SBD) 및 다양한 트랜지스터의 성능 추이 로드맵 [3].

로드맵에 따르면 NOMS의 성능이 SiGe와 InP HBT(Hetero-junction Bipolar Transistor)의 성능을 능가해, 2013년에는 최대발진주파수가 510GHz에 이를 것으로 예상된다.

특히 CMOS SBD의 차단주파수는 이미 1.5~2THz에 도달해, 테라헤르츠 응용에 대한 가능성을 잘 보여주고 있다. CMOS SBD는

CMOS 트랜지스터와 함께 다양한 테라헤르츠 대역의 집적회로 및 시스템의 설계에 핵심적인 역할을 할 것으로 기대된다. 본 고에서는 CMOS SBD 소자 및 역병렬다이오드쌍(Anti-parallel Diode Pair)을 소개하고, 이 CMOS 다이오드 소자를 응용한 테라헤르츠파 발생 및 검출을 위한 집적회로를 살펴본다.

## CMOS 쇼트키 장벽 다이오드(Schottky Barrier Diode)

NMOS 트랜지스터를 이용해 400GHz 이상의 신호를 증폭하는 것은 한동안 쉽지 않을 것으로 보인다. 해결 방법으로 흔히 서브밀리미터(sub-millimeter)나 테라헤르츠 분야에서 사용되고 있는 수동 검출기(passive detector)와 주파수 체배기(frequency multiplier)의 사용을 고려해 볼 수 있다. 이 회로들에 널리 사용되는 SBD는 우수한 고주파 특성과 낮은 순방향 전압 강하를 가진다.

다수와 소수 캐리어(carrier) 모두가 이동에 의존하는 pn 접합 다이오드와는 달리, SBD에서는 다수 캐리어만이 캐리어 이동에 관여한다. 따라서 소수 캐리어 저장 효과가 없어, 이론적으로 반도체의 유전완화시간(dielectric relaxation time)의 역수에 해당하는 주파수까지 동작할 수 있다.

하지만 실제 최대 동작주파수는 등가직렬저항과 접합 커패시턴스 성분으로 인하여 이론적인 한계 동작 주파수에 크게 못 미치게 된다. 최근 표준 디지털 CMOS 공정으로 제작된 1THz 이상의 차단주파수(cutoff frequency)를 갖는 SBD가 발표 되었다 [4],[5]. 그림 2는 STS(Shallow Trench Separated)와 PGS(Poly-gate Separated) 구조의 SBD의 단면을 보여준다.

소스/드레인(source/drain)을 위한 이온주입이 없는 확산영역(diffusion region)에 CoSi<sub>2</sub>-Si 쇼트키 접촉(Schottky contact)이 형성되었다.

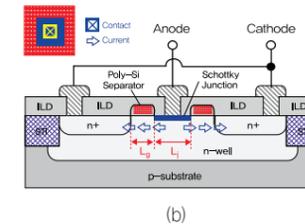
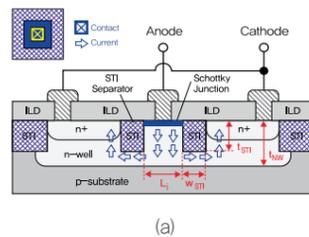


그림 2. (a) Shallow trench separated Schottky barrier diode (STS SBD). (b) Poly-gate separated Schottky barrier diode (PGS SBD).

다이오드의 양극(anode)과 음극(cathode)은 각각 Shallow trench와 Poly-gate를 이용하여 분리되었다. SBD의 한계 동작 주파수를 나타내는 지표로 차단주파수( $f_c = 1/2\pi R_s C_{sub}$ )가 널리 사용된다.  $R_s$ 와  $C_{sub}$ 는 각각 SBD의 등가직렬저항과 제로 바이어스(zero bias)에서 접합 커패시턴스이다. 차단주파수를 최대화하기 위해 최소의 쇼트키 접촉 면적을 갖는 병렬 SBD 셀을 사용하였으며, 차단주파수는 각각 ~1.5THz 와 ~2THz 로 측정 되었다. 이것은 STI(Shallow Trench Insulator)에 둘러싸인 n-well 영역으로 인해 PGS SBD에 비해 2~3배 가량 높은 STS SBD의 등가직렬저항으로 설명될 수 있다.

SBD의 등가직렬저항( $R_s$ )은 n-well 저항에 크게 의존한다. STI의 두께( $t_{STI}$ )를 줄이거나 게이트 길이( $L_g$ )를 줄이면, n-well을 통과하는 전류의 패스가 짧아져 등가직렬저항이 감소하게 되고 다이오드의 차단주파수는 증가하게 된다. 그림 3은 다양한 기술노드 (technology node)에 대한 게이트 길이와 STI 두께의 스케일링 양상을 보여준다.

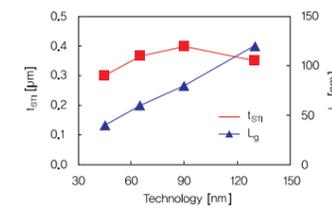


그림 3. 기술노드(technology node)에 따른 STI 두께(STI)와 게이트 길이 ( $L_g$ )의 스케일링 추이.

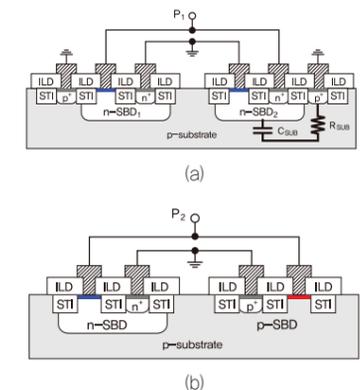
게이트 길이와는 달리 STI 두께는 기술노드에 따라 스케일링 되지 않으며, 이로 인해 PGS SBD의 성능(차단주파수)이 공정의 미세화에 따

라 더 효과적으로 향상될 수 있음을 예측할 수 있다. 1THz 혹은 그 이상에서 동작하는 CMOS 다이오드를 이용하면 수동 검출기, 믹서, 주파수체배기와 같은 다양한 테라헤르츠 집적회로를 구현할 수 있다.

## CMOS 역병렬다이오드쌍(Anti-parallel Diode Pair)

역병렬다이오드쌍(Anti-parallel Diode Pair: APDP)은 주파수체배기나 고조파믹서(harmonic mixer)와 같은 밀리미터 및 서브밀리미터 회로에 널리 사용되고 있다. 특히 빠른 스위칭 속도와 낮은 순방향 전압강하 특성을 가진 SBD는 APDP를 구현에 널리 이용되어 왔다. 일반적으로 SBD는 GaAs, InP, SiC 기판위에 고도로 최적화된 공정을 이용하여 제작 된다 [6].

CMOS 공정에서는 도핑의 형태에 따라 n-형(n-SBD)과 p-형의 SBD(p-SBD) 구현이 가능하다. 대부분의 반도체에서 전자의 이동도가 훨씬 크기 때문에, 많은 APDP는 n-형 SBD 만으로 구현되었다. 그러나 CMOS n-형 SBD(n-SBD)는 n-well과 기판사이의 접합 다이오드에 의한 신호의 손실로 밀리미터파 APDP에 적합하지 않다. n-SBD와 p-SBD로 구성된 상보형 역병렬다이오드쌍 (Complementary APDP: C-APDP)을 이용하면 n-SBD만으로 구성된 APDP(n-APDP)의 한계점을 극복할 수 있다. 그림 4는 n-APDP의 단면과 구조를 보여준다. n-well과 기판사이의 커패시턴스( $C_{sub}$ )와 기판저항( $R_{sub}$ )은 입력신호와 생성된 고조파 신호를 감쇄시켜 테라헤르츠 주파수에서 고조파변환특성을 심각하게 저해하게 된다. 이 문제는 성능을 저하시키는 기생성분을 가진 n-SBD를 p-SBD로 대체하면 해결될 수 있다. p-SBD의 차단주파수는 n-SBD의 80%에 달해, C-APDP의 고주파 특성에 큰 영향을 주지 않는다.



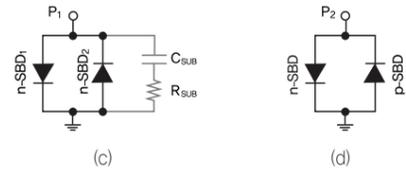


그림 4. n-APDP ((a),(c))와 C-APDP ((b),(d))의 단면과 구조.

STS SBD를 이용한 C-APDP가 130-nm 디지털 CMOS 공정에서 구현되었다 [7]. 그림 5는 측정된 I-V 및 전류부정합(current mismatch) 특성을 보여준다. C-APDP는 약 10%의 전류부정합을 가지며, 양호한 역대칭 I-V 특성을 가진다. 전류부정합은 n-SBD와 p-SBD의 크기 비율의 조절을 통해 감소시킬 수 있다. C-APDP는 470GHz의 차단주파수를 가지며, 유기된 고조파 전력의 측정을 통해 효과적으로 홀수차 고조파 성분이 발생되는 것을 알 수 있다. 전류부정합에 의한 짝수차 고조파 성분도 관찰되었다. 이러한 결과들은 CMOS C-APDP가 테라헤르츠 주파수채배기(3X, 5X)에 효과적으로 활용될 수 있음을 잘 보여준다.

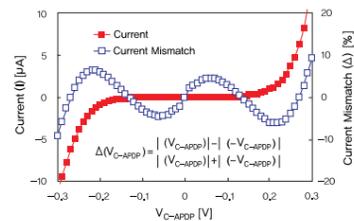


그림 5. 측정된 C-APDP의 I-V 및 전류부정합 특성.

다이오드 주파수 채배기 (Frequency Multiplier)

CMOS 쇼트키 다이오드를 이용한 버랙터 모드(Varactor mode)에서 동작하는 주파수 이체배기(frequency doubler)가 디지털 CMOS 공정으로 구현 되었다 [8]. 그림 6은 주파수 이체배기의 구조를 보여준다.

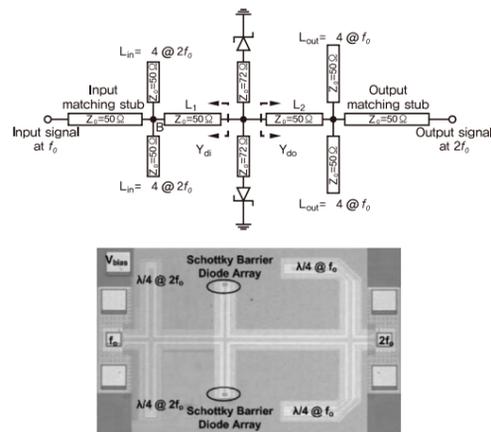


그림 6. CMOS SBD를 이용한 125-GHz 주파수 이체배기의 구조 및 칩 현미경 사진.

다이오드와 기판사이의 큰 기생성분(parasitics)으로 인한 손실을 줄이기 위해 션트(shunt) 구조의 다이오드를 사용하였다. 주파수 이체배기는 두 개의 n-SBD와 전송선로(transmission line)로 구성되며 대칭적인 구조를 가진다. 기판으로 인한 손실을 막기 위하여 GCPW(Grounded Coplanar Waveguide) 구조의 전송선로를 사용하였다. 다이오드는 버랙터 모드(varactor mode)로 동작하며 최대 변환효율(conversion efficiency)을 갖도록 크기가 최적화 되었다. 주파수 채배기는 130-nm 디지털 CMOS 공정에서 제작되었으며, 그 크기는 1.1x0.7mm<sup>2</sup>이다. 주파수 이체배기는 125GHz에서 10dB의 최소 변환손실을 가지며, 최대 -1.5dBm의 출력전력을 발생하였다.

C-APDP를 이용한 150-GHz 주파수 삼체배기(frequency tripler)가 130-nm 디지털 CMOS 공정으로 구현 되었다 [9]. 삼체배기는 C-APDP와, RF 임피던스 매칭(impedance matching) 및 필터링(filtering)을 위한 수동 네트워크(passive network)로 구성 되어 있다. 수동 네트워크는 GCPW와 대역통과필터(Band Pass Filter)로 이루어져 있다. PGS SBD를 이용한 C-APDP의 차단주파수는 660GHz로 측정 되었다. 제작된 주파수 삼체배기의 구조와 현미경 칩 사진은 그림 7과 같다.

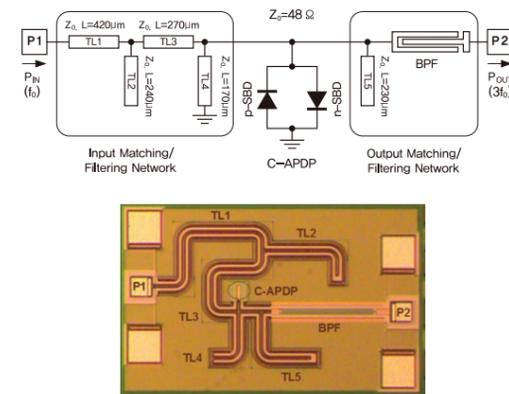


그림 7. C-APDP를 이용한 150-GHz 주파수 삼체배기의 구조 및 칩 현미경 사진.

크기를 줄이기 위해 구부러진 형태의 전송선로를 사용하였고, 본드 패드(bond pad)를 포함한 전체 칩의 크기는 740x470μm<sup>2</sup>이다. 제작된 삼체배기는 150GHz에서 34dB의 변환손실(conversion loss)을 가지며, -25dBm의 출력전력을 발생하였다. 3-dB 출력주파수대역은 145-155GHz로 약 10GHz이며, 이것은 유사한 주파수 대역의 CMOS 전압제어발진기 회로의 10배에 해당 한다 [10].

다이오드 수동 검출기 (Passive Detector)

CMOS 쇼트키 다이오드를 이용한 2x2 배열 테라헤르츠 수동 검출기가 130-nm 디지털 CMOS 공정에서 구현되었다 [11]. 검출기는 온칩안테나(on-chip antenna)와 다이오드로 이루어진 4개의 검출기 셀이 저잡음 프리앰프(pre-amplifier)에 연결되는 구조를 가지며, 회로도도 그림 8(a)와 같다.

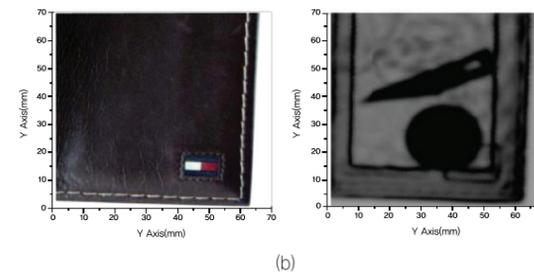
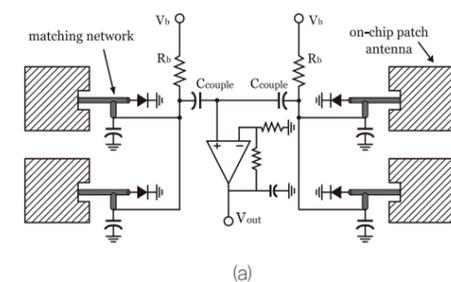


그림 8. (a) SBD를 이용한 280-GHz 수동 검출기 구조. (b) 검출기를 이용하여 얻어진 지갑 속의 동전과 칼날의 영상.

마이크로스트립 패치(microstrip patch) 구조를 사용한 온칩안테나의 크기는 255x250μm<sup>2</sup>이며 알루미늄 패드 메탈층으로 구현되었다. HFSS 시뮬레이션을 통해 계산된 안테나의 이득과 효율은 각각 -1.6dB와 21% 이다. 저잡음 프리앰프는 입력 플릭커노이즈(Flicker noise)와 오프셋(offset)을 감소시키기 위하여 공동중심(common centroid) PMOS 입력쌍(input pair) 구조를 사용하였다. 저항 피드백으로 프리앰프는 ~1MHz의 대역폭에서 50-dB의 이득을 갖는다.

제작된 칩의 크기는 1.5x0.8mm<sup>2</sup>이며, 각각의 검출기 셀은 21kV/W의 반응도(responsivity)와 360pW/sqrt(Hz)의 등가잡음전력(Noise Equivalent Power: NEP)을 가지며 25-kHz로 변조된 280-GHz 신호를 검출할 수 있다. 그림 8(b)는 실제로 제작된 검출기와 2-D 초점면 영상 스캐너(focal-plane image scanner)를 이용하여 얻어진 지갑 속에 감춰진 동전과 칼날의 영상으로, 검출기의 응용 가능성을 잘 보여주고 있다.

결론

표준 디지털 CMOS 공정으로 구현된 우수한 고조파 특성을 가진 SBD와 C-APDP를 소개 하고, 이 소자들을 적용한 테라헤르츠 주파수채배기와 검출기를 통해 CMOS SBD가 테라헤르츠 집적회로의 구현에 효과적으로 활용될 수 있음을 확인하였다. 이외에도 CMOS SBD를 이용하면 고조파믹서나 비선형전송선로(Non-linear Transmission Line)의 구현이 가능하며, 관련 연구가 활발히 진행 중이다. CMOS SBD를 응용한 테라헤르츠 집적회로는 기저대역(Baseband) 디지털회로와 집적화가 용이하여, 의료, 산업, 통신, 국방 등 다양한 분야에서 요구되는 실용적인 저가격 테라헤르츠 시스템의 구현에 핵심적인 역할을 할 것으로 기대된다.

Reference

- [1] P. H. Siegel, "THz technology," IEEE Trans. on Microw. Theory Tech., vol. 50, no. 3, pp. 910-928, Mar. 2002.
- [2] D. L. Woolard, E. R. Brown, M. Pepper, M. Kemp, "Terahertz frequency sensing and imaging: A time of reckoning future applications?," IEEE Proc., vol. 93, no. 10, pp. 1722-1743, Oct. 2005.
- [3] E. Seok, D. Shim, C. Mao, R. Han, S. Sankaran, C. Cao, W. Knap, and K. K. O, "Progress and Challenges Towards Terahertz CMOS Integrated Circuits," IEEE J. Solid-State Circuits, vol. 45, no. 8, pp. 1554-1564, Aug. 2010.
- [4] S. Sankaran, and K. K. O, "Schottky Barrier Diodes for mm-Wave and Detection in a Foundry CMOS Process," IEEE Electron Device Letts., vol. 26, no. 7, pp. 492-494, Jul. 2005.
- [5] S. Sankaran, C. Mao, E. Seok, D. Shim, C. Cao, R. Han, C. Hung, and K. K. O, "Towards THz Operation of CMOS," in IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, Feb. 2009, pp. 202-203.
- [6] M. K. Hudait, P. Venkateswarlu and S. B. Krupanidhi, "Electrical transport characteristics of Au/n-GaAs Schottky diodes on n-Ge at low temperatures," Solid-State Electronics, vol. 45, no. 1, pp. 133-141, Jan. 2001.
- [7] D. Shim, S. Sankaran, and K. K. O, "Complementary Antiparallel Schottky Barrier Diode Pair in a 0.13-μm Logic CMOS Technology," IEEE Electron Device Lett., vol. 29, no. 6, pp. 606-608, Jun. 2008.
- [8] C. Mao, C. S. Nallani, S. Sankaran, E. Seok, and K. K. O, "125-GHz Diode Frequency Doubler in 0.13-μm CMOS," IEEE J. Solid-State Circuits, vol. 44, no. 5, pp. 1531-1538, May 2009.
- [9] D. Shim, C. Mao, S. Sankaran, and K. K. O, "150-GHz Complementary Anti-parallel Diode Frequency Tripler in 130-nm CMOS," IEEE Microw. Wireless Compon. Lett., vol. 21, no. 1, pp. 43-45, Jan. 2011.
- [10] C. Cao and K. K. O, "A 140-GHz fundamental mode voltage-controlled oscillator in 90-nm CMOS technology," IEEE Microw. and Wireless Compon. Lett., vol. 16, Oct. pp. 555-557, 2006.
- [11] R. Han, Y. Zhang, D. Coquillat, J. Hoy, H. Videlier, W. Knap, E. Brown, and K. K. O, "280-GHz Shottky Diode Detector in 130-nm Digital CMOS," in IEEE Custom Integrated Circuits Conf., Sept. 2010, San Jose, CA.

# Computer Architecture 관점에서 DRAM 에너지 소비를 줄이기 위한 방법 및 연구동향



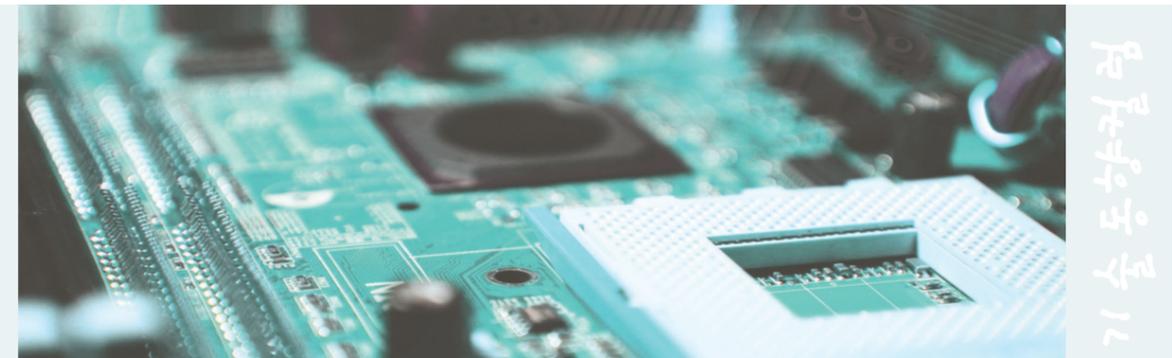
KAIST 전산학과

김순태 부교수  
 연구분야 : Embedded System/Software, Computer Architecture, Low-power, Reliability, Real-time System  
 E-mail : kims@kaist.ac.kr  
 http://ecl.kaist.ac.kr



KAIST 전산학과

이예빈 박사과정  
 연구분야 : Energy Efficient DRAM System Design, Computer Architecture, Low-power Embedded System Design  
 E-mail : smartcode@kaist.ac.kr  
 http://ecl.kaist.ac.kr



연구동향

## 서론

현대의 많은 컴퓨팅 시스템은 용량대비 비용이 상대적으로 낮고 고 집적이 가능한 DRAM을 주메모리로 사용하고 있다. 최근에는 멀티 코어 프로세서가 내장형 컴퓨팅 환경을 포함한 전반적인 컴퓨팅 환경에서 보편화되고 있고, 갈수록 높아지는 컴퓨팅 성능의 요구로 인해 보다 빠르고 대용량의 DRAM이 사용되는 추세이다. 동시에 더욱 많은 DRAM 칩이 사용된다는 것은 DRAM에서 소비되는 에너지가 전체 시스템이 소비하는 에너지를 보다 많이 차지하게 된다고 볼 수 있다.

최근 발표된 연구에 의하면 워크스테이션이나 서버급 컴퓨터에서는 메모리 시스템이 전체 시스템 에너지 소비의 약 40%를 차지한다고 보고되고 있다 [1, 2]. 이러한 현상은 보다 넓은 대역폭과 대용량의 메모리가 요구되는 현대의 고성능 컴퓨팅 시스템에서 갈수록 뚜렷해지고 있다. 따라서 DRAM 에너지 소비를 줄이는 것은 전체 시스템 에너지 소비를 줄이는데 많은 기여를 할 수 있음을 알 수 있다. 본 칼럼에서는 현재의 DRAM 시스템에 대해 간략히 소개하고 DRAM 에너지 소비의 주요 요인과 이를 해결하기 위한 방법 및 연구동향에 대해 살펴본다.

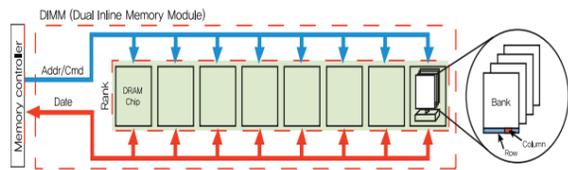


그림 1. DRAM 시스템 구성

## 본론

### DRAM 시스템 구성 및 동작

DRAM은 capacitor와 access transistor로 이루어진 셀 (cell)의 집합으로 이루어져 있다. 각 셀은 capacitor에 충전된 전하량으로 '1'과 '0'의 bit를 표현하고 셀들은 보통 수만 개의 row와 수백 개의 column으로 구성된다. 이러한 row와 column으로 구성된 셀들은 다시 bank로 구성되고 여러 개의 bank가 모여 하나의 DRAM 칩 (chip)으로 구성된다. DRAM 시스템 관점에서는 그림 1에서 나타난 것과 같이 여러 개의 DRAM 칩들이 하나의 rank를 구성하고 여러 개의 rank가 모여 하나의 DRAM 모듈 (module)을 이룬다. Rank를 이루는 DRAM 칩의 개수는 보통 메모리 컨트롤러와 DRAM 모듈간의 데이터 버스폭 (e.g. 64bit)과 사용된 DRAM 칩의

데이터 버스폭 (e.g. x4, x8, x16 DQs)에 의해 결정된다. Rank 내의 모든 DRAM 칩들은 메모리 컨트롤러로부터 모두 동일한 명령을 받아 동시에 수행하며 논리적으로 마치 하나의 DRAM 칩처럼 동작한다.

DRAM의 동작은 기본적으로 activation, precharge, read/write, 그리고 refresh로 나눌 수 있다. DRAM은 read/write 동작을 수행하기 앞서 먼저 read/write를 수행하려는 해당 row가 반드시 open 되어 있어야 하는데 해당 row를 open하는 것을 activation이라 한다. Activation을 통해 선택된 row에 속한 셀들의 데이터가 row buffer (sense amplifier)에 실리게 되고 비로소 read/write 동작은 이 row buffer를 통해 수행된다. Precharge 동작은 activation 동작에 의해 open된 row buffer를 다른 row의 접근을 위해 close 하는 것을 의미한다.

Activation은 다른 DRAM 동작과 비교하여 상대적으로 긴 시간이 걸리고 소비되는 전력 또한 크기 때문에 시스템의 메모리 접근 지역성 (locality)에 따라 row buffer를 open-page 또는 close-page 정책으로 관리한다. Open-page 정책은 open된 row를 그대로 유지하여 다음 read/write이 같은 row를 가리킬 경우 activation이 필요치 않아 activation에 따른 delay와 전력 소비를 방지할 수 있다. 하지만 다음 read/write이 open된 row가 아닌 다른 row를 가리킨다면 read/write에 앞서 precharge와 activation 모두를 수행해야 하는 단점이 있다.

Close-page 정책은 read/write 동작 후에 precharge 동작을 수행하는 정책으로, 메모리 접근 패턴이 자주 다른 row를 가리키는 경우 유리하다. Refresh 동작은 DRAM의 특성상 시간이 지남에 따라 셀의 전하가 누출되기 때문에 이를 방지하기 위하여 일정 주기로 데이터를 읽고 다시 쓰는 것을 말한다. 지금까지 DRAM 시스템 구성 및 동작에 대해 간략하게 살펴보았다. 지면의 제약으로 인해 보다 깊은 내용을 다루지 못한 것을 아쉽게 생각한다. 특히, DRAM 동작에 대한 설명은 이해를 위해 추상적으로 다루었음을 상기하기 바란다.

### DRAM 에너지 소비의 주요 요인

DRAM 에너지 소비의 주요 요인으로는 간략하게 activation과 background 에너지 소비로 나눌 수 있다. Activation은 read/write 혹은 refresh 동작과 같은 다른 DRAM 동작과 비교하였을 때 상대적으로 긴 시간과 전력을 소모하고 DRAM이 어떤 동

작을 수행하거나 혹은 수행하지 않을 때에도 background 전력은 항상 소비되기 때문에 이 두 요인은 전체 DRAM 에너지 소비의 상당부분을 차지한다.

이 두 가지 주요 에너지 소비 요인을 줄이기 위하여 현재까지 많은 기법들이 제안되어왔으며 최근에는 보다 고집적도/대용량 DRAM의 요구로 인해 activation 비용이 증가하는 추세이므로 activation에 따른 에너지 소비를 줄이는데 많은 노력들이 이루어지고 있다.

### 연구동향

앞서 얘기한 것과 같이 activation은 DRAM 에너지 소비의 주요 요인 중 하나로 고집적도/대용량의 최근 DRAM에서 그 비중이 더욱 커지고 있다. 이러한 현상은 단순히 DRAM의 구조적인 특성에 국한된 것이 아니라 시스템에서 수행되는 프로그램의 메모리 접근 지역성에도 영향을 받는다. 따라서 최근 제안된 기법들은 rank를 작은 sub-rank 단위로 나누는 방법, DRAM 칩 내부에서 activation 되는 row의 크기를 줄이는 방법, 그리고 메모리에 쓰여질 데이터의 특성을 고려하여 필요한 DRAM 칩만을 사용하는 방법 등을 통해 메모리 접근 시 발생하는 activation의 비용을 줄이도록 고안되었다. 각 기법의 핵심을 다음 세부 섹션들을 통해 들여다 보자.

### Rank Sub-setting

Rank sub-setting은 rank를 작은 sub-rank 단위로 나누어 메모리 접근을 sub-rank 단위로 이뤄지도록 한 방법이다 [3-6]. 전통적인 DRAM 시스템에서는 메모리 접근 발생 시 rank내의 모든 DRAM 칩이 동시에 DRAM 명령을 수행하지만 본 기법에서는 sub-rank내의 DRAM 칩들만 동작을 수행한다.

예를 들면 전통적인 DRAM 시스템에서는 8개의 DRAM 칩이 하나의 rank를 구성하였지만 그림 2에서 보여진 것과 같이 본 기법에서는 2개의 DRAM 칩들이 하나의 sub-rank를 이루어 총 4개의 sub-rank로 구성됨을 볼 수 있다. 이는 전통적인 DRAM 시스템에서 rank 마다 할당된 하나의 chip select (CS) 신호를 sub-rank 개수로 분리하고 registered DIMM (RDIMM)의 register에 메모리 접근 시 해당 sub-rank로 DRAM 동작 명령이 전달될 수 있도록 하는 demux 로직을 구현함으로써 가능하다.

따라서 sub-rank의 크기가 작을수록 이에 따른 activation, read/write 등의 DRAM 명령을 수행하는데 드는 비용이 줄어들게 된다. 하지만 이를 이용하기 위해서는 기존의 last-level cache (LLC)와 DRAM 시스템간의 데이터 레이아웃의 변경이 불가피하다.

여기서 데이터 레이아웃이란 LLC와 DRAM 시스템간의 데이터 mapping을 의미하며 보통은 cache line 데이터가 rank 내의 모든 DRAM 칩으로 나뉘어져 mapping 된다. 예를 들어 여덟 개의 DRAM 칩이 rank를 구성하고 있다면, 64 byte cache line의 각 8 byte word의 첫 번째 byte는 첫 번째 DRAM 칩으로, 두 번째 byte는 두 번째 DRAM 칩으로, 세 번째 byte는 세 번째 DRAM 칩 순으로 mapping 된다.

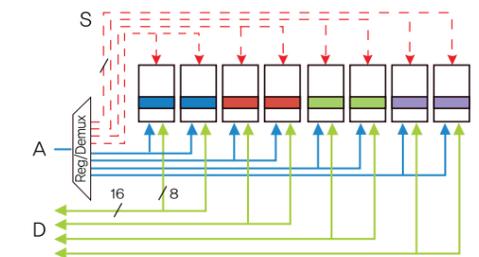


그림 2. Rank Sub-setting (A는 Address, D는 data, S는 chip select를 의미함)

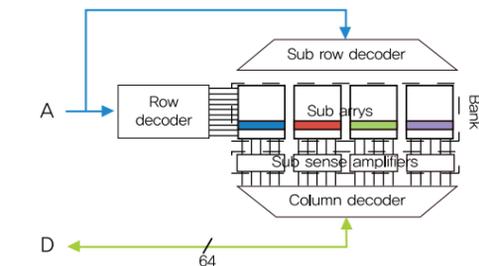


그림 3. Fine-grained Activation (A는 Address, D는 data를 의미함)

Sub-rank 에서는 cache line 데이터가 sub-rank 단위로 mapping 되므로 기존의 DRAM 시스템보다 read/write latency가 길어진다 (sub-rank 크기가 작아질수록 read/write latency는 더욱 증가함). 또한 ECC를 지원하기 위해서는 각 sub-rank마다 전용의 ECC DRAM 칩을 할당해야 한다는 단점이 있다.

### Fine-grained Activation

Fine-grained activation은 그림 3에서 보여진 것과 같이 DRAM 칩 내부에 기존의 셀 array와 sense amplifier를 작은 sub-array

와 sub sense amplifier로 나누고 sub row decoder를 두어서 보다 작은 row만을 activation하는 방법이다 [5, 7]. 본 기법은 전체 row가 아닌 row의 특정 부분만을 activation 하기 때문에 기존의 DRAM에 비해 activation에 따른 시간과 전력 소비가 현저히 감소한다는 것이 장점이다. 하지만 이를 실현하기 위해서는 DRAM 칩 내부 구조를 변경해야 한다는 단점이 있다.

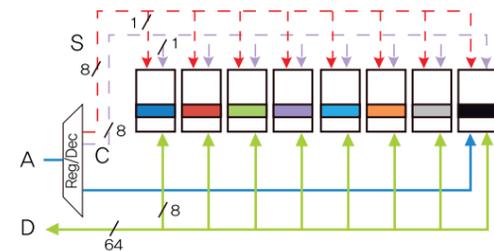


그림 4. Skinflint DRAM system (A는 Address, D는 data, S는 chip select, C는 clock enable를 의미함)

**Skinflint DRAM System**

Skinflint DRAM system은 앞서 살펴본 sub-rank 시스템과는 다르게 기존 DRAM 시스템의 장점을 상속받음과 동시에 에너지 소비를 절감할 수 있는 방법이다 [8]. 그림 4에서 나타낸 것과 같이 Skinflint DRAM system에서는 CS 신호를 rank 내의 각 DRAM 칩으로 분할하여 각각의 DRAM 칩이 독립적으로 동작을 수행할 수 있도록 하였다. Clock enable (CKE) 신호 또한 CS 신호와 마찬가지로 각 DRAM 칩으로 분할하여 각 DRAM 칩의 전력 상태를 독립적으로 제어할 수 있도록 고안하였다. 본 기법이 sub-rank 시스템과 다른 점은 sub-rank 시스템에서는 메모리 접근이 sub-rank 별로 이루어지지만 본 기법에서는 메모리 read 시 기존 DRAM 시스템과 동일하게 rank 내의 모든 DRAM 칩에서 데이터를 읽고 메모리 write 시에는 실제로 필요한 DRAM 칩만을 선택적으로 사용한다는 것이다.

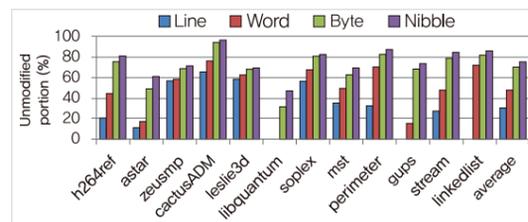


그림 5. Actually unmodified data portions atvarious granularities

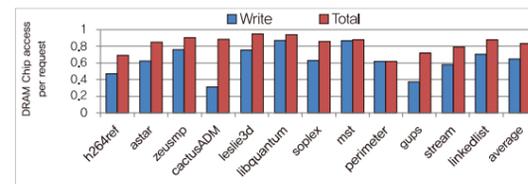


그림 6. Normalized DRAM write and total traffic

이는 LLC에서 DRAM으로 데이터가 쓰여질 때 실제로 쓰여질 값이 DRAM에 저장되어있는 값과 같은 값인 경우가 있다는 것 [9, 10]과 데이터 값이 주로 하위 byte만 자주 바뀐다는 것 [11, 12]에 의거한다. 그림 5은 실제로 동일한 데이터 값이 LLC에서 DRAM으로 얼마나 많이 쓰여지는가를 cache line, word, byte, nibble 단위로 관찰한 결과이다.

그림 5에서 보여진 것과 같이 평균 30%의 메모리 write은 cache line 전체가 DRAM에 저장되어있는 값과 동일한 값을 가지므로 실제로는 메모리 write 자체가 필요치 않음을 의미하고 평균 70%의 메모리 write은 DRAM으로 메모리 write이 필요하나 몇몇 DRAM 칩은 실제로 write이 필요치 않음을 의미한다. 실제 DRAM 칩이 메모리 write 시 사용되지 않으려면 cache line내의 각 8B word 중 각 DRAM 칩으로 mapping 되는 byte가 모두 동일한 값이어야 한다. 이를 반영한 실제 write traffic의 감소 효과는 그림 6에 나타내었다.

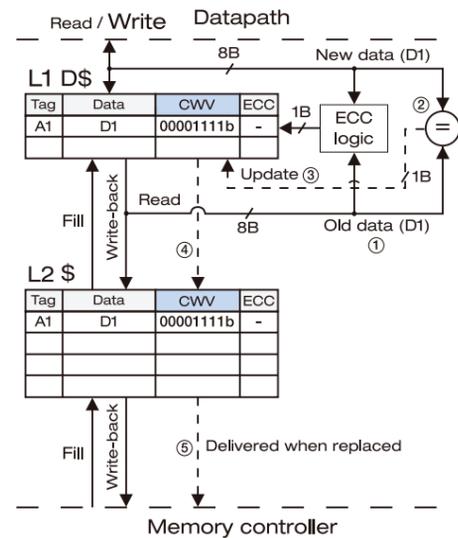


그림 7. CWV embedded into write-back L1 data and L2 caches

앞서 설명한 LLC와 DRAM간의 데이터가 동일함을 감지하여 선택적으로 DRAM 칩을 사용하기 위해서는 그림 7에서 나타낸 것과 같이 cache line에 데이터가 쓰여질 때 이전 값과 쓰여질 값을 비교하여 데이터가 수정되었는지 여부를 각 cache line에 chip write vector (CWV)라는 추가 bit를 두어 저장함으로써 실현 가능하다. CWV의 각 bit는 DRAM 칩이 메모리 write시 사용되어야 함의 여부를 나타낸다 (자세한 동작은 [8]을 참조). 실제 메모리 write 시 선택적으로 DRAM 칩을 사용하기 위해서는 각 DRAM 칩으로 할당된 CS와 CKE 신호를 독립적으로 제어해야 한다. 이를 위해 그림 8에서 나타낸 것과 같이 메모리 write 시 memory controller에서는 사용될 DRAM 칩에 대한 정보 (CWV)를 address 버스를 통해 전달하고 이 정보는 registered DIMM 내의 register의 decoding 로직을 거쳐 DIMM내의 DRAM 칩들에 연결된 CS와 CKE 신호를 제

어하게 된다. 이에 따른 본 기법의 DRAM timing은 그림 9에 나타내었다.

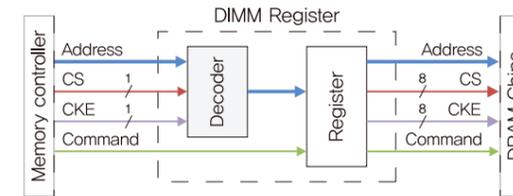


그림 8. DIMM Register/decoder architecture

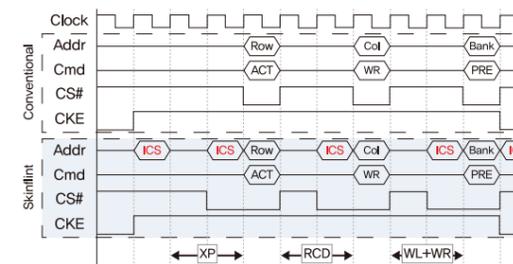


그림 9. Skinflint DRAM system timing (ICS는 각 DRAM칩의 사용 여부 정보임)

본 기법을 통해 실제 DRAM 전력 및 에너지 소비가 얼마나 감소하였는지, 시스템 성능에 얼마나 영향이 미치는가를 그림 10에 나타내었다. 본 기법을 구현함으로써 발생하는 overhead로 인해 프로그램 수행 시간이 평균 1.3% 증가한 반면 본 기법의 에너지 측면에서의 overhead를 모두 포함한 DRAM 전력 소비와 에너지 소비는 각각 평균 13.3%와 11.3%로 감소하였다.

**결론**

지금까지 DRAM 시스템에 대한 간략한 소개와 DRAM 에너지 소비의 주요 요인들, 그리고 이를 해결하기 위한 최근의 연구 동향을 살펴보았다. 갈수록 높아지는 DRAM의 성능과 용량, 점점 늘어나는 프로그램 메모리 footprint와 접근 빈도 그리고 이로 인한 메모리 접근 지역성의 악화로 앞서 얘기한 DRAM 에너지 소비의 주요 요인들은 그 영향이 더욱 두드러질 것으로 생각된다. 본 컬럼에서는 이러한 문제들을 해결하기 위해 최근 제안된 computer architecture 관점에서의 기법들을 소개하였고 앞으로도 다양한 관점에서의 해결방안들이 필요할 것으로 보인다.

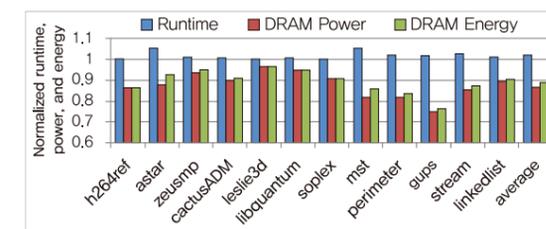


그림 10. Normalized runtime, DRAM power and energy consumptions

**Reference**

1. K. Lim, P. Ranganathan, J. Chang, C. Patel, T. Mudge, and S. Reinhardt. Understanding and designing new server architectures for emerging warehouse-computing environments. In Proc. the Int'l Symp. Computer Architecture, 2008.
2. D. Meisner, B. T. Gold, and T. F. Wenisch. PowerNap: Eliminating server idle power. In Proc. the Int'l Conf. Architectural Support for Programming Languages and Operating Systems, 2009.
3. H. Zheng, J. Lin, Z. Zhang, E. Gorbato, H. David, and Z. Zhu. Mini-rank: Adaptive DRAM architecture for improving memory power efficiency. In Proc. the Int'l Symp. Microarchitecture, 2008.
4. J. H. Ahn, N. P. Jouppi, C. Kozyrak, J. Leverich, and R. S. Schreiber. Future scaling of processor-memory interfaces. In Proc. the Conf. on High Performance Computing Networking, Storage and Analysis, 2009.
5. A. N. Udipi, N. Muralimanohar, N. Chatterjee, R. Balasubramonian, A. Davis, and N. P. Jouppi. Rethinking DRAM design and organization for energy-constrained multi-cores. In Proc. the Int'l Symp. Computer Architecture, 2010.
6. D. H. Yoon, M. K. Jeong, and M. Erez. Adaptive granularity memory systems: A tradeoff between storage efficiency and throughput. In Proc. the Int'l Symp. Computer Architecture, 2011.
7. E. Cooper-Balis and B. Jacob. Fine-grained activation for power reduction in DRAM. IEEE Micro, 30(3), 2010.
8. Y. Lee, S. Kim, S. Hong, and J. Lee. Skinflint DRAM system: Minimizing DRAM chip writes for low power. In Proc. the Int'l Symp. High-Performance Computer Architecture, 2013.
9. G. B. Bell, K. M. Lepak, and M. H. Lipasti. Characterization of silent stores. In Proc. the Int'l Conf. Parallel Architectures and Compilation Techniques, 2000.
10. K. M. Lepak and M. H. Lipasti. On the value locality of store instructions. In Proc. the Int'l Symp. Computer Architecture, 2000.
11. D. Brooks and M. Martonosi. Dynamically exploiting narrow width operands to improve processor power and performance. In Proc. the Int'l Symp. High-Performance Computer Architecture, 1999.
12. M. Thureson, L. Spracklen, and P. Stenstrom. Memory-link compression schemes: A value locality perspective. IEEE Transactions on Computers, 57(7), 2008.

# SPECIAL Column

## Platform Architect MCO SoC Architecture Performance Analysis and optimization

Synopsys PA MCO(Platform Architect with MultiCore Optimization, 이하 PA)는 차세대 SoC Architecture와 Multicore systems의 system-level 성능분석, Capturing, Configuring, Simulating 등을 위해 System-C TLM 을 기준으로 Graphical 한 환경을 제공합니다.

PA는 System Architect들을 위한 분석 환경 및 H/W, S/W의 partitioning 과 SoC infrastructure의 구성(global interconnect 및 memory subsystem 등을 위한 Optimization)을 가능하게 하며, 정확한 시스템 성능과 비용의 최적화를 이룰 수 있는 환경을 제공합니다.

PA에서 제공하는 Analysis 환경과 사용 가능한 IP model들은 System-level의 성능분석과 ARM AMBA®-based SoC의 최적화를 위한 최고의 선택이 될 것입니다.

또한, PA는 전 세계 주요 System OEMs 및 반도체 회사에서 사용되고 있는 검증된 Solution입니다.

### 개요

Synopsys PA MCO(Platform Architect with MultiCore Optimization, 이하 PA)는 차세대 SoC Architecture 와 Multicore systems의 system-level 성능분석, Capturing, Configuring, Simulating 등을 위해 System-C TLM 을 기준으로 Graphical 한 환경을 제공합니다.

PA는 System Architect들을 위한 분석 환경 및 H/W, S/W의 partitioning 과 SoC infrastructure의 구성(global interconnect 및 memory subsystem 등을 위한 Optimization)을 가능하게 하며, 정확한 시스템 성능과 비용의 최적화를 이룰 수 있는 환경을 제공합니다.

PA에서 제공하는 Analysis 환경과 사용 가능한 IP model들은 System-level의 성능분석과 ARM AMBA®-based SoC의 최적화를 위한 최고의 선택이 될 것입니다.

또한, PA는 전 세계 주요 System OEMs 및 반도체 회사에서 사용되고 있는 검증된 Solution입니다.

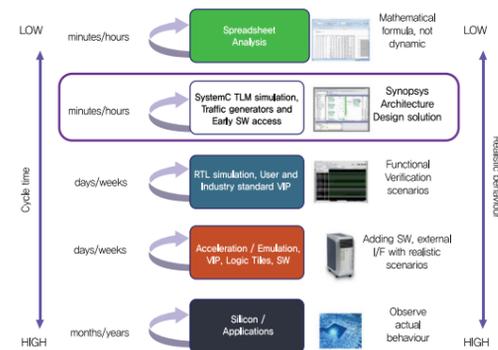
### Highlights

- Hardware-Software Partitioning 및 Multicore System의 최적화
- SoC interconnection과 Memory Sub-system의 성능 최적화
- Traffic Generation을 이용한 효율적 분석 및 Cycle-Accurate TLM model들과의 연계
- 효과적인 원인 분석을 위한 강력한 성능분석 그래픽
- Spreadsheet-In/Spreadsheet-Out을 지원하는 Sensitivity Analysis
- Cycle-Accurate TLM processor 등을 사용한 Hardware-Software 검증
- IEEE 1666-2011 SystemC TLM-2.0 지원

### Problem: Predicting Dynamic System Performance

SoC의 complexity와 Size가 증대됨에 따라 오늘날 반도체 설계에는 Multi-function 및 SoC의 Multi-application의 Dynamic system performance를 예측하는 시뮬레이션이 필요합니다. 이는 System OEM과 반도체 회사 모두에 영향을 미치며, Supply chain 내의 협력 및 정보공유의 기회를 제공합니다.

### Challenges with Traditional Methods



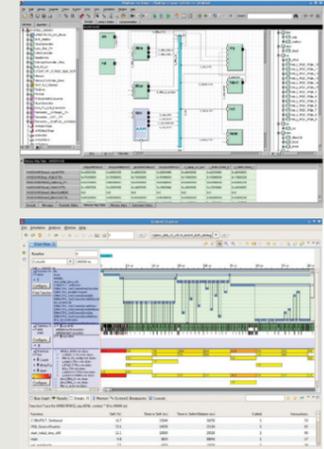
개발단계에서의 한발 늦은 성능 문제의 발견은 Project 일정 및 제품의 경쟁력에 심각한 영향을 주며, 시장에서의 실패로 연결될 수 있습니다. 정확한 성능분석은 제품의 디자인 초기 단계에 이루어져야 합니다.

데이터 수집에 있어 spreadsheets의 사용은 필요하나, 단순한 계산으로는 성능의 최적화 및 디자인을 결정하는데 부족하며, 이를 해결하지 위해서는 Dynamic Simulation이 필요합니다.

이제까지의 RTL simulation은 느리며, configuration의 부족 및 성능분석을 위한 시각화가 미흡하였습니다. 디자인의 오류는 비용의 증가 및 일정의 지연으로 연결되며 재 반복되는 위험이 있습니다.

### Solution : System-Level Simulation and Performance Analysis

Synopsys의 PA(Platform Architect)의 System-Level의 성능분석은 System Designer들에게 transaction-level simulation 및 성능 분석과 진행에 관한 결정을 도와줄 강력한 system-level visibility를 제공합니다.



### Hardware-Software Partitioning and Optimization of Multicore Systems

Platform Architect with Multicore Optimization(PA MCO)는 아키텍처 설계 초기에 end-product application의 task-driven workload model을 만들 수 있도록 해줍니다.

일반적인 task model들은 task-graph라 불리는 응용프로그램의 System C 성능모델을 쉽게 구성할 수 있도록 합니다.

Task-graph의 사용한 병렬 응용프로그램 작업의 성능은 가상 처리장치 (Virtual processing Unit : VPU) 작업 기반의 traffic generator에 mapping 됩니다.

Simulation과 작업의 분석은 application을 사용하기 전 최고의 시스템 성능을 위한 최적화에 하드웨어 및 소프트웨어의 partitioning을 가능하게 합니다.

Task-graph는 트래픽 생성기의 trace-driven과 함께 Memory subsystem의 성능 최적화와 연동을 위한 트래픽 생성기 작업기반을 재사용할 수 있게 합니다.

### Interconnect and Memory Subsystem Performance Optimization Using Trace-Driven Traffic Generation

PA는 최적화 및 Backbone SoC 연동의 성능향상과 global memory subsystem과 연관된 Architecture design의 개선에 중점을 두고 있습니다.

Dynamic application의 workload는 트래픽 생성기를 사용하여 모델링을 하며, 소프트웨어를 사용하기 전에 시스템 성능의 조기측정을 가능하게 합니다.

Simulation sweeping은 성능 데이터의 매개변수 수집을 가능하게 하며, 설계구성 전체에 대한 트래픽 시나리오를 검토할 수 있게 합니다.

시각적 분석을 위한 강력한 tool은 성능저하의 bottleneck이나 근본 원인을 결정하는데 있어 graphical transaction tracing 및 통계적 분석관점을 제공하며, 시스템 성능이 독립적 혹은 복합적 변수의 설정인지에 대한 sensitivity를 확인할 수 있습니다.

### Hardware/Software Performance Validation Using processors Models and Critical Software

설계모델들의 성능확인 후, cycle-accurate 프로세서모델들을 추적기반 및 작업기반의 Traffic 생성기를 대신해 개선할 수 있습니다.

이는 설계모델들의 유효성을 입증하는 중요한 소프트웨어로 사용될 수 있습니다.

시각화된 소프트웨어와 하드웨어의 분석관점에서 성능의 측정을 위한 독창적인 system-level visibility를 제공하여 최종목적에 부합한지를 확인하도록 하여 줍니다.

### Complete IEEE 1666-2011 SystemC TLM-2.0 Standards-based Environment

Synopsys PA는 System C 환경에 기반을 두고 있습니다. (IEEE 1666-2011 SystemC TLM-2.0 Language Reference Manual (LRM)) 이는 아래 포함된 추상적 복합 계층을 포함한 모델들의 분석 및 조합, 시뮬레이션을 지원합니다.

IEEE 1666-2011 TLM-2.0, Accellera Systems Initiative (ASI)를 사용하는 Standards-based System C transaction-level model과 Open Core Protocol International Partnership (OCP-IP) TLM industry standards, 그리고 the open Synopsys SystemC Modeling Library (SCML) API library for highly reusable TLM-2.0 based peripheral modeling.

Mixed SystemC/HDL co-simulation with Synopsys VCS 및 RTL 메모리 컨트롤러 및 다른 IP component를 재사용할 수 있는 third party HDL 시뮬레이션 환경

추가적으로 성능분석을 위해 PA에서 사용된 모델들은 소프트웨어 개발 및 소프트웨어 기반의 인증을 위한 Synopsys Virtual Prototypes의 생성을 위해 재사용 할 수 있습니다.

### Getting Started with Available Architecture IP Models

PA는 설계분석 및 검증에 위한 기존 제작된 System C TLM IP 모델의 광범위한 상용화 포트폴리오를 지원합니다.

### Traffic Generators

Trace-driven traffic generation을 위한 Generic File Reader Bus Master(GFRBM)

### Interconnect Models

ARM AMBA® 2 AHB™ /APB™, AMBA 3 AXI™ (PL300)을 위한 Cycle-accurate System C TLM bus libraries와 ARM CoreLink™ Network Interconnect (NIC-301) 및 AMBA를 위한 Synopsys DesignWare IP solutions을 포함한 AMBA 4 AXI™ protocols

Industry-standard OCP-IP와 IEEE 1666-2011 SystemC TLM-2.0 protocols을 위한 Generic approximately-timed SystemC TLM bus libraries 및 추가적으로 on-chip connectivity를 위해 AMBA® AXI™, AHB™, AHB-Lite, APB™, OCP and PIF protocols를 지원하는 the Arteris FlexNoC™ Network on Chip (NoC) interconnect를 위한 Arteris® 의 approximately-timed models을 지원

### Memory Controller Models

ARM AXI, OCP-IP, and IEEE-1666 2011 SystemC TLM-2.0 interfaces를 지원하는 Generic approximately-timed SystemC TLM memory subsystem models

Cycle-accurate SystemC TLM memory subsystem models available

for Platform Architect from Carbon Design Systems for ARM PL172 (AHB), PL310 (AXI), PL340 (AXI), and PL341 (AXI) Primecells

### Processor Models

Cycle-accurate SystemC TLM processor support packages (PSPs) for ARM (available for Platform Architect from Carbon Design Systems), MIPS, and Tensilica processor families 추가로 Synopsys Processor Designer가 제공하는 custom processor PSPs

### CoStart Methodology Guidelines and Examples

PA(Platform Architect)의 예제와 Synopsys CoStart Methodology guideline은 Synopsys의 state-of-the-art 설계 방법을 사용자에게 알려 줍니다.

- Synopsys CoStart를 통한 효율적인 서비스
- 단계별로 빠른 결과를 위한 사용자의 가치를 보장
- 초기 단계의 Modeling에 효율적인 달성
- 검증을 통한 최대한의 ROI (not just checking)

### CoStart Enablement Services

Synopsys CoStart는 설계디자인 방법론의 ramp-up cycle을 단축하게 하는 packaged service입니다. 따라서 사용자는 짧은 시간 내 제품화할 수 있습니다.

Synopsys CoStart 프로그램은 traffic capture, performance model 제작, simulation 및 분석결과 등을 사용하여 Architecture project planning 을 지원하는 함축적인 지식을 전달합니다.

- Tool, IP model, and methodology training
- CoStart 방법론의 지침과 예제에 대한 독점적인 사용
- 개발 및 사용자 통합, memory subsystem model들의 modeling 지원
- 전문적인 조언 및 지원

### About Synopsys System-Level Solutions

PA(Platform Architect)는 Synopsys에서 제공하는 포괄적인 system-level 지원 중 하나입니다. Synopsys의 System-level Solution은 아래와 같습니다.

- single supplier로부터의 system-level IP model에 대한 광범위한 portfolio를 지원
- Common SoC block의 생성 및 최적화를 단축
- Soc architecture의 검사 및 최적화의 편의성
- Embedded software 개발 및 시스템 검증에 있어 가장 완벽한 prototyping solution을 제공
- 반도체업체의 가치 창조

System-Level Solution에 대한 보다 자세한 정보는 아래 site에 방문하시면 보실 수 있습니다.

<http://www.synopsys.com/Systems/Pages/default.aspx>

Platform Architect에 대한 보다 자세한 정보는 아래 site에 방문하시면 보실 수 있습니다.

<http://www.synopsys.com/platformarchitect>

 <p><b>SYNOPSYS</b> Predictable Success</p>	<p>(유)시놉시스 코리아</p>
	<p>주소 : (463-400) 경기도 성남시 분당구 삼평동 681 H 스퀘어 N동 5층 Tel : 02-3404-27004 <a href="http://www.synopsys.com">http://www.synopsys.com</a></p>



2013년 대한전자공학회 SoC 설계 연구회에서는 논문 발표회 및 특별 강좌 프로그램을 아래와 같이 개최하오니 산학연 관련 논문을 많이 투고하여 주시기 바랍니다.

☞ 홈페이지 : <http://soc2013.org>

- ◆ 일 시 : 2013년 5월 3일 (금) 10:00 ~ 17:30 (학술발표)  
5월 2일 (목) 19:00 ~ 22:00 (전야제)

- ◆ 장 소 : 경북대학교 글로벌플라자 2층 효석홀

- ◆ 주 최 : 대한전자공학회 SoC 설계 연구회

- ◆ 주 관 : 경북대학교, ETRI SW-SoC융합 R&BD센터

- ◆ 발표분야 : SoC 설계 전 분야

- A. Analog & RFIC
  1. Analog and Mixed-signal Circuits
  2. RF ICs
  3. High Speed Signal Interface Circuits
- B. Digital
  1. Microprocessors, DSP Architectures
  2. Multimedia (Audio/Video) SoC
  3. Communication SoC
- C. Design Methodology
  1. SoC Design Methodology
  2. SoC Testing and Verification
  3. Signal Integrity and Interconnect Modeling
- D. Embedded Systems & Power IC
  1. Memory Circuits and Display ICs
  2. Embedded Systems and Software
  3. PMIC and Low Power Design Techniques
  4. Emerging Technologies

### ◆ 논문 제출 방법

- ① 논문 접수 마감 : 2013년 3월 30일 (토)
  - \* 논문 제출 방법은 학술대회 홈페이지(<http://soc2013.org>) Paper Submission에서 확인 바랍니다.
- ② 심사 결과 통보 : 2013년 4월 5일 (금)
  - \* 이메일 통보 및 홈페이지 참조
  - \* 본 학술대회에서 선정된 우수 논문은 시상 및 대한전자공학회 논문집 SD편과 JST에 추천됩니다.

☞ 담당자 : 경북대학교 전자공학부 최준림 교수 ( [jrchoi@ee.knu.ac.kr](mailto:jrchoi@ee.knu.ac.kr) )  
주현아 ( 053-950-6857 / [idec@ee.knu.ac.kr](mailto:idec@ee.knu.ac.kr) )

