



아빠!
이 로봇으로 지구를
지켜낼꺼야

www.skhyunix.com

꿈은 누구나 꿀 수 있지만
그 꿈이 현실이 되기 위해선
기술이 필요합니다

세상 모든 꿈을 가능하게 하는 기술-
SK하이닉스가 만듭니다



업계를 선도하는 기술 경쟁력으로 세계 최고의 메모리 반도체를 생산하는 SK하이닉스! 세상을 움직이는 진짜 기술을 만듭니다

TowerJazz 유상 MPW Service

- 목적 : IDEC을 통해 지원되지 않는 공정들을 저렴하게 제작 지원
- Process : 0.18um SOI(Silicon On Insulator)/ 0.35, 0.18, 0.13um SiGe

DEVICE	PARAMETER	CA18H	CA18C	CS18G1	CS18G2	CS18G1
CMOS	VDD (V)	1.85	1.8/3.3	2.5	2.5/5	1.2/2.5
RFLOAS		✓	-	-	-	-
Native NFET	VDD (V)	5	3.3	-	-	-
Resistors	Sheet resistance (ohm/sq)	6, 310	6, 310, 1000	310, 1000	310, 1000	310, 1000
MIM (Single/Backside)	Capacitance (fF/um ²)	2/4	2/4	2	2	2
Varactors	Pinwidth (fF/um ²)	1.3	1.3	NA	NA	NA
Metal Layers		6	4	4	4	4
Top Metal	Thickness (um)	2.8	2.8	2.8	2.8	2.8
Substrate	Bulk	SOI	SOI	SOI	SOI	SOI

SiGe Technology

Feature	0.35um	0.18um	0.13um
Location	Fab 3	Fab 3	Fab 2 and Fab 3
CMOS FET	Single Gate 3.3V/5.0V	Single/Dual Gate 1.8V/3.3V	Dual Gate 1.2V/3.3V
Ft Range	23GHz~61GHz	38GHz~240GHz	37GHz~200GHz
MIM Cap	1fF, 2fF and 4fF	1fF, 2fF, 2.8fF, 4fF and 5.6fF	2.8fF and 5.6fF
Poly Resistor	95 and 11K	235 and 1K	310 and 1K
Metal Resistor	-	24	-
Metal Levels	3 and 4	3 to 6	6

- MPW Schedule

Process	1Q			2Q			3Q			4Q		
	Jan	Feb	Mar	Apr	May	Jun	Jul	Aug	Sep	Oct	Nov	Dec
SBC35		5				4						추후 공지
SBC18	22	19	19	16	21	18						추후 공지
SBC13				2								추후 공지
CA18 (SOI)	8		5		7							추후 공지

연락처

TowerJazz : 하소영 과장
Office : +82-31-628-4830

IDEC : 김창수 선임 연구원
Office : +82-42-350-4424



IDEC Newsletter

IDEC Newsletter | 186호 | 발행일 | 2012년 11월 30일 | 발행인 | 박인철 | 편집인 | 김이섭 | 제작 | 푸물디자인
기획 | 신황기 | 전화 | 042-350-8535 | 팩스 | 042-350-8540 | 홈페이지 | http://idec.or.kr
E-mail | jhg0929@idec.or.kr | 발행처 | 반도체설계교육센터(IDECC)

Vol.186

2012
December

IC의 전자파 내성 평가 방법 연구 동향 | 04 Verilog를 이용한 효율적인 하드웨어 설계 Tips | 08
경쟁력 있는 Full Custom Design을 위한 시뮬레이션의 설계 환경 제안 | 14

반도체설계교육센터 사업은 지식경제부, 반도체산업협회, 반도체회사(삼성전자, 하이닉스반도체, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.

IC의 전자파 내성 평가 방법 연구 동향

IC(Integrated Circuit) 전자파 내성, 즉 EMS (Electromagnetic Susceptibility) 란 전자기기가 사용되는 전자파 환경 안에서, 또는 규정된 안전 범위 안에서, IC가 전자파 장애가 있어도 영향을 받지 않고 설계된 수준이나 성능으로 동작할 수 있는 능력을 말한다[1]. 반도체 기술이 발전함에 따라 전자기기의 동작 주파수가 증가하고, 소자의 크기가 점점 작아지고 집적도가 증가하며 낮은 전압에서 동작하게 되어 전자파 내성이 낮아질 뿐 아니라 상호 간섭이 증가하고 있다. 본 고에서는 IC의 전자파 내성 평가의 표준 동향과 방법을 설명하고, 실제 IC들을 평가한 결과와 그것을 예측할 수 있는 시뮬레이션 모델 개발 현황을 살펴보고자 한다. (관련기사 P04~07 참조)

Verilog를 이용한 효율적인 하드웨어 설계 Tips

Verilog-HDL라는 강력한 표현수단과 FPGA라는 강력한 구현수단 및 FPGA를 타겟으로 Verilog 코드를 자동합성해주는 우수한 무료 합성툴이 제공되기 때문에 디지털하드웨어 설계 및 검증이 과거에 비해서 매우 쉬워진 것은 사실이다. Verilog로 하드웨어를 기술할 때, 시뮬레이션 결과와 합성결과가 서로 일치 되도록 하는 것은 가장 기본적으로 고려사항이 되어야 하고, 경제적으로 합성되도록 면적과 성능을 최적화시키는 고려가 코딩 시에도 나타나야 한다. 본 고에서 제시하는 몇가지 코딩 tip들을 소개하고 Verilog-95의 문법적 한계를 극복한 Verilog-2001을 사용을 제시하고자 한다. (관련기사 P08~12 참조)

경쟁력 있는 Full Custom Design을 위한 시뮬레이션의 설계 환경 제안

시뮬레이션은 VLSI Design의 EDA표준을 제시하고 개발하며 동시에 전파함으로 VLSI Design Flow의 표준과 기술의 개발을 선도하고 있다. 1986년 창립 이래 정확하고 빠르고 효율적인 설계를 위한 Algorithm을 개발하며 필요한 기술을 정의하고 나아가서 수용함으로 강력한 표준을 만들기 위해 노력을 하고 있다. 기술이 발전할수록 시뮬레이션 또한 새로운 문제들을 만났으며 수십년의 많은 경험과 지식에 기반하여 솔루션들은 개발해왔다. 최근의 이슈들은 공정의 미세화에 따른 PVT variation과 그에 따른 Parasitic에 대한 Modeling과 검증이다. 본 고에서는 경쟁력 있는 Full Custom Design을 위한 시뮬레이션의 설계 환경 제안에 대해 알아보고자 한다. (관련기사 P14~19 참조)

IDEC December | 2012 news

MPW (Multi-Project Wafer)

2012년 MPW 설계 현황 |

구분	공정	제작가능 면적 (mm²x칩수)	채택 칩수 (서버)	설계면적 (mm² x 칩수)	DB마감	Die-out	비고
117회 (12-10)	삼성 65nm	20개서버 (4x4mm)	20	4x4mmx21	2012.12.17	2013.5.3	DB 마감 : 12.17

2012년 MPW 칩제작 현황 |

구분	공정	제작 칩수	제작면적 (mm²x칩수)	Die-out 예정일	현재상태	비고
111회 (12-4)	M/H 0.18	20	4.5x4mmx20	2012.9.3	제작 완료	-Die:10.18 -PKG:11.19
112회 (12-5)	삼성 65nm 동부 0.18BCD	23	5x5mmx23	2012.11.9	Package 제작중	-Die:11.26
113회 (12-6)	동부 0.35BCD	4	5x2.5mmx4	2012.9.26-11.14	제작중	공정이월 (11.2-11.4)
114회 (12-7)	동부 0.18BCD M/H 0.18	8	5x2.5mmx4	2012.10.10	제작 완료	-Die:10.8 -PKG:10.23

구분	공정	제작 칩수	제작면적 (mm²x칩수)	Die-out 예정일	현재상태	비고
115회 (12-8)	동부 0.18BCD	2	5x5mmx2	2012.1.4	제작중	
	동부 0.35BCD	8	5x2.5mmx4	2013.1.16	제작중	
	동부 0.11	30	5x2.5mmx25	2013.2.6	제작중	
116회 (12-9)	TJ0.18 CIS	4	2.5x2.5mmx4	2013.2.22	제작중	
	TJ0.18 BCD	1	5x5mmx1	2013.2.29	제작중	
	TJ0.18 RF	4	2.5x2.5mmx4	2013.2.29	제작중	
117회 (12-10)	M/H 0.18	19	4.5x4mmx19	2013.3.4	DB전달	:11.26
	M/H 0.35	18	5x4mmx18	2013.3.4	DB전달	:11.26

* M/H = 매그나칩/하이닉스, TJ = TowerJazz
 * 우선/정규모집에서 마감될 경우 후기모집은 진행되지 않음.
 * Die-out 일정은 Diechip 제작완료 기준임. Package는 Die-out후 4주 이상 소요됨.
 * MPW 참여 일정 및 방법은 홈페이지(www.idec.or.kr) 참조
 * 위의 내용은 11.30 기준임.

* 문의 : 이의숙 (042-350-4428 yslee@idec.or.kr)

20th 한국반도체학술대회 Chip Design Contest 개최

1. 일정 및 장소
 • 일 사: 2013년 2월 5일(화) (*참고: KCS 일정 _ 2.4~6)
 • 장 소: 횡성 웰리힐리파크 (구, 성우리조트)

2. 논문 접수 결과 : 평가중

3. 시상 내역

시상명	내역
Best Design Award	최우수상(1팀) : 상장 및 상금 100만원 특별상(1팀)_SSCS 서울캠퍼스상 : 상장 및 상금 50만원
Demo Award	우수상(2팀) : 각 상장 및 상금 50만원 *우수상팀수는 참여팀 수에 따라 변경될 수 있습니다.

* 문의 : 이의숙 (042-350-4428 yslee@idec.or.kr)

채용정보

(재) 스마트 IT 융합 시스템 연구단 <http://www.smart-it.re.kr/>

연구교수 및 연구원 모집 공고문
 정부가 추진하는 최대규모 연구사업인 교육과학기술부 글로벌프론티어 연구개발 사업인 '다차원 스마트 IT융합 시스템' (2011. 9 부터 9년간 수행) 연구단(연구단장 : 경종민)에서는 구조물, 자동차, 인체, 환경 등 다양한 분야에 응용되는 저전력 스마트 센싱을 위한 embedded system 설계 분야에서 연구개발 업무를 수행할 의욕적이고, 비전과 실력을 갖춘 연구교수 및 연구원을 모집합니다.

모집 분야 1) 디지털 혹은 혼성 신호 하드웨어 시스템 설계 O 명
 2) OS 및 미들웨어, 내장형 Software 설계 O 명

자격 • 연구교수 - 박사학위 취득자
 • 연구부교수 - 박사학위 취득 후 인정 경력년수가 4년 이상인자, SCI 논문 4편 이상인 자
 • 연구원 - 석사학위 이상 취득자

근무 지역 대전(KAIST)

제출 서류 • 자유형식 이력서(연구성과 및 논문포함, 연락처, 지원분야 기재)
 * 접수된 서류 일체 반환하지 않음

제출 마감 2012. 12. 21(금) 오후 6시

문의 및 제출처 • 담당 전성혜 shema@kaist.ac.kr
 T. 042-350-5423



CISS
Center for Integrated Smart Sensors
(재)스마트 IT 융합 시스템 연구단

2012년 12월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

강좌 일정 |

센터명	강의일자	강의제목	분류
KAIST IDEC	12월 3일	LOGIC device Test Package 소개	세미나
	12월 26일-27일	고성능 PLL 주파수 합성기 설계	설계
충북대 IDEC	12월 5일	에너지 절전형 스위치 : 터널 트랜지스터	설계

▷KAIST IDEC 개설 강좌 안내

■ **강좌일** : 12월 3일
 ■ **강좌 제목** : LOGIC device Test Package 소개
 ■ **강사** : 한정후 수석 (SK hynix)

[강좌개요]
 제품개발에 따라 무엇을 어떻게 test 할 것인가는 항상 설계자와 test 엔지니어 고 민이다. 적당한 test parameter를 선정하고 적당한 조건 및 specification을 잡아 야 할 것이며 여기에 따라 test 엔지니어는 test package (interface board, test program 등등 관련된 hardware 및 software)를 준비하여 정확한 평가 결과를 feed back하여야 한다. 본 세미나에서는 특히 LOGIC 제품에 대한 test package가 어떻게 구성되는지를 소개하고 test package installation을 위한 설 계자와 test엔지니어간 교환되어야 할 정보들에 대해서 알아보도록 한다.
 Contents will be covered
 - SoC 제품의 동향 및 test 장비 trend
 - LOGIC 제품의 test parameters, 설계자가 알아야 할 test, test엔지니어가 알 아야 할 설계

■ **강좌일** : 12월 26일-27일
 ■ **강좌 제목** : 고성능 PLL 주파수 합성기 설계
 ■ **강사** : 조성환 교수 (KAIST)

[강좌개요]
 PLL의 기초와 원리를 이해하고 이를 집적회로로 응용한 고성능 주파수 합성기, 클럭 발진기 등에 대하여 알아본다.

[수강대상]
 • 산업체 인력 및 대학원생

[강의수준] [**강의형태**]
 • 중급 • 이론+실습

[사전지식, 선수과목]
 • 회로이론, 전자회로, 신호 및 시스템, 제어시스템, 랜덤 프로세스

▷충북대 IDEC 개설 강좌 안내

■ **강좌일** : 12월 5일
 ■ **강좌 제목** : 에너지 절전형 스위치 : 터널 트랜지스터
 ■ **강사** : 이형규 교수 (충북대 전자정보대학 전자공학부)

[강좌개요]
 본 발표에서는 터널트랜지스터의 동작 원리와 소자의 제작 공정을 소개하고자 한다.

* 문의 : KAIST IDEC 이승자 (042-350-8536, sjlee@idec.or.kr)
 * 문의 : 충북대 IDEC 라해미 (043-271-2480, cbnu-idec@hbt.cbnu.ac.kr)

IDEC, ISOCC 2012 Chip Design Contest 개최

- 진정동 학생(성균관대)에게 최우수상의 영광이 -

지난 11월 05일(월), 라마다 프라자 제주호텔에서 ISOCC 2012 Chip Design Contest를 개최했다. 이날 행사를 통해 135편의 페이퍼가 발표되었으며, 전국 대학 에서 참여한 데모 16, 패널 119 참가팀이 그동안의 노력과 실력을 힘껏 발휘했다.

가. 일정 및 장소 : 2012. 11. 5(월), 제주 라마다프라자 호텔
 나. 참여 논문 : 135편 (데모 : 16, 패널 : 119)
 다. 수상팀

● Design Award

시상내역	학교명	대표자, 지도교수	제목
최우수	성균관대	진정동, 전재욱	Sound Source Localization Circuit
특별상 (SSCS서울캠퍼스)	중앙대	류혁, 김동현	A Multi-mode Spread-Spectrum Clock Generator
우수	KAIST	이지원, 양경훈	Linear-Logarithmic APS with Reduced FPN using Two Stage Charge Transfer
우수	광운대	나은수, 정용진	Design of a SURF-based image matching hardware

● Best Poster Award _ ISOCC 지원(2012년부터 시행)

학교명	대표자, 지도교수	제목
POSTECH	이동우, 심재윤	A 1.9 GHz Fractional-N Digital PLL with Sub-Exponent ΔΣ TDC
한양대	김영일, 이상선	A Capacitor-less LDO Regulator using a low-power additional fast feedback technique
KAIST	김용훈, 김이섭	An 8Gb/s 1-tap Feed Forward Equalizer and 1-tap Decision Feed Forward Equalizer in 65nm CMOS
서강대	황동현, 이승훈	A 12b 80MS/s Three-Step Hybrid Pipeline ADC Based on Time-Interleaved SAR and Flash ADCs
광운대	조문규, 김정근	A 0.18 μm Active DPDT Switch in SiGe BiCMOS

심사를 통해 당일 시상이 진행된 데모부분 Design Award 최우수상은 성균관대 진정동이 수상하는 영예를 안았고 SCS 서울캠퍼스상은 중앙대 류혁, 우수상은 KAIST 이지원과 광운대 나은수가 받았다. 패널부분은 심사를 통해 Best Poster Award로 포스트박 지동우 외 4팀이 선정되었다.

IDEC, 2013년 Working Group 선정

- 69개 대학교, 306명 교수 -

KAIST 반도체설계교육센터(IDECC, 소장 박인철)는 시스템반도체 설계인력양성과 핵심적인 IP 개발을 위한 "2013년 Working Group(이하 WG)"을 선정했다.

선정된 교수는 2013년 한 해 동안, MPW 칩 제작 지원, EDA Tool 지원 등 시스템 반도체설계인력양성을 위한 IDEC의 다양한 사업 지원을 받을 수 있다.

지난 10월 5일 신청 접수를 마감한 2013년 WG는 고려대, 서울대, 연세대, KAIST 등을 포함한 전국 69개 대학교, 306명의 교수들이 선정 되었다.

2012년 WG를 통해 총 365명(석사: 298명, 박사: 67명)이 배출되었고, 이들은 삼성전자, 하이닉스, 동부하이텍 등 유수기업들에 입사해 역량을 발휘하고 있다. WG 는 지난 1996년부터 도입된 제도로 시스템반도체설계 고급인력 배출과 논문, 특허 출원, IP 등 시스템반도체설계 분야에 걸쳐 많은 성과를 이루고 있다

WG는 반도체설계환경 인프라가 구축된 대학의 지원신청서를 받아 선정된 대학교 를 말하며, 시스템반도체 설계인력 양성을 위한 확고한 기틀을 마련하고자 참여교 수를 전문분야별로 분류하고 개인별 평가로 WG를 지원하고 있다.

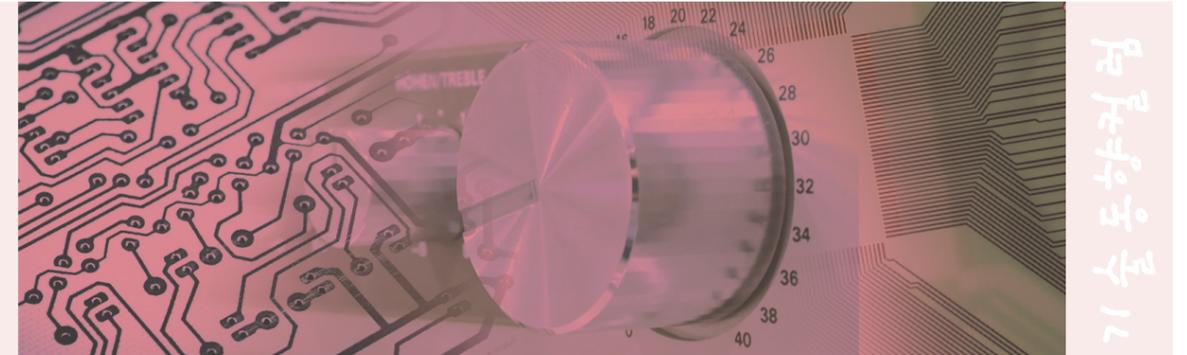
IC의 전자파 내성 평가 방법 연구 동향



성균관대학교 정보통신대학 반도체시스템학과
 김소영 조교수
 연구분야 : IC Design & Solutions Lab.
 E-mail : ksyoun@skku.edu
 http://icds.skku.edu



성균관대학교 반도체디스플레이공학전공
 김나현 조교수
 연구분야 : IC Design & Solutions Lab.
 E-mail : ksyoun@skku.edu
 http://icds.skku.edu



서론

IC(Integrated Circuit) 전자파 내성, 즉 EMS (Electromagnetic Susceptibility) 란 전자기기가 사용되는 전자파 환경 안에서, 또는 규정된 안전 범위 안에서, IC가 전자파 장애가 있어도 영향을 받지 않고 설계된 수준이나 성능으로 동작할 수 있는 능력을 말한다[1]. 반도체 기술이 발전함에 따라 전자기기의 동작 주파수가 증가하고, 소자의 크기가 점점 작아지고 집적도가 증가하며 낮은 전압에서 동작하게 되어 전자파 내성이 낮아질 뿐 아니라 상호 간섭이 증가하고 있다.

이러한 추세로 인해 IC의 EMS의 중요성은 점점 커지고 있다. 자동차에 사용되는 IC의 경우, 강한 전자기장이 존재하는 환경에서 사용될 뿐만 아니라, IC의 신뢰성이 안전에 치명적인 영향을 줄 수 있어, 비교적 엄격히 규격을 따라 내성 평가가 이루어지게 된다. 집적도가 급격히 증가하고 있는 모바일 시스템에 사용되는 IC의 경우도 점차적으로 내성 평가를 하는 체계적인 방법이 개발되어 가고 있다. IC의 EMS의 중요성이 커짐에 따라, 칩이 제작된 후에 내성 평가를 하여 문제점을 찾는 방법으로는 개발 비용이나 시간 면에서 제약이 많아, 칩 설계 단계에서 내성 평가를 할 수 있는 시뮬레이션 모델 개발의 필요성이 증가하고 있다.

본 고에서는 IC의 전자파 내성 평가의 표준 동향과 방법을 설명하고, 실제 IC들을 평가한 결과와 그것을 예측할 수 있는 시뮬레이션 모델 개발 현황을 살펴보고자 한다.

본론

■ IC의 EMS 표준 동향

IC의 전자기파의 영향에 대한 내성 테스트는 IEC (International Electro-technical Commission) 기관에서 규정한다. 이 가운데 EMS 관련 IC 회로에 대한 표준은 표 1에 나오는 것과 같이 IEC 62132-1~5에서 규정을 하고 있다[2~4].

IEC 62132, Ed.1 Integrated circuits - Measurement of electromagnetic immunity	
Standard Overview	Name
IEC 62132-1	General conditions and definitions
IEC 62132-2	TEM cell and wideband TEM cell method
IEC 62132-3	Bulk Current Injection (BCI) method
IEC 62132-4	Direct RF Power Injection method
IEC 62132-5	Workbench Faraday Cage method

표 1. IEC 62132에서 제정된 immunity 측정 표준

IEC 62132-1은 EMS 측정과 관련된 용어 정의와 측정 환경에 대한 표준이다. IEC 62132-2에 규정된 TEM cell method란 그림 1과 같은 TEM cell 내부에 테스트 칩을 넣어 차폐된 공간을 만들어 표준 전자기장을 만들어 내어 복사성 간섭에 의한 IC의 내성을 평가하는 방법이다. IEC 62132-5에 규정된 Faraday cage는 TEM cell과 유사하게 그림 2와 같은 밀폐된 상자 안에 테스트 칩을 넣어 복사성 간섭에 의한 immunity를 측정하는 방법이다.

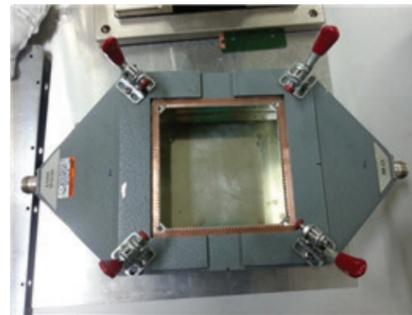


그림 1. TEM cell을 이용한 immunity 측정

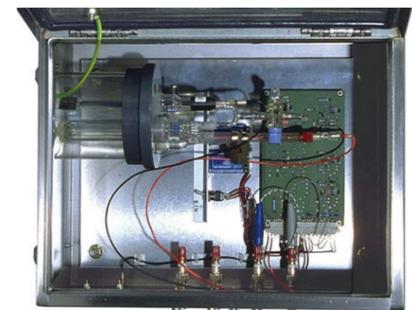


그림 2. Faraday cage를 이용한 immunity 측정
 (자료): http://www.ips-jaisle.de/en/faraday_cages.html

IEC 62132-3에 규정된 BCI method는 그림 3에 보인 것과 같은 magnetic material로 된 current injection probe에 RF power를 인가해주어 전선에 유도전류를 만들어 이를 장비의 케이블을 통해 칩에 주입하는 방법이다. BCI 테스트의 경우 유도 전류를 인가하는 BCI probe의 특성에 실험 결과가 달라질 수 있으므로, 전류 인가 probe의 특성을 실험 전에 명확히 파악하여 명시해야 한다. BCI 테

스트는 그림 4와 같이 RF power를 공급하는 RF generator와 유도 전류를 만드는 BCI probe, 주입되는 파워를 측정하는 directional coupler, IC 칩의 패키지를 포함한 테스트 보드로 이루어졌다. RF generator에서 RF 노이즈를 만들어 BCI probe에 인가하면, BCI probe는 전자기 유도 효과에 의해 유도 전류를 만들어낸다. 만들어진 전류는 기존 전원전압 또는 기존 회로의 input 신호에 중첩되어 IC의 pin으로 들어가게 된다. 이러한 과정을 통해 chip으로 들어간 전자기 노이즈가 전체적인 회로 동작에 어떤 영향을 미치는지 분석함으로써 IC의 immunity를 측정할 수 있다[5].

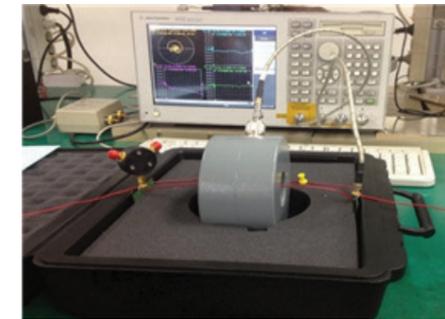


그림 3. BCI 테스트에 사용되는 Current Injection Probe

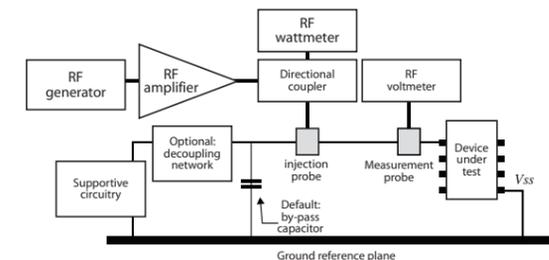


그림 4. BCI 테스트 개념도

IEC 62132-4에 규정된 DPI method는 커패시터를 통해 IC의 pin으로 직접 노이즈를 주입하는 방법으로 테스트 셋업이 그림 5에 보여져 있다. DPI 테스트는 그림 5에 나와있는 바와 같이 DC blocking 커패시터를 통해 RF 노이즈가 주입된다는 것 외에는 BCI 테스트와 유사하다. DPI test 환경은 RF power를 발생시키는 RF generator와 이 RF generator의 DC 성분을 차단하기 위한 DC blocking 커

패시터, 주입되는 파워를 측정하는 directional coupler, 그리고 테스트를 위한 IC 칩의 패키지, PCB로 이루어져 있다. DPI 테스트는 RF power를 직접적으로 주입해주는 방법이기 때문에 초기 실험 RF power를 과도하게 설정할 경우 측정 장비의 사양 범위를 넘어가는 power가 주입되어 장비가 파손 될 수 있으므로 주의해야 한다. 일반적으로 IC의 EMS 테스트는 처음에 매우 작은 수준의 power(대략 -50 dBm 정도)부터 인가하고 그 크기를 키워가면서 하는 것이 안전하다. DPI 테스트는 인가되는 RF 노이즈의 주파수에 따라 노이즈 주입 경로의 특성 임피던스가 달라 지므로, blocking 커패시턴스 등 주파수에 따른 전자파 주입 경로 특성을 파악해야 한다[6].

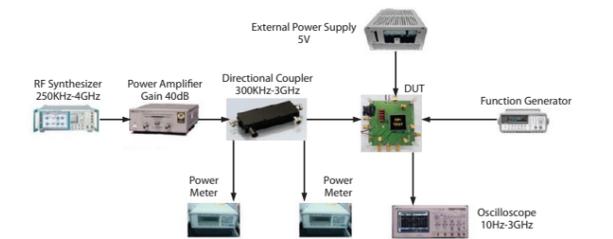


그림 5. DPI 테스트[6]

이 가운데 현재 실제 IC 제품을 다루고 있는 산업체나 연구소에서 immunity 측정을 위해 활발하게 사용되고 있는 BCI와 DPI 테스트 방법이다. 실제 IC에서 BCI/DPI를 시뮬레이션 및 테스트 하는 방법과 이를 통해 IC의 전자파 내구성을 평가한 결과들을 소개하고자 한다.

■ 회로 시뮬레이션을 통한 IC의 EMS 예측

BCI와 DPI테스트 방법 모두 sinusoidal radio frequency continuous wave, 즉 단일 주파수 성분을 가지는 정현파를 현실적인 electronic 시스템의 환경을 고려하여 IC에 직접 인가하는 방법이다. IEC 테스트 스펙에는 인가하는 주파수 영역이 150 kHz에서 1 GHz로 규정되어 있다. 그림 6.는 BCI/DPI를 평가하는 개념의 순서도이다. 평가 영역에 정해진 각 주파수에 대해 RF source의 power를 증가시켜 가며, IC의 동작을 모니터 한다. IC가 오동작하는 시점까지 power를 증가해 가며, 오동작 하는 시점의 power를 forward power라 하고, 그 주파수에서 immunity를 평가하는 기준이 된다.

IC의 설계단계에서 EMS를 시뮬레이션으로 예측하기 위한 DPI실험의 등가모델은 그림7 과 같다. 시뮬레이션 회로 구성은 실제 물성과

사이즈 정보를 기준으로 Partial Element Equivalent Circuit(PEEC) 모델과 transmission line 모델로 구성하여 Spice와 같은 회로 해석기를 사용하여 시뮬레이션을 가능하게 하였다. BCI 테스트를 시뮬레이션 하기 위해서는 current injection probe의 magnetic material의 특성을 고려한 등가회로 모델이 개발되어야 한다. 그림 8은 current probe의 노이즈의 전달 특성을 모델링한 간단한 등가회로이다[7].

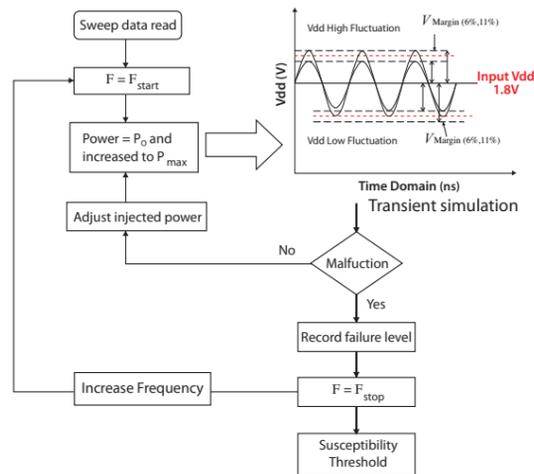


그림 6. BCI/DPI 평가 개념 순서도

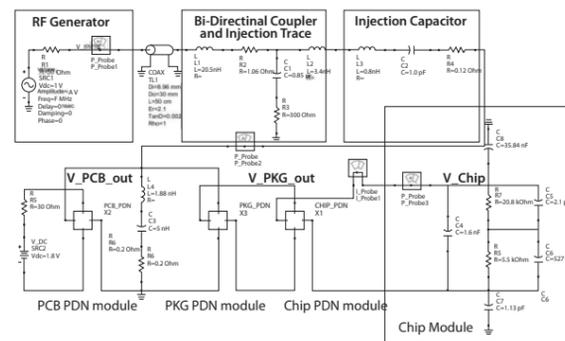


그림 7. DPI 테스트 시뮬레이션을 위한 등가회로[6]

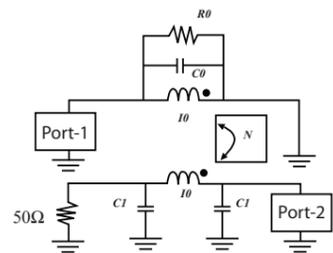


그림 8. DPI 테스트 시뮬레이션을 위한 Current injection probe 등가회로 모델 [7]

■ IC의 EMS 평가 결과

S. Miropolsky는 BCI 테스트에 사용하는 Fischer FCC F140 BCI-clamp의 input 임피던스를 측정하여 등가회로 모델을 만들었다.[8] 여기에 케이블과 PCB를 통해 RF가 주입되는 경로를 등가회로로 만들어 추가하였다. 테스트 칩은 input 임피던스에 따라 1kΩ의 단순 저항으로 모델링하여 IC의 susceptibility 모델을 구축하였다. 모델을 이용한 simulation 결과와 측정 결과를 비교한 결과가 그림 9와 같이 보고되었다. 10MHz 부터 1GHz까지 10dBm의 파워를 주입한 결과 400MHz 이하의 영역에서 susceptibility 모델과 측정 결과가 잘 맞음을 확인할 수 있다.

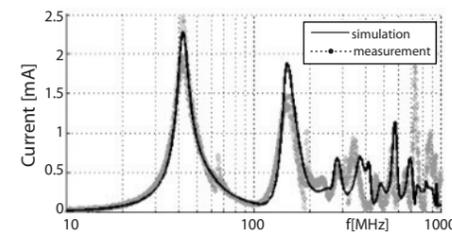


그림 9. Input 핀을 통해 주입되는 전류의 양

Boyer는 PLL(Phase Locked Loop)에서 노이즈에 가장 취약한 블럭인 VCO(Voltage controlled oscillator)의 Vdd에 DPI방법으로 EMI(Electromagnetic Interference)를 가했다[9]. VNA(Vector network analyzer)를 사용하여 PDN(Power distribution network)의 S-파라미터를 추출함으로써 등가회로 모델을 만들고, 여기에 PLL 회로를 합쳐 SPICE 모델을 만들어주었다.

이와 비교 모델로 VCO의 power에 EMI 노이즈가 주입될 때의 PLL jitter를 계산한 analytical모델을 만들어 500kHz부터 1GHz까지 주입되는 RF 노이즈의 주파수를 변화시키며 PLL jitter를 비교하였다(그림 10). 10 MHz 주파수 영역 근방의 주파수 성분이 같은 파워의 노이즈를 인가하더라도 PLL jitter에 상대적으로 큰 영향을 미치는 것을 알 수 있다.

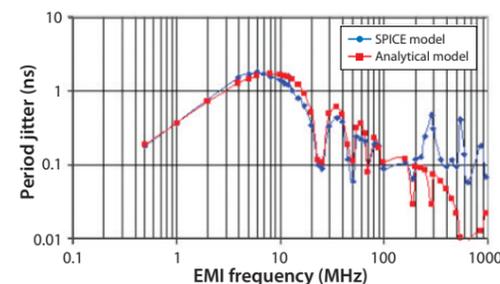


그림 10. SPICE 모델과 분석적 모델의 EMI의 주파수 변화에 따른 PLL 지터 비교

Alaeldine의 경우, DPI 테스트 방법을 사용하여 논리 회로로 이루어진 core에 전자파 노이즈를 인가하였다[10]. 동일한 회로에 on-chip decoupling 커패시터를 부착한 회로와 substrate를 분리시킨 회로

에도 같은 방법으로 노이즈를 주입하여 각각의 경우에 대해 내성을 비교하였다. 그림 10의 결과를 통해 on-chip decoupling 커패시터를 사용함으로써 회로의 전자파 내성을 향상 시킬 수 있음을 확인할 수 있다.

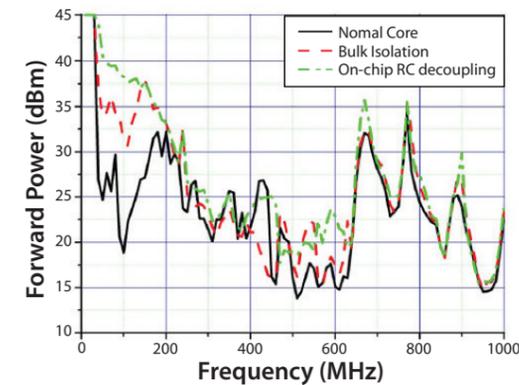


그림 11. 디지털 core의 DPI 노이즈 주입 경로에 따른 전자파 내성 비교

결론

지금까지 IC 회로에서의 EMS 표준 동향에 대해 알아보고 이를 이용하여 진행된 연구에 대해 살펴보았다. EMC문제는 앞으로도 IC의 회로의 집적도와 동작 주파수가 증가하고 전압의 마진이 줄어드는 추세에 따라 계속해서 증가할 것으로 보인다. 이에 대응하여 IC회로는 방출되는 전자파의 양을 줄이는 것도 중요하지만, 주변의 전자파 환경에서 강한 내성을 갖도록 설계하는 것도 중요하다.

설계단계에서 전자파 내성을 평가하기 위해서는 앞서 소개한 연구와 같이, 정확한 실험을 모의할 수 있는 시뮬레이션 모델을 개발해야 한다. 전자파 내성 모델을 이용하여 외부에서 주입되는 전자파에 대해 신뢰도 높은 IC를 만들 수 있는 설계 방법들이 개발될 수 있을 것이다.

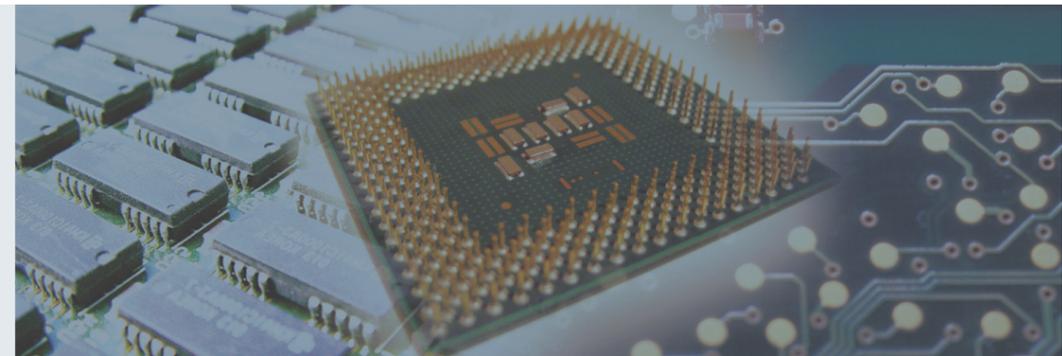
Reference

- [1] M. Ramdani et al., "The Electromagnetic Compatibility of Integrated Circuits - Past, Present and Future," IEEE Trans. on Electromagn. Compat., vol.51, no. 1, pp.78-100, Feb. 2009
- [2] IEC 62132-1: 2006, Integrated Circuits - Measurement of electromagnetic radiated immunity 150kHz to 1GHz - Part 1: General conditions and definitions
- [3] IEC 62132-3, Integrated Circuits - Measurement of electromagnetic radiated immunity 150kHz to 1GHz - Part 3: Bulk current injection method
- [4] IEC 62132-4, Integrated Circuits - Measurement of electromagnetic radiated immunity 150kHz to 1GHz - Part 3: Direct RF power injection method
- [5] SangKeun Kwak, JeongMin Jo, SeokSoon No, HyeSook Lee, SoYoung Kim, "Bulk Current Injection Test Modeling using Equivalent Circuit for 1.8V Mobile ICs," in Proc. AP-EMC, May 2012.
- [6] Bo Pu, Jae Joong Lee, Sang Keun Kwak, So Young Kim, Wansoo Nah, "Electromagnetic Susceptibility Analysis of ICs using DPI Method with Consideration of PDN," in Proc. AP-EMC, May 2012.
- [7] SangKeun Kwak, SeokSoon No, KyuJin Kim, Wansoo Nah, SoYoung Kim, "Equivalent Circuit Modeling of Bulk Current Injection Probe," Korea-Japan EMI/EMC/BE Joint Conference, Seoul, May 2012.
- [8] S. Miropolsky, S. Frei, J. Frensch, "Modeling of Bulk Current Injection (BCI) Setups for Virtual Automotive IC Tests", EMC Europe 2011, Wroclaw, Poland
- [9] A. Boyer, B. Li, S. Ben Dhia, C. Lemoine, and B. Vrignon, "Construction and Evaluation of the Susceptibility Model of an Integrated Phase-Locked Loop", EMC Compo 2011, Dubrovnik, Croatia
- [10] A. Alaeldine, N. Lacrampe, J. L. Levant, R. Perdriau, M. Ramdani, F. Caignet, E. Sicard, and M. Drissi, "Efficiency of Embedded On-Chip EMI Protections to Continuous Harmonic and Fast Transient Pulses with respect to Substrate Injection", Proc. IEEE Symp. EMC 2007, pp. 1-5, Jul. 2007.

Verilog를 이용한 효율적인 하드웨어 설계 Tips



한동대학교 전산전자공학부
 이강 교수
 연구분야 : Embedded System Design, Digital System Design, Low power Memory System
 E-mail : yk@handong.edu
 http://pro.handong.edu/yikang



이강영 교수

서론

Verilog-HDL라는 강력한 표현수단과 FPGA라는 강력한 구현수단 및 FPGA를 타겟으로 Verilog 코드를 자동합성해주는 우수한 무료 합성툴이 제공되기 때문에 디지털하드웨어 설계 및 검증이 과거에 비해서 매우 쉬워진 것은 사실이다. 그러나, 필자의 경험에 의하면 아직 많은 수의 설계자들이 Verilog 언어를 하드웨어 합성결과에 대한 고민없이 마술지팡이처럼 생각하고 있는 것 같아 보인다. Verilog로 하드웨어를 기술할 때, 시뮬레이션 결과와 합성결과가 서로 일치되도록 하는 것은 가장 기본적 고려사항이 되어야 하고, 경제적으로 합성되도록 면적과 성능을 최적화시키는 고려가 코딩 시에도 나타나야 한다.

이를 위해서는 본고에서 제시하는 몇가지 코딩 tip들을 준수하면 도움이 될 것이다. 더불어, 본고에서는 Verilog-95의 문법적 한계를 극복한 Verilog-2001을 사용하도록 권장한다. 과거의 Verilog-95의 문법이 아닌 Verilog-2001 문법을 사용하면 더 효과적으로 표현하면서도 사소한 실수를 줄여주는 장점이 있다. 본고는 FPGA 구현을 위한 Verilog 코딩을 주로 염두에 두고 설명하지만 한 두 가지를 제외하고는 대부분 일반 ASIC 설계에도 그대로 적용할 수 있는 원칙과 tip들이다 (Xilinx FPGA 에만 적용가능한 팁은 제목 어귀에 * 로 표기하였다.)

본론

■ 시뮬레이션 결과와 합성 결과가 일치되도록 하는 코딩
 (1) 조합회로의 sensitivity list가 완전해야 함 : 조합회로의 모든 입력은 sensitivity list에 빠짐없이 열거되어야 함. 혹은, * 로 표기하여 Verilog 컴파일러가 자동으로 찾도록 할 수도 있음.

<pre>always @(c,d) if (a == b) z = c; else z = d;</pre>	<pre>always @(a,b,c,d) if (a == b) z = c; else z = d;</pre>	or	<pre>always @(*) if (a == b) z = c; else z = d;</pre>
<pre>always @(a,b,c) case (sel) 2'b00 : y = a b; 2'b01 : y = a & b; default: if (cmp) y = !c; else y = c; endcase</pre>	<pre>always @(a,b,c,sel,cmp) case (sel) 2'b00 : y = a b; 2'b01 : y = a & b; default: if (cmp) y = !c; else y = c; endcase</pre>	or	<pre>always @(*) case (sel) 2'b00 : y = a b; 2'b01 : y = a & b; default: if (cmp) y = !c; else v = c;</pre>

(2) 의도하지 않는 latch 예방하는 코딩 : 조합회로를 기술하면서 의도하지 않게 latch가 합성되도록 하는 실수가 자주 있다. 이 실

는 시뮬레이션 상에서는 문제가 없으나 하드웨어로 합성했을 때 예기치 않은 동작을 하게하는 주된 원인 중 하나이다. Latch가 합성되는 rule은 단순하다. 각 signal별 할당문이 실행되는 조건이 빠지면 latch가 만들어진다. 즉, 어떤 signal에 값이 할당되는 모든 조건이 열거되지 않으면 그 언급되지 않은 조건에서는 과거의 signal 값을 hold하라는 뜻이 되기 때문에 메모리(latch) 소자가 만들어지게 된다. 가장 흔한 경우는, if문에서 else가 없거나 case 문에서 default가 없을 때이다 (그러나, flip-flop이나 카운터 등 메모리 출력으로 의도된 변수는 예외임). 특히, FPGA로 구현하는 디지털 회로의 경우 메모리 소자가 필요하다면 latch 대신 flip-flop을 사용할 것을 강력히 권장한다.

아래는 if문에서 a != b 조건이 false일 경우 z의 값이 기술되지 않아 latch 회로가 z 출력에 만들어진다.

<pre>// xor 회로의 기술 // latch 합성됨. always @(a, b) if (a != b) z = 1'b1;</pre>	<pre>// xor 회로의 기술, 100% 조합회로 always @(a, b) if (a != b) z = 1'b1; else z = 1'b0;</pre>
---	---

다음처럼, 논리적으로 모든 경우가 기술되더라도 형식상 else가 없으면 논리합성기가 latch가 발생할 수도 있다 (합성기에 따라 다름)

<pre>// xor 회로의 기술 // latch 합성됨. always @(a,b) if (a != b) z = 1'b1; else if(a == b) z = 1'b0</pre>	<pre>// xor 회로의 기술, 100% 조합회로 // else로 끝나는 형식이어야 함. always @(a,b) if (a != b) z = 1'b1; else z = 1'b0;</pre>
---	--

중첩된 if 문에서 else가 빠진 경우가 없는지 주의하여 한다. 아래 문장은 얼핏 보면 문제가 없어 보이지만, req 신호의 입장에서는 sel가 2'b01 이거나 2'b10일때의 값이 지정되지 않았고, ack 신호의 입장에서는 sel가 2'b00일 때 값이 지정되지 않아서 req와 ack에 각각 latch가 만들어지게 된다. 이런 복잡한 경우, 모든 경우의 수에 대해서 각 signal의 출력값을 일일이 문장으로 적어주는 것이 번거로우므로 아래 우측 예와 같이 기본값을 한번 적어주면 명시적으로 언급되지 않은 나머지 경우에 대해서는 이 기본값이 적용된다(우측 아래 begin 직후 ack = 0; req = 0; 문장에 해당).

<pre>// 복잡한 if 문 // req와 ack에 latch 발생 always @(sel, mode1) if (sel == 2'b00) begin if(mode1) req = 1; else req = 0; end else if(sel == 2'b01) ack = 1; else if(sel == 2'b10) if(mode1) ack = 0; else ack = 1; else begin ack = 0; req = 0; end end</pre>	<pre>// 단순 조합회로 always @(sel, mode1) begin ack = 0; req = 0; if (sel == 2'b00) begin if(mode1) req = 1; else req = 0; end else if(sel == 2'b01) ack = 1; else if(sel == 2'b10) if(mode1) ack = 0; else ack = 1; end</pre>
---	---

case 문에서도 default가 없는 경우 latch 가 만들어질 가능성이 매우 크기 때문에 유의해야 한다.

<pre>always @(sel,in1,in2,in3) case(sel) 2'b00: y = in1; 2'b01: y = in2; 2'b10: y = in3; endcase</pre>	<pre>always @(sel,in1,in2,in3) case(sel) 2'b00: y = in1; 2'b01: y = in2; default: y = in3; endcase</pre>
---	---

Case 문과 if 문이 중첩되어 있는 경우에도, 각각의 출력 신호들에 대해서 모든 경우의 수가 다 명시적으로 언급되고 있는지 확인해야 한다. 아래 예는, y 출력신호와 z 출력신호의 값이 일부 경우에 있어서 값이 지정되지 않아서 latch가 만들어진다.

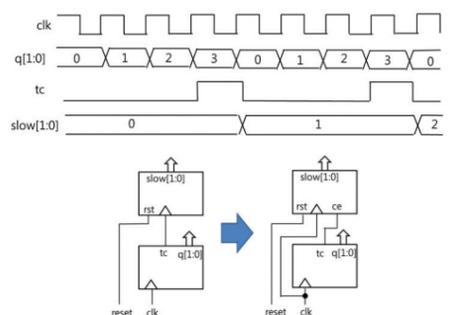
<pre>always @(sel,in1,in2,in3) case(sel) 2'b00: begin if (s) y = 2'b01; z = 1'b0; end 2'b01: if(s) y = 2'b10; else y = 2'b00; 2'b10: begin if(s) y = 2'b10; else y = 2'b00; z = 1'b1; end default: begin y = 2'b00; z = 1'b0; end endcase</pre>	<pre>always @(sel,in1,in2,in3) begin z = 1'b0; case(sel) 2'b00: if (s) y = 2'b01; else y = 2'b00; 2'b01: if(s) y = 2'b10; else y = 2'b00; 2'b10: begin if(s) y = 2'b10; else y = 2'b00; z = 1'b1; end default: begin y = 2'b00; z = 1'b0; end end endcase</pre>
--	--

단, 플립플롭을 기술할 경우에는 출력 신호의 else를 생략할 수 있다.

<pre>always @(posedge clk, posedge rst) if(rst) q <= 0; else if(en) q <= q + 1 else q <= q;</pre>	<pre>always @(posedge clk, posedge rst) if(rst) q <= 0; else if(en) q <= q + 1</pre>
---	---

(3) 카운터를 이용한 Clock 분주 회로는 사용을 지양할 것. 클럭 분주를 위해서 카운터의 출력 신호를 그대로 다른 회로의 클럭 신호 대신으로 사용하는 것은 실제 하드웨어로 만들었을 때 타이밍 문제를 일으킬 소지가 크다. 여러 클럭마다 주기적으로 한번씩 동작시켜야 하는 회로가 있다면, 클럭 신호를 바꾸는 대신 clock enable (ce) 신호를 사용하여 제어하는 방식으로 설계하는 것이 바람직하다. 아래 예는 4클럭에 한번씩 slow가 증가하도록 하는 예제이다.

<pre>module clk_div (clk, reset, slow); input clk, reset; output [1:0] slow; reg [1:0] slow; reg [1:0] q; wire tc; always @(posedge clk) q <= q + 1; assign tc = (q >= 2'b11)?1:0; always @(posedge tc) if(reset) slow <= 0; else slow <= slow+1; endmodule</pre>	<pre>module clk_div (clk, reset, slow); input clk, reset; output [1:0] slow; reg [1:0] slow; reg [1:0] q; wire tc; always @(posedge clk) q <= q + 1; assign tc = (q >= 2'b11)?1:0; always @(posedge clk) if(reset) slow <= 0; else if (tc) slow <= slow+1; endmodule</pre>
---	--



(4) Always문 내의 할당문 사용시 주의사항
 * 하나의 신호에 대한 할당문은 하나의 always문으로 병합할 것 : 하나의 신호에 값을 할당하는 여러 조건들이 서로 중복없이 배타적일지라도 이것을 여러개의 always 문에 나누어서 기술하면 합성시에 오류(Multiple Driver Error)가 발생됨. 즉, 아래 예에서 dq신호의 경우와 같이 한 dq 신호에 대한 4개의 할당문들은 하나의 always 블록 안으로 모아서 기술해야 함.

```
// multiple drivers Error!
always @(reset, set)
if(reset)
dq <= 0;
else if(set)
dq <= 1;

always @(posedge clk)
begin
dq <= dq + 1;
if(!d)
dq <= data;
end

// Error resolved
always @(posedge clk)
if(reset)
dq <= 0;
else if (set)
dq <= 1;
else if (!d)
dq <= data;
else
dq <= dq + 1;
```

* 하나의 always 블록 안에 Blocking assignment문과 non-blocking assignment 문을 하나의 섞어 쓰지 말 것 : 시뮬레이션 시에 blocking assignment 문과 non-blocking assignment 문의 의미가 차이가 나기 때문에 특히, 하나의 신호에 대해서 blocking assignment 문(= 할당기호 사용)과 non-blocking assignment 문(= 할당기호 사용)을 섞어서 사용하지 않는 것이 좋다. 즉, 특정 always 문이 조합회로를 기술하는데 사용되는지 메모리 소자를 기술하는데 사용되는지로 나누어서 판단하고, block assignment 문 은 조합회로를 기술하는데 쓰고, non-blocking assignment 문 은 메모리 소자를 기술하는데 사용하는 것으로 통일하는 것이 안전한 코딩 습관이다.

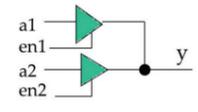
```
// multiple drivers Error!
always @(reset, set)
if(reset)
dq <= 0;
else if(set)
dq <= 1;

always @(posedge clk)
begin
dq <= dq + 1;
if(!d)
dq <= data;
end

// Error resolved
always @(posedge clk)
if(reset)
dq <= 0;
else if (set)
dq <= 1;
else if (!d)
dq <= data;
else
dq <= dq + 1;
```

(5) tri-state buffer 표현시 continuous assignment와 procedural assignment의 차이점 주의 : always 문 내의 procedural assignment는 multiple driver로 인한 충돌 문제를 잘 감지해 내지 못할 수 있다. Tri-state buffer 등에서는 multiple driver 표현이 피할 수 없는데 이때, 아래 좌측의 예(x)에서와 같이 procedural assignment 문을 사용하면 제대로 시뮬레이션 결과가 나오지 않을 수 있다. 아래 우측의 예(y)와 같이 continuous assignment 문을 사용하여 표현하면 정확하게 시뮬레이션 결과를 얻을 수 있다. 시뮬레이션 파형을 보면, en1과 en2가 모두 on이고 a1과 a2가 반대의 값을 가질 때 출력

'x' (붉은색)이어야 하는데, continuous assignment 문을 사용하여 표현한 y 신호만이 제대로 출력되고 있다.

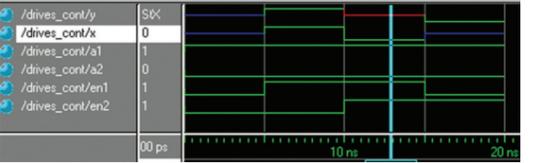


```
// procedural assignment 문 사용
module drivers_seq (x,a1,a2,en1,en2);
output x;
input a1, a2, en1, en2;
reg x;

always @(en1 or a1)
if(en1) x = a1; else x = 1'bz;
always @(en2 or a2)
if(en2) x = a2; else x = 1'bz;
endmodule

// continuous assignment 문 사용
module drivers_cont (y,a1,a2,en1,en2);
output y;
input a1, a2, en1, en2;
reg y;

assign y = en1 ? a1 : 1'bz;
assign y = en2 ? a2 : 1'bz;
endmodule
```



- (6) 기타: 다음 구문들은 시뮬레이션에서는 문제 없으나 합성이 되지 않는 사항들이므로 합성 가능한 코딩을 할 때는 제외시켜야 한다.
- * Initial block : initial문은 시뮬레이션에서만 동작이 가능하다. 회로의 초기화 등에 필요한 logic은 reset 신호를 이용해서 구현해야 한다.
 - * Delay 표현 : #숫자 로 표현된 문장들은 (intra-delay, regular delay 모두)
 - * Loop 문 (특히, while 문) : while문이나 forever문은 일반적으로 자동 합성이 불가능하다. for문이나 repeat 문은 경우에 따라 합성이 가능할 수 있다. loop문의 합성 가능여부는 컴파일 시점에서 컴파일러가 loop를 제거할 수 있는지로 판단할 수 있다.

■ 경제적 하드웨어 합성을 유도하는 코딩

(1) If-else 문이 깊이 중첩되는 경우를 지양할 것 : if-else가 너무 깊게 cascading 되면 delay가 길어져서 조합회로 상의 critical path가 될 수 있다. 이 경우를 피하기 위해서 case문으로 표현하는 것이 바람직하다.

```
always @(a,b,c,d,en,req)
if (en & req)
y = a;
else if (en & !req)
y = b;
else if (en & !req)
y = c;
else
y = d;

always @(a,b,c,d, en, req)
case ((en,req))
2'b00 : y = b;
2'b11 : y = a;
2'b10 : y = c;
default: y = c;
endcase
```

(2) 하드웨어 면적 최소화를 위한 고려 : 덧셈기 등 다른 블록에 비해서 면적이 큰 회로블록은 여러 다른 부분에서 공유할 수 있도록 처음 HDL로 표현할 때부터 공유가 용이하도록 회로를 기술하는 것이 좋다. 아래 예는 동일한 기능을 하는 논리회로를 두가지 방식으로 표현한 것이다. 아래 좌측은 덧셈기호가 2번 사용되었

고 아래우측은 덧셈기호가 1번만 사용하도록 표현되어 있기 때문에 이 표현을 그대로 합성하면 좌측은 덧셈기 2개, 우측은 덧셈기 1개가 합성될 수 있다. 즉, 어떤 논리합성기에서는 좌측 회로가 우측에 비해서 비효율적으로 면적이 더 커질 수 있기에 주의가 필요하다.

```
module adder_normal (a,b,c,d,sel,y);
input [7:0] a,b,c,d;
input sel;
output [7:0] y;
wire [7:0] y0, y1;

assign y0 = a+b;
assign y1 = c+d;
assign y = (sel==0)?y0:y1;
endmodule

module adder_area (a,b,c,d,sel,y);
input [7:0] a,b,c,d;
input sel;
output [7:0] y;
wire [7:0] y0, y1;

assign y0 = (sel==0)?a:c;
assign y1 = (sel==0)?b:d;
assign y = y0+y1;
endmodule
```

- (3) 연산 기호의 직접적 사용 주의* : HDL 표현에 사용된 덧셈과 뺄셈 기호는 논리합성기가 자동적으로 적절하게 잘 구현하는 것이 일반적이지, 일부 논리 합성기에서는 곱셈 연산기호는 아예 회로를 합성해주지 않거나, 합성을 하더라도 면적이 매우 큰 조합회로로 구현하는 경우가 있기에 곱셈기호를 직접 사용하는 연산회로 표현은 주의가 필요하다. 나눗셈기호는 자동 합성되지 않는 경우가 대부분이다. 곱셈 및 나눗셈인 경우에는 Vendor에서 제공하는 라이브러리의 Math 컴포넌트를 instantiation하는 것이 현명하다. Xilinx FPGA를 target으로 하는 경우에는 Xilinx Core Generator를 사용하여 필요한 곱셈 등의 연산회로를 자동 생성하고 이를 instantiation하는 방안이 바람직하다.
- (4) 내부 메모리 표현 주의*
 하나의 칩에 로직회로뿐만이 아니라 약간의 내부 SRAM 메모리가 필요하다면 HDL 표현에 조금 더 신경을 쓰는 것이 좋다. Xilinx FPGA를 target으로 한다면, 칩 내부의 BLOCK SRAM이라는 별도의 메모리 영역을 활용하는 것이 좋다. 작성한 HDL 코드로부터 Block RAM 영역이 자동적으로 사용되게 하려면 Xilinx에서 정해진 코딩 스타일을 따라야 한다. 이 코딩 양식에서 어긋나면 내장 메모리를 위한 Block RAM영역이 아닌 로직회로를 표현하기 위한 LUT 영역이 사용되어 칩 면적 낭비가 심해진다. 아래는 write 동작 우선 순위가 높은 single port SRAM 표현이다.

```
// Inferred LUT-based RAM
//256x8-bit single-port distributed RAM
module RAM_dual (clk, addr, wen, data_in, data_out);
input clk, wen;
input [7:0] addr;
input [7:0] data_in;
output [7:0] data_out;
reg [7:0] data_out;
reg [7:0] ram [0:255];
always @(posedge clk)
if(wen)
ram[addr] = data_in;
assign data_out = ram[addr];
endmodule

// Inferred Block RAM-based RAM
//256x8-bit single-port block RAM
module RAM_dual (clk, addr, wen, data_in, data_out);
input clk, wen;
input [7:0] addr;
input [7:0] data_in;
output [7:0] data_out;
reg [7:0] data_out;
reg [7:0] ram [0:255];
always @(posedge clk)
if(wen)
ram[addr] = data_in;
else
data_out = ram[addr];
endmodule
```

아래는 읽기와 쓰기를 동시에 할 수 있는 dual port 동기식 SRAM의 표현이다.

```
// Inferred LUT-based RAM
//256x8-bit dual-port distributed RAM
module RAM_dual (clk, wen, addr_rd, addr_wr, data_in, data_out);
input clk, wen;
input [7:0] addr_rd, addr_wr;
input [7:0] data_in;
output [7:0] data_out;
reg [7:0] data_out;
reg [7:0] ram[255:0];
always @(posedge clk)
if(wen)
ram[addr_wr] = data_in;
assign data_out = ram[addr_rd];
endmodule

// Inferred Block RAM-based RAM
// 256 x 8-bit dual-port block RAM
module RAM_dual (clk, addr_rd, wen, addr_wr, data_in, data_out);
input clk, wen;
input [7:0] addr_rd, addr_wr;
input [7:0] data_in;
output [7:0] data_out;
reg [7:0] data_out;
reg [7:0] ram[255:0];
always @(posedge clk) begin
if(wen)
ram[addr_wr] = data_in;
data_out = ram[addr_rd];
end
endmodule
```

■ 실수를 줄이는 더 간편한 표현들 (Verilog-95 vs. Verilog-2001)
 Verilog-2001 문법에서 개선된 사항들을 적극 활용하면 Verilog를 이용한 회로의 기술이 훨씬 간결하면서도 실수를 더 많이 예방할 수 있다. 그 중 중요한 몇가지를 소개한다.

(1) Verilog-95에서는 출력 포트가 reg 타입인 경우, output으로 선언하고 reg로 선언하는 등 두번에 걸쳐 동일 신호를 선언해야 하지만, Verilog-2001에서는 중복할 필요가 없이 한번의 선언으로 해결할 수 있다. 즉, output 선언과 reg 선언을 한문장으로 합하여 할 수 있다. 아래의 Verilog-2001 표현에서 wire 란 키워드는 생략이 가능하다.

```
// Verilog-95
module adder (sum, co, a, b, ci);
output [31:0] sum;
output co;
input [31:0] a, b;
input ci;
reg [31:0] sum;
reg co;
wire [31:0] a, b;

// Verilog-2001
module adder (sum, co, a, b, ci);
output reg [31:0] sum;
output reg co;
input wire [31:0] a, b;
input wire ci;
```

(2) Verilog-95에서는 모듈 헤더에서 포트 이름 선언과 포트 타입 선언을 나누어서 해야 하지만, Verilog-2001에서는 C언어의 함수 선언과 유사한 형태로 모듈의 헤더를 선언할 수 있다.

```
// Verilog-95
module adder (sum, co, a, b, ci);
output [31:0] sum;
output co;
input [31:0] a, b;
input ci;
reg [31:0] sum;
reg co;

// Verilog-2001
module adder (
output reg [31:0] sum;
output reg co;
input wire [31:0] a, b;
input wire ci);
```

(3) Verilog-2001에서는 parameter 선언이 모듈 포트 선언과 유사한 형태로 선언하도록 변경되어 parameter 선언부의 가독성이 더 높아졌다.

```
// Verilog-95
module adder (sum, co, a, b, ci);
  parameter MSB = 7, LSB = 0;
  output [MSB:LSB] sum;
  output co;
  input [MSB:LSB] a, b;
  input ci;
  reg [MSB:LSB] sum;
  reg co;
  wire [MSB:LSB] a, b;

// Verilog-2001
module adder
  #(parameter MSB=7, LSB=0)
  (output reg [MSB:LSB] sum;
  output reg co;
  input wire [MSB:LSB]a,b;
  input wire ci);
```

(4) 모듈의 instantiation에서 모듈의 parameter 값을 재정의할 때, 포트 연결과 유사한 형태로 표현하도록 함으로써 parameter 값 재정의의 가독성을 높였다.

```
// Verilog-95
adder u0
  #(31, 0)
  (// port connection
  ....);

OR

// Verilog-95
adder u0 (// port connection
  ....);
  defparam u0.MSB = 31

// Verilog-2001
adder u0
  #(MSB(31), LSB(0))
  (// port connection
  ....);
```

(5) Verilog-95의 parameter 선언은 해당 모듈을 instantiation할 때 값을 상위 모듈에서 재설정할 수 있도록 하는 용도와 모듈 내부에서 상수처럼 사용하는 심벌 정의의 두 가지 용도를 다 가지고 있으나, Verilog-2001에서는 모듈 외부에서 재정의할 수 없도록 하고 해당 모듈 내에서만 로컬 상수로 사용되는 심벌의 정의를 위해 parameter 외에 localparam을 새로 도입하였다.

```
// Verilog-95
module controller ( );
  parameter state1 = 4'b0001,
  state2 = 4'b0010,
  state3 = 4'b0100,
  state4 = 4'b1000;
  // ...

// Verilog-2001
module controller ( );
  localparam state1 = 4'b0001,
  state2 = 4'b0010,
  state3 = 4'b0100,
  state4 = 4'b1000;
  // ...
```

(6) Verilog-95에서는 sensitivity list의 변수들을 or 로 분리하여 열거해야 하지만, Verilog-2001에서는 콤마(,)로 분리해서 열거할 수 있도록 한다.

```
// Verilog-95
always @(a or b or c)
  sum = a + b + c;

always@(posedge clk or negedge rst)
  if(!rst)
    q <= 0;
  else
    q <= d;

// Verilog-2001
always @(a, b, c)
  sum = a + b + c;

always@(posedge clk, negedge rst)
  if(!rst)
    q <= 0;
  else
    q <= d;
```

(7) Verilog-95에서는 always 문의 sensitivity list 에 영향을 주는 모든 입력 변수들이 다 빠짐없이 열거되어야 하지만, Verilog-

2001에서는 always문이 조합회로를 기술할 경우에 sensitivity list에 모든 입력 변수를 일일이 열거하는 대신에 * (asterisk) 를 사용하도록 하여 간결하게 표현한다. (*를 둘러싼 괄호를 추가로 생략할 수도 있다.)

```
// Verilog-95
always @(a or b or c)
  sum = a + b + c;

// Verilog-2001
always @(*)
  sum = a + b + c;
```

(8) Verilog-95에서는 변수를 명시적으로 선언하지 않더라도 instance connection에 새로운 변수명이 나타나거나, continuous assignment문의 LHS에 새로운 변수 명이 등장하면 컴파일러가 자동으로 이 선언되지 않은채 나타난 변수를 net type의 변수로 선언한다. 즉, Verilog 코딩시에 설계자가 변수의 이름을 실수로 잘못 타이핑했을 경우에, Verilog-95에서는 이 실수로 잘못 입력한 변수를 net type의 새로운 변수가 등장한 것으로 간주하여 implicit net declaration으로 처리하고 오류처리를 하지 않는다. 이 가능 때문에 초보자들이 많은 시행착오를 겪게 된다. 따라서, 명시적으로 선언되지 않은 변수명에 대해서는 Verilog 컴파일러가 오류로 처리하도록 하기 위해서는 implicit net declaration 기능을 정지시켜야 한다. Verilog-2001에서는 이를 지원할 수 있는 default_nettype이란 compiler directive 가 따로 제공된다.

```
// Verilog-95
module bad_chip (o1,n0, n1)
  output o1;
  input no, n1

  and (O1, n0, n2);
  // misspelled name (O1, n2)
  // simply infer new signals

endmodule

// Verilog-2001
`default_nettype none
module bad_chip (o1,n0, n1)
  output o1;
  input no, n1

  and (O1, n0, n2);
  // misspelled names (O1, n2)
  // generate compiler errors

endmodule
```

MPW(Multi-Project Wafer) Design Contest

IDEC MPW 설계공모전

IDEC MPW 설계공모전을 통하여 자신이 설계한 IC를 국내 최고의 Foundry 업체에서 제작할 수 있습니다. 여러분이 주인공이 되어 생각을 현실로 구현해 보세요.

2013년 MPW 공정 지원 내역 및 진행 일정

회사	공정[μm]	공정내역	size	공모전횟수
삼성	65nm	CMOS 1-poly 8-metal	4mmx4mm	3
매그나칩/하이닉스	0.35μm	CMOS2-poly4-metal (Optionalayer(DNW, HRI, BT, CPOLY)추가)	5mmx4mm	2
	0.18μm	CMOS1-poly6-metal (6metal용 Thickmetal(TKM)포만사용가능) (Optionalayer(DNW, HRI, BT, MIM)추가)	4.5mmx4mm 4.5mmx2mm	4
동부하이텍	0.11μm	CMOS1-poly6-metal (Top:UTM)	5mmx2.5mm 2.5mmx2.5mm	2
	0.18μm BCDMOS	CMOS 1-poly 4-metal TM		4
	0.35μm BCDMOS	CMOS 2-poly 4-metal TM		4
TowerJazz	0.18μm CIS	CMOS 1-poly 4-metal		2
	0.18μm	RFCMOS 1-poly 6-metal	2	
	RFCMOS 0.18μm	CMOS 1-poly 3-metal(MT)	2	
	BCDMOS 0.18μm SiGe	SiGe BiCMOS 1-poly 6-metal	1	

* 2013년 공정 지원 변경 내역
 - 삼성 공정 : ① 0.13μm 공정 지원 중단 ② 삼성 65nm 지원 회차 증가(2회→3회)
 - 동부 공정 : ① 0.11μm-지원 축소 ② 0.35μm 축소(5회→4회)→0.18μm증가(3회→4회)
 - 동부 BCD 공정 : PKG 지원 중단

2013년 MPW 칩제작 현황

구분	공정사	공정	제작 횟수	우선모집		정규모집		후기	DB미감 (Tape-Out)	DB전달 (Fab-In)	Die-out	Package-out
				신청마감	신청발표	신청마감	신청발표					
118회 (13-01)	M/H	0.18μm	20			12.12.07	12.12.20		13.02.18	13.03.04	13.07.22	13.08.30
	동부	0.35μm	3			12.12.07	12.12.20		13.02.27	13.03.13	13.06.12	13.07.12
	TJ	0.18μm(SiGe)	1			12.12.07	12.12.20		13.03.12	13.03.19	13.07.01	-
119회 (13-02)	동부	0.11μm	12			12.12.07	12.12.20		13.03.20	13.04.10	13.07.31	13.09.02
	삼성	65nm(RF 지원)	48			12.12.07	12.12.20		13.03.15	13.04.05	13.08.15	13.09.15
	동부	0.35μm	3			12.12.30	13.01.16		13.05.01	13.05.15	13.08.14	13.09.16
120회 (13-03)	M/H	0.18μm	20			12.12.30	13.01.16		13.05.06	13.05.20	13.10.04	13.11.08
	TJ	0.18μm(CIS)	1			12.12.30	13.01.16		13.05.06	13.05.13	13.09.16	-
	동부	0.18μm	2			12.12.30	13.01.16		13.05.15	13.05.29	13.08.28	13.09.30
121회 (13-04)	TJ	0.18μm(RF)	2			12.12.30	13.01.16		13.05.20	13.05.27	13.09.16	-
	M/H	0.35μm	20			13.01.30	13.02.15		13.06.17	13.07.04	13.10.04	13.11.08
	동부	0.18μm	2			13.01.30	13.02.15	13.03.04~	13.06.26	13.07.10	13.10.09	13.11.11
122회 (13-05)	삼성	65nm	48			13.01.30	13.02.15		13.07.05	13.07.26	13.12.06	14.01.06
	M/H	0.18μm	20			13.01.30	13.02.15	13.04.01~	13.07.29	13.08.12	13.12.24	14.02.07
	동부	0.18μm	2	12.12.07	12.12.20	13.02.28	13.03.15		13.08.14	13.08.28	13.11.27	13.12.27
123회 (13-06)	동부	0.35μm	3			13.02.28	13.03.15	13.05.02~	13.08.21	13.09.04	13.12.04	14.01.06
	동부	0.11μm	12			13.03.30	13.04.15	13.06.03~	13.09.11	13.10.02	14.01.22	14.02.24
	TJ	0.18μm(CIS)	1			13.04.30	13.05.17		13.10.14	13.10.21	14.02.17	-
124회 (13-07)	TJ	0.18μm(RF)	1			13.04.30	13.05.17		13.10.21	13.10.28	14.02.17	-
	TJ	0.18μm(BCD)	2	13.1.30	13.2.15	13.04.30	13.05.17	13.07.01~	13.10.21	13.10.28	14.02.17	-
	M/H	0.18μm	20			13.04.30	13.05.17		13.10.21	13.11.04	14.03.25	14.04.25
125회 (13-08)	동부	0.35μm	3			13.04.30	13.05.17		13.10.23	13.11.06	14.02.05	14.03.05
	삼성	65nm(RF 지원)	48			13.05.30	13.06.17	13.08.01~	13.11.08	13.11.29	14.04.11	14.05.12
	동부	0.18μm	2	13.02.28	13.03.15	13.05.30	13.06.17		13.11.13	13.11.27	14.02.26	14.03.26
127회 (13-10)	M/H	0.35μm	20			13.05.30	13.06.17	13.09.01~	13.12.02	13.12.17	14.03.25	14.04.25

참여 대상 : IDEC Working Group(WG) 대학의 학부생 및 대학원생

- 표기 : 1) 년.월.일 2) M/H= 매그나칩/하이닉스 3) TJ= TowerJazz
- 모집 : 우선(50%), 정규(50%) 모집을 원칙으로 하며, 정규에 마감일 안된 공정에 대해서만 후기모집을 실시함.
- 동부 & TowerJazz 공정은 5mmx2.5mm 또는 2.5mmx2.5mm 사이즈로만 신청 가능함.
- 위의 일정은 사정에 따라 다소 변경될 수 있음.
- 설계설명회 우선모집시는 개최되지 않으며, 후기모집도 경우에 따라 개최되지 않을 수 있음.
- 2011년 MPW부터는 참여자가 1개월 이상 지연되는 경우 지연기간에 따른 일정 비율의 참가비를 환급하여 적립해 드림.

SPECIAL Column

경쟁력있는 Full Custom Design을 위한 시놉시스 설계 환경 제안

시놉시스는 VLSI Design의 EDA 표준을 제시하고 개발하며 동시에 전파함으로 VLSI Design Flow의 표준과 기술의 개발을 선도하고 있다. 1986년 창립 이래 정확하고 빠르고 효율적인 설계를 위한 Algorithm을 개발하며 필요한 기술을 정의하고 나아가서 수용함으로써 강력한 표준을 만들기 위해 노력을 하고 있다.

서론

시놉시스는 VLSI Design의 EDA 표준을 제시하고 개발하며 동시에 전파함으로 VLSI Design Flow의 표준과 기술의 개발을 선도하고 있다. 1986년 창립 이래 정확하고 빠르고 효율적인 설계를 위한 Algorithm을 개발하며 필요한 기술을 정의하고 나아가서 수용함으로써 강력한 표준을 만들기 위해 노력을 하고 있다.

본론

기술의 발전과 더불어 반도체 설계 기술은 몇개의 문제를 직면하고 있다. 1. Technology의 발전에 따라 소자를 구성하는 물리적 요소들이 미세화되고 있으며 기존의 Modeling과의 부정합성이 커지고 있다. 즉, Simulation을 위해 정확한 Device Model이 개발되어야 하지만, 공정기술의 발전은 이제 기존의 수학적/물리적인 모델링으로는 어려운 상황에 직면하고 있다.

a. Patterning을 위한 Process Technology는 이제 한계 상황에 다다르고 있다. 이는 공정에 의한 소자 특성 변화에 직접적인 영향을 주고 있어서 특성 변화를 고려한 Simulation이 의미가 없는 상황으로 가고 있다. 즉, 특성의 분포의 3σ 특성이 너무 커서 정확한 특성값을 추출하는 것조차 힘들다. 이를 위해 통계적 기법과 예측기법이 제시되고 있으나 아직까지 이를 위한 명확한 Solution은 없다고 보여진다.

b. Pattern의 크기가 분자 수준으로 작아지고 있기 때문에 공정시 발생하는 작은 변화에도 목표치에 대비 상대적인 Variation은 크다. 이외에도 공정의 발전에 따라 Model Accuracy에 관계하여 부각되는 원인/문제는 무수히 많다. 이를 위해서 Variation을 최소화할 수 있는 기법들이 제시되고 있으나 디자인 회사마다 조금씩 다른 기술을 사용하고 있다.

2. Chip Size의 증대와 Secondary Effect의 영향으로 계산에 고려되어야 할 Node의 숫자 또한 기하급수적으로 늘어나고 있다. 즉, Technology가 발전하면서 소자의 크기는 매우 작아졌으나 칩의 기능성 확대에 대한 요구 증가로 칩의 크기는 줄어들지 않으면서 소자의 갯수가 늘어나게 되었다. 그리고, Mixed Signal Device의 특성상 Spice Level에서 Node Count가 많은 LSI Design와 Full Custom Design이 섞여

있는 Design을 검증해야 한다면 이를 위한 System Resource 확보하거나 Time Consumption은 실제 개발에는 적용되기 어려울 정도로 커질 것이다. 시스템의 발전과 알고리즘의 발전으로 설계자들은 수백만 Node들을 Simulation할 수 있게 되었고 그 이상도 가능하지만 역시 무한한 갯수의 Node들이 가능한 것이 아니며 설계자들은 자신들이 설계하는 회로의 규모에 따른 검증 방법 역시 설계 환경 설정시 결정해야 할 중요한 사안이 되었다.

3. 설계 기간을 단축하고자 하는 것은 누구나 원하는 것이다. 실제로 이들을 위해서 자동화 툴을 도입하기도 하고 빠른 시뮬레이터와 빠른 시스템을 설계에 도입하여 사용하고 있다. 하지만, Physical Dimension이 십여 nm 수준으로 내려가면서 Pattern들의 Geometry들이 회로의 특성에 영향을 미치게 되었다. 따라서 설계시에 Layout에 의해 나타나는 현상들을 고려하는 기술이 필요하게 되었지만, Layout Engineer와 Schematic Engineer가 분리 되어 있으며 또한 예측해야할 현상들이 명확하지 않은 상황에서는 Design TAT를 줄이는 것은 더욱 더 힘들게 되었다. Design Target 사양에 Margin을 충분히 넣을 수 있는 상황이라면 그나마 여건은 좋아서 Layout의 영향을 무시하고 진행할 수 있지만, Spec이 Tight한 경우에는 Design TAT은 예전과는 비교할 수 없을 정도로 길어질 수 밖에 없다. 설계자들과 EDA Vendor들은 어떻게 Layout의 영향이 설계의 전단계인 회로 Parameter 검증단계에 반영되게 할 것인가를 고민해야 할 것이다.

기술이 발전할수록 시놉시스 또한 새로운 문제들을 만났으며 수십년의 많은 경험과 지식에 기반하여 솔루션들은 개발해왔다. 최근의 이슈들은 공정의 미세화에 따른 PVT variation과 그에 따른 Parasitic에 대한 Modeling과 검증이다. 또 다른 문제는 모바일 기술의 발전과 시스템의 대형화에 따른 저전력 기술이다. 모바일 기술은 전력 소모량의 최소화에 대해서 끊임없는 노력을 하고 있으며 이에 시놉시스는 이들에 대한 자동화 또는 알고리즘 개선을 하고 있다.

나아가서는 VLSI Design Solution을 벗어나 이제 SoC Design Solution Supplier로서의 자리매김을 확실히 하고 있다. 많은 종류의 Soft IP와 Hard IP를 보유하고 지원하고 있으며, VLSI Design

Technology 이외에도 Full Custom Design Automation 분야를 연구하여 어떻게 두 기술을 융합하여 Mixed Signal Device Design을 정확하고 빠르고 효과적으로 설계할 것인가에 대한 방법을 제시하고 있다. 시놉시스는 System Design/Implementation/Verification/IP/TCAD를 필두로 하여 정확하고 빠르고 효율적이고 다양한 디자인 솔루션을 준비하고 있다. 여기서는 최근 수년간 이루어온 시놉시스의 SoC Design을 위해 준비된 Flow 또는 방법론을 설명하고자 한다.

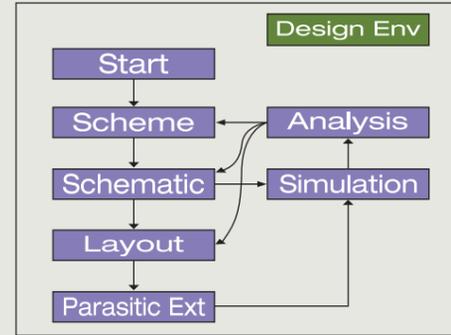


그림1. Conceptual Common Design Flow

VLSI Design과 Full Custom Design은 전통적으로 그 설계법을 달리하고 있다. 하지만 의미론적으로 보게된다면 Fig 1. 과 같이 개념적으로 공통된 Flow를 가지고 있다. VLSI Design을 위한 자동화 기술은 충분하지만 부각되고 있는 Mixed Signal 부분 또는 Full Custom Design 자동화는 아직 많이 진행되지 않고 있다. 이는 Full Custom Design을 하는 설계자마다 나아가서 설계회사 마다의 고유의 검증방법과 정확도와 속도와의 Trade-Off 방법론을 가지고 있기 때문이다.

이론적으로 모든 소자와 Parasitic에 대해 Flatten level의 검증을 할 수 있는 시스템을 제공함으로써 가능한 일이지만 107개 이상의 Node를 한꺼번에 풀 수 있는 방법론은 현실적으로 어렵기 때문에 Equivalent Compaction을 수행하여야만 되며 이에 모든 자동화가 이루어지기 어렵다. 물론 Multi-Core Processing 기술을 이용해서 풀 수 있는 Node의 수는 많이 증가하였지만 여전히 설계자들의 요구를 만족시키기는 어렵다.

SoC Design은 개념적으로 보았을 때, Top Down Design Flow를 지녀야 하며 시놉시스는 VLSI Design에서 많은 연구를 수행하여 현재의 Technology Leader의 자리를 가지고 있으며 이는 설계 Top Down Design에서 우위를 점하고 있음을 의미할 수 있다. 많은 IP와 Function Block간의 복잡한 Operation을 서술 구현하기 위해 Bottom Up 방식은 그 복잡성을 소화할 수가 없으며 Scheme의 변화에 따른 설계 변동을 빠르게 대응하기가 불가능하다고 할 수 있기 때문이다. 시놉시스는 이미 십여년전부터 IP Supplier의 역할을 수행하여 Global Market에서 중요한 자리매김을 하고 있는 것 또한 시놉시스가 향후 SoC Design의 설계 표준을 리드하기에 적합한 이유이기도 하다.

SoC Design에는 복잡한 사양을 넘어서 Block간의 Inter-Block Constraint 역시 관리되어야 한다. 따라서, 사용자의 입장에서 이런 사양과 Constraint를 효율적으로 관리하는 것 역시 숙제라고 할 수 있다. 사용자의 자동화 Tool이 다변화 되는 것은 문제가 될 수 없지만 이런 Constraint의 형식이나 관리법이 사용하는 Tool마다 다르다면 이런 정보의 전달과정에서 생기는 Mismatch로 인해 혼란을 가중될 수 밖에 없게 된다. 시놉시스는 Physical Information이외의 설계에 필요한 모든 정보를 단일화된 관리를 통해 구현하는 Single Pass Design을 지향하고 있으며, 이런 사양과 Constraint 역시 Full Custom Design에서도 관리될 수 있는 시스템을 제공하고 있다. 이제 시놉시스의 Analog Mixed Signal Group (AMSG)에서 제시하는 자동화툴에 대한 설명을 해보고자 한다.

■ Editor: Galaxy Custom Design Platform

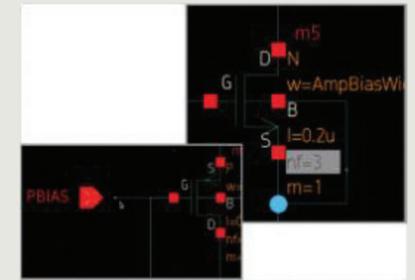


그림 2. Smart Connection and On-Canvas editing of parameters are just two of the ways Custom Designer SE boost designer efficiency during scschematic capture

Full Custom Design을 위해 반드시 필요한 요소를 말하라고 한다면 개념적으로 만들어진 회로를 구현할 수 있는 Schematic Editor와 Layout을 진행함에 있어서 편리하고 정확한 Mouse Work이 가능한 Layout Editor라고 할 수 있다. 실제 Full Custom Design Engineer라면 이러한 Tool의 바탕위에 만들어진 개개인의 자동화 Script를 비롯하여 개인의 Know-How들을 가지고 있다. 그러한 이유로 처음에 어떠한 Tool로 시작하였는가는 매우 결정적이라고 하겠다. 이러한 Tool을 사용하고자 할 때 주로 어떤 회사에서 또는 어떤 연구실에서 무슨 툴을 사용하는가에 많이 영향을 받는다.

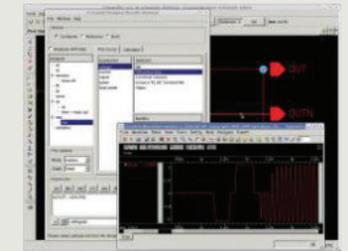


그림 3. The Result Analyzer provides quick access to commonly used analyses that improve designer productivity

이전에는 선택의 폭이 좁아서 거의 동일한 툴을 사용하였으나, 수년전부터는 많은 회사들이 서로 비슷한 Interface와 Bindkey를 사용하고 있어서 선택의 폭이 많이 늘어났다. 즉, 일반적으로 IP 또는 Full Custom Design Flow를 따르는 Full Chip Assembling을 수행할 경우는 Data Base의 안정성과 확장성, 그리고 Customized Automation을 위한 Script Language가 선택을 위한 판단 요소였을 수 있다.

그러나 만일 SoC Design을 생각한다면 Soft IP Block 또는 ASIC Flow로 생성된 Block과의 데이터 포용성 역시 중요하게 고려해야 한다. 많은 회사들이 기존의 Full Custom Design에 특화된 Tool로서 이런 문제들을 해결하려고 하였으나 Data의 호환성이 잘 맞지 않아 설계상 검증에 Timing 과 같은 몇몇 Constraint 검증의 비효율적인 측면에 불만을 가져오고 있다. 그럼에도 불구하고 이런 Full Custom Design Platform에 기반한 Full Chip Assembling을 사용하는 이유는 제공되는 거의 모든 Auto Placement and Routing Program에서는 Layout Editing에서의 Mouse Work이 매우 불편하고 기능이 매우 부족했기 때문이다.

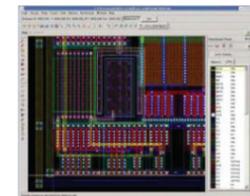


그림 4. Custom Designer LE's familiar look-and-feel immediately boosts designer productivity

이러한 문제해결을 위해 시뮬시스는 Galaxy Custom Designer라는 Platform을 수년전 부터 제공하였으며, 그 Interface는 기존의 Schematic/Layout Editor와 기능적으로 시각적으로 동일하게 구현되어 있다. 그리고, 조만간 기존의 Full Custom Design을 그대로 Transfer할 수 있도록 기능들을 개발하고 있다. 즉, 기존의 Full Custom Engineer들이 Tool Migration을 수행하고자 할 때, 그 차이를 최소화하고 나아가서 더 잘 사용할 수 있도록 기능을 개선 및 추가하고 있다.

이러한 여러가지 기능 개선을 위해서 추가적으로 많은 Accelerator를 개발하여 design iteration의 횟수를 줄이기 위한 솔루션을 제시하고 있다. 대표적으로 Custom Designer Schematic Driven Layout(=Galaxy-CD SDL)을 들 수 있다. Layout을 진행하기 위해 Schematic상의 Device Information을 Layout Edit에 pyCell의 형태로 구현시켜 주는 것으로 Schematic상의 Connection Information까지 Layout Information으로 입력하여 Full Custom Design을 Automatic하게 수행하기 위한 기본적인 기능이라고도 할 수 있다.

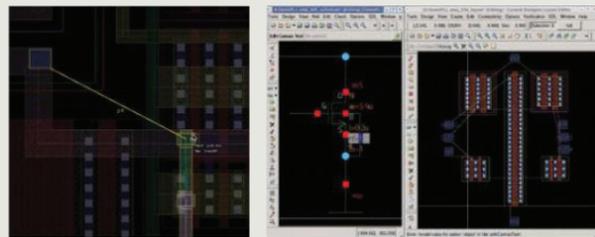


그림 5. Use on-canvas editing to make a parameter change without going through the property editor

그림 6. FTC (=Follow the Cursor) working in conjunction with Shadow Mode

시뮬시스는 최근 Full Custom Design Automation을 위해 적극적 개발을 진행하고 있으며, 사용 편의성을 향상 시키고 있는 타회사의 Idea 역시 수용함으로써 Full Custom Design 환경 개선에 많은 투자를 하고 있다. 예를 든다면 Full Custom Design을 위한 Placement and Routing을 비롯하여 Analog Circuit Optimization for Device Parameter 등 많은 Idea들에 대해서 적극적인 개발 및 수용을 진행하고 있다. Circuit Optimize를 위한 Titan ADX와 Shape Based Routing을 위한 Titan SBR, 그리고 Placement를 위한 Helix 등 어느정도 검증된 기술을 보유한 회사와의 적극적 기술 합병 또한 표준을 이끌어가기 위한 시뮬시스의 노력이라고 볼 수 있다. 그럼 이제 현재까지 이루어진 몇가지 기술에 대해서 설명하고자 한다.

■ Analog Circuit Optimizer: Titan ADX

주어진 여러 종류의 사양을 만족시키는 Device Parameter의 최적화는 어떻게 보면 그 끝을 알 수 없는 작업일 수 있다. 일반적으로 설계자들은 주어진 사양을 넘어서 안전하고 튼튼한 회로를 만들기 위해서 항상 주어진 시간을 다 사용하여 최고의 성능을 가진 회로를 설계하려 한다. 필자는 한번도 설계자가 주어진 결과물에 만족하는 것을 본 적이 없다.

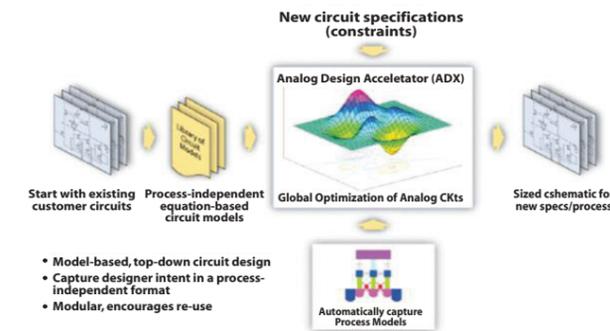


그림 7. Conceptual Design Flow of Titan ADX

주어진 사양에 따라 적당한 Scheme을 선택하였을 때, 그 Scheme이 사양을 맞출 수 있을 것인가에 대한 고민이나 또는 어느 정도의 Margin을 확보할 수 있을 것인가에 대한 고민으로 많은 시간을 소비하며 선택한 Scheme으로 주어진 사양에서 최적을 찾기 위해서 보통의 설계자들은 길고 지루하고 불투명한 시간들을 보내게 된다. 이러한 일련의 작업들에 대한 자동화는 많은 시도가 이루어졌으나 다양한 Analog Circuit Designer의 요구를 만족 시킬수는 없었다. (기본적으로 Analog Circuit Designer들은 욕심이 끝이 없다고 봐도 무난하다.)

이런 Optimize를 구현하는 것에는 크게 두개의 Algorithm이 존재한다.

- Simulation Based Optimization
 - Equation Based Optimization
- 으로 그 접근법의 차이를 구분지을 수 있다.

Simulation Based Optimization의 가장 간단한 형태는 Monte-Carlo Simulation이라 할 수 있다. Random하게 Parameter Value를 정하여 Simulation하여 특성을 기록하는 과정을 통계적 의미가 있을 정도의 횟수 이상을 수행하는 것으로 Optimization Target parameter의 갯수나 사양의 복잡성에 따라 Optimize 시간이 소요된다. 따라서, 이런 종류의 접근법은 Target Parameter의 갯수가 한정적 일때 사용되어야 한다. Monte Carlo Simulation의 Random함으로 인한 시간 소모 문제를 해결하기 위해 실험 계획법(=Design of Experiments)을 응용하여 그 시간을 줄이는 방법도 많이 연구되고 있다. 즉, 입력의 변화에 따른 결과의 망대양소를 이용하거나 민감도 분석을 통한 안정성의 결정등을 효율적으로 할 수 있지만 이 또한 입력의 갯수에 많은 영향을 줄 수 밖에 없다.

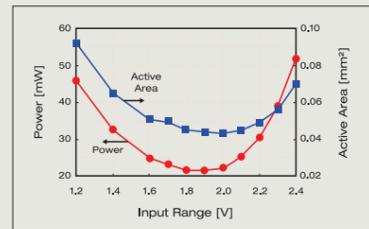


그림 8. Result of analog-to-digital converter (ADC) circuit designed using Titan ADX. Power vs. area tradeoffs by varying input voltages.

	Port Time (Exclude sim)		Performance (Main Spec)	
	Today	Titan ADX	Manual	Titan ADX
PCI-EIO Driver, 2.5GHz (17 corners)	4 Weeks	1 Hour	Power (typ) = 37mW	Power (typ) = 35mW
Bandgap (33 corners)	2 Weeks	5 Min	$\Delta V / \Delta T = 6.2mV$	$\Delta V / \Delta T = 3.1mV$
6.4GHz SERDES Linear Equalizer (9 corners)	3 Weeks	5 Min	Power = 7mW	Power = 3.8mW
1.5GHz, 1V PLL (9 corners)	2 Months	1 Hour	Power = 10mW	Power = 5.6mW
12 Bit Pipeline, 100 MS, System + Op-Amps (5 corners)	3 Weeks	1 Hour	Power (Analog) = 50mW	Power (Analog) = 27mW

그림 9. Sample results using Titan ADX

Equation Based Optimization은 Engineer에게는 매우 직관적인 방법이다. 개념적으로 설명한다면 Device Parameter간의 상호관계를 연립방정식으로 표현하고 Target 사양이 Device Parameter의 함수로 표현될 수 있다면, 연립방정식과 연립부등식의 수학적 문제로 변환이 가능하다. 그렇다면, 이후의 Solution은 많은 수학적 접근을 통한 Solution Space를 구할 수 있으며 사양의 구현 가능성등을 직관적인 방법으로 얻을 수 있게 된다는 장점이 있다.

하지만, Equation Based Optimization은 RLC Based의 KCL/KVL (Kirchhoff's current/voltage law)에 기반한 equation extraction을 사용하는 이유로 non-linear element인 transistor/diode와 같은 소자를 소신호 등가모델(equivalent small signal model)로 변환하여 사용하는 이유로 small signal model에 의한 표현될 수 있는 사양에 국한되는 단점 역시

가지고 있다.

사용자는 자신의 Target Circuit의 사양을 Equation으로 잘 표현하여야 하는 단점을 느낄 수도 있다. 하지만, Equation Based Optimization Flow를 이용하게 되면 여러가지 장점을 가진 디자인 시스템을 확보할 수 있다. 첫번째는 다수의 Analog Circuit Design Expert가 부족해지는 시점에서 소수의 Expert가 Design System을 Lead함으로 회사의 Design Infra를 개선하는 것들이 가능하다. 이로써, 전문가의 의존성이 높은 조직에서 Infra-structure에 대한 의존성을 맞추어 갈 수 있게 하는 Design System을 Setup할 수 있게 한다. 두번째는 Various한 Technology와 사양을 변경하면서 디자인해야 할 경우에 이런 Infra-structure가 구현되어 있다면 빠른 최적화가 가능하게 된다.

시뮬시스는 다수의 Circuit에 대해서 Flex Cell이라고 불리는 Design Flow를 제공하고 있으며, 다수의 Foundry에서 다양한 User의 요구에 대응하기 위해 이 시스템을 채용하고 있다. 시뮬시스는 지속적으로 다양하고 정확한 Flex Cell System을 구축하고 있으며 현재의 IP Business와 더불어 Flex Cell형태의 설계지원도 하고 있다.

Placement Prototyper: Titan AVP, Helix

Process Technology가 발전하면서 0.25um이후 부터는 회로 설계에 있어서 propagation delay에 대한 해석의 필요성이 대두 되어서 이제는 Parasitic에 대한 검증없이 공정을 진행하는 것은 불가능할 정도로 Parasitic이 회로의 특성에 미치는 영향이 커졌다. 따라서 사용자는 최적의 성능을 가진 여러종류의 Placement 상황을 고려해야 한다. 이를 위해서 시뮬시스는 2가지의 서로 다른 Placement Feature를 제공하고 개선하고 있다.

첫번째가 Analog Virtuso Prototyper로서 회로설계 단계에서 Layout의 영향을 고려하기 위해 고안된 프로그램이다. 회로 설계에 관여하지 않았던 Layout Engineer는 실제 시그널의 특성에 따른 Placement에 약할 수 있다. 따라서, Layout Expert는 회로의 특성에 대해 어느정도 파악하고 있어야 한다. 하지만, propagation delay의 portion이 커진 지금은 Layout의 영향에 의한 설계에 미치는 영향을 설계 전단계에서 고려하지 않는다면 Target 사양을 맞추기 위해 더 많은 반복 작업이 예상된다. 따라서 보다 낮은 성능과 정확한 회로 설계를 위해서 Circuit Engineer 자신이 Placement에 대해서 알고 있어야 하고 나아가서 Driving할 필요가 있다. 설계가 복잡하거나 사양을 맞추기 어려울수록 설계전단계에서 Physical Effect에 대한 고려가 있지 않으면 설계 후단계에서는 예기치 못하는 결과를 가질때가 많고 경우에 따라서는 Scheme의 변경부터 시작되는 전체 설계를 다시 해야 하는 경우가 발생할 수 있다.

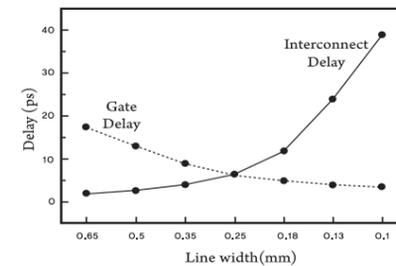


그림 10. Trend of interconnect delay vs. gate delay

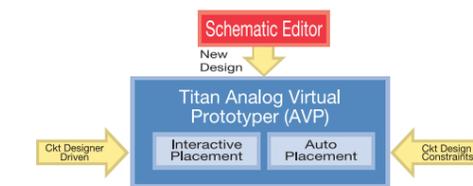


그림 11. AVP works based on Schematic, Design Constraint, Designer's assignment

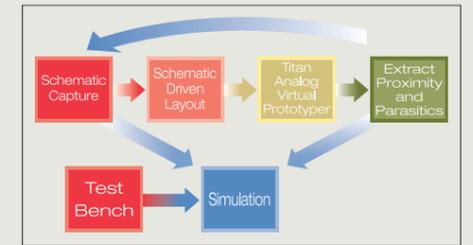


그림 12. Titan AVP and be adopt in pre-design state

Titan AVP와 Titan ADX를 적절히 연동시키게 되면 Layout에 의해 변화되는 특성을 조기에 고려함으로 보다 정확한 Optimize를 수행할 수 있다. 두번째는 Helix라는 Placement Tool이 있다. Device 혹은 Block의 갯수에 의해 가능한 Placement 경우의 수는 기하급수적으로 늘어난다. Placement의 효율성을 모두 다 고려할 수 없다는 걸 고려한다면 Constraint에 의해 제외되지 않는 모든 경우의 경우와 이에 따른 효율성을 자동으로 계산할 수 있게 해 줌으로써 최선의 Placement를 찾고자 할때 도움을 줄 수 있다. 현재는 제시된 모든 경우에 대해서 효율성을 계산할 수 있는 방법을 연구하고 있으며, Titan SBR의 기술을 융합함으로 만들어 낼 수 있다.

프로젝트를 진행할 때 배치를 해야할 Block의 갯수는 자동화에 의존하기에는 너무 많은 경우를 발생시키지만, Timing Constraint, Shortest Path등을 고려하게 되면 그 수는 현격히 줄어든다. 그렇지만, 그런 경우에도 남아 있는 경우의 수는 너무 많아서 일정 수준 이상의 Performance만을 만족시키는 수준에서 최적화를 중단하는게 일반적이다. Helix를 이용하게 되면 Symmetry, Align과 같은 User Constraint를 추가하여 경우의 수를 더 줄이게 되고 이상적으로는 가능한 경우에 대해서 검토할 수 있게 된다. 게다가 배치 완료단계에서 고려할 Parasitic에 대해서 비교적 정확한 예측치를 계산하여 설계단계에서 고려하게 함으로써, Design Iteration의 횟수를 줄일 수 있게 하여 궁극적으로는 Design TAT를 줄일 수 있게 된다.

이외에도 Helix는 다양한 Feature를 제공하여, Design 별로 또는 Process technology별로 최적화에 도움될 수 있는 다양한 기능을 제공하고 있다.

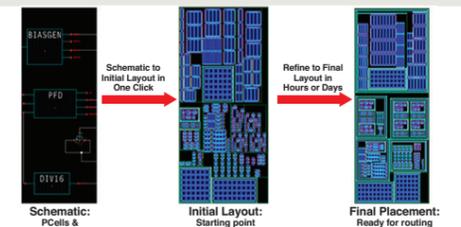


그림 13. Helix dramatically shortens and improves the analog/mixed-signal layout cycle

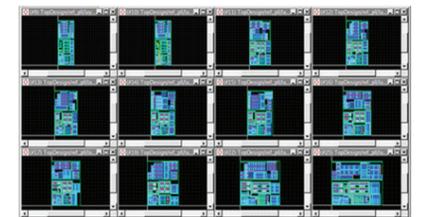


그림 14. Twelve Legal, Detailed Placements of the Same Circuit are generated automatically

■ Shape Based Router: galaxy Custom Designer Schematic Driven Layout, Titan SBR Full Custom Design Automation의 기본적인 요소라면 첫번째가

Schematic의 정보를 어떻게 정확하고 빠지지 않게 Layout을 전달할 것인가 이고 두번째가 효율적인 요소들의 배치이며 세번째는 효율적이고 Function을 잘 고려하여 Routing할 것인가를 꼽을 수 있다. 이런 바탕의 기저에는 효율적으로 일원화된 Data Base와 PDK, Design 사양의 관리가 잘 꾸려져 있어야 한다. 그리고 이런 바탕하에 디자인에 고려될 정보들이 잘 예측될 수 있는 시스템과 오류를 잘 찾아낼 수 있는 시스템등과 같은 응용 Application이 있어야 될 것이며, User의 생각에 따라 Data Processing을 효율적으로 Customize할 수 있는 Data Control Language등이 보강되어야 한다.

이번에 말씀드릴 내용은 Custom Routing Automation Feature이다. 불과 15년전만 해도 한국에서 반도체 시장은 메모리 시장의 비중이 매우 높았으며 이 시기에는 Routing을 모두 Engineer의 정성어린 손길로 한뼘 한뼘 완성시키는 구조였다. 그러다 보니 Physical Design의 오류는 지금보다 더욱 더 많고 Debug 수행 시간도 오래 걸렸었다.

하지만 현재는 Physical Design Automation 환경 역시 많이 발전하였으며, Debugging의 내용도 잘못 연결된 배선보다는 OPC나 Variation과 같이 공정한 취약점을 보장하는 Debugging이 주를 이루고 있다. 즉, 공정 상에 나타날 수 있는 문제 또는 설계상의 취약점을 확인하여 보강하기 위한 Debugging이 주요 이슈로 떠오르고 있다. Routing Algorithm에는 크게 Grid Based Routing과 Shape Based Routing이 존재한다. 전통적으로는 LSI Design에서는 Pin-to-Pin Connection에 같은 선평의 배선이 정해진 Grid를 통해서 연결되게 하는 Grid Based Routing이 사용되고 Full Custom Design에서는 선평과 배선간의 Space를 신호의 특성에 따라 변경하게 함과 동시에 주어진 공간을 효율적으로 사용하게 할 수 있는 Shape Based Routing이 주를 이룬다.

기술이 발전함에 따라 Grid Based Routing에서도 Sub-Grid개념이나 Non Default Rule (NDR)등을 채용함으로써 신호의 특성을 가급적 반영하려는 기술이 개발되고 있다. 또한 Full Custom Routing에서도 기본적인 Connection Rule을 넘어서 Electro-Migration이나 RC Loading, Cross Talk 현상을 고려하여 Routing의 효율과 특성을 개선하기 위한 Algorithm이 개발되고 있다. 시놉시스는 LSI Design에 사용되는 Routing기법들을 Full Custom Routing Automation에 채용하기 위해 다방면의 노력을 하고 있다. 많은 회사들이 galaxy CD의 Design Platform에 대해서 채용하고 있으며 이에 기반한 Automated Design Add-on들이 긍정적 평가를 하고 있으며 현재 개발되고 채용되는 많은 편리하고 개선된 Algorithm에 기대를 하고 있다고 얘기하고 있어서 앞으로의 galaxy CD 및 Design accelerator들의 사용 추세는 더욱 더 늘어날 것이라 예상하고 있다.

■ ICC-CD Co-design

Analog Digital Mixed Signal Design에서의 implementation에서의 문제점중 하나는 Design Methodology가 다른 서로 다른 두개의 Design을 어떻게 하나의 Platform에서 설계 및 검증할 것인가라는 문제이다. 게다가 서로 다른 Constraint들을 가지고 있는 설계에 있어서 서로 다른 설계 방법론으로 자동화하고 검증하는 것은 실제 업무에 있어서는 상당히 까다로운 문제이다.

쉽게 접근하는 방법은 하나의 Platform으로 다른 Data를 IP또는 Block으로 처리하여 설계하는 방법론이 일반적이고 직관적인 방법론이라 하겠다. 즉, Full Chip Design을 Analog Design Platform으로 옮겨와서 Digital Design을 Block으로 처리한다든지 Full Custom으로 Design된 블록을 Hard IP화 함으로써 LSI design Platform으로 옮겨와서 하는 방법이 있다. 이 방법들 중 하나를 선택하는 것은 Analog Part와 Digital Part의 중요도가 어디에 있는가에 따라서 선택하여야 한다.

하지만 이 두 방법은 모두 옮겨지는, 즉 Dominant 하지 않다고 판단되는 Block가 가지고 있는 많은 정보를 전달하기가 쉽지 않다. 즉, Analog Design이 가지고 있는 신호의 특성과 그 내부의 Block의 상호간의 관계를 LSI에서 구현하는 방법도 쉽고 정확하게 전달되지 않으며, LSI Part가 가지고 있는 Timing Constraint 또는 I/O Constraint등이 Analog Part로 표현되는 것이 쉽지 않기 때문이다. 앞에서 기술되었듯이 현대의 Design에는 Connectivity와 Physical Information을 넘어서, Process Technology,

Design Constraint등 설계상에 관리되어야 할 많은 정보를 통합적으로 관리하여 제품 개발 기간 단축을 할 수 있다.

시놉시스는 Analog Design Platform과 Digital Design Platform간의 DB 통합화를 추구하여 설계에 필요한 모든 정보를 통합하여 관리할 수 있으므로 Data Transfer에 따른 정보의 누락이나 변경이 없다. 따라서, 초기 설계자가 의도한 Constraint등의 정보들의 Platform에 대한 의존성이 없어서, Transfer에 의한 설계 정보의 변경이나 소실로 인한 오류가 없다. 따라서, 설계 검증에 추가적으로 Data 재생산이나 변경과 같은 부가 작업이 없어서 빠르고 정확한 검증역시 가능하다.

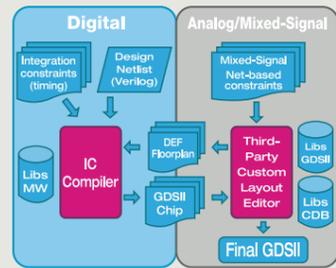


그림 16. Classical Implementation Flow: Data is not shared

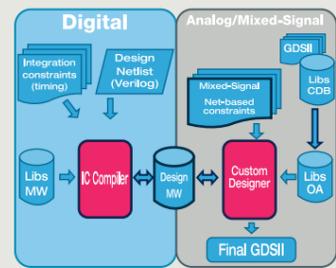


그림 17. co-Design Flow: Shared Data

■ Design Verification

설계를 진행함에 있어서 시간을 많이 쏟는 분야가 있다면 당연히 Implementation, 즉 회로를 그리거나 로직을 짜거나 Layout을 그리는 작업이라고 할 수 있다. 하지만, Implementation이 설계에 가장 중요한 요소는 아니다. 설계에서 가장 중요한 것은 단연코 검증이라고 해야한다. 검증은 크게 논리검증과 Physical 검증이라고 하겠다. 검증되지 않은 설계는 설계가 아니라고 말할 수 있다. 그래서, 훌륭한 설계시스템은 훌륭한 검증 시스템과 아이টে임을 의미한다고도 할 수 있다.

■ Simulator

Full Custom Design에서 Simulator의 의미는 대개의 Spice Simulator를 의미한다. Spice Simulator는 또다시 Spice와 Fast Spice로 나누어진다. Spice는 회로의 성분을 nonlinear differential algebraic equation: 비선형 미분 방정식의 형태로 변형하여 implicit integration methods, Newton's method, sparse matrix techniques등을 이용하여 해를 찾아내는 과정이다. Spice계열은 정확한 계산을 위해서 근사를 최소화하여 해를 찾는 이유로 소자의 갯수는 Simulation 시간에 비례한다고 볼 수 있다. 따라서, Spice를 통해서 수백만의 MOS를 포함한 회로는 이론적으로는 엄청나게 많은 시간을 필요로 한다. 따라서, 필요에 따라 적절한 Node Reduction과 근사 Algorithm을 통해서 계산할 수 있는 소자의 갯수를 늘리고 시간도 줄인 계산법이 필요한데, 이를 가능하게 하는 것이 Fast Spice라고 할 수 있다.

시놉시스는 현재 업계에서 가장 많이 사용되는 Spice Simulator를 모두 제공하고 있다. Spice 계열에서의 hspice와 Finesim-Spice가 있으며, Fast-Spice계열에서는 CustomSim과 Finesim-pro를 제공하고 있다. 이에 따라 고객의 필요에 따라 적절한 시뮬레이션 포트폴리오를 구성할 수 있게 되었다.

■ Physical Verification

공정 기술이 발전함에 따라 Physical 검증은 더욱 더 복잡해졌다. 회로와의 Connectivity를 Check하는 LVS는 비교적 기술의 발전에 따라 개선의 필요성이 적었다. 하지만, 공정에 의해 Pattern의 가능성을 검증하는 DRC기술은 이제 한두명의 전문가로는 Cover하기 어려울 정도로 복잡해지고 검증의 종류도 다양해졌다. 10년 전만 해도 단순 Width/Space 검증이 주를 이루었다면 이제는 하나의 항목에 대해서도 다양해짐과 동시에 검증항목 또한 많아져서 검증시스템의 중요한 요소로 자리 잡게 되었다. 시놉시스는 10여년 전부터 오랜 검증에 대한 Know How들을 보유하고 있으며 이들을 이용한 많은 Test Case들을 지원함으로써 안정적이고 정확하다고 평가되어 전 세계적으로 많은 회사가 Sign Off Tool로서 사용하고 있다.

또한 RC Extraction은 빠르고 정확한 Parasitic을 추출하여 회로 Simulation이 가능하게 하는 Tool로서 공정기술의 발전은 RC Extraction을 필수항목으로 바꾸어 놓았다. 공정 기술이 발전할수록 Patterning은 세밀화 되었으며, 이에 따라 배선간의 거리는 더욱 더 가까워졌으며 Cross Talk 문제는 더욱 더 중요한 검증항목이 되었다. 하지만, Cross Talk으로 인한 Simulation Node의 갯수는 비례하여 증가함에 따라 설계자에 따라 적절한 수준의 Extraction을 고려하여야만 효과적인 Simulation이 가능하다.

■ iPDK

공정발전과 설계기술이 복잡하게 바뀔수록 정확하게 설계환경을 준비하는 것 역시 Implementation 만큼 중요하게 되었다. 하나의 설계환경을 구축하기 위해서는 Table 1과 같은 것들이 만들어져야 한다. 이를 위해선 설계자 또는 CAE Expert 또는 공정/소자 단독의 역량으로 구축될 수 없으며 설계와 공정에 걸친 전반적인 지식과 정보가 아울러져야 비로써 기본적인 설계환경이 만들어졌다고 할 수 있다. 이런 기본적인 설계환경은 공정이 이루어지는 Fab과 공정 Technology에 따라 항목은 바뀌지 않으나 내용은 바뀌게 되므로 설계자들은 항목과 이들이 설계과정에 어떤 영향을 미치는지를 숙지하여야 한다.

Techfile	설계에 사용되는 Layer에 대한 모든 정보가 저장되어 있는 파일	
DSP File: Display Resource File	Layer의 색깔과 Pattern 등 시각적 정보를 담고 있는 파일	
CDF/ICDF	Library내의 소자의 특성 (w, l, nf, ad, as, pd, ps, ...)을 정의하는 파일	i: interoperable
CDF/ICDF callbacks	Library내의 소자의 특성간의 의존성을 자동으로 계산해 주는 Script	
PCell/pyCell	Library내의 기본적인 소자의 Layout을 자동화한 파일. 보통 MOS 수준까지 지원되지만 때때로 따라선 Gate Level이 있는 경우도 있음	
Spice Model	Spice Model로 Fab, Technology, Target Purpose에 따라 모두 다름	Foundry가 제공
DRC/LVS/Extract File	Physical 검증을 위한 필요한 검증 Rule Set	Foundry가 제공

표 1. PDK Contents

어떠한 Foundry에서 PDK를 Setup한다는 것은 특화된 Device나 Technology를 위한 생산준비가 끝났음을 의미하므로 제공된 PDK를 이용하고 검증하였다면 약속된 특성을 보장받다고 볼 수 있다. 그리고, 잘 갖추어진 Foundry는 잘 갖추어진 PDK 이외에도 설계 Flow나 검증 Flow 역시 제공할 때가 있다. 따라서, PDK를 제공하는 것은 Foundry의 의무이기도 하지만 그 Foundry의 기술력을 대표하기도 한다. 기본적으로 잘 갖추어진 PDK는 Foundry에서 제공되지만 이를 이용한 설계 자동화도 잘 고려하여야 한다. PDK는 일반적으로 Cadence Design환경을 의미한다고 볼 수 있다. Cadence사는 실제로 Full Custom Design Flow를 Lead하였으며 Full Custom Design Technology 발전에 많은 기여를 하였다. 하지만, 독자적인 Data Base 같은 설계 환경을 폐쇄적으로 운용하여 기술력이 있는 타 Vendor가 PDK의 발전에 기여하기는 쉽지 않았다.

이에 EDA Vendor들은 Open Access라는 공통의 Data Base 기반 위에 Tcl과 Python과 같은 Language로 Data Base를 Handling할 수 있는 표

준, Flow 및 PDK를 제정하였으며 공통된 Interface 환경을 통한 설계 기술 발전이라는 하나의 목표아래 독자적 기술을 개발할 수 있게 되었다. 따라서, 각 Vendor간의 Design Data 전달 역시 용이하게 되었으며 EDA 설계 기술 역시 가속화 될 수 있었다. 이 협의체를 IPL (Interoperable PDK Library) Alliance라고 하며 Full Custom Design System을 개발하기 위해 조직된 연합이라고 할 수 있다.

iPDK를 제공하는 Foundry와 Support하는 EDA Vendor는 꾸준히 증가하고 있으며 따라서 사용자는 선택의 폭은 더 넓어졌다. 시놉시스는 IPL Alliance의 많은 기술을 선도하고 개선하기 위해 노력하고 있으며, Full Custom Design을 보강함으로써 성공적인 Mixed Signal Design 환경 및 Design Flow를 만들기 위해 노력하고 있다. EDA 업계 1위의 자리에 있으면서 끊임없이 기술개발에 노력하는 모습이야말로 시놉시스의 저력을 보여주는 것이 아닐까 생각된다.

결론

시놉시스는 SoC Design Flow를 완성하기 위해 그 동안 부족하다고 평가되었던 부분에 대하여 보강하였으며, 2012년에는 Mixed Signal Device Design의 기술적인 완성단계에 이르렀다고 볼 수 있다. Platform으로는 Galaxy CD를 비롯하여 SpringSoft 사의 Laker등의 기술채용을 준비하고 있으며, Magma사의 Titan Design Accelerator의 기술을 도입함으로써 Placement And Routing, 그리고 Analog Circuit Parameter Optimization등의 Design Automation 기술을 다지고 있다. 또한 Co-Design Concept을 도입함으로써 통합한 Data Base아래에서 설계의 완성도를 높일 수 있도록 지원하고 있다.

LSI Design 분야에서 시놉시스는 오랜 기간동안 기술을 선도하는 입장에서 빠르고 정확하고 효율적인 설계 방법론들을 개발해 왔다. 더 많은 문제들을 만날 수 있었고 더 많이 고민할 수 있었지만, 공정 기술이 발전하면 할수록 사용자들의 문제는 더 복잡해졌으며 간단한 Modeling으로 정의를 수 없게 되어서 새로운 방법론을 만드는 것이 힘들어지게 되었다. 공정기술이 세분화되었고 다양해졌으며 그에 따른 Modeling도 다양화되어 일반적이면서 정확하고 효율적인 방법론을 만들기는 어려워졌다. 시놉시스의 강점이라면 많은 설계 지원 경험과 정확하고 빠른 소프트웨어를 보유하고 있는 것이며, 끊임 없이 발생하는 사용자들의 문제를 예측하고 발굴하여 빠른 대응방안을 준비하고 있다.

시놉시스는 다양하고 복잡해진 설계 환경에 적합한 설계 방법론 개발을 위하여 끊임없이 노력과 투자를 하고 있다. 나아가서 사용자와의 긴밀한 협업을 통해 다양한 문제와 현상들을 수집하여 과제를 선정하고 이에 대한 기술적 해결책을 찾는 것 이외에도 설계 기간 단축을 위해 더 빠른 핵심 기술을 확보하며 알고리즘을 개선함으로써 사용자들에게 보다 효율적이고 정확한 설계 기술을 제공하고 있다.

- http://www.synopsys.com/Tools/Implementation/CustomImplementation/Documents/cusdesignSE_ds.pdf
- http://www.synopsys.com/Tools/Implementation/CustomImplementation/Documents/cusdesignLE_ds.pdf
- <http://www.synopsys.com/Tools/Implementation/CustomImplementation/Documents/CustomDesignerSDL-ds.pdf>
- http://en.wikipedia.org/wiki/Monte_Carlo_method
- http://en.wikipedia.org/wiki/Taguchi_methods
- <http://www.magma-da.com/products-solutions/analogmixed/titanADX.aspx>
- http://www.magma-da.com/uploadedFiles/productsolutions/Analog_Mixed_Signal/Magma%20Titan%20ADX%20Datasheet.pdf
- http://www.ciranova.com/products/ciranova_helix.php
- <http://www.magma-da.com/products-solutions/analogmixed/TitanAVP.aspx>
- <http://www.synopsys.com/Tools/Implementation/CustomImplementation/Pages/CustomDesignerSDL-ds.aspx>
- http://cc.ee.ntu.edu.tw/~ywchang/Courses/PD/EDA_routing.pdf

	(유)시놉시스 코리아
	신성원 부장 연구분야 : Design Methodology & Automation E-mail : sshin@synopsys.com http://www.synopsys.com