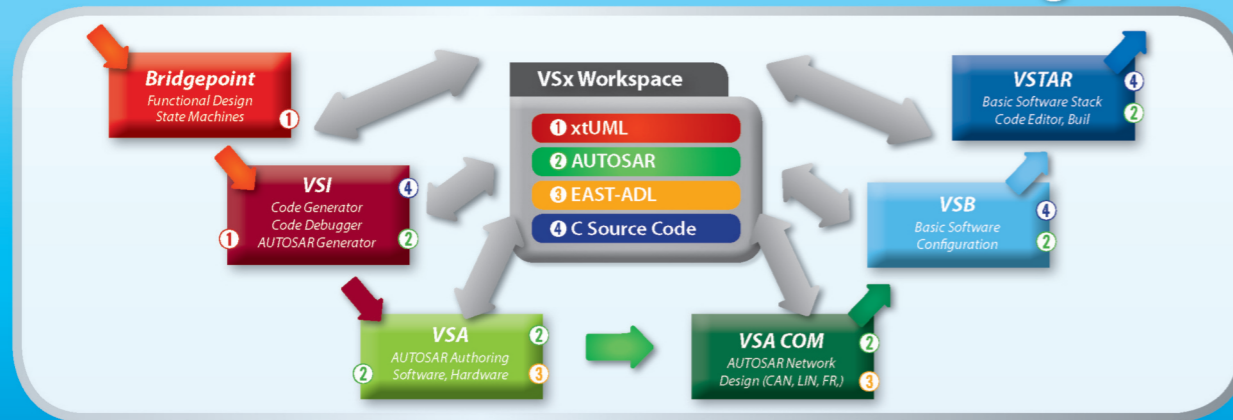


# Mentor Graphics Autosar Design Flow - Enables data centric concurrent design



- Mentor Graphics provides concurrent workspace management for the complete design flow, from high level function design to ECU target link - all in one tool.
- All products present the content of the shared VSx workspace, as AUTOSAR models, Network Design data, xtUML models, EAST-ADL models and C Source Code files.
- Tool interactions are performed as seamless data transformations in the shared workspace, no import/exports.
- All designers and developers can share their work in progress (WIP) whilst focusing on their specific task.
- This allows seamless & automatic integration testing based on work in progress.

한국멘토 | 서울특별시 강남구 삼성동 무역센터 무역회관 2104호 Tel. 02) 551-3434 <http://www.mentokr.com>



[www.towerjazz.com](http://www.towerjazz.com)

## TowerJazz Technology

### TowerJazz Overview

TowerJazz manufactures integrated circuits for more than 150 customers worldwide. Our vision is to be the world leader in specialty foundry solutions as measured by our customers, employees and investors.

TowerJazz achieved the highest percentage of growth in 2010 vs. 2009. By further accelerating our growth rate in 2011, we are challenging to become the #1 specialty foundry.

Digital CMOS process technology, TowerJazz offers specialty CMOS processes with geometries ranging from 1.0- to 0.13-micron. We are divided into five business units:

•RF/High Performance Analog (including SiGe BiCMOS and RF CMOS offerings),

•Power Management (including our patented Y-Flash, the leading solution for NVM),

•CIS (CMOS Image Sensors),

•Mixed-Signal/CMOS and TOPS (Technology Optimization Process Services) to expand capacity or provide second sourcing.

•We also offer foundry MEMS enablement solutions combined with high volume 150mm and 200mm CMOS wafer manufacturing.

2010 Major IC Foundries									
2010 Rank	2009 Rank	Company	Foundry Type	Location	2008 Sales (\$M)	2009 Sales (\$M)	09/08 Sales (%)	2010 Sales (\$M)	10/09 Sales (%)
1	1	TSMC	Pure-Play	Taiwan	10,556	8,959	-15%	13,207	48%
2	2	UMC	Pure-Play	Taiwan	3,070	2,815	-8%	3,965	41%
3	4	GlobalFoundries	Pure-Play	U.S.	0	1,101	N/A	3,510	219%
4	5	SMIC	Pure-Play	China	1,363	1,070	-21%	1,555	45%
5	9	TowerJazz	Pure-Play	Europe	252	300	19%	515	70%
6	7	Vanguard	Pure-Play	Taiwan	511	382	-25%	508	33%
7	6	Dongbu	Pure-Play	South Korea	450	395	-13%	495	25%
8	8	IBM	IDM	U.S.	400	335	-16%	430	28%
9	12	MagnaChip	IDM	South Korea	346	262	-24%	420	60%
10	10	Samsung	IDM	South Korea	340	290	-15%	400	38%
11	11	BSMC	Pure-Play	Singapore	340	280	-18%	320	18%
12	15	X-Fab	Pure-Play	Europe	368	212	-42%	320	51%
13	14	Hua Hong NEC	Pure-Play	China	280	240	-14%	295	23%
14	13	TI	IDM	U.S.	315	290	-21%	285	14%
15	16	Grace	Pure-Play	China	230	180	-22%	260	44%
---	3	Chartered	Pure-Play	U.S.	1,743	1,540	-12%	0	N/A

Source: IC Insights, company reports

\*Purchased by GlobalFoundries in 4Q09

The Global Specialty Foundry Leader



IDEC Newsletter | 통권 제185호 발행일 | 2012년 10월 31일 발행인 | 박인철 편집인 | 김아성 제작 | 푸른디자인  
기획 | 전항기 전화 | 042) 350-8535 팩스 | 042) 350-8540 홈페이지 | <http://idec.or.kr>  
E-mail | [jhg0920@idec.or.kr](mailto:jhg0920@idec.or.kr) 발행처 | 반도체설계교육센터(IDEC)

2012  
November

AMOLED 디스플레이에서 Image Sticking 현상 보상기술 | 04  
지능형 자동차를 위한 어라운드 뷰 생성 기술 | 08  
Mentor사의 3D-IC System Verification Flow | 12  
JCT-VC 10차 스텝홀름 회의 참석 후기 | 16

반도체설계교육센터 사업은 지식경제부, 반도체산업협회, 반도체회사(삼성전자, 하이닉스반도체, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.

### AMOLED 디스플레이에서 Image Sticking 현상 보상기술

AMOLED 디스플레이는 빠른 응답속도와 얇은 두께 그리고 넓은 시야각과 자연스러운 색 재현성과 같은 장점을 바탕으로 최근 모바일 애플리케이션 중심의 소형 디스플레이에서부터 TV용 대형 디스플레이까지 그 영역을 확장해나가고 있다. 하지만 '번인(burn-in)' 현상이라고 불리는 OLED 소자의 열화현상으로 디스플레이의 수명문제가 크게 대두하고 있다. 본 고에서는 다양한 image sticking 보상 방법들과 최근 연구 동향에 대해 알아보려 한다. (관련기사 P04~06 참조)

### 지능형 자동차를 위한 어라운드 뷰 생성 기술

최근 운전자 보조 시스템(ADAS: Advanced Driver Assistance System)의 개발이 급속도로 진행 되면서 출시되는 차종에 탑재된 새로운 시스템에 관심이 집중되고 있다. 그 중 하나가 주차 시에 차량주변의 카메라 영상을 이용하여 어라운드 뷰 (around-view) 영상을 생성하는 기술이다. 어라운드 뷰 시스템 기술은 차량에 부착된 카메라를 이용하여 차량 주변의 다수의 카메라 영상을 한 장으로 정합하여 차량 주변의 환경을 운전자가 쉽게 인지할 수 있도록 돕는 시스템이다. 본 고에서는 지능형 자동차를 위한 어라운드 뷰 생성 기술에 대해 알아보려 한다. (관련기사 P08~10 참조)

### Mentor사의 3D-IC System Verification Flow

현재까지 전자 산업은 전통적인 transistor shrinking 기술을 이용해 반도체 직접회로의 성능을 발전시켜 왔으나 앞으로는 이러한 시도와 더불어 시스템 통합의 배치를 통해 무어의 법칙을 지키거나 앞지를 수 있다고 여겨진다. 그러한 노력 중 가장 대표적인 것이 TSV (Through Silicon Via)를 이용한 3-D IC 기술이며 오늘날 Sensors on logic, stacked memory에 적용되고 있으며 앞으로는 그 범위가 interposer와 flip chip을 이용한 메모리 logic 통합 칩, multi-die stack에서의 혼성신호, RF, logic, 메모리로 확장 될 것이다. 본 고에서는 Mentor에서 개발한 3D-IC system의 물리적 검증 solution을 소개하고자 한다. (관련기사 P12~15 참조)

### JCT-VC 10차 스텝홀름 회의 참석 후기

지난 7월 10일부터 20일까지 스웨덴 스텝홀름에서 JCT-VC 10차 회의가 있었다. JCT-VC는 ITU-T/ISO/IEC Joint Collaborative Team on Video Coding을 줄여서 부르는 약칭이고, ITU-T SG 16 WP3 (VCEG)과 ISO/IEC JTC1 SC29/WG11 (MPEG)이 협력하여 만든 회의체로, 목적은 H.264/AVC 표준보다 더 우수한 차세대 비디오 표준을 만드는 것이고, 이 프로젝트의 이름이 High Efficiency Video Coding이라서 보통 새 표준을 HEVC라고 부른다. 본 고에서는 서울대 채수익 교수의 시선으로 JCT-VC 10차 회의에서 나온 생 HEVC 표준의 특징에 대해 소개하고자 한다. (관련기사 P16~19 참조)



# IDEC November | 2012 news

MPW (Multi-Project Wafer)														
MPW 신청 현황						MPW 칩 제작 현황								
구분	공정	제작가능 면적 (mm <sup>2</sup> x칩수)	채택 팀수	설계면적 (mm <sup>2</sup> x 칩수)	DB마감	Die-out	비고	구분	공정	제작 칩수	제작면적 (mm <sup>2</sup> x칩수)	Die-out 예정일	현재상태	비고
114회 (12-7)	삼성 0.13	4x4mmx48	32	4x4mmx32	2012. 8.31	2013. 1.4	DB전달: 10.23	110회 (12-3)	동부 0.11	29	5x2.5mm <sup>2</sup> x 22 2.5x2.5mm <sup>2</sup> x 7	2012. 8.1	제작 완료	-Die:8,30 -PKG:10,15
116회 (12-9)	TJ0.18 CIS	2.5x2.5mmx4	4	2.5x2.5mmx4	2012. 10.15	2013. 2.22	DB 검토중	111회 (12-4)	M/H 0.18	20	4.5x4mmx20	2012. 9.3	PKG 제작중	-Die:10,18
	TJ0.18 BCD	5x5mmx2	1	5x5mmx1	2012. 10.22	2013. 2.29	DB전달: 10.19		M/H 0.35	20	5x4mmx20	2012. 9.3	제작완료	-Die:9,17 -PKG:10,2
	TJ0.18 RF	2.5x2.5mmx4	4	2.5x2.5mmx4	2012. 10.22	2013. 2.29	DB 검토중		TJ0.18 CIS	2	5x2.5mmx2	2012. 9.14	제작완료	-Die:9,28
117회 (12-10)	동부 0.11	5x2.5mmx30	33	5x2.5mmx27 2.5x2.5mmx6	2012. 10.2	2013. 2.6	DB전달: 10.18	TJ0.18 BCD	2	5x5mmx2	2012. 9.21	제작완료	-Die:8,30	
	M/H 0.18	4.5x4mmx20	20	4.5x4mmx20	2012. 11.12	2013. 3.4		삼성 65nm	23	5x5mmx23	2012. 11.9	제작중	-Die:11,7 예정	
	M/H 0.35	5x4mmx20	20	5x4mmx20	2012. 11.12	2013. 3.4		동부 0.18BCD	4	5x2.5mmx4	2012. 9.26	제작중		
	삼성 65nm	20개서버 (4x4mm)	19 (서버)	4x4mmx20	2012. 11.26	2013. 5.3		113회 (12-6)	동부 0.35BCD	9	5x2.5mmx4 2.5x2.5mmx4	2012. 10.10	PKG 제작중	-Die:10,8
								114회 (12-7)	동부 0.18BCD	4	5x2.5mmx 4	2012. 9.26	제작중	
								115회 (12-8)	동부 0.18BCD	2	5x5mmx2 2.5x2.5mmx2	2012. 1.4	제작중	
								116회 (12-9)	동부 0.35BCD	8	5x2.5mmx4 2.5x2.5mmx4	2013. 1.16	제작중	
								117회 (12-10)	동부 0.11	30	5x2.5mmx25 2.5x2.5mmx5	2013. 2.6	제작중	

\* 2012년 MPW 모집이 완료됨. 2013년 MPW 지원 공정 및 일정은 2012. 11월 이후 공지 예정

\* M/H = 매그나칩/하이닉스, TJ = TowerJazz  
 \* 우선/정규모집에서 마감될 경우 후기모집은 진행되지 않음.  
 \* Die-out 일정은 Diechip 제작완료 기준임. Package는 Die-out후 4주 이상 소요됨.  
 \* MPW 참여 일정 및 방법은 홈페이지(www.idec.or.kr) 참조  
 \* 위의 내용은 10.31 기준임.

\* 문의 : 이의숙 (042-350-4428 yslee@idec.or.kr)

국제학회우수논문 시상 (2012.10.25(목), 2012 IDEC Platform Center Workshop에서 시상)												
수상자 명단	* 학교/지도교수 가나다 순											
구분	대학	지도교수	대표저자	학회명	논문명							
1	포항공대	심재윤	김영식	ISSCC(2012)	An 8Gb/s Quad-Skew-Cancelling Parallel Transceiver in 90nm CMOS for High-Speed DRAM Interface							
2	포항공대	심재윤	이선규	ISSCC(2012)	A 5Gb/s Single-Ended Parallel Receiver with Adaptive FEXT Cancellation							
3	KAIST	김이섭	김영주	CICC(2011)	A 7.4 Gb/s forwarded clock receiver based on first-harmonic injection-locked oscillator using AC coupled clock multiplication unit in 0.13um CMOS							
4	KAIST	김이섭	정상혜	SOVC(2012)	A 1.22mW/Gb/s 9.6Gb/s Data Jitter Mixing Forwarded-Clock Receiver Robust against Power Noise with 1.92ns Latency Mismatch between Data and Clock in 65nm CMOS							
5	KAIST	박인철	이영주	ISSCC(2012)	6.4Gb/s Multi-Threaded BCH Encoder and Decoder for Multi-Channel SSD Controllers							
6	KAIST	조규형	왕세원	ISSCC(2012)	A High-Stability Emulated Absolute Current Hysteretic Control Single-Inductor 5 Outputs Switching DC-DC Converter with Energy Sharing and Balancing							
7	KAIST	조규형	임종필	ISSCC(2012)	A 40mV Transformer-Reuse Self-Startup Boost Converter with MPPT Control for Thermoelectric Energy Harvesting							
8	KAIST	조성환	박평원	CICC(2011)	A Fractional-N Frequency Synthesizer using High-OSR Delta-Sigma Modulator and Nested-PLL							
9	KAIST	조성환	박평원	ISSCC(2012)	An All-Digital Clock Generator Using a Fractionally Injection-Locked Oscillator in 65nm CMOS							
10	KAIST	조성환	김광석	SOVC(2012)	A 7b, 3.75ps Resolution Two-Step Time-to-Digital Converter in 65nm CMOS Using Pulse-Train Time Amplifier							
11	KAIST	조성환	박동민	ISSCC(2012)	A 14.2mW 2.55-to-3GHz Cascaded PLL with Reference Injection, 800MHz Delta-Sigma Modulator and 255fsrms Integrated Jitter in 0.13um CMOS							
12	KAIST	조규형	왕세원	ASSCC	A High Stability DC-DC Boost Converter with Ripple Current Control and Capacitor-Free LDOs for AMOLED Display							


IDEC MPW 설계의 내용으로 SoC 저명한 국제학회에 게재된 논문에 대해 MPW 발전에 공헌함에 시상함.

Chip Design Contest (CDC)			
<b>● 2012 ISOC Chip Design Contest 개최</b> 가. 일정 및 장소 : 2012. 11. 5(월), 제주 라마다프라자 호텔 나. 논문 선정 결과 : 135편(데모 : 16, 패널 : 119) 다. 행사 진행 일정		<b>● 20th KCS Chip Design Contest 개최</b> 가. 일정 및 장소 · 일 사: 2013년 2월 5일(화) (*참고: KCS 일정_2,4~6) · 장 소: 횡성 성우리조트 나. 논문 마감 : 11. 9(금) 다. MPW 설계팀 참여 대상 - 2011 MPW 설계팀 중 미참여팀 + 2012년(108~109회) 설계팀 라. 시상 내역	
구분	시간	비고	
패널 발표	08:30 ~ 09:45	- 119개팀 발표(3분/팀)	
데모 / 패널 전시	10:00 ~ 16:00	2층 홀	
시상식	18:30 ~ 20:00	Banquet (라마다볼룸-2층)	
라. 시상내역			
시상명	내역	시상	
Design Award	최우수상(1팀)	상장 및 상금 100만원	박인철 소장님
	우수상(2팀)	각 상장 및 상금 50만원	박인철 소장님
	특별상(1팀)_SSCS 서울캠퍼스	상장 및 상금 50만원	윤광섭 교수님
Poster Award	우수상(5팀)	상장 및 상금 20만원	협의중

\* 문의 : 이의숙 (042-350-4428 yslee@idec.or.kr)

2012년 11-12월 교육프로그램 안내			
수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.			
<b>강좌 일정  </b>			
센터명	강의일자	강의제목	분류
KAIST IDEC	11월 14일	Memory(DRAM) Design Overview	세미나
	11월 15일-16일	Calibre Advanced nmLVS Debug	Tool
	11월 20일-21일	Floorplanning, Physical Synthesis, Place and Route (Flat)	Tool
한양대 IDEC	12월 26일-27일	고성능 PLL 주파수 합성기 설계	설계
	11월 1일-2일	패턴인식 응용	설계
	11월 23일	Service Robot 에서의 인공지능기술 응용	세미나
<b>&gt;KAIST IDEC 개설 강좌 안내</b>			
<b>■ 강좌일 : 11월 14일</b> <b>■ 강좌 제목 : Memory(DRAM) Design Overview</b> <b>■ 강사 : 이중호 교수(용인대)</b>			
<b>[ 강좌개요 ]</b>			
DRAM의 전반적인 분야에 대한 이해와 주요 설계 부분에서 Chip size vs. speed target에 대한 이해 메모리 장치에서 DRAM설계가 시장의 핵심을 이루고 있다. 따라서 DRAM 설계자의 관점에서 DRAM설계의 주요한 부분에 대해 설명하고 이해 하도록 한다.			
- DRAM Design Strategy & Feature - DRAM Architecture - Core 구조 - Folded Bit Line vs. Open Bit Line - IO Pipeline scheme 및 주요 parameter - DLL			
<b>■ 강좌일 : 11월 15일-16일</b> <b>■ 강좌 제목 : Calibre Advanced nmLVS Debug</b> <b>■ 강사 : 박지훈 (Mentor Korea)</b>			
<b>[ 강좌개요 ]</b>			
Calibre nmLVS의 개념 습득과 효율적으로 Debugging 하는 방법			
<b>[ 수강대상 ]</b> · Calibre LVS user			
<b>[ 강의수준 ]</b> · 중초급			
<b>[ 강의형태 ]</b> · 이론+실습			
<b>■ 강좌일 : 12월 25일-26일</b> <b>■ 강좌 제목 : 고성능 PLL 주파수 합성기 설계</b> <b>■ 강사 : 조성환 교수 (KAIST)</b>			
<b>[ 강좌개요 ]</b>			
PLL의 기초와 원리를 이해하고 이를 집적회로로 응용한 고성능 주파수 합성기, 클럭 발진기 등에 대하여 알아본다.			
<b>[ 수강대상 ]</b> · 산업체 인력 및 대학원생			
<b>[ 강의수준 ]</b> · 중급			
<b>[ 강의형태 ]</b> · 이론+실습			
<b>[ 사전지식, 선수과목 ]</b> · 회로이론, 전자회로, 신호 및 시스템, 제어시스템, 랜덤 프로세스			
* 한양대 IDEC개설강좌 상세 안내는 추후 홈페이지를 참조해주시거나 한양대 IDEC 교육 담당자에게 문의해 주시기 바랍니다.			
* 문의 : KAIST IDEC 이승자 (042-350-8536, sjlee@idec.or.kr)			
* 문의 : 한양대 IDEC 안지혜 (031-400-4079, ipc@idec.hanyang.ac.kr)			

### IPC 사업 성과 전시회 개최 - 2012 IDEC Platform Center Workshop -



10월 25일(목), 09시부터 서울 엘타워 8층에서 지식경제부와 정보통신산업진흥원의 지원을 받아 추진하고 있는 IDEC Platform Center (이하 IPC)사업의 성과발표 및 결과물에 대한 전시회를 가졌다.

"제5회 반도체의 날"을 맞이하여 지난 17년간 시스템반도체 설계인력양성에 매진하는 반도체설계교육센터와 IPC 사업의 성과를 보여드리고 객관적인 평가와 IDEC과 IPC 사업이 나아갈 방향을 듣고자 마련한 이번 전시회에는 산학연 관계자 200여 명의 참여하였다.

### 2012년 IDEC WG 우수 참여교수상 수상

· 지난 10월 25일(목) 개최된 IPC(IEC Platform Center) Workshop에서 2012년 한해 동안 WG 참여교수로 활발하게 활동하시어 우수한 연구실적과 IDEC을 위해 열심히 노력해 주신 것을 기리는 "WG 우수 참여교수상"을 수상하였다.

소속	성명
한양대	유창식
고려대	김철우
포항공대	심재윤
서강대	이승훈
인천대	유종근
충북대	조경록

· 2012년 WG 우수 참여교수상 수상자

# AMOLED 디스플레이에서 Image Sticking 현상 보상기술



**KAIST 전기 및 전자공학과**  
 조규형 교수  
 연구분야 : Power Management IC, Display & LED Driver IC  
 Touch Sensor & Biosensor, Energy Harvesting IC  
 E-mail : ghcho@ee.kaist.ac.kr  
 http://circuit.kaist.ac.kr



**KAIST 전기 및 전자공학과**  
 김현식 박사과정  
 연구분야 : Analog Integrated Circuits, Mixed-Signal Circuits  
 X-Ray Image Sensor, Display Driving Chip  
 E-mail: rutan@kaist.ac.kr  
 http://circuit.kaist.ac.kr



부록 12

## 서론

AMOLED 디스플레이는 빠른 응답속도와 얇은 두께 그리고 넓은 시야각과 자연스러운 색 재현성과 같은 장점을 바탕으로 최근 모바일 애플리케이션 중심의 소형 디스플레이에서부터 TV용 대형 디스플레이까지 그 영역을 확장해나가고 있다. 하지만 '번인(burn-in)' 현상이라고 불리는 OLED 소자의 열화현상으로 디스플레이의 수명문제가 크게 대두하고 있다.

특히 <그림1>에서와 같이 고정된 화면이 지속해서 디스플레이 되는 경우, 특정 픽셀들만의 열화가 주변 픽셀보다 더 빠르게 진행되어 픽셀 간 열화 정도의 차이에 의해 영상의 잔상이 남는 image sticking (영상 고착화) 현상이 문제가 되고 있다. 이러한 image sticking 현상은 특히 대형 AMOLED TV가 양산화되기 위해서는 반드시 해결해야 할 문제이다.

이러한 현상을 줄이기 위해 재료공학적으로 OLED 소자의 수명을 증대시키는 연구가 진행되고 있지만, 한편으로는 디스플레이 구동 시스템이나 패널의 픽셀 회로 내부에서 이를 보상하는 image sticking 보상 기법에 대한 연구개발도 지속하고 있다. 본 고에서는 다양한 image sticking 보상 방법들과 최근 연구 동향에 대해 알아보고자 한다.

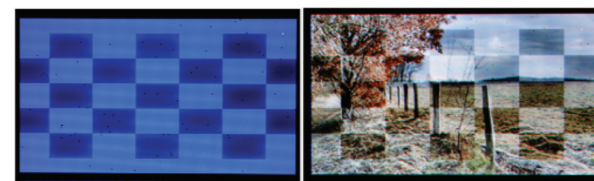


그림1. (a) 체크패턴을 이용한 OLED ageing, (b) 소자 열화의 분군일에 의한 image sticking 현상 [1]

## 본론

### ■ LUT 기반 보상기법

Look-up table (LUT) 기반의 image sticking 보상기법은 비교적 매우 간단하게 구현 가능한 방법이다 [2]. 먼저 디지털 이미지 프로세싱 유닛에서 지속해서 화면에 디스플레이 되는 영상 데이터를 수집한다. 이 수집과정에서 각 픽셀의 휘도(luminance) 사용 정도를 통계

적으로 분석함으로써 AMOLED 패널에서 각 픽셀의 OLED 열화 정도를 파악한다. 이 통계적 데이터를 바탕으로 각 픽셀의 열화 정도에 맞춰 원래의 gray level보다 더 높은 드라이빙 데이터를 column driver로 전달함으로써 image sticking 현상을 보상하는 방법이다.

이와 같은 방법은 디지털로 쉽게 구현 가능하고 전압구동방식, 전류구동방식, 또는 디지털 구동방식에 상관없이 모두 사용 가능하다는 장점이 있다. 하지만 디스플레이 되는 영상 데이터를 지속해서 수집하고 분석해야 하기 때문에 추가적인 메모리와 디지털 프로세싱 유닛의 사용으로 말미암은 생산비용증가가 높은 편이다. 또한, 실제 OLED의 열화 정도를 실측하는 것이 아닌, 사용 정도의 통계적 분석에 의한 예측이기 때문에 각 OLED 소자마다 특성 산포에 의해 image sticking 보상의 정밀도나 성능이 다른 방법들에 비해 현저히 떨어지는 단점이 존재한다.

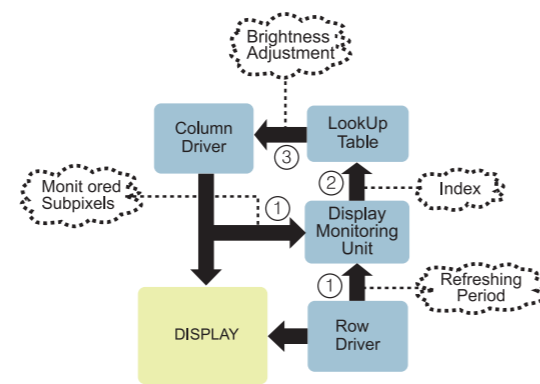


그림2. LUT기반의 열화보상 다이어그램 [2]

### ■ Optical Feedback 보상기법

Optical feedback을 이용한 image sticking 보상은 디스플레이패널 안에 빛의 크기를 측정할 수 있는 photodiode를 내장한다. 그래서 기본적으로 OLED가 방출하는 빛의 크기를 측정하여 OLED의 열화 정도를 파악하고 보상하는 기법이다. 먼저 <그림3>에서와 같이 외부 장치의 도움 없이 픽셀 내부에서 photodiode를 이용한 image sticking 보상방법이 소개되었다 [3]. 기본적인 동작원리는 다음과 같다. OLED의 발광하는 빛의 크기는 TFT의 gate-source 전압인 V의 크기에 따라 결정된다. 만약 OLED의 열화가 전혀 진행되지 않는

시점에서는 OLED가 밝은 빛을 발광하고 PD(photodiode)에서 빛의 크기만큼 photocurrent를 발생시켜 스토리지 캐패시터 C가 빠르게 방전하여 TFT를 빠르게 턴-오프(turn-off) 시킨다. 따라서 OLED가 발광하는 빛이 밝으면 밝을수록 OLED를 빠르게 턴-오프된다. 반면, OLED의 열화가 진행되어 OLED가 발광하는 빛이 약하면 PD의 photocurrent 크기도 작아져 C를 느리게 방전시켜 OLED가 꺼지는 시간을 지연시킨다.

이와 같은 매커니즘을 이용하면 결국에는 고정된 프레임 시간 동안 OLED의 열화 여부와 상관없이 일정한 평균 휘도(luminance)를 보이게 된다. 이와 같은 방법으로 image sticking 현상을 디스플레이 패널의 각 픽셀 회로에서 스스로 보상한다. 이 방식은 외부의 디스플레이 구동시스템이 아닌 디스플레이 패널 내부에서 보상하고 근본적으로 OLED가 발광하는 빛의 크기를 실측한다는 점에서 장점이 있다.

하지만 픽셀에 photodiode가 내장되어야 하기 때문에 디스플레이 패널의 생산비용이 매우 높아질 수 있고, 무엇보다도 각 픽셀 간 photodiode의 균일성을 확보하는 것이 어려워 결국에는 디스플레이 영상의 균일도도 함께 낮아질 수밖에 없는 문제점이 있다. 특히 <그림3> 같은 방법은 발광기간(emission period) 동안 스토리지 커패시터를 방전시키는 시간을 조절하여 보상하는 방식이기 때문에 디스플레이 화면의 평균 휘도가 매우 나빠질 수 있다.

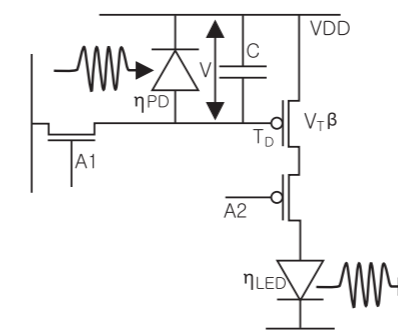


그림3. Optical feedback 픽셀 회로 [3]

### ■ Electrical Feedback 보상기법

OLED의 열화를 측정하는 또 다른 방법은 OLED의 변화된 전류-전

압 특성 커브를 얻는 것이다. 이러한 원리를 이용한 방법 중 <그림4>는 전기적 테스트 전류를 OLED에 흘려보내 피드백되는 전기적 전압 신호를 통해 OLED의 열화 정도를 파악하고 보상하는 방법이다 [4]. 동작원리는 다음과 같다. OLED에 동일 전류를 흘려주더라도 열화 정도에 따라서 OLED의 resistance가 증가하여 anode 전압이 상승하게 되는데 이 anode 전압을 ADC를 통해 디지털 데이터로 변환하고 이 열화 데이터를 바탕으로 디스플레이 구동 시 열화 된 만큼 gray level을 증가시켜 디스플레이를 구동함으로써 image sticking 현상을 보상한다.

이러한 방법의 한계는 OLED 열화 측정시간이 오래 걸릴 수 있다는 것이다. 먼저 열화 정도를 파악하기 위한 테스트 전류는 작으면 작을수록 보상의 정밀도가 높아지는데, 작은 크기의 테스트 전류는 패널 내부의 parasitic capacitance를 거쳐 최종 OLED로 흐를 때까지 걸리는 시간이 길어질 수밖에 없다. 또한, 몇 개의 외부 ADC 칩을 통해 수백 채널에 이르는 신호들을 시간분할(time-multiplexing) 방식으로 읽어내기 때문에 OLED 열화 측정시간을 많이 확보해야만 한다. 반대로 더 빠른 시간 내에 측정하기 위해서는 더 많은 수의 ADC 칩을 필요로 하게 된다.

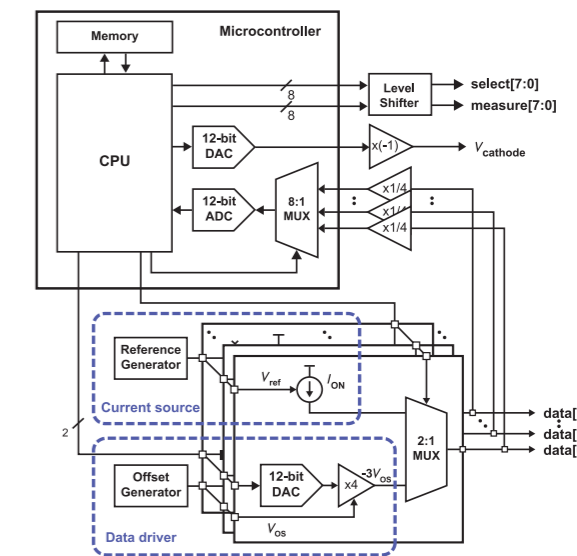


그림4. Electrical feedback을 이용한 image sticking 보상방법 [4]



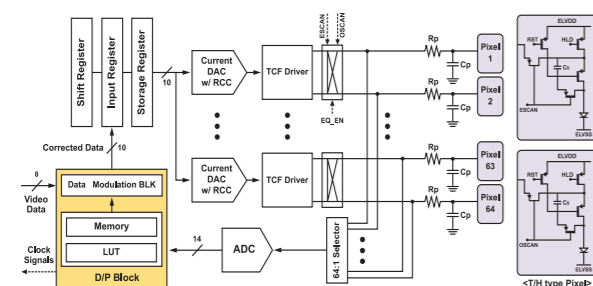


■ 실시간 보상기법

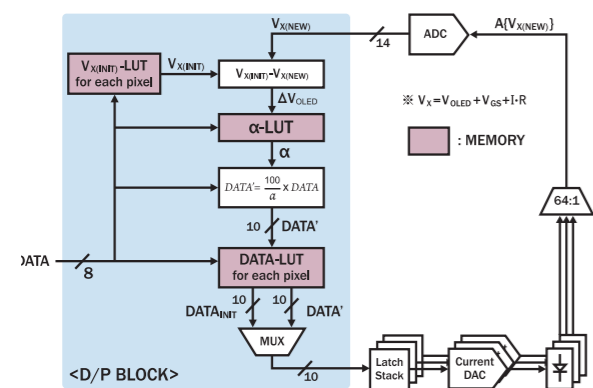
앞서 설명한 전기적 피드백 방법을 바탕으로 하는 실시간 image sticking 보상 방법이 최근 소개되었다 [5]. 기존에는 구동모드와 image sticking 보상모드로 나뉘어 보상모드에서 테스트 전류를 인가하고 전압을 측정하여 OLED 열화를 파악했다. 실시간 image sticking 보상 방법에서는 <그림5>에서처럼 디스플레이 데이터를 전류구동방식으로 구동한다.

낮은 계조의 데이터 전류는 그 크기가 일반적으로 매우 작아 구동시간이 오래 걸리므로 전류구동회로[6]를 사용하여 데이터 전류를 픽셀에 빠르게 기입한다. 실시간 보상에서는 이 데이터 전류를 열화 보상을 위한 테스트 전류로써도 활용하여, 데이터 전류를 OLED에 구동할 때 OLED의 anode 전압을 측정하여 OLED 열화 파악한다. 즉, 디스플레이 구동과 image sticking 보상을 동시에 진행하면서 실시간으로 열화 보상을 가능하게 한다.

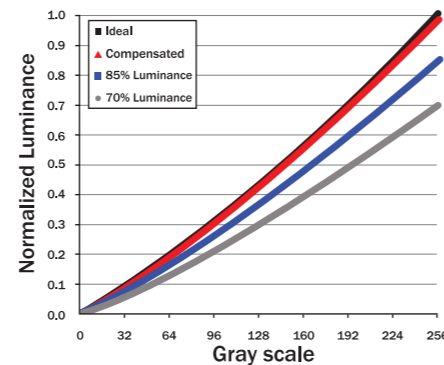
<그림5(b)>는 이 실시간 구동과 보상 시스템을 이용한 image sticking 보상 알고리즘이다. 이와 같은 실시간 보상시스템을 이용하면 <그림5(c)>와 같이 각 픽셀 OLED의 발광 효율이 떨어지더라도 해당 픽셀의 구동 데이터를 증가시켜 실시간으로 빛의 크기를 보상한다. 그러므로 기존 방법에서의 image sticking 보상을 위한 긴 측정 시간을 단축하게 할 수 있고, 보상회로 또한 많은 부분을 구동회로와 공유할 수 있어 구현비용 또한 줄일 수 있게 있는 장점이 있다.



(a)



(b)



(c)

그림5. 실시간 image sticking 보상방법 [5]  
(a) 디스플레이 드라이버 시스템 구성도, (b) 보상 알고리즘, (c) 휘도 보상 결과

결론

지금까지 LUT 기반의 보상기법, 광학적 보상기법, 전기적 특성을 이용한 보상기법, 여기에 실시간 전기적 보상기법까지 image sticking을 줄이기 위한 다양한 보상 방법을 소개하고 각 방법의 장단점에 대해 알아보았다. 최근에는 주로 전기적 피드백 방법을 이용한 보상기법들이 연구되고 있고 실제 제품에 적용되기 위한 개발이 이루어지고 있다. 하지만 OLED 열화에 의한 전기적 피드백 특성의 경향성이 아직 많이 확보되지 못했고 주변 온도에 영향을 받는 등의 문제가 남아 있다. 또한, 보상시스템이 추가됨으로써 발생하는 생산비용 증가도 기술의 상용화에 걸림돌로 남아있다. 하지만 AMOLED TV와 같은 대형 디스플레이의 양산화를 위해서는 반드시 image sticking 보상이 원활하게 이루어져야 하므로 앞으로 이러한 보상 기법들의 기술적 성숙을 통해 실제 양산화로 연결될 것으로 기대된다.

Reference

- [1] G. R. Chaji, S. Alexander, J. M. Dionne, Y. Azizi, C. Church, J. Hamer, J. Spindler, and A. Nathan, "Stable RGBW AMOLED Display with OLED Degradation Compensation Using Electrical Feedback," IEEE ISSCC, pp. 118-119, Feb. 2010.
- [2] D. Antonio-Torres, P. F. Lister, and P. Newbury, "LUT-based compensation model for OLED degradation," Journal of the SID, vol. 13, no. 5, pp. 435-441, May, 2005.
- [3] D. A. Fish, M. J. Childs, S. C. Deane, J. M. Shannon, W. A. Steer, N. D. Young, A. Giraldo, H. Lifka, and W. Oepts, "Improved optical feedback for OLED differential ageing correction," Journal of the SID, vol. 13, no. 2, pp. 131-138, Jan, 2005.
- [4] D.-Y. Shin, J.-K. Woo, Y. Hong, K.-N. Kim, D.-I. Kim, M.-H. Yoo, H.-D. Kim, and S. Kim, "Reducing image sticking in AMOLED displays with time-ratio gray scale by analog calibration," Journal of the SID, vol. 17, no. 9, pp. 705-713, Sep, 2009.
- [5] J.-H. Yang, J.-Y. Jeon, H.-S. Kim, S.-H. Park, J.-W. Kim, J.-C. Lee, and G.-H. Cho, "A Novel Current-Mode Techniques for Real-Time Image Sticking Compensation in AMOLED Displays," SID Digest, pp. 647-650, June 2012.
- [6] Y.-J. Jeon, J.-Y. Jeon, Y.-S. Son, J. Huh, and G.-H. Cho, "A High-Speed Current-Mode Data Driver With Push-Pull Transient Current Feedforward for Full-HD AMOLED Displays," IEEE Journal of Solid-State Circuits, vol. 45, no. 9, pp. 1881-1895, Sep. 2010.



Call for Papers  
ISOC 2012, Theme : SoC Design for Smart Living

2012 International SoC Design Conference  
November 4-7, 2012 | Ramada Plaza Hotel, Jeju, Korea



International SoC Design Conference (ISOC) aims at providing the world's premier SoC design forum for leading researchers from academia and industries. Prospective authors are invited to submit papers of their original works emphasizing contributions beyond the present state of the art. ISOC 2012 is technically co-sponsored by IEEE CAS Society and accepted papers will be published on IEEE Xplore. We also welcome proposals on special sessions.

Paper Submission

Complete 2-page to 4-page manuscript (in Standard IEEE double-column format) is requested. Papers must be submitted electronically in PDF format. Only electronic submission will be accepted. For more information, please refer to the conference website: <http://www.isoc.org>.

Areas of Interest

- |  |                                       |
|--|---------------------------------------|
| Analog and Mixed-Signal Circuits       | Communication SoCs                    |
| Display Driver and Imaging Devices     | Embedded Memories                     |
| Embedded System Software               | High Speed Signal Interfaces          |
| Low Power Design Techniques            | Microprocessor and DSP Architectures  |
| Energy-Aware Systems                   | SoC Design Methodology                |
| Multimedia (A/V) SoCs                  | SoCs for Automotive Technology        |
| Wireline & Wireless ICs (RF ICs)       | Sensor & MEMS                         |
| Signal Integrity/Interconnect Modeling | Power Electronics (Energy Harvesting) |
| SoC Testing and Verification           | Bio & Medical Devices                 |

Special Sessions

Proposals are solicited for special sessions. Please submit proposals for special sessions to the special session chair.

Chip Design Contest

Design contest provides the academia with the opportunity to introduce their novel chip designs to the real world. The selected designs will be awarded. Papers should be submitted in electronic form via [http://www1.idec.or.kr/conference/conference\\_isoc.asp](http://www1.idec.or.kr/conference/conference_isoc.asp).

Best Paper Awards

The authors of selected papers will be awarded for technical contributions and their papers will be invited for publication in the Journal of Semiconductor Technology and Science (JSTST) published by Institute of Electronic Engineers of Korea (IEEK). (Visit <http://www.jsts.org> for submission details).

Important Dates

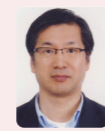
- Deadline for submission of special session proposal; **Jul 16, 2012**
- Acceptance notice of special session proposal; **Jul 21, 2012**
- Deadline for submission of regular session full paper; **Aug. 11, 2012**
- Deadline for submission of chip design contest; **Aug. 25, 2012**
- Deadline for submission of special session full paper; **Aug. 25, 2012**
- Notification of acceptance (all submitted papers); **Sep. 08, 2012**
- Deadline for final paper submission; **Sep. 22, 2012**
- Deadline for author and early-bird registration; **Sep. 22, 2012**

At least one author of each accepted paper must register by September 22, 2012.





# 지능형 자동차를 위한 어라운드 뷰 생성 기술



인하대학교 정보통신공학부  
 김학일 교수  
 연구분야 : 컴퓨터비전, 패턴인식  
 E-mail : hikim@inha.ac.kr  
 http://vision.inha.ac.kr/



## 서론

최근 운전자 보조 시스템(ADAS: Advanced Driver Assistance System)의 개발이 급속도로 진행되면서 출시되는 차종에 탑재된 새로운 시스템에 관심이 집중되고 있다. 그 중 하나가 주차 시에 차량 주변의 카메라 영상을 이용하여 어라운드 뷰 (around-view) 영상을 생성하는 기술(AVM: Around View Monitoring)이다. 어라운드 뷰 시스템 기술은 차량에 부착된 카메라를 이용하여 차량 주변의 다수의 카메라 영상을 한 장으로 정합하여 차량 주변의 환경을 운전자가 쉽게 인지할 수 있도록 돕는 시스템이다.

2012년 미국에서는 후방 카메라 의무 설치 방안이 논의됨에 따라 출시된 차량 모델의 45%가 후방 카메라를 장착하였고, 호주는 내수 전자 시장에 카메라 장착을 기본으로 하고 있다[1]. 국내 운전자들 사이에서도 블랙박스와 함께 차량의 카메라 장착이 급속도로 보급되고 있고, 택시와 버스와 같은 대중교통 차량에는 이미 전 차량에 블랙박스와 한 대 이상의 차량용 카메라가 설치되어 있다. 이런 차량용 카메라의 보급과 함께 자연스럽게 어라운드 뷰 시스템을 비롯한 차량용 비전 시스템들이 주목을 받고 있다.

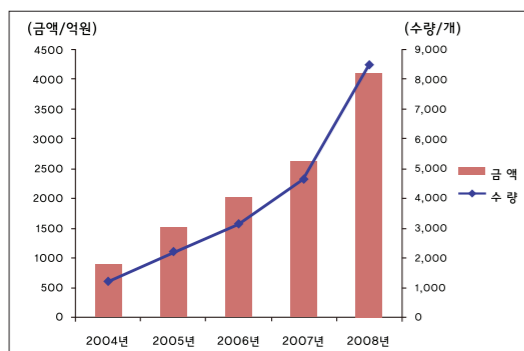
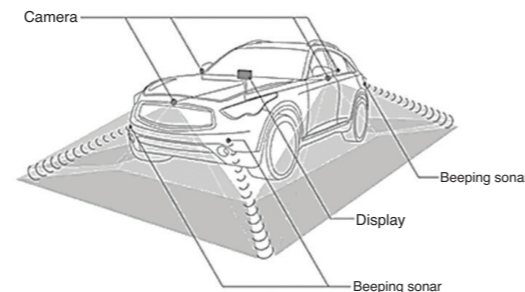


그림 1. 차량용 카메라 시장 규모  
출처: 전자정보센터(EIC)

어라운드 뷰 시스템은 2007년 가장 처음 닛산의 인피니티에 탑재되면서 소개되었다. 닛산의 시스템에서는 그림 2와 같이 차량의 전후방과 측면 거울 하단에 4대의 광각 카메라를 배치하여 360°의 시야를 확보하였다. 시속 10km 이하에서 동작하며 주로 주차 시에 이용하게 된다. 국내 업체 중에서는 현대기아차의 그랜저와 르노삼성차의 SM7에 어라운드 뷰 시스템을 탑재해 적극 홍보에 나서고 있다.



Birds-eye view Rear view



Front-side view Rear view

그림 2. Nissan의 어라운드 뷰 [2]  
출처 : <http://www.nissan-global.com/>

최근 연구 방향으로는 어라운드 뷰 영상을 평면에 맵핑 했을 때 차량이나 다른 물체가 늘어지는 것 같은 왜곡이 발생하는 것을 해결하기 위해 평면이 아닌 다른 형태의 공간에 맵핑 하는 연구가 진행되고 있다[3][4]. 아래의 그림3 은 반 구형공간에 맵핑 했을 때를 보여주는 예이다.

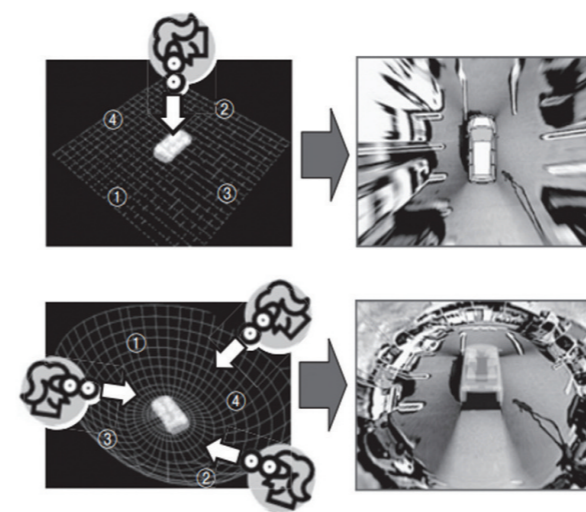


그림 3. Fujitsu의 Wraparound view monitor[3]

## 본론

현재 가장 널리 보급이 되어있는 어라운드 뷰 생성기술은 카메라 캘리브레이션(camera calibration)과 이미지 맵핑(mapping)의 두 단계의 처리 과정으로 구성되어 있다. 카메라 캘리브레이션은 카메라를 설치할 때 초기 1회에만 수행되고, 이후에는 그 결과 값을 저장하여 이용하게 된다. 이러한 처리 방식에는 두 가지 상황을 가정하고 있는데, 첫 번째 가정은 처리하고자 하는 지면은 평평하다는 것이고, 두 번째는 카메라의 위치가 고정되어 있어 변하지 않는다는 것이다. 그래서 만약 카메라의 위치가 변하면 카메라 캘리브레이션을 다시 수행을 해주어야 한다.

카메라 캘리브레이션 기술의 목적은 각각의 카메라 사이의 그리고 카메라와 맵핑 하고자 하는 가상의 공간에서의 지면 사이의 기하학적 관계를 알아내는 것에 있다. 카메라 간의 기하학적 정보를 바탕으로 각 영상의 지면을 기준으로 정합하게 되고, 카메라와 가상의 지면과의 기하학적 정보를 이용하여 수직에서 본 것처럼 보이는 버드 아이 뷰(bird's eye view)로 표현할 수 있게 된다. 이런 모든 정보는 카메라 당 하나의 행렬로 나타낼 수 있다. 카메라 캘리브레이션을 쉽게 수행할 수 있는 환경 중에 자주 사용되는 장치는 그림 4와 같이 카메라 간의 그리고 지면과의 상대적 위치를 쉽게 알 수 있는 공간이다 [5][6].

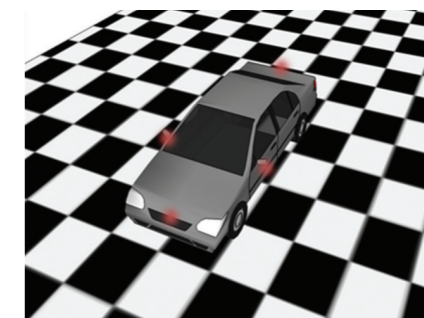


그림 4. 카메라 캘리브레이션 장소의 예

카메라 캘리브레이션은 그림 5와 같이 원본영상의 점  $(x, y)$ 를 생성하고자 하는 목표 영상의 점  $(x', y')$ 으로 퍼스펙티브 변환(perspective transform)을 수행하는 두 평면 사이의 호모그래피(homography) 행렬을 찾는 과정이다. 이 호모그래피 행렬에는 카메라의 내부 파라미터와 가상의 지면과의 기하학적 정보가 들어있어서 QR 분해(QR decomposition)와 같은 방법을 이용하여 알아낼 수 있다. 만약 가상의 공간과 실제 공간 사이의 비율을 알 수 있다면 실제 거리도 알 수 있게 된다. 이 호모그래피 행렬을 구하는 방법에는 간단하게는 연립 방정식을 세워서 푸는 방법이나 SVD(Singular value decomposition)를 이용하는 간단한 방법도 있지만, 더욱더 정확한 행렬을 찾기 위해 다양한 방법들이 소개되고 있다[6].

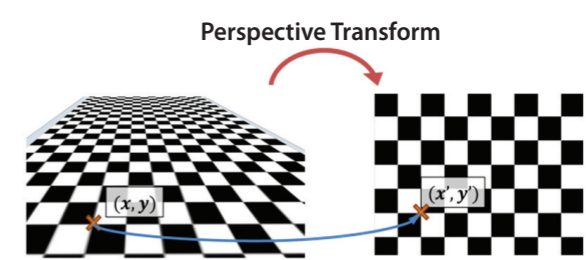


그림 5. 퍼스펙티브 변환 (a) 원본 영상, (b) 목표 영상

이미지 맵핑의 과정은 앞서 계산된 호모그래피 행렬을 이용하여 각각의 이미지를 퍼스펙티브 변환을 하여 새로운 공간에 맵핑하여 주는 과정이다. 퍼스펙티브 변환을 할 때는 지역적으로 영상의 크기 변화가 일어나게 되므로 반드시 인터플레이션(interpolation) 과정이 필요하다. 인터플레이션 알고리즘은 그림 6과 같이 측정된 데이터들 사이의 값을 알고자 할 때, 그 값을 추정할 때 사용된다.



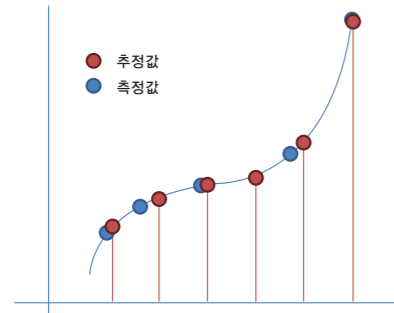


그림 6. 인터플레이션

인터플레이션 알고리즘으로는 Nearest Neighbor, Bilinear, B-spline 등 처리속도와 성능이 다양한 알고리즘들이 있지만 애플리케이션의 특성에 따라 적절한 것을 이용하면 된다. 그림 7은 이미지 맵핑 과정을 나타낸다. 각각의 영상을 퍼스펙티브 변환을 하게 되면 4장의 버드 아이뷰 영상을 얻게 되고, 같은 공간에 맵핑을 하게 되면 어라운드 뷰 영상을 얻을 수 있다. 빠른 처리 속도를 위해 그림 7의 전 과정을 미리 처리하여 맵핑 테이블로 만들어 이용하기도 한다.

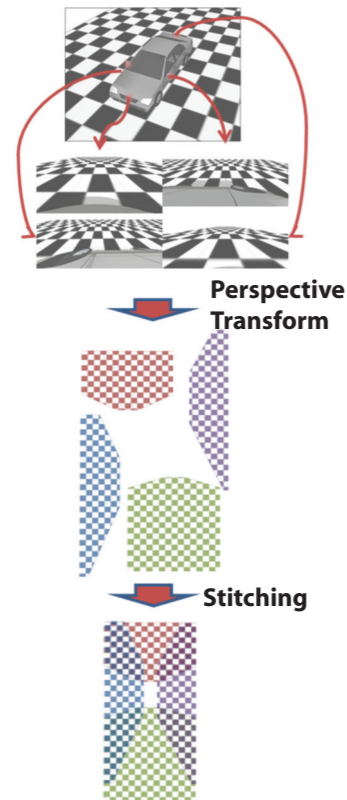


그림 7. 이미지 맵핑 과정

그림 8은 차량의 후방과 측면 영역에 설치된 카메라 영상으로 위의 과정을 거쳐 어라운드 뷰를 구성한 결과 영상이다[6].

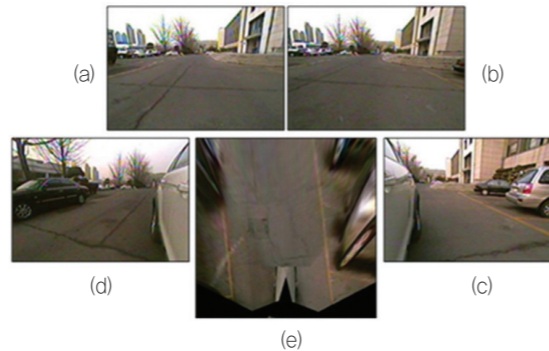


그림 8. 차량 후방영역의 정합영상[6]  
((a),(b) : 후방 좌우 영상, (c),(d) : 측면 좌우 영상, (e) : 결과 영상)

**결론**

현재 상용화된 어라운드 뷰 기술에서 아직 많은 한계가 있다. 그러므로 개발될 분야가 많고, 가능성이 많은 분야라고 할 수 있다.

어라운드 뷰의 미래의 개발 방향으로는 가장 먼저 카메라 캘리브레이션 기술의 개선이 필요하다. 현재 고가의 차량에만 제한적으로 장착되어있는 어라운드 뷰를 구형 모델의 차량에 장착하기가 어렵다. 그 이유는 캘리브레이션 과정의 시간과 절차가 길고 복잡하기 때문에 개별 장착을 위해서는 캘리브레이션 과정을 새로 수행해야 하기 때문이다. 그래서 일반 사용자가 쉽게 이용할 수 있게 자동으로 수행되는 캘리브레이션 방법과 기술이 개발된다면 어라운드 뷰 기술이 급격하게 보급이 될 것이다.

두 번째는 맵핑 시에 발생하는 물체의 왜곡을 제거하는 것이다. 현재에는 어라운드 뷰 기능이 주차 시에만 매우 제한적으로 사용하고 있지만, 물체의 왜곡을 제거하면 주행 시에도 자유롭게 이용할 수 있을 것이다. 이 문제를 해결하기 위해 서두에서 언급했던 것처럼 어라운드 뷰에서 평면이 아닌 다른 공간에 맵핑을 시도하는 논문이 소개되고 있고, 그 밖에도 다양한 접근의 연구가 진행중에 있다. 그럼에도 아직 기존의 기술의 한계를 극복한 획기적인 기술을 찾지 못하고 있다.

마지막으로는 이러한 어라운드 뷰를 이용한 다양한 애플리케이션이 개발될 것이다. 원본 영상과는 다른 특성이 있는 어라운드 뷰에서 위험 요소를 검출하고, 운전자의 편의를 돕는 알고리즘들이 현재 지속적해서 소개되고 있다 [7].

The 20<sup>th</sup> Korean Conference on Semiconductors  
**제20회 한국반도체학술대회**  
2013년 2월 4일(월) - 5일(수) / 성우리조트  
"Semiconductor for Energy Saving, Human Interface and Connectivity"

안녕하세요? 제20회 한국반도체학술대회 사무국입니다.

제20회 한국반도체학술대회 많은 저자들의 요청에 따라 논문 접수 마감일을  
**11월 09일(금)까지 연장하게 되었습니다.**

**논문 접수 연장 마감일: 11월 09일(금)**

**논문 접수 안내**

1. 2단 2칼럼의 Extended Abstract의 형태로 작성하여 주시기 바랍니다.
2. 작성요령 : MS Word (또는 hwp)와 PDF Format 두 가지 형식 모두 제출 요망



- 편집용지 : A4
- 분 량 : 2페이지
- 글 꼴 : 신명조체(한양신명조체, H-신명조체)
- 줄 간 격 : 160 %
- 단단편집 : 단수 2단, 단간격: 7mm
- 용지여백 : 위 쪽 25mm, 아래쪽 25mm, 오른쪽 15mm, 왼 쪽 15mm, 머리말 0mm, 꼬리말 0mm
- 제 목 : 12 Point, Bold, 가운데 정렬
- 저 자 : 11 Point, Bold, 가운데 정렬
- 소 속 : 11 Point, Bold, 가운데 정렬
- 본 문 : 9 Point, 들여쓰기 2cm, 혼합정렬

**주요 마감일**



**논문 접수 마감**  
2012년 10월 19일(금)  
2012년 11월 09일(금)

**논문 채택 통보**  
2012년 12월 05일(수)

**사전 등록 기간**  
~ 2013년 01월 04일(금)

**학술대회 소식통**

**제20회 한국반도체학술대회**  
본 대회의 여러가지 다양한  
소식들을 홈페이지에서 확인하세요!



홈페이지 <http://kcs.cosar.or.kr>

[제20회 한국반도체학술대회 사무국]

우) 302-120 대전광역시 서구 대덕대로 233번길 20, 502호 (우)제네컴  
전화: 042-472-7461 | 팩스: 042-472-7459 | 이 메 일: [kcs@cosar.or.kr](mailto:kcs@cosar.or.kr) | 홈메이 지: <http://kcs.cosar.or.kr/>





현재까지 전자 산업은 전통적인 transistor shrinking 기술을 이용해 반도체 직접회로의 성능을 발전시켜 왔으나 앞으로는 이러한 시도와 더불어 시스템 통합의 배치를 통해 무어의 법칙을 지키거나 앞지를 수 있다고 여겨진다. 그러한 노력 중 가장 대표적인 것이 TSV (Through Silicon Via)를 이용한 3-D IC기술이며 오늘날 Sensors on logic, stacked memory에 적용되고 있으며 앞으로는 그 범위가 interposer와 flip chip을 이용한 메모리 logic 통합 칩, multi-die stack에서의 혼성신호, RF, logic, 메모리로 확장 될 것이다.

# SPECIAL Column I

## Mentor사의 3D-IC System Verification Flow

### 서론

현재까지 전자 산업은 전통적인 transistor shrinking 기술을 이용해 반도체 직접회로의 성능을 발전시켜 왔으나 앞으로는 이러한 시도와 더불어 시스템 통합의 배치를 통해 무어의 법칙을 지키거나 앞지를 수 있다고 여겨진다. 그러한 노력 중 가장 대표적인 것이 TSV (Through Silicon Via)를 이용한 3-D IC기술이며 오늘날 Sensors on logic, stacked memory에 적용되고 있으며 앞으로는 그 범위가 interposer와 flip chip을 이용한 메모리 logic 통합 칩, multi-die stack에서의 혼성신호, RF, logic, 메모리로 확장 될 것이다.

3D-IC칩을 검증하기 위한 EDA tool은 계속 진화 중이며 직면한 과제는 design space exploration, automatic across-die design partitioning, placement and routing, thermal & stress management, testing이다. D-IC칩의 디자인 종류, 방법과 관계없이 물리적인 검증은 반드시 필요한 단계인데 이 자료에서는 Mentor에서 개발한 3D-IC system의 물리적 검증 solution을 소개한다

### 본론

3D-IC system의 구성은 die를 효과적으로 쌓기 위해 칩 앞면의 메탈과 뒷면의 메탈을 TSV가 연결하는 구조이다. 뒷면에서 하나 혹은 두 개의 재분배선이 있을 수 있고 TSV는 앞면의 metal과 뒷면의 microbump와 연결될 수 있다. 보통은 microbump 혹은 구리기둥이 chip을 연결하기 위해 사용된다. 전형적인 접근 방식은 "via middle" 공정을 사용하는 것으로 이때 TSV는 FEOL의 다음과 BEOL의 앞에 구성된다.

하지만 이러한 구성에서는 noise coupling이 칩 performance에 심각한 영향을 줄 수 있는데 ohmic contact, coupling path, shielding (triple well, bar, ring, fence), Graphen등 적절한 방법이 적용되어야 한다.

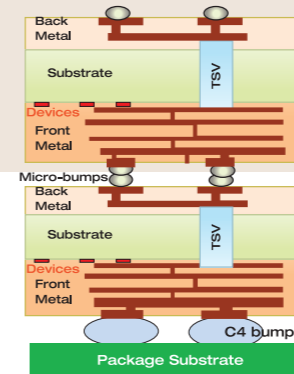


그림 1. Double sided die with a TSV connecting the front side metal1 layer and the back side metal1 layer

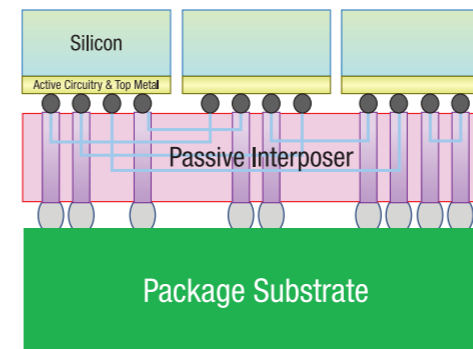


그림 2. Interposer based configuration with flipped chips microbump to connect the die to the passive interposer with no devices

Silicon이나 유리로 만들어진 interposer를 이용하여 칩을 쌓을 수도 있는데 TSV는 active die가 아닌 interposer에 구성 되기 때문에 원래 설계를 수정 할 필요가 없고 noise coupling에 대한 영향을 대비하지 않아도 되지만 chip사이의 배선이 길어진다. Interposer내의 TSV구조는 Normal TSV (insulator), TSLVS (Through Silicon Line Via), TOLV (Through Organic Line Via), COLV (Coaxial Organic Line Via)등이 있다

효과적인 물리적 검증을 위해서는 이러한 stack configuration이 구성되어야 하고 특히 접속 구조는 (interface configuration chip-to-chip, chip-to-interposer) 정확하게 표현되어야 하며 이를 위해 die의 순서 목록, 위치 정보, 회전과 방향, GDS file 및 rule file의 위치, 기생 소자 추출을 위한 접속 layer의 치수, 전기적 특성을 알려주는 구성파일이 준비되어야 한다.

DRC/LVS/PEX 를 포함하는 물리적 검증은 3D-IC의 구성과 관계없이 개별 die를 먼저 검증 후 접속을 고려해서 전체 chip에 대한 물리적 검증을 시행한다. 접속에 관해서는 (수직 적층 die 사이 그리고 die와 interposer 사이) 접속 layer를 형성하는 별도의 GDS를 통합하여 새로운 GDS를 제작 후 다이의 순서, 위치, 회전여부, 방향의 정보를 담고 있는 구성 파일을 user로부터 input으로 받은 후 자동으로 DRC 및 연결의 정확성을 확인하는데 이때 연결을 구성하는 microbump 혹은 구리기둥의 위치에 문자표가 반드시 표시되어 있어야 한다.

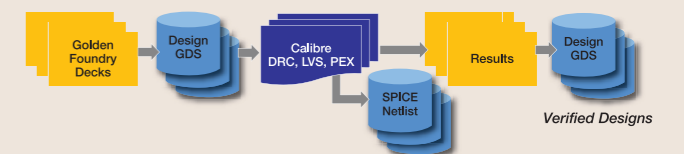


그림 3. individual chip에 대한 물리적 검증 flow



그림 4. 통합 chip에 대한 물리적 검증 flow

설계 방식의 조건에 따라 (analog, digital 혹은 dynamic simulation, static timing analysis) 그리고 vertical 3D stack과 interposer 3D stack의 방식에 따라 물리적 검증 절차는 달라지는데 analog flow에서는 TSV가 LVS 소자로 인식되어 회로 추출이 필요 없으며 spice model (R,L,C)은 파운드리로부터 제공받은 model로 simulation에 사용된다. Digital flow에서는 하나의 선택 요소로 고도의 정확성이 요구되는 검증방식은 TSV가 특성화된 cell 혹은 timing/power model로 제공 받을 수 있으나 보통 TSV는 소자가 아닌 via로 처리되며 TSV profile은 간단한 R/C model을 생성하여 timing analysis에 사용된다.

Interposer based stack에서는 die에 TSV가 없으므로 interposer의 TSV를 하나의 device로 인식 후 vertical 3D stack과 같은 방식으로 처리한다. LEF/DEF flow에서는 TSV를 via로 인식하나 interposer에는 아무런 passive 혹은 active device가 없으므로 적절한 검증을 위해서 bump 위치에 위장 소자 (보통 저항으로) 삽입하는 추가적인 절차가 필요하고 LVS/PEX 검증이 완료된 후 이 소자는 simulation 전에 제거된다.

TSV는 자체가 가지고 있는 전기적인 특성뿐 아니라 주변의 소자나 interconnect metal에 상당한 timing 영향을 미치기 때문에 이를 정확히 분석하기 위해서는 물리적인 구조를 통해 정확한 기생 소자 model을 추출하여 다음 단계의 simulator에 전달해 주어야 한다. 가장 보편적인 접근 방



법은 TSV구조를 하나의 고정된 R/L/C 값을 가지는 소자로 표현하는 방법인데 이를 위해서 먼저 파운드리에서 일단 고정된 구조의 다양한 TSV 구조들을 정의한 다음 (향후의 변화를 포함하지 못하더라도) 전기장 해석을 하고 기준값을 통한 추상적인 model을 개발하기 위해 전기장 해석의 결과인 data를 수집하여 단순화된 공식을 통해서 근사값을 구한다. 이는 시간이 굉장히 오래 걸리는 작업인데 바이어스 전압, 주파수, TSV 크기, TSV 거리와 같이 다양한 매개변수를 통해 상대적은 밀도가 높은 표본에서 계산되어야만 하기 때문이다. 하나의 매개변수당 10개의 표본만 필요하다 하더라도 만약 N개의 sample을 계산한다면 전기장 해석은 10^N 개수만큼의 작업을 수행해야 하는데 이는 Maxwell 미분 방정식을 3차원 환경에서 계산하는 느린 전기장 해석 프로그램에는 상당히 많은 시간이 있어야 하는 작업이다. 게다가 추상적인 model을 얻는 과정은 non-linear 특성을 최적화 하는 계산방법을 사용하는데 이런 종류의 Algorithm은 느리며 숙련된 사용자의 전문지식이 필요하다.

이러한 과정을 단순화하기 위해 TSV와 TSV 자체간의 거리가 충분히 멀고 TSV와 interconnect wire 사이의 거리 역시 충분히 멀기 때문에 전통적인 IC 설계와 같이 유도 정전 용량 (inductive coupling capacitance)는 무시될 수 있다고 가정 후 위와 같이 TSV 구조가 고정된 R/L/C model로 적용하였으나 최근의 System 설계 회사들은 TSV-TSV, TSV-interconnect on the top and bottom of the die 사이의 coupling cap을 충분히 간주할 수 없어 최종 제품에 영향을 미치는 cross-talk, signal delay를 잘못 계산하는 신뢰성 문제를 경험하였다.

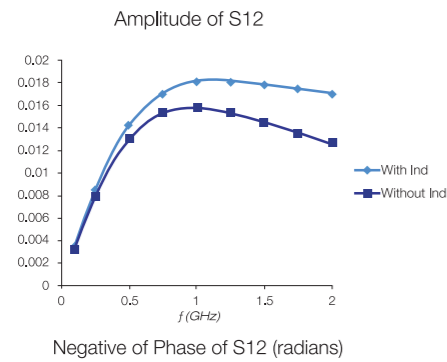
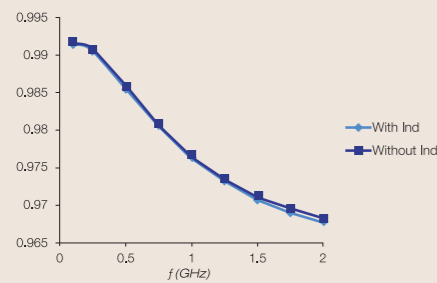


그림 5. Graph showing that, for the model under consideration, L at low frequency does not impact the amplitude of S-parameters, but does affect phase even under 1 GHz, which means that inductance of 3D-IC structures does introduce a significant delay in the signal and should be included in extraction.

3D 구조를 modeling 하기 위한 많은 학술적 접근이 이루어졌지만 상용 제품에 적용되기에는 부적합한 정확성 문제가 발생하였고 멘토 그래픽스의 연구개발부서는 어떤 calibration도 필요하지 않은 즉, model based 방법이 아닌 직접 Maxwell 방정식을 제품생산의 turn-around time에 적절한 속도로 계산하는 field solving tool을 개발하였다. 이 방식은 정확하지만 비교적 느리다고 알려진 method of moments (MoM)을 이용한 quasi-

electrostatic 방법을 근거로 하였지만, 제품생산에 적용하기에 충분한 속도로 개선하였다.

이 접근의 특징은 다음과 같다

1. Physical layer의 기하학적인 구조와 공정 정보만 input으로 필요하다. 물리적 구조의 모든 매개변수는 제한되지 않는다. 즉 파운드리와 설계자는 어떤 특정한 구조의 TSV를 미리 계산할 필요가 없다.
2. Electric parameter를 계산하고 최적화하는 시간이 아주 짧다. 이 방식은 일반적인 구조를 사용하더라도 algorithm 자체가 3D-IC 구조에 적합한 구조로 맞추어 주면서 효율성이 높아진다.
3. Non-linear optimization 방식의 단점을 보완하였다.
4. 전반적인 자동화 과정으로 다른 TCAD 기준 값을 필요로 하지 않는다.

이 Algorithm은 TSV 주변의 depletion region effect와 substrate effect를 계산할 수 있으며 반복적인 pattern과 layout에서의 차단 효과 (shielding effect) 그리고 효율적인 multi-thread 방식으로 시범운영단계에서 한 시간 만에 4천 개의 구조를 modeling 하였다. 광범위한 3D 구조와 모든 종류의 design layer (metal, RDL)를 다루기 위해 modular data structure 방식을 개발하였는데 이는 다른 크기의 3D 구조들 (bump versus TSV)뿐만 아니라 회로의 배선들 (GDS, LEF/DEF) 그리고 RDL (non-Manhattan wide interconnects)을 처리할 수 있다.

이 알고리즘과 주파수에 독립된 회로표현을 입증하기 위해 일반적인 TSV 구조에 대한 capacitance 추출 결과를 Ansoft의 High Frequency Structure Simulator (HFSS v10.0) 결과와 비교해 보았다.

Self capacitance와 Mutual capacitance의 실수 부분과 허수 부분이 MoM field solver에 의해 추출되었으며 실수부분은 일반적인 정전용량에 부합하며 허수 부분은 주파수에 따라 나누어 지는 전도도에 부합된다. 그림 6에서 알 수 있듯이 MoM의 결과는 HSFF의 결과에 정확히 일치한다.

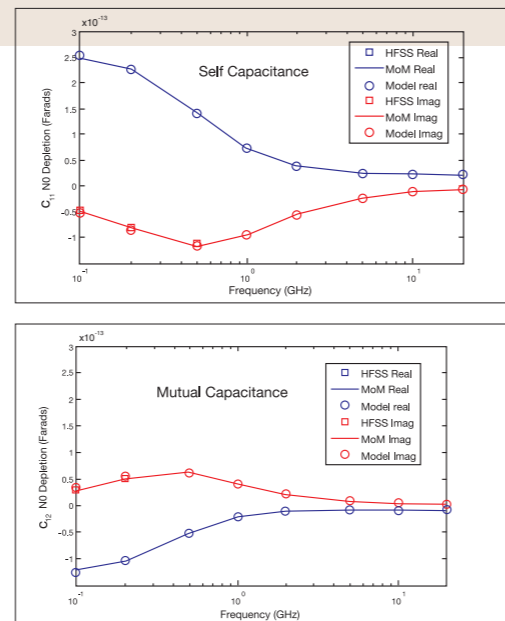


그림6. HFSS comparison, including depletion region effects. The turnaround time for frequency point = 160ms

Inductive coupling effect를 고려하기 위해 두 가지의 공식이 연구되었는데 하나는 부분적인 partial impedance이며 다른 하나는 loop

impedance이다. Partial impedance 공식에 의하면 coupling effects는 거리의 변화에 따라 아주 느리게 감소하는 함수로 표현되는데 이는 정확한 결과를 얻기 위해 주변의 구조를 아주 넓은 범위까지 고려해야 하며 필연적으로 오랜 계산 시간이 소요되는 반면 loop impedance 공식에 의하면 거리의 변화에 따라 아주 민감하게 변하는 함수로 표현되며 이는 주변의 아주 작은 범위의 구조만 계산하여도 된다. 우리는 loop impedance 공식을 선택하여 TSV의 저항과 inductance를 추출하며 이 알고리즘은 도체의 저항과 inductive coupling에 영향을 주는 skin effect를 포함하는 quasi-magneto-static 해법을 근거로 계산한다.

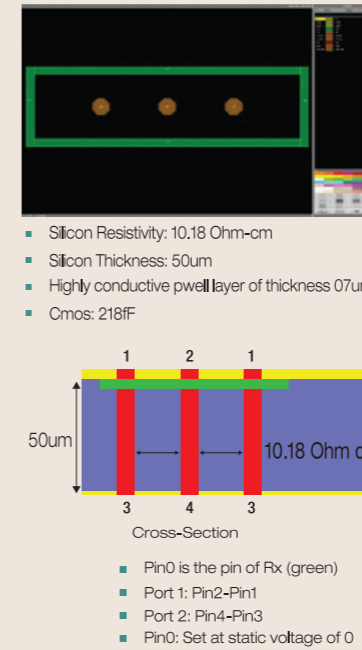


그림 7. Simple TSV structure used to compare proposed modeling algorithm to TCAD reference calculation

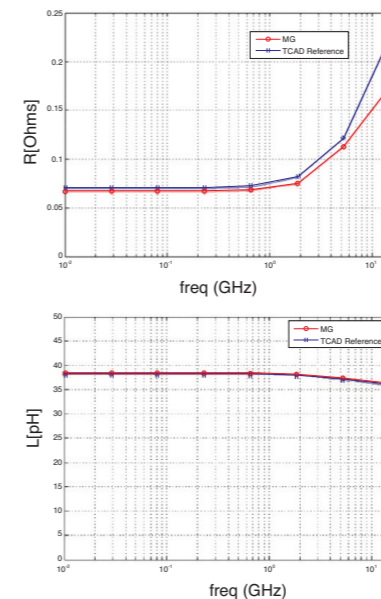


그림 8. Comparison of resistance and inductance results from the fast loop Impedance formulation (red) to TCAD reference values (blue)

**결론**

다양한 구성의 TSV-based 3D-IC stack의 정확한 물리적 검증을 위한 방법과 절차 그리고 tool들이 본 자료에서 소개되었다. 서술된 방법론은 3D-IC 설계와 공정 정보 그리고 물리적 측정치와 기준 자료를 제공해준 주요 고객 회사에서 검토되었다.

**(주)한국멘토**

정재만 부장  
 연구분야 : Physical Verification  
 E-mail : jm\_jung@mentor.com  
 http://www.mentor.com





지난 7월 10일부터 20일까지 스웨덴 스톡홀름에서 열린 JCT-VC 10차 회의에 참석했다. 공기가 비교적 깨끗하지 않은 서울에서 유난히 더울 때에 가서 그런지, 공기가 깨끗한 스톡홀름은 가을같이 덥지도 않고 쾌적해 마음에 들었다. 소나기가 비교적 자주 왔었는데 비가 온 후에는 하늘이 더 맑고 공기는 더욱 상쾌해졌다. 건물구조나 길 구조 등이 다른 유럽 도시와 거의 비슷하여 스톡홀름의 분위기는 특이하다고 느껴지지 않았으나 생소하게 느껴진 것은 백야였다. 전에도 핀란드에서 경험했었지만, 백야는 낯설기만 했다. 저녁 11시가 되어 자려고 침대에 누우면, 밖은 여전히 환하여 해가 지려고 한다는 생각만 들 뿐 언제 해가 질 것인지 판단하기가 쉽지 않았다. 시차 때문에 잠을 자지 못해서 언제 어두워지는지 밤새 지켜 봤다는 사람의 말에 의하면, 새벽 2시쯤 해가 저서 3시쯤 다시 뜨는 것 같다고 한다.

# SPECIAL Column II

## JCT-VC 10차 스톡홀름 회의 참석 후기

### 서론

지난 7월 10일부터 20일까지 스웨덴 스톡홀름에서 열린 JCT-VC 10차 회의에 참석했다. 공기가 비교적 깨끗하지 않은 서울에서 유난히 더울 때에 가서 그런지, 공기가 깨끗한 스톡홀름은 가을같이 덥지도 않고 쾌적해 마음에 들었다. 소나기가 비교적 자주 왔었는데 비가 온 후에는 하늘이 더 맑고 공기는 더욱 상쾌해졌다. 건물구조나 길 구조 등이 다른 유럽 도시와 거의 비슷하여 스톡홀름의 분위기는 특이하다고 느껴지지 않았으나 생소하게 느껴진 것은 백야였다. 전에도 핀란드에서 경험했었지만, 백야는 낯설기만 했다. 저녁 11시가 되어 자려고 침대에 누우면, 밖은 여전히 환하여 해가 지려고 한다는 생각만 들 뿐 언제 해가 질 것인지 판단하기가 쉽지 않았다. 시차 때문에 잠을 자지 못해서 언제 어두워지는지 밤새 지켜 봤다는 사람의 말에 의하면, 새벽 2시쯤 해가 저서 3시쯤 다시 뜨는 것 같다고 한다.

### 본론

회의참석 후기의 구성은 먼저 현재 HEVC의 압축 성능에 대한 간단한 요약과 JCT-VC 회의에 대해서 설명하고, HEVC 표준을 공부하기 위해서 알아야 할 것을 간단히 정리한 다음에 HEVC 표준의 특징적인 것에 대해서만 간단히 설명하려고 한다.

JCT-VC는 ITU-T/ISO/IEC Joint Collaborative Team on Video Coding을 줄여서 부르는 약칭이고, ITU-T SG 16 WP3 (VCEG)과 ISO/IEC JTC1 SC29/WG11 (MPEG)이 협력하여 만든 회의체로, 목적은 H.264/AVC 표준보다 더 우수한 차세대 비디오 표준을 만드는 것이고, 이 프로젝트의 이름이 High Efficiency Video Coding이라서 보통 새 표준을 HEVC라고 부른다. 2010년 4월에 독일 드레스덴에서 JCT-VC 1차 회의를 열었고, HEVC의 Final Draft International Standard(FDIS)를 4개월 후인 2013년 1월까지 정해야 하기 때문에 HEVC 표준 대부분이 이미 정해졌다. 아직도 표준이 정해지지 않지만 큰 회사들은 지금 HEVC encoder와 decoder를 구현하고 있는 것 같다. 벌써 HEVC decoder를 FPGA board에서 데모하는 회사도 있고, 내년 말쯤에 HEVC decoder chip이 등장할 것으로 예측하고 있다.

스톡홀름에서 묵고 있던 호텔에서 회의장과 왕궁을 연결하는 Drottninggatan이라고 하는 길이 있었다. 이 길은 차가 다니지 않아 걷기에 편하고 상점과 식당이 많이 있어서 관광객인지 주민인지 많은 사람이 걸어 다녔다. 그래서 거의 매일 이 길가에 있는 식당에서 점심과 저녁 식사를 했다. JCT-VC 회의장에서 나와서 Drottninggatan을 따라서 한 20분 걸어가면 강가가 나오고 다리를 건너가면 스웨덴 왕궁이 있다. 식사 후 30~40분 정도의 산책코스로 적당해서 점심식사 후에 왕궁 근처까지 여러 번 산책했다.

아마도 스웨덴 왕족이 왕궁에 살지 않고 있는지 관광객들에게 왕궁 대부분을 개방하고 있었다. 유럽의 다른 나라에서도 강가에 성을 만들어 놓고 지나가는 배들에게서 세금을 걷었다고 하는데, 옛날에는 스웨덴 왕도 강 입구에 왕궁을 짓고서 드나드는 배들에게서 세금을 걷어서 통치 자금을 마련했다고 한다.

지금 제정 중인 비디오 표준인 HEVC는 main profile만 있는데, HEVC Main Profile HM 7.0의 성능은 H.264/AVC에 비교하여 주관적인 성능 평가에서는 이미 대략 50%이상 bitrate 감소를, 객관적인 성능평가에서는 All Intra 경우 약 22% bitrate 감소, Low Delay나 Random Access 경우 약 35% bitrate 감소를 달성했다. HEVC가 필요한 bitrate를 대략 절반 정도로 줄일 수 있기 때문에, 아마도 내년 초에 HEVC 표준의 FDIS가 결정된 후 2~3년 안에 널리 확산할 것으로 예측하고 있다.

그리고 고해상도 영상 경우에 더 큰 압축률이 필요하므로 4Kx2K나 8Kx4K와 같은 초고해상도 TV/display가 도입되기 시작하면, HEVC의 확산이 더 촉진될 것으로 예상된다. 더 재미있는 것은 널리 사용되고 있는 still image 압축 방법들과 HEVC All intra coding 결과를 비교한 것이다. HEVC가 H.264/AVC, JPEG 2000, JPEG XR, WebP, JPEG과 비교하여 각각 평균

15.8%, 22.6%, 30.0%, 31.0%, 43.0%의 bitrate 감소를 얻었다고 한다. 그리고 향후 JCT-VC와 JPEG이 still image coding에 대해서 협력하기로 했다고 한다.

JCT-VC 회의는 개인 자격으로 참여하는 것이 아니라, 먼저 한국 MPEG forum의 회원으로 가입해야 하고 매년 회의 참석할 때마다 Korea national body의 허락을 받아서 delegate나 observer 자격으로 참석해야 한다. 지금까지 매 JCT-VC 회의마다 참가자 수는 200 ~ 300명 정도였고, 이들 중 대부분이 산업체에 종사하는 비디오 코딩의 전문가들이며, 참석자 중 10년 이상의 경력을 가진 사람들이 대략 절반 정도 된다고 한다. 한국에서 참석한 인원수를 정확히 세 보지는 않았지만, 이번 회의에 대략 50여 명 정도가 참석했는데, JCT-VC에서 한국 참석자들의 비중이 상당히 큰 것 같았다.

JCT-VC 회의는 1년에 4회 열린다. 비디오 표준을 결정하기 위한 회의이기 때문에 각 회의 시작하기 한두 주 전까지 표준으로 제안하는 내용을 정해진 형식의 기고서로 작성하여 인터넷에 접수 받는다. 아마도, 접수된 기고서를 다른 사람들이 미리 검토할 수 있도록 하려는 것 같다. 일반 학술 회의에서 심사를 통하여 채택된 논문만 발표하게 하는 것과는 달리 우선 제출된 모든 기고서를 선별하는 과정 없이 접수 받는다. 표준 회의에서는 제출된 기고서의 발표 여부나 표준 채택 여부를 일부 전문가들의 사전 검토 의견이나 회의에 참가한 사람들의 의견을 종합하여 chair person이 결정한다.

그래서 회의일정이 미리 정해져 있지 않고 그때 상황에 따라서 결정되고, 때때로 전날 회의가 끝날 때에야 다음날 회의 시작 시간이 결정되기도 했다. 회의 일정에서 토요일이나 일요일도 제외되지 않고, 회의 일정이 바뀔 때에는 아침 8시에 시작하여 오후 3시쯤 점심 먹고, 저녁 10시쯤에 끝나는 경우가 있었는데 그럴 때는 대부분 식당이 이미 닫은 후여서 저녁 식사를 할 식당을 찾는 데 어려움을 겪기도 했다.

이번 JCT-VC 10차 회의에는 기고서가 대략 500편 접수되었고, 참가자가 250명 정도였다. 일반적으로 기고서를 제출하기 전에 지적 재산권을 확보하기 위하여 보호받고자 하는 내용에 대한 특허를 미리 출원한다고 한다. 경쟁하는 회사들이 서로 자기 회사의 기고서를 채택되게 하려고 하다 보면, 의견 수렴이 지연되어 표준 작업이 잘 진행되지 않을 것 같았다.

그럼에도 짧은 일정에 맞추어서 수백 편의 기고서를 큰 잡음 없이 검토하여 의견을 수렴해 가는 것을 보고 놀랐다. 아마도 수십 년간 표준회의를 운영해 오면서 축적해온 회의 운영 방식도 한몫을 하고 있고, 적극적으로 활동하는 수십 명 정도의 핵심 참가자들의 풍부한 협상 경험과 오랫동안 표준회의 참여를 통해서 서로 인간적으로도 통하는 면이 있는 것도 도움이 많이 되는 것 같았다. 때때로 참가자들의 합의에 도달하기 어려울 때에는 chair person이 풍부한 경험을 바탕으로 비교적 공정하게 결정을 내리고, 이 결정을 참가자들이 존중하는 전통도 도움이 되는 것 같았다.

지금 HEVC의 표준이 대부분 정해졌다고 하지만, 아직 확정되지 않은 표준을 공부하려면 앞으로 변할 것이 있기 때문에 어려움이 있다. FDIS를 정하기까지 2012년 10월의 11차 회의와 2013년 1월의 12차 회의 등 2개의 회의가 더 남아 있지만, 앞으로 HEVC의 encoder나 decoder를 hardware로 구현하려고 한다면, 지금이 공부를 시작할 적당한 시기라고 생각한다. HEVC 표준을 이해하려면, 우선 JCT-VC 회의의 기고서와 회의록을 꼭 읽어볼 필요가 있다.

기존 기고서는 JCT-VC site(<http://phenix.int-avry.fr/jct>)에 가면 지난 1차 회의에서부터 10차 회의까지의 수천 편의 기고서가 저장된 database에 누구나 접근할 수 있다. 그뿐만 아니라 HEVC 관련 메일 받아보기 위해서는 JCT-VC mail reflector에 가입할 필요가 있다. 그러면 평상시에 HEVC에 관심이 있는 사람들 간에 JCT-VC에 관한 질문이나 답을 주고받는 모든 메일, 새로운 문서나 HM 소프트웨어의 update를 알리는 메일 등을 받아볼 수 있다. JCT-



VC 회의 중에 BOG(breakout group) 회의 장소나 시간 또는 다른 공지 등도 mail reflector를 통하여 알리고 있다. 그래서 JCT-VC 회의에 참석하기 전에 미리 가입하는 것이 좋다.

JCT-VC mail reflector에 가입하려면 <http://mailman.rwth-aachen.de/mailman/listinfo/jct-vc>에 접속하여서 JCT-VC 관련 메일을 받아볼 본인 메일 계정과 이름, 비밀번호 등을 입력하면 하루 이틀 후에 moderator가 가입되었다는 확인 메일을 보내 준다. 수시로 많은 양의 메일이 들어오기 때문에 정상시에 받는 메일과 구분하는 방법을 사용하는 것이 좋다. JCT-VC 회의가 진행 중인 기간에 mail reflector를 통하여 전달 회의록 준비 여부와 그 URL을 공지한다.

그래서 JCT-VC 회의에 참석하지 않아도, 회의 중에 그 전달 chair person들이 기록한 회의록을 읽어보면 어떤 기고서 내용이 표준으로 채택되었는가를 바로 알 수 있다. 지난 JCT-VC 10차 회의의 meeting 노트는 <http://wftp3.itu.int/av-arch/jctvc-site>로 접속하면 다운로드 받을 수 있다. 그리고 1차에서 9차 회의의 meeting 노트는 [http://phenix.int-ervy.fr/jct/doc\\_end\\_user/all\\_meeting.php](http://phenix.int-ervy.fr/jct/doc_end_user/all_meeting.php)에 접속한 후, 해당 meeting을 선택하여 'meeting report' 키워드로 검색하여 나오는 문서를 다운로드 하면 된다.

HEVC를 공부하는데 무엇보다도 중요한 것은 up-to-date된 HEVC 표준 문서와 reference software이다. 2012년 9월 12일 현재 가장 up-to-date된 HEVC 표준문서는 JCTVC-K0030\_v3이고, HEVC reference software 최신 버전은 HM-8.0이고, URL [https://hevc.hhi.fraunhofer.de/svn/svn\\_HEVCSoftware/tags/HM-8.0](https://hevc.hhi.fraunhofer.de/svn/svn_HEVCSoftware/tags/HM-8.0)에 가면 찾을 수 있다. 전체 프로젝트를 다운로드 하려면, 버전을 관리하는 툴인 svn을 사용할 수 있는 환경에서 checkout 하면 된다.

짧은 글로 복잡한 HEVC 표준 전체를 설명하기는 쉽지 않으니, H.264/AVC 표준을 알고 있다고 전제하고 최대한 간단한 기술하려고 한다. H.264/AVC에서는 Macrobloc(MB)이라고 하는 16x16 image block을 기본 coding unit(CU)으로 하여 prediction unit(PU)의 크기는 4x4, 4x8, 8x4, 8x8, 8x16, 16x8, 16x16만 허용하고, transform unit(TU)의 크기를 8x8이나 4x4만 허용하나, HEVC에서는 video sequence마다 CU, PU, TU의 최대 크기와 최소 크기가 정해지고, Tree block 구조를 통해 더 다양한 형태로 CU, PU, TU의 크기를 선택할 수 있다. 이때 최대 크기의 CU를 coding tree unit(CTU)라 한다. 이 CTU가 tree 구조로 분할된 후, 또 PU와 TU로 분할되어 처리되기 때문에 좀 복잡하다. 대략 HEVC의 partition 구조에 대해서 설명하면, HEVC에서는 우선 한 picture를 CTU 단위로 나누어 각 CTU를 raster scanning 순서로 처리하고, video sequence마다 CTU 크기는 16x16, 32x32, 64x64중 하나를 선택한다.

그리고 한 CTU를 4등분하여 더 작은 CU로 나누고, 나누어진 CU를 반복하여 4등분하여 더 작은 CU로 나눌 수 있는데, 허용되는 최소 CU 크기는 8x8로 정해져 있다. 더는 쪼개지 않는 CU를 leaf CU라고 하는데 이 leaf CU의 크기를 2Nx2N이라고 하여, CU를 PU나 TU로 더 나눌 때 기준으로 사용한다. Leaf CU는 그대로 intra prediction이나 inter prediction을 하는 prediction unit(PU)로 사용하기도 하고, 또는 필요에 따라 다시 더 작은 PU로 나누기도 한다. 각 leaf CU는 slice\_type, skip\_flag, 그리고 pred\_mode\_flag의 값에 따라서, MODE\_SKIP, MODE\_INTER, MODE\_INTRA 3가지 prediction mode 중 하나로 정해지는데, MODE\_SKIP과 MODE\_INTER는 inter prediction을 수행하게 되고 MODE\_INTRA는 intra prediction을 수행하게 된다. 현재 leaf CU의 CTU가 속해 있는 slice의 slice\_type의 값에 따라서 inter prediction시 motion vector의 개수가 달라진다.

slice\_type=P인 slice 안에 있는 PU는 motion vector가 1개 있고, slice\_type=B인 slice 안에 있는 PU는 motion vector가 최대 2개 있다. intra

prediction 경우는 leaf CU를 그대로 2Nx2N PU로 사용하거나 4등분하여 4개의 NxN PU로 나누는 두 경우만 가능하다. 그래서, 허용되는 CU의 최소 크기는 8x8이기 때문에 허용되는 PU의 최소 크기는 4x4가 된다. 일반적으로, HEVC가 H.264/AVC에 비해서 더 큰 PU를 사용하기 때문에 더 큰 coding gain을 얻게 된 것이라고 말하기도 한다.

intra prediction 경우, PCM coding을 하는 경우와 PCM coding을 하지 않는 경우로 나누어진다. PCM coding이 아닌 경우에는 이웃 PU의 reconstruction sample을 이용하여 prediction을 하기 때문에 PU 처리를 순차적으로 해야 하는 제한이 있고, PU 크기와 TU의 크기가 항상 같아야 한다. encoder는 각 PU에 대해서 35가지 intra prediction mode 중에서 좋은 것을 선택해야 한다. 원칙적으로 가능한 모든 partition와 가능한 모든 intra prediction mode에 대해서 발생하는 bitrate와 error를 고려하여 최적인 것을 선택하는데 이 과정을 ratio distortion optimization (RDO)라고 한다. 물론, encoder는 inter prediction과 inter prediction 중의 선택도 RDO 관점에서 비교해서 좋은 쪽을 선택해야 한다.

inter prediction 경우에 leaf CU의 허용되는 분할 방법은 다음과 같은 8가지가 있다. (1) 2Nx2N 비분할: 분할하지 않고 2Nx2N leaf PU를 그대로 PU로 사용하는 방법, (2) 2NxN 분할: 수평으로 2 등분하여 2NxN 크기의 PU 2개로 나누는 방법, (3) Nx2N 분할: 수직으로 등분하여 Nx2N 크기의 PU 2개로 나누는 방법, (4) NxN 분할: 4등분하여 NxN 크기의 PU 4개로 나누는 방법, (5) 2NxN 분할: 수평으로 1:3 비대칭 분할하여 2Nx(N/2), 2Nx(3N/2) 크기의 PU 2개로 나누는 방법, (6) 2NxN 분할: 수평으로 3:1 비대칭 분할하여 2Nx(3N/2), 2Nx(N/2) 크기의 PU 2개로 나누는 방법, (7) nLx2N 분할: 수직으로 1:3 비대칭 분할하여 (N/2)x2N, (3N/2)x2N 크기의 PU 2개로 나누는 방법 (8) nRx2N 분할: 수직으로 3:1 비대칭 분할하여 (3N/2)x2N, (N/2)x2N 크기의 PU 2개로 나누는 방법 등과 같다. 위 8가지 분할 중에서 비대칭 분할인 마지막 4가지의 분할을 통칭하여 asymmetric motion partition (AMP)이라고 한다. Sequence parameter set(SPS) 안에 있는 amp\_enabled\_flag이 있어서 AMP 허용 여부를 결정한다.

한 CU의 prediction mode가 MODE\_SKIP 또는 MODE\_INTER이면 inter prediction을 수행한다. MODE\_SKIP인 CU는 residual이 모두 0이라서 transform을 수행하지 않고, motion vector를 구하기 위해 항상 merge 방법을 사용하며, PU의 크기는 CU의 크기와 일치해서 항상 2Nx2N 정사각형 모양만 가진다. MODE\_INTER인 CU의 경우는 residual이 0이 아닌 부분이 있기 때문에 그 부분의 TU에 대해서 transform을 수행해야 하고, 각 PU에 대해서 motion vector를 merge\_flag 값에 따라서 merge 또는 AMVP 방법으로 구하게 된다. Inter prediction을 위해 각 PU의 motion vector를 구하는 방법은 merge 방법과 AMVP 방법 두 가지가 있다.

Merge 방법을 사용하는 PU 경우는 이웃하는 PU들과 decoding 순서로 이전인 picture의 PU들의 motion information을 이용하여, 최대 5개로 구성된 merge candidate list (MCL)를 먼저 만들고 나서, merge\_idx를 MCL의 index로 이용하여 motion vector를 구한다. AMVP 방법을 사용하는 PU 경우는 motion vector에 대해서, 현재 PU의 이웃 PU들과 decoding 순서로 이전인 picture의 motion information을 이용하여 2개로 구성된 motion vector predictor candidate list (MVPCL)를 만든 후에 mvp\_idx\_flag를 MVPCL의 index로 이용하여 motion vector predictor를 구하고 여기에 signalling된 motion vector difference를 더하여 motion vector를 구한다. Motion vector와 reference picture에 대한 정보를 이용하여, reference picture에서 필요한 sample 정보를 가져와서 interpolation 과정을 거쳐서 inter prediction을 수행한다. Signaling된 DCT 계수를 dequantization과 inverse transformation하여 residual을 구한 후에 inter prediction 또는 intra prediction 결과와 더하면 reconstruction 과정이 완료된다.

Inter prediction의 경우는 한 leaf CU의 PU 분할은 8가지 중 한 가지로 한번 분할되어 정사각형이 아닌 PU도 가능하지만, TU 분할은 quadtree로 반복 분할될 수 있고, 항상 정사각형 TU만 가능하다. HEVC decoder는 이 transform tree의 leaf TU에 대해서만 inverse transform을 수행하고, 허용하는 최소 TU 크기는 4x4이며, 한 TU 크기는 32x32, 16x16, 8x8, 4x4 네 가지만 허용된다. Inter prediction 경우 encoder가 RDO를 수행하려면, 한 CU에 대해서 원칙적으로 가능한 모든 PU 분할과 merge, AMVP의 mode들에 대해서 motion estimation을 해야 하고, 가능한 모든 TU 분할 residual coding을 시도하여 bitrate와 error를 모두 고려하여 비용이 최소인 것을 찾아야 한다.

HEVC가 UDTV에 적합한 큰 크기의 picture에 대한 video sequence의 디코딩을 지원하기 위하여 2가지 병렬 처리 방법을 지원하고 있는데 2가지 중 하나는 tile이고 다른 하나는 WPP이다. HEVC에서도 H.264/AVC와 같이 한 picture를 하나 이상의 slice로 나누어 코딩할 수 있고, 각 slice는 raster scan 순서로 순차적인 여러 개의 CTB들로 구성된다. Tile과 slice의 관계는 한 slice 안에 여러 tile이 들어 있거나, 한 tile 안에 여러 개의 slice이 있는 경우만 허용되고, tile 경계와 slice 경계가 서로 교차하는 경우는 허용되지 않는다.

한 picture를 CTU 단위로 수평과 수직으로만 나누어진 조각을 tile이라고 하고, 각 tile의 첫 CTU에서는 CABAC의 context를 초기화하기 때문에 여러 tile이 동시에 다른 CABAC 엔진을 사용하여 decoding 될 수 있다. WPP는 한 slice 안에 있는 CTU들이 CABAC decoding을 순차적으로 처리해야 한다는 제한을 풀어 준 것이고 wavefront coding이라고 한다. 즉, WPP는 여러 CTU row로 구성된 slice에서 각 CTU row의 첫 CTU에 대해서, 바로 위 CTU row의 두 번째 CTU의 CABAC decoding이 끝나면, 그 때의 CABAC state로 초기화하여 CABAC decoding을 시작할 수 있도록 허용한다.

HEVC decoder가 압축된 bitstream을 parsing할 때 먼저 start\_code\_prefix\_one\_3bytes (0x000001)을 찾아서 제거하면서 NAL unit으로 분리를 한다. 다음에 NAL Unit에서 NAL unit header를 읽으면, NAL unit type을 알 수 있다. 이 단계에서 한 video sequence의 bitstream을 여러 개의 slice에 대한 bitstream들로 나눌 수 있다. 즉, CABAC decoder과 decoding engine을 여러 개 사용한다면, 필요한 memory bandwidth가 증가하겠지만, slice 수준의 병렬화는 H.264/AVC와 같이 HEVC에서도 가능하다.

**결론**

하루는 산책하러 갔다가 왕궁 근처에서 우연히 노벨 박물관이 있는 것을 발견하고 들어갔었다. 박물관 가이드의 설명에 의하면, 알프레드 노벨은 유럽 여러 나라에 비즈니스 때문에 많은 여행을 했고, 모국어인 스웨덴어는 물론 영어, 프랑스어, 독일어, 러시아어에 능통해서, 직접 그 나라 말로 직접 편지를 썼다고 한다. 노벨은 프랑스 파리에서 오래 살았는데 점차 나이가 들어 건강이 나빠지자, 한때 스웨덴에 돌아가서 여생을 보내려고 생각했었는데, 결국은 오랫동안 햇빛을 보기 어려운 스웨덴의 겨울 때문에 스웨덴으로 돌아가지 않고 노벨은 더 따뜻하고 햇빛이 많은 이태리로 내려갔고 그곳에 가서 오래지 않아서 죽었다고 한다.

여름 날씨가 좋고 여러 가지로 살기 좋아 보이는 스웨덴도 겨울이면 햇빛을 보기 어려워 살기 어렵다는 것이 실감이 나지 않았다. 노벨이 죽기 1년 전인 1895년 11월 말경에 프랑스에서 작성한 유언장에서 자신의 전 재산을 관리해서 나오는 이자로 물리학상, 화학상, 생리학/의학상, 문학상, 그리고 평화상 등 5개 부분 상을 주라고 했다고 한다. 노르웨이 의회에서 선출한 위원회에서 노벨 평화상을 주도록 한 이유는 유언장 작성 시 노르웨이와 스웨덴이 통합 왕국 이었고 노르웨이가 스웨덴 왕을 섬기지만, 독자적인 헌법을 가지고 있던 시절이었기 때문이라고 했다. 19세기 초에 스웨덴에 통합되었던 노르웨이는 끊임

없는 독립을 위한 노력 끝에 1905년에 스웨덴에서 독립했다고 한다.

노벨 박물관 한편에서는 노벨상 수상자가 본인의 수상 내용을 그림으로 그리고 있는 사진들과 그 그림들을 전시하고 있었다. 그 그림의 내용이 쉽게 이해되지는 않았지만, 이 사진들을 보는 아이들에게 노벨상 수상자들이 어려운 것을 다루는 특별한 사람들이 아니라, 자기와 같이 그림을 그리고 장난기가 많고 평범한 이웃집 아저씨와 같다고 생각하게 하는 것 같아서 참 좋은 기획이라고 생각했다.

우리나라에서 이러한 전시회를 해서, 우리나라 초등학교 어린이들이 노벨상을 특별한 사람들만이 받는 것이 아니라고 생각하게 하고, 나도 열심히 노력해서 훌륭한 학자가 되고 싶다는 꿈을 갖게 하였으면 좋겠다는 생각이 들었다. 더 많은 어린이가 학자가 되려는 꿈을 갖도록 도와주려면, 이러한 꿈을 갖은 학생들을 격려하고 지원해 주는 사회적인 분위기를 먼저 만드는 것이 중요할 것이다.

	<p><b>서울대학교 전기컴퓨터 공학부</b></p> <p>채수익 교수                  연구분야 : 시스템 설계 및 검증                  E-mail: <a href="mailto:chae@snu.ac.kr">chae@snu.ac.kr</a>  <a href="http://sdgroup.snu.ac.kr">http://sdgroup.snu.ac.kr</a></p>
---	--