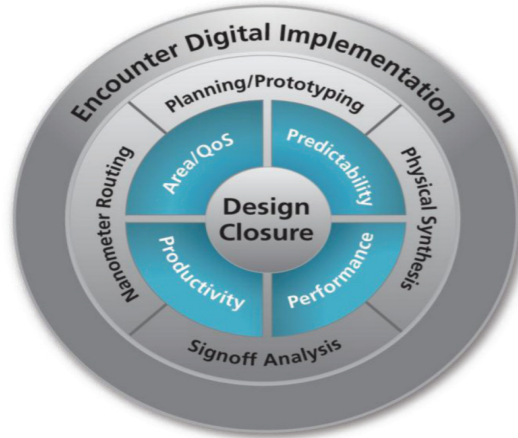


# Cadence Encounter Digital Implementation System 11

**“Power, Performance, Area and DFM realization”**



- High Performance design closure**  
Faster, smarter, better QoR for high-speed designs
- GigaScale design handling**  
Flexible Adaptive and Scalable Technologies
- Silicon Realization technologies**  
Mixed Signal, Low Power and Advanced Node capability

## Essential Technology for Product Differentiation

- Comprehensive 20nm double-patterning methodology
- Constraints-driven mixed-signal flow with OpenAccess infrastructure.
- Automated power domain-driven design efficiency
- Comprehensive SiP/3DIC methodology

Cadence Korea, Ltd.  
 • www.cadence.com  
 • TEL: 031-728-3114 (대)  
 • E-mail: koera\_crc@cadence.com



함께할 때  
더 큰 대한민국의  
미래가 보입니다

위기와 역경을 이기고  
대한민국 대표 반도체 기업으로  
성장해 온 지난 30년,  
이제, 더 높은 목표를 향해  
하이닉스가 SK와 함께합니다.  
더 강한 대한민국의 경제와  
더 행복한 대한민국의 미래를 위해  
지금부터 시작합니다.

하이닉스가 SK를 만나  
더 강한 대한민국을  
만들어갑니다



# IDEC Newsletter

IDEC Newsletter | 통권: 제182호 | 발행일: 2012년 7월 31일 | 발행인: 박인철 | 편집인: 김이섭 | 제작: 푸을디자인  
 기획: 전항기 | 전화: 042-350-8535 | 팩스: 042-350-8540 | http://idec.or.kr  
 E-mail: jhg0929@idec.or.kr | 발행처: 반도체설계교육센터(IDEC)

Vol.182

2012  
August

3차원 반도체 소자인 벌크 핀펫(FinFET)의 발전 | 06 무선 전력 전송 시스템을 위한 회로 설계 | 12  
 Cadence사의 RTL to GDSII Flow를 위한 Digital Implementation Flow에 대한 소개 | 16

반도체설계교육센터 사업은 지식경제부, 반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.

### 3차원 반도체 소자인 벌크 핀펫(FinFET)의 발전

3차원 반도체 소자인 벌크 FinFET는 같은 성능 기준으로 볼 때, 전력소모를 50% 이상 줄일 수 있고, 동일한 낮은 전압에서 37%의 성능 이득을 얻을 수 있다고 한다. 본 고에서는 벌크 기판에 구현된 삼중-게이트 소자가 어떻게 생겨나서 발전했는지에 대한 간단한 역사를 먼저 살펴보고 3차원 반도체 소자의 역사에서 등장하는 핀펫(FinFET)이 인텔이 발표한 기술과는 어떤 관계가 있는지, 기술적 특징이 무엇인지 그리고 어떻게 다른 기술로 파생되었는지에 대해 언급하고자 한다. (관련기사 P06~11 참조)

### 무선 전력 전송 시스템을 위한 회로 설계

무선 전력 전송(Wireless Power Transmission)은 전력 에너지를 무선 전송에 유리한 전자기파로 변환시켜 에너지를 전달하는 새로운 개념의 전력 전송 방식으로 실제적인 전선이 없이도 전기에너지를 자유공간을 통해 보낼 수 있는 전파 전송의 원리로서 라디오나 무선 전화 등과 같이 무선 통신 방식에 이용하는 데이터 신호의 개념이 아닌, 전기적 에너지를 보내는 것으로 보통의 통신이 반송파 신호에 데이터를 실어 보내는 것이라면 무선 전력 전송은 반송파만 보내는 것이다. 본 고에서는 무선 전력 전송 방식의 일반적인 내부 회로에 대하여 부분별로 나눠 살펴보고자 한다. (관련기사 P12~15 참조)

### Cadence사의 RTL to GDSII Flow를 위한 Digital Implementation Flow에 대한 소개

Cadence는 2011년 1월에 성능과 time-to-market의 장점을 제공하는 28nm에서 검증된 digital end-to-end flow를 발표했다. 여기에는 giga-gate/giga-hertz SOC 시스템설계를 가능케 하는 flow가 포함되어 있다. 새로운 Encounter 기반의 플로우를 사용하게 되면 더욱 더 빠른 경로를 받을 수 있으며, 통합된 설계, 구현, 그리고 검증 플로우를 사용하여 기술적 통합, 중요한 코어 아키텍처와 알고리즘을 향상함으로써 giga-gate/giga-hertz 실리콘의 구현을 쉽게 달성할 수 있게 된다. 본 고에서는 Cadence사의 RTL to GDSII Flow를 위한 Digital Implementation Flow에 대한 소개 내용을 살펴보고자 한다. (관련기사 P16~P19 참조)

## MPW (Multi-Project Wafer)

### MPW 신청 현황 |

구분	공정	제작가능 면적 (mm²x칩수)	채택 칩수	설계면적 (mm² x 칩수)	DB마감	Die-out	비고
114회 (12-7)	동부 0.18BCD	5x5mm²x2	2	5x5mm²x2	2012. 8.8	2012. 11.14	모집마감
	M/H 0.18	4.5x4mm²x20	20	4.5x4mm²x19	2012. 8.13	2012. 12.3	
	삼성 0.13	4x4mm²x48	31	4x4mm²x31	2012. 8.31	2013. 1.4	
115회 (12-8)	동부 0.18BCD	5x5mm²x2	5	5x2.5mm²x3 2.5x2.5mm²x2	2012. 9.6	2013. 1.4	모집마감
116회 (12-9)	TJ0.18 CIS	2.5x2.5mm²x4	3	2.5x2.5mm²x4	2012. 10.15	2013. 2.22	모집마감
	TJ0.18 BCD	5x5mm²x2	1	5x5mm²x2	2012. 10.22	2013. 2.29	
	TJ0.18 RF	2.5x2.5mm²x4	4	2.5x2.5mm²x3	2012. 10.22	2013. 2.29	
	동부 0.35BCD	5x2.5mm²x6	7	5x2.5mm²x4 2.5x2.5mm²x3	2012. 10.10	2013. 1.16	
	동부 0.11	5x2.5mm²x30	34	5x2.5mm²x23 2.5x2.5mm²x5	2012. 10.2	2013. 2.6	
117회 (12-10)	M/H 0.18	4.5x4mm²x20	17	4.5x4mm²x17	2012. 11.12	2013. 3.4	후기모집 8.1~
	M/H 0.35	5x4mm²x20	11	5x4mm²x11	2012. 11.12	2013. 3.4	선착순 마감
	삼성 65nm	20개서버 (4x4mm²)	17	4x4mm²x18	2012. 11.26	2013. 5.3	모집마감

\* 2012년 MPW 중 117회의 일부 공정 후기 모집의 모집이 완료됨.  
\* 2013년 MPW 지원 공정 및 일정은 2012. 11월 이후 공지 예정

### MPW 칩 제작 현황 |

구분	공정	제작 칩수	제작면적 (mm²x칩수)	Die-out 예정일	현재상태	비고
108회 (12-1)	M/H 0.18	20	4.5x4mm² x 20	2012. 6.4	Package 제작중	-Die:7.20 -PKG:8.20예정
	TJ0.18 SiGe	4	2.5x2.5mm² x 4	2012. 7.2	제작완료	-Die:7.24
109회 (12-2)	삼성 0.13	40	4x4mm² x 40	2012. 8.3	제작중	-Die:8.2 예정
110회 (12-3)	동부 0.35BCD	9	5x2.5mm² x 2 2.5x2.5mm² x 7	2012. 7.12	제작중	
	동부 0.11	29	5x2.5mm² x 22 2.5x2.5mm² x 7	2012. 8.1	제작중	
111회 (12-4)	M/H 0.18	20	4.5x4mm²x20	2012. 9.3	제작중	
	M/H 0.35	20	5x4mm²x20	2012. 9.3	제작중	
	동부 0.35BCD	7	5x2.5mm² x 4 2.5x2.5mm² x 3	2012. 8.30	제작중	
112회 (12-5)	TJ0.18 CIS	2	5x2.5mm² x 2	2012. 9.14	제작중	
	TJ0.18 BCD	2	5x5mm² x 2	2012. 9.21	제작중	
113회 (12-6)	삼성 65nm	21	5x5mm² x 21	2012. 11.9	제작중	
113회 (12-6)	동부 0.35BCD	6	5x2.5mm² x 6	2012. 10.10	제작중	

\* M/H = 매그나칩/하이닉스, TJ = TowerJazz  
\* 우선/정규모집에서 마감될 경우 후기모집은 진행되지 않음.  
\* Die-out 일정은 Diechip 제작완료 기준임. Package는 Die-out후 4주 이상 소요됨.  
\* MPW 참여 일정 및 방법은 홈페이지(www.idec.or.kr) 참조  
\* 위의 내용은 7.30 기준임.

\* 문의 : 이의숙(042-350-4428 yslee@idec.or.kr)

## 2012년 8월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

### 센터별 강좌 일정 |

장소	강의일자	강의제목
KAIST IDEC	8월 1일-2일	[IDEC 연구원 강의] Full-Custom 설계 Flow 교육
	8월 6일-7일	Virtuoso AMS Designer IC5141
	8월 8일-9일	Virtuoso Layout Design Basics vIC6.1.5
	8월 10일	Assura Verification DRC/LVS
	8월 13일-14일	SoC architecture 설계
	8월 20일-22일	Power Management IC 설계 및 응용
	8월 24일	Low-Power SoC Design Methodology
	8월 27일-31일	RF IC 설계 교육
광운대 IDEC	8월 1일-2일	Core generator를 이용한 PCIe/Memory Controller 설계
	8월 7일-9일	Full-custom 설계 입문
	8월 21일	Android App 설계 개발교육
	8월 22일	텐저블 UI/UX 플랫폼 설계 및 구현
	8월 22일	N-스크린 서비스 활용을 위한 초고속 차세대 무선랜 시스템
	8월 23일	VoD 서버 구축 및 스마트폰 기반 리모트 UI/UX 설계
	8월 23일	Exynos 기반의 DVR 설계 및 관련 앱 개발
	8월 30일	영상 인식용 Feature 추출 및 tracking 실습
전남대 IDEC	8월 8일-10일	FPGA설계 기반 임베디드시스템 활용
	8월 16일-18일	VHDL 기초 및 실습
	8월 20일-24일	Full Custom Desing(Digital Layout)
충북대 IDEC	8월 7일-11일	Current Video Compression Technologies : DistributedVideo Coding, High Efficiency Video Coding, and its Design
	8월 20일-22일	DC-DC Converter 회로 설계
	8월 23일-25일	Analog integrated circuit design and Application for LCDs
한양대 IDEC	8월 7일-8일	Viola-Jones
	8월 9일-10일	DSP Using System Generator
	8월 14일	ARM System Program
	8월 16일-17일	Xilinx ISE Tool을 이용한 Verilog
	8월 21일-22일	Requirement and Overview
	8월 29일-30일	Scan Design & Lpgic BIST
	8월 31일	Cadence Allegro를 활용한 High-Speed PCB 설계

▶▶▶ KAIST IDEC 개설 강좌 안내 \* 문의 : KAIST IDEC 이승자 (042-350-8536, sjlee@idec.or.kr)  
▶▶▶ 광운대 IDEC 개설 강좌 안내 \* 문의 : 광운대 IDEC 손희경 (02-940-5448, smartip@kw.ac.kr)  
▶▶▶ 전남대 IDEC 개설 강좌 안내 \* 문의 : 전남대 IDEC 송재열 (062-530-0367, song0323@nate.com)  
▶▶▶ 충북대 IDEC 개설 강좌 안내 \* 문의 : 충북대 IDEC 라해미 (043-261-3572, idec\_haemi@naver.com)  
▶▶▶ 한양대 IDEC 개설 강좌 안내 \* 문의 : 한양대 IDEC 안지혜 (031-400-4079, ipc@idec.hanyang.ac.kr)

## Chip Design Contest (CDC)

### ● International SoC Design Conference(ISOCC) 2012 Chip Design Contest 개최

\*\* Chip Design Contest(CDC)는 ISOCC 2012프로그램의 한세션으로 진행되나 논문은 프로 시딩(Proceedings)에는 포함되지 않음.

#### 1. 일정 및 장소

가. 전체 진행 일정 : 2012년 11월 4일 ~ 7일  
나. 장 소 : 제주 라마다 호텔  
다. CDC 주요 일정

논문 제출 마감	논문 채택 통보	Chip Design Contest
2012. 8. 25	2012. 10. 1	2012. 11. 5

\* 일정은 사정에 따라 다소 변경될 수 있습니다.

#### 2. 논문 접수 분야 : SoC 설계

### 3. 시상내역

시 상 명	내 역	
	일반 부문	특별상 부문
Best Design Award	최우수상(1팀)	상장 및 상금 100만원
	우수상(2팀)	각 상장 및 상금 50만원
특별상 부문	SSCS 서울챗터상(1팀)	상장 및 상금 50만원

\* 수상팀수는 사정에 따라 변경될 수 있습니다.

### 4. MPW 제작팀의 의무사항(CDC 참여)

가. IDEC Chip Design Contest 논문 제출 및 데모(패널) 전시  
- 해당 의무사항을 이행하지 않을 경우 MPW 참가신청비의 1.5배를 적용하여 납부해야 함.

\* CDC 참여와 관련한 자세한 사항은 홈페이지 (http://idec.or.kr)를 참고해 주시기 바랍니다.

\* 문의 : 이의숙(042-350-4428 yslee@idec.or.kr)



## 반도체설계교육센터 공식 트위터 오픈

소셜네트워크 시대 고객들과 원활한 커뮤니케이션을 위해 반도체설계교육센터 공식 트위터가 개설되었습니다.

공식 트위터 계정  
<https://twitter.com/idecedu>



# 제5기 반도체설계교육센터 장학생 모집 공고

- **신청자격** WG 소속 재학생 또는 입학예정자로서 WG 참여교수의 추천을 받은 자
- **참여교수 추천기준** (1) 가정형편이 곤란하여 학비조달이 어려운 자  
(2) 학업성적이 우수한 자  
(3) 기타 장학금 지급이 필요하다고 인정된 자  
※ 참여교수당 1인만 추천 가능합니다.
- **장학금액** 200만원(1인/학기)
- **선발인원** 0명
- **신청서류** IDEC 장학금신청서, IDEC 장학금추천서(WG 참여교수 추천), 성적증명서, 재학증명서, 우수성자료  
(예:논문, 특허, 수상경력 등), 세대주의 세목별과세(납세증명서  
(입학예정자의 경우 이전학교의 성적증명서, 입학증명서)
- **서류접수기간** 2012. 7. 17(화) - 2012. 8. 9(목)
- **접수처** 대전광역시 유성구 대학로 291 칩스동(N26)  
반도체설계교육센터 102호(담당자: 김해리)
- **선발공시** 9월

※ 신청서류양식 및 기타상세내용은 반도체설계교육센터 (IDEC) 홈페이지를 참고해주세요.  
※ 담당 : 김해리(hrkim@idec.or.kr, 042-350-4045)

## 2012 동부하이텍, 대학생 시스템반도체 설계 공모전 시상

동부하이텍(대표: 최창식 사장)과 반도체설계교육센터(소장 박인철)는 18일 서울 르네상스호텔에서 국내 대학생을 대상으로 '시스템반도체 설계 공모전'을 개최했다. 이번 대회에는 13개 대학 27개팀이 참가하였고, 우수 논문을 발표한 5개 팀을 선정하여 시상했다.

이날 시상식에서는 남상필(서강대 전자공학과 석사과정)씨 외 4명이 저전력 설계를 기반으로 소비전력을 최대 30%까지 절감할 수 있는 컨버터 칩을 개발하여 대상을 수상했다. 발표 논문은 '아날로그 TV 응용을 위한 10비트 1MS/s to 10MS/s 0.11um CMOS SAR ADC'이다.

### - 수상자 -

구분	소속	지도교수	발표자	논문
대상	서강대	이승훈	남상필	아날로그 TV 응용을 위한 10비트 1MS/s ~ 10MS/s 0.11um CMOS SAR ADC
최우수	한양대	최병덕	김종석	동적전류원을 이용해 Voltage Spike 현상을 개선한 Off-chip Capacitor-less Low-Dropout Regulator
우수	인하대	강진구	오승욱	Hershey-Kiss modulation profile SSCG using Sigma-Delta modulators
장려	고려대	김수원	권찬근	A Third-Order Delta-Sigma Time-to-Digital Converter
장려	한양대	권오경	남기수	고효율 Edge-type LED Backlight Driver IC 개발



동부하이텍 시스템반도체 설계 공모전 단체 사진

\* 문의 : 이승재(042-350-8536, sjlee@idec.or.kr)

## 반도체설계교육센터 - SSCS 서울센터, Chip Design Contest 업무 협약

반도체설계교육센터(IDEC, 소장 박인철)는 SSCS 서울센터(위원장 윤광섭)와 Chip Design Contest 상금지원과 관련하여 업무협약을 체결 했다. 이번 협약으로 연2회 진행되는 Chip Design Constet에 「SSCS 서울센터상」으로 50만원씩 2016년까지 4년 간 상금지원을 받게 된다.

\* 문의 : 이의숙(042-350-4428 yslee@idec.or.kr)



Call for Papers  
ISOCC 2012, Theme : SoC Design for Smart Living

## 2012 International SoC Design Conference November 4-7, 2012 | Ramada Plaza Hotel, Jeju, Korea



International SoC Design Conference (ISOCC) aims at providing the world's premier SoC design forum for leading researchers from academia and industries. Prospective authors are invited to submit papers of their original works emphasizing contributions beyond the present state of the art. ISOCC 2012 is technically co-sponsored by IEEE CAS Society and accepted papers will be published on IEEE Xplore. We also welcome proposals on special sessions.

### Paper Submission

Complete 2-page to 4-page manuscript (in Standard IEEE double-column format) is requested. Papers must be submitted electronically in PDF format. Only electronic submission will be accepted. For more information, please refer to the conference website: <http://www.isocc.org>.

### Areas of Interest

Analog and Mixed-Signal Circuits	Communication SoCs
Display Driver and Imaging Devices	Embedded Memories
Embedded System Software	High Speed Signal Interfaces
Low Power Design Techniques	Microprocessor and DSP Architectures
Energy-Aware Systems	SoC Design Methodology
Multimedia (A/V) SoCs	SoCs for Automotive Technology
Wireline & Wireless ICs (RF ICs)	Sensor & MEMS
Signal Integrity/Interconnect Modeling	Power Electronics (Energy Harvesting)
SoC Testing and Verification	Bio & Medical Devices

### Special Sessions

Proposals are solicited for special sessions. Please submit proposals for special sessions to the special session chair.

### Chip Design Contest

Design contest provides the academia with the opportunity to introduce their novel chip designs to the real world. The selected designs will be awarded. Papers should be submitted in electronic form via [http://www1.idec.or.kr/conference/conference\\_isocc.asp](http://www1.idec.or.kr/conference/conference_isocc.asp).

### Best Paper Awards

The authors of selected papers will be awarded for technical contributions and their papers will be invited for publication in the Journal of Semiconductor Technology and Science (SCIE) published by Institute of Electronic Engineers of Korea (IEEK). (Visit <http://www.jsts.org> for submission details).

### Important Dates

• Deadline for submission of special session proposal;	<b>Ju1. 16, 2012</b>
• Acceptance notice of special session proposal;	<b>Jul. 21, 2012</b>
• Deadline for submission of regular session full paper;	<b>Aug. 11, 2012</b>
• Deadline for submission of chip design contest;	<b>Aug. 25, 2012</b>
• Deadline for submission of special session full paper;	<b>Aug. 25, 2012</b>
• Notification of acceptance (all submitted papers);	<b>Sep. 08, 2012</b>
• Deadline for final paper submission;	<b>Sep. 22, 2012</b>
• Deadline for author and early-bird registration;	<b>Sep. 22, 2012</b>

At least one author of each accepted paper must register by September 22, 2012.



# 3차원 반도체 소자인 벌크 핀펫 (FinFET)의 발전



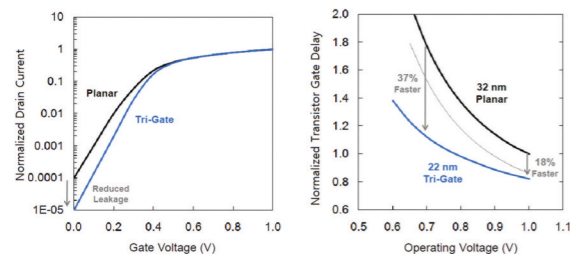
서울대학교 전기정보공학부

이종호 교수  
 연구분야 : 2차원/3차원 플래시 메모리, TFTs, gas/bio sensors, 신경모방, 잡음  
 E-mail : jhl@snu.ac.kr  
 http://http://smdl.snu.ac.kr



## 서론

미국의 인텔(Intel)사에서 2011년 5월, 3차원 반도체 소자인 벌크 FinFET (tri-gate MOSFET으로 불림)을 세계 최초로 22nm 기술 노드에서 양산화에 성공했다는 뉴스를 발표한 바 있다 [1],[2]. 이 발표에 따르면 같은 성능 기준으로 볼 때, 전력소모를 50% 이상 줄일 수 있고, 동일한 낮은 전압에서 37%의 성능 이득을 얻을 수 있다고 한다. 그림 1에서 살펴보면 기존의 2차원 평탄(planar) 채널 구조를 갖는 MOSFET에 비해 이번에 인텔이 양산에 성공한 3차원 삼중-게이트 소자가 누설전류와 트랜지스터의 지연시간 측면에서 얼마나 개선되는지 알 수 있다. 인텔의 양산 성공을 시작으로, 이 소자에 관한 관심이 폭발적으로 증가하게 되었다.



(a) 드레인 전류-게이트 전압 관계 (b) 동작전압에 따른 트랜지스터 지연시간  
 그림 1. 2차원(planar) 및 3차원(tri-gate) 소자의 주요 특성 비교[1].

본 고에서는 벌크 기판에 구현된 삼중-게이트 소자가 어떻게 생겨나서 발전했는지에 대한 간단한 역사를 먼저 살펴본다. 3차원 반도체 소자의 역사에서 등장하는 핀펫(FinFET)이 인텔이 발표한 기술과는 어떤 관계가 있는지, 기술적 특징이 무엇인지 그리고 어떻게 다른 기술로 파생되었는지에 대해 언급한다. 이러한 3차원 소자의 양산 성공을 토대로 향후 우리가 어떻게 해야 하는지 생각해 본다.

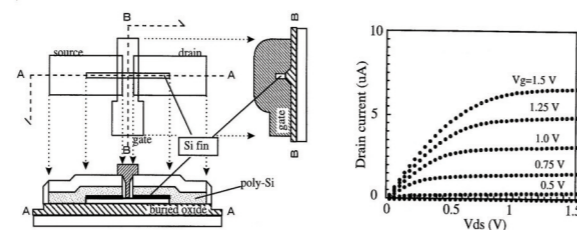
## 본문

### 3차원 반도체 소자: FinFET

인텔에서는 2011년에 22nm 기술 노드에서 양산에 성공했다는 트랜지스터를 3차원 (3D) 삼중-게이트(tri-gate) 트랜지스터라고 부르지만, 실제 벌크 실리콘 기판에 구현된 삼중-게이트 FinFET이다. FinFET란 이름을 처음 사용하기 시작한 분은 UC Berkeley에 계시는 C Hu 교수이며, 트랜지스터의 채널이 형성되는 바디의 형상이 마치 물고기의 등지느러미처럼 솟아 있어 불인 이름이다. Hu 교수팀에 앞서, 일본의 연구팀이 세계 최초로 SOI (Silicon On Insulator) 기판에서 이중-게이트 FET을 연구하여 축소화 특성이 우수함을 1984

년에 발표하였다 [4]. 이러한 특징을 그대로 활용하여 일본 히타치의 Hisamoto 박사가 수직채널 구조의 SOI MOSFET 형태로 제작하고 분석한 논문을 1989년에 발표하였다[5]. Hisamoto 박사가 UC Berkeley의 Hu 교수 그룹에 visiting scholar로 합류하면서 상기 FinFET이 탄생하게 되었다. Hu 교수 연구실에서는 벌크 실리콘 기판이 아닌 SOI 기판에서 FinFET 연구를 가장 활발하게 수행하였다. SOI 기판은 벌크 실리콘 기판보다 가격이 훨씬 비싸고 열전도가 잘 안 되는 문제가 있으나, 소자 제작에서 공정이 간단하고 시간을 단축할 수 있는 장점이 있다.

그림 2는 상기 Hu 교수 그룹에 합류한 Hisamoto 박사가 1998년 IEDM에 최초로 발표한 SOI 기판에 구현된 FinFET의 도식적인 구조와 I-V 특성이다 [5]. 그림 2의 (a)에서 B-B를 따라 절단한 단면을 보면 Si fin이 솟아서 형성되어 있음을 확인할 수 있다. 당시 소자 제작과정에서 상기 fin을 형성하기 위해 실리콘 필름을 플라즈마 방식으로 식각하는 과정에서 발생한 손상이 이동도를 크게 저하한 것으로 사료된다. 그 결과 전류 구동능력이 그림 2의 (b)에 보인 것과 같이 매우 낮았으나, 그 이후 공정 개선을 통해 전류 구동능력이 크게 개선되었다.



(a) SOI FinFET의 구조 (b) 드레인전류-드레인 전압 특성  
 그림 2. 세계 최초 이중-게이트 SOI FinFET 및 I-V 특성[5].

필자는 인텔이 양산에 성공한 3차원 소자의 초기 연구에 크게 기여하였다. 필자는 2001년부터 벌크 기판에 구현된 FinFET에 대해서만 60편 이상의 연구논문을 발표하였고 몇 건의 특허를 출원하였다. 필자는 1998년 현 연구재단의 지원으로 미국 MIT에 박사 후 과정으로 연수하면서 다중-게이트(multi-gate) MOSFET에 대한 연구를 처음으로 시작하였고 1999년 전자소자 분야 세계 최고 학회인 IEDM에 주 저자로 이중-게이트 (double-gate) FET에 대한 연구결과를 발표하였다[6]. 귀국 후 FinFET에 대한 연구를 2000년부터 집중적으로 수행하였다. SOI 기판은 가격도 비싸고 결함도 많았으며, 특히 소

자에서 발생하는 열을 기판으로 전달하는데 큰 문제가 있었다. 그러나 그 당시 이 분야를 연구하시는 분들은 SOI 기판은 벌크 기판보다 소자의 축소화 특성에 유리하기 때문에 벌크 기판에서는 FinFET 구현이 매우 어렵다는 공통적인 인식을 하고 있었다.

필자는 2000년도에 벌크 기판에 FinFET을 구현할 수 없을거라는 생각에 깊이 빠져서 나름대로 많은 계산과 3차원 시뮬레이션을 수행하였다. 그 결과 벌크 실리콘 기판에 구현된 FinFET도 충분히 가능하다는 결론을 얻었다. 여기에는 단순히 이론적인 계산뿐만 아니라, 물리적인 배경이 있었으며, 서울대 반도체 공동연구소에서 직접 공정을 수행하면서 얻은 공정의 속성이나 공정여유(margin)에 대한 생각이 있었기에 확신을 한 것이다.

아무튼, 그러한 결론을 얻고 너무나 기뻐한 기억이 난다. 그러나 그 당시 관련 연구책임자나 기업의 해당 부서 연구책임자에게 이러한 사실을 여러 번 이야기했지만 그분들은 이러한 사실을 인정하지 않거나 관심이 전혀 없었다. 기업에 계산 어떤 분은 차차차 세대도 그러한 것을 연구하지 않겠다고 하였다.

그래도 끈질기게 약 6개월 정도 계속 이 소자의 연구를 시작해야 한다고 했지만 결국 받아들여지지 않았다. 무관심과 부정적인 시각 때문에 관련 특허도 수개월 동안 출원도 못 하고 표류한 것도 있고, 어느 곳도 관심이 없었지만, 지인의 도움으로 늦게나마 불씨는 살릴 수 있었다. 그 당시 관련 기업의 책임자는 기존 2차원 소자로 모든 관련 기술을 개발할 수 있다고 하였고, 3차원 소자는 대학에서 논문이나 쓰기 위한 것이라 표현하였다.

아마도 그 당시 그 분은 다가올 미래의 패러다임 변화에 대해 관심이 없거나 모르는 상태였던 것 같다. 2002년 후 반기부터 해당 기업체에서 어느 정도 이 기술에 관한 관심이 생기면서, 필자는 음해로 인한 마음고생을 몇 해 동안 하게 되었다. 앞으로 적절한 기회가 되면 이 부분의 과정을 밝힐 수 있을 것이다.

2003년이 되면서 관련 기업은 이러한 소자에 대한 관심을 두고 연구를 시작하였으나 실용화에는 다가가지 못하고 몇 년을 하다가 그만둔 것으로 이해하고 있다. 그때 이 분야를 적극 연구하고 개발했다면 비메모리 로직 소자기술에서 3차원 소자기술로 세계를 주도할 수 있을 텐데 하는 진한 아쉬움이 남는다.

너무도 당연한 이야기이지만 이러한 것을 교훈 삼아서 실용성의 가능

성이 있는 새로운 기술은 반드시 선점할 수 있도록 해야 한다. 앞으로는 새로운 기술에 대해 권위보다는 과학과 기술 차원에서 검토하고 그 실용성을 깊이 고민하는 방향으로 좀 더 움직여 해당 기업이나 국가 발전에 이바지할 수 있도록 해야 한다. 늦었지만 국내에서도 2011년부터 적극 벌크 실리콘 기판에 구현되는 FinFET에 대한 연구를 집중적으로 수행하고 있어, 머지않아 인텔을 앞서지 않을까 하는 즐거운 생각을 해 본다.

### 벌크 실리콘 기판에 구현된 FinFET의 주요 특성

지금부터 벌크 FinFET의 기본적인 주요 특성을 살펴본다. 우리(서울대)는 벌크 실리콘 기판에 FinFET을 구현하되 기본적으로 이중 및 삼중-게이트 구조를 갖도록 고안하였다. 우리가 처음으로 연구한 삼중-게이트 FinFET 구조는 그림3의 (a)에 보여진다. 여기서 삼중-게이트 구조라 함은 fin 바디의 상부 및 양 측면에 채널이 형성하도록 구현된 것을 말한다.

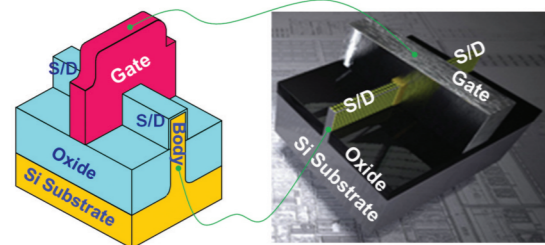
만약 fin 바디의 상부에 게이트 절연막의 두께를 양 측면의 게이트 절연막보다 훨씬 두껍게 하면 채널이 양 측면에만 형성되게 할 수 있고, 이 경우는 이중-게이트 구조가 된다. Hu 교수 그룹과 다른 점은 Fin 바디가 Si 기판에 연결된 것이고, 이는 소자 동작 시 발생하는 열을 제거하는데 있어 매우 중요한 역할을 한다.

그림 3의 (b)에는 인텔에서 발표한 3차원 tri-gate MOSFET에 대한 구조를 보인다. 서울대 구조와 인텔 구조는 기본적으로 같은 fin 바디와 채널 구조를 가진다. 즉, 게이트 전극이 절연막(oxide) 위로 돌출된 fin 바디의 상부 및 양측을 감싸는 형태로 구현되어, 채널에 대한 게이트의 통제력을 크게 높이고 있다. 이와 같은 구조는 소자의 채널 길이 축소화에 따른 짧은 채널효과를 크게 억제할 수 있는 특징이 있다.

상기 언급한 것과 같이 FinFET은 SOI와 벌크 실리콘 기판에 각각 구현될 수 있다. 우리는 SOI 기판에 구현된 FinFET을 SOI FinFET이라 하고, 벌크 실리콘 기판에 구현된 FinFET은 벌크(bulk) FinFET이라 구분하였다. 초창기 Hu 교수 그룹에서는 SOI FinFET만 발표하면서 그냥 FinFET이라 불렀다.

그러나 벌크 기판에 구현된 FinFET이 등장하였고, 이를 처음에는 body-tied FinFET이라 불렀지만 우리는 간단하게 줄여서 벌크 FinFET라 하였다[7]. 지금은 이러한 용어가 국제적으로 통용되고 있다. 그림 4에서 상기 두 가지 형태의 FinFET에 대해 게이트 전극을

따라 자른 단면을 보이고 있다. 언급한 것과 같이 SOI FinFET의 경우, fin 바디가 기판과 분리되어 있다.



(a) 서울대 구조 (b) 인텔 구조

그림 3. 벌크 기판에 구현된 FinFET(bulk FinFET)의 3차원 사시도 및 인텔 구조와의 비교.

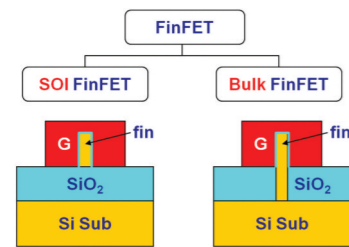


그림 4. FinFET의 분류.

우리 그룹은 인텔이 양산에 성공한 벌크 FinFET을 2002년 서울대 반도체공동연구소에서 최초로 제작하고 그 특성을 분석하여 발표하였다. 그림 5는 40nm 채널 길이로 제작된 벌크 FinFET의 I-V 특성을 보여준다. 최적화가 되지 않아 누설전류가 있긴 하지만, 제작된 n형 벌크 FinFET임에도 불구하고 기판 전압을 -2V까지 인가해도 문턱전압이 바뀌지 않음을 확인하였다.

이는 회로설계에서 문제가 되었던 기판 전압에 따른 문턱전압의 증가를 근본적으로 해결할 수 있어 2차원 평탄채널 소자보다 큰 장점이 있다. 그림에서 첨부된 전자현미경 사진은 벌크 실리콘 기판에 형성된 fin 바디의 단면을 보여준다. Fin 바디 주변에는 소자 사이의 격리를 위한 산화막이 형성되어 있다.

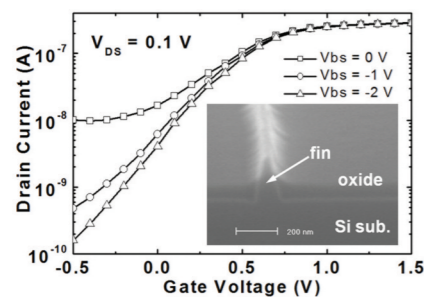


그림 5. 최초의 벌크 FinFET 구조 및 I-V 특성

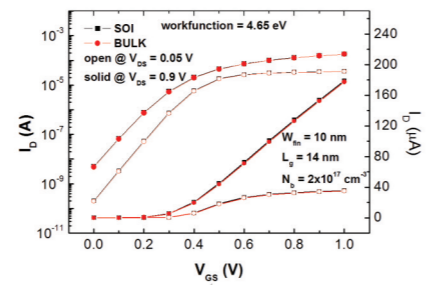


그림 6. 벌크 FinFET과 SOI FinFET의 I-V 특성 비교

그림 6은 14nm의 채널 길이를 갖는 벌크 FinFET 및 SOI FinFET의 I-V 특성을 보였다. Fin 바디의 두께는 10nm이고 바디의 도우핑 농도는  $2 \times 10^{17} \text{cm}^{-3}$ 이다. 문턱전압을 조절하기 위해 게이트 전극의 일함수는 4.65eV로 설계되었다. 드레인 전압은 0.05V와 0.9V일 때, 벌크 및 SOI FinFET의 I-V 특성을 비교하였다. 벌크 FinFET에서는 드레인과 소스 사이의 누설전류를 막기 위해 소자격리용 STI 절연막 표면 근처의 fin 바디에 국소적으로 불순물 농도를 높일 필요가 있고, 그림 6에서는 선택적으로 높은 바디 불순물 농도가  $3 \times 10^{18} \text{cm}^{-3}$ 이다. 시뮬레이션 결과에서 잘 나타나 있듯이, 두 소자는 거의 같은 subthreshold swing과 DIBL (Drain Induced Barrier Lowering), 그리고 turn-on 전류를 보이고 있다. 따라서 벌크 및 SOI FinFET은 동일한 소자 축소화 특성이 있음을 알 수 있다.

그림 7은 n형 벌크 FinFET에서 기판 전압에 따른 문턱전압 특성을 보여준다. 여기서 채널길이는 25nm이고 fin 바디의 폭은 10nm에서 50nm까지 변화된다. 통상, 기존의 n형 평탄채널 MOSFET에 음(-)의 기판 전압을 인가하면 문턱전압이 증가한다. 그러나 벌크 FinFET에서는 기판 전압을 음으로 인가해도 일정한 문턱전압을 유지하고 있음을 알 수 있다. Fin 바디의 두께가 두꺼울수록 기판 전압이 0V일 때 문턱전압이 더 크게, 그 이유는 바디의 도우핑 농도가 문턱전압에 영향을 줄 만큼 증가하였기 때문이다. Subthreshold swing (SS)도 기판 전압이 음으로 인가되어도 바뀌지 않고 일정하게 유지되고 있다. SS는 작은 값을 유지하는 것이 좋은 것인데, fin 바디의 폭이 얇을수록 작은 값을 유지하고 있다. 작은 SS 값은 게이트가 채널을 잘 제어함을 의미하고, 따라서 채널길이를 줄이는데 fin 바디의 폭을 줄이는 것이 필요하다.

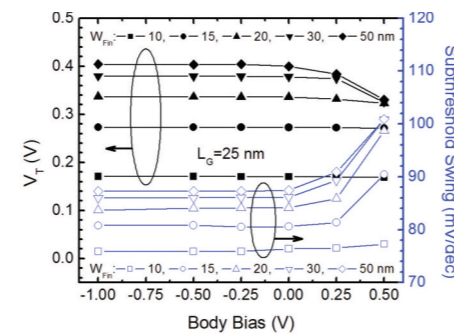


그림 7. 기판 전압에 따른 벌크 FinFET의 문턱전압(VT) 및 subthreshold swing

그림 8은 채널길이가 30nm인 SOI 및 벌크 FinFET에서 시뮬레이션으로 얻어진 turn-on 상태에서 소자의 온도 특성이다. 두 소자는 같은 문턱전압과 이동도를 갖도록 설계되어 주어진 드레인 전압이 0.9V인 상태에서 게이트 전압에 따라 정확히 같은 전류를 가진다. 그림 8에서 벌크 FinFET은 훨씬 낮은 온도를 보인다. 그 이유는 fin 바디가 기판에 연결되어 있고 실리콘은 산화막보다 열전도 특성이 훨씬 우수하므로 기판을 통해 열을 쉽게 방출할 수 있기 때문이다.

게이트 전압이 0.9V일 때, 벌크 FinFET은 SOI FinFET에 비해 약 130°C 낮은 소자온도를 보이고 있다. 결국, 고집적 회로를 성공적으로 동작시키기 위해서는 소자에서 발생하는 열을 효과적으로 방출해야 한다. 우리의 시뮬레이션에 의하면, SOI FinFET의 경우 열을 기판으로 방출하기 위해서는 실리콘 필름 아래에 있는 매몰 산화막(buried oxide)의 두께를 20nm 이하로 유지해야 벌크 FinFET과 비슷한 소자 온도를 유지할 수 있다.

벌크 FinFET의 경우, fin 바디에서 채널이 형성되는 위치로부터 기판으로 어느 깊이까지 fin 바디가 완전 공핍되어 있어 기존의 평탄채널에 비해 소스/드레인 접합 용량이 감소한다. 특히, 20nm의 매몰 산화막을 가진 SOI FinFET과 비교할 경우, 벌크 FinFET은 유사하거나 상대적으로 낮은 게이트 용량 및 접합 용량을 갖는다. 이는 통상 우리가 알고 있는 SOI 소자가 낮은 기생 용량을 가진다는 상식이 소자의 열전도 특성을 고려할 때, 맞지 않을 수 있음을 의미한다.

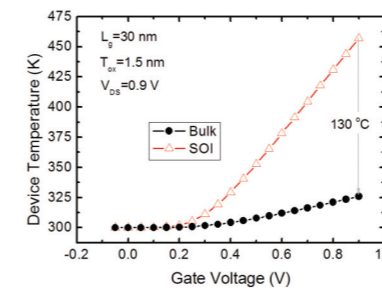


그림 8. 게이트 전압에 따른 FinFET의 온도

그림 9는 최근 인텔에서 양산에 성공했다고 발표한 22nm tri-gate MOSFET (벌크 FinFET)의 투과전자현미경(TEM) 단면사진이다. 이 소자의 TEM 분석은 Chipworks라는 회사에서 수행하여 발표한 자료이다. 먼저 다소 놀라운 것은 fin 바디의 프로파일이다. 우리를 비롯하여 몇 그룹에서 발표한 논문에 의하면, 채널이 형성되는 fin 바디의 프로파일이 가능한 수직이어야 하는데, 인텔의 구조에서는 사다리꼴 형태로 제작되었다. 즉 채널이 형성되는 영역에서 수직이 되어야 축소화에 따른 짧은 채널효과를 효과적으로 억제할 수 있다.

바디의 폭이 넓은 영역에서 드레인과 소스 사이의 누설전류가 발생한다. 그러면 왜 인텔은 이처럼 이상적인 수직의 바디 프로파일 대신에 사다리꼴 형상의 바디 프로파일을 선택하였을까 하는 의문이 생긴다. 여러 가지 소문이나 필자의 경험을 종합해 보면 기본적으로 리소그래피의 한 방법인 double-patterning 방법을 사용하여 fin 바디를 식각할 경우 hard mask의 프로파일이나 두께를 크게 하기 어려운 문

제가 있고, 바디 프로파일이 수직이면 후속 박막형성 공정이 다소 어려울 수 있기 때문으로 보인다. Fin 바디의 상부는 동글게 형성되어 내구성을 높일 수 있고, fin 바디의 확대된 TEM 사진을 보면 결함이 없는 단결정으로 형성되어 있음을 알 수 있다. 게이트 절연막은 high-k 물질이 사용되었고, 게이트 전극은 일함수가 midgap 정도인 금속을 사용한 것으로 보인다. 인텔이 발표한 소자에는 분석하고 검토해야 하는 부분이 많으므로 본고에서는 주요한 부분만 다루었다. 자세한 부분은 다음 기회에 다루도록 한다.

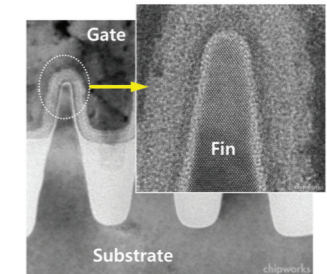


그림 9. 인텔의 벌크 FinFET의 단면도.

### DRAM 셀 트랜지스터로의 진화

필자는 상기 언급한 벌크 FinFET을 2000년부터 연구하였고, 주로 비메모리 로직 기술을 위한 연구를 수행하였다. 또한, 필자는 처음으로 비휘발성 메모리에도 상기 벌크 FinFET을 적용하여 논문을 발표하였으며, 2003년부터 벌크 FinFET을 DRAM에 이용하는 연구를 수행하였다. 그러한 배경을 간단히 살펴보면 다음과 같다. 기존의 평탄채널을 이용한 DRAM 셀 트랜지스터는 그 채널길이가 100nm 이하가 되면서 드레인과 소스 사이의 누설전류가 증가하는 문제가 있다. 이러한 문제는 2003년 함물채널 소자를 삼성전사에서 처음 도입하면서 크게 개선되었다. 즉, 함물채널 구조를 도입하면 위에서 보았을 때, 소자의 foot print를 좁게 유지하면서 함물된 채널에 의해 유효채널 길이를 길게 하여 누설전류 문제를 해결한 것이다.

그러나 함물채널 소자는 축소화에 있어 피할 수 없는 단점을 갖고 있었다. 즉, 함물영역의 폭이 50nm 이하로 축소화되면 동글게 함물된 함물영역 바닥 근처에서는 게이트에서 나오는 전계가 방사상으로 퍼져 채널에 대한 제어능력이 크게 떨어지기 시작한다. 이렇게 되면 turn-on 전류가 감소함은 물론이고 함물영역 바닥 근처의 식각 프로파일 변화나 채널 불순물 농도의 조그마한 변화는 셀 소자의 문턱전압 산포나 누설전류 산포를 크게 할 수 있어 실용화하는데 큰 걸림돌이 된다. 이미 필자는 박사과정 동안 함물채널을 갖는 MOSFET에 대한 연구를 수행하여 이를 잘 알고 있었고, 실제 3차원 시뮬레이션을 통해 2003년 삼성전사에서 채택한 단순 함물채널 소자의 문제점에 대해 잘 이해하고 있었다.

이러한 문제점을 해결하기에 좋은 소자 구조가 바로 삼중-게이트 구조이다. 위에서 언급했지만 FinFET (삼중-게이트 소자)에서 게이트가 채널에 대해 갖는 제어능력이 탁월하므로, 채널이 형성되는 바디에서 생길 수 있는 편차는 크게 억제된다. 필자는 2004년 초 이러한 개념을 물리적으로 이해하고, 삼중-게이트 구조를 함물구조 MOSFET에 최초로 도입하였다. 그리고 이러한 구조를 실제 양산 측

면에서 공정으로 제어할 수 있을지를 다양하게 검토하였고, 더불어 3차원 시뮬레이션을 통해 다양한 공정변수 변화에 대한 소자의 특성변화를 면밀히 검토하였다. 필자는 이렇게 탄생한 소자를 Saddle MOSFET로 불렀고, 후일 Saddle FinFET 또는 Recess FinFET으로 불리게 되었다. 여기서 Saddle이라 함은 말 안장의 형상을 의미한다. 즉, 말 등이 소자의 채널이고 어떻게 보면 아래로 휘어져 함몰되어 있고, 그 위에 안장은 말 등의 상부 및 측면을 일부 덮으면서 형성되어 마치 Saddle 소자의 게이트 구조와 같은 모습을 갖게 된다.

이러한 안장구조 소자의 3차원 사시도와 채널 폭 및 길이 방향으로 자른 단면이 그림 10에 도시되어 있다. 그림 10에서 B-B'를 따라 자른 단면을 보면 함몰된 영역의 바닥 근처를 게이트가 좌우 양 측면의 일부 및 상부를 감싸는 삼중-게이트 구조를 가짐을 알 수 있다. 이러한 삼중-게이트 구조가 함몰영역 바닥에서 발생하는 상기 문제를 해결하는 것이다.

이러한 함몰구조에 대한 다른 변형된 구조도 연구하였으며, 가장 중요한 것은 함몰된 바닥 영역은 반드시 삼중-게이트 구조를 유지해야 한다는 것이다. 또한, 주목할 것은 fin 바디가 기판에 연결되어 형성된 벌크 FinFET의 구조로 되어 있다는 것이다. 이는 로직 기술에만 적용되어온 FinFET을 함몰구조를 갖는 DRAM 셀 트랜지스터에 적용하여, 메모리 기술에도 적용될 수 있음을 보인 것이다. 물론 로직 응용의 벌크 FinFET과 DRAM 셀을 위한 안장구조 소자의 구조는 분명히 다르다.

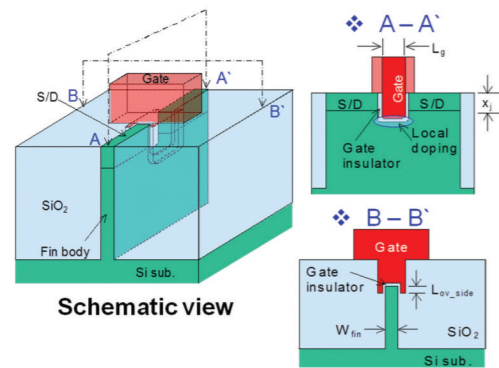


그림 10. Saddle (또는 Recess) FinFET의 3차원 사시도 및 단면도

필자는 이러한 안장구조 소자가 50nm 이하로 축소화될 때, 기존의 단순 함몰소자보다 얼마나 개선되는지 다양한 공정 및 소자 변수에 따라 3차원 시뮬레이션을 수행하였다. 그림 11은 3차원 시뮬레이션으로 얻어진 12nm 함몰영역 폭을 갖는 n형 안장구조 소자 및 기존 단순 함몰 소자에 대한 I-V 특성을 비교하고 있다. 바디 구조 및 도우핑은 정확히 같은 상태에서, 함몰된 영역의 표면에만 게이트가 형성되면 기존의 단순 함몰구조 소자이고 함몰된 표면 및 측면 일부에도 게이트가 형성되면 안장구조 소자이다.

이 조건에서 문턱전압을 유사하게 유지하기 위해 안장구조 소자에는 일함수가 4.71eV인 midgap 금속 물질을 게이트 전극으로 사용하였다. 함몰영역이 형성되는 바디의 폭은 20nm이다. 그림 11에서 속이

채워져 있는 심볼이 안장구조 소자에 대한 I-V 특성을 보인 것이다. 드레인 전압이 0.05V와 1.5V일 때, 각각 I-V 특성이 얻어졌다. 속이 빈 심볼은 기존의 단순 함몰소자에서 얻어진 결과이다. 앞서 예상한 것과 같이 함몰된 바닥 근처가 축소화에 따라 뽀족해지면서 기존의 함몰소자는 게이트가 채널에 대한 통제력을 잃어, turn-on 전류가 매우 감소하고 subthreshold swing (SS)과 DIBL이 크게 저하되는 현상을 보이고 있다. 그러나 안장구조 소자는 12nm의 함몰 폭에 대해서도 10<sup>10</sup> 이상의 I<sub>on</sub>/I<sub>off</sub> 특성과 아주 우수한 SS와 DIBL 특성을 보이고 있다.

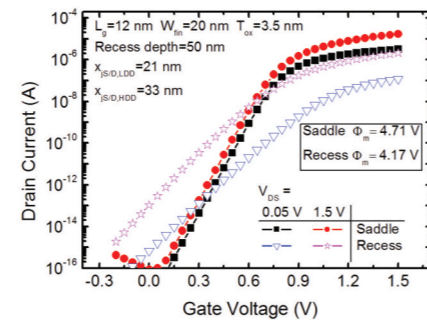


그림 11. 기존 Recess Channel FET와 Saddle (또는 Recess) FinFET의 I-V 특성 비교 [8].

50nm 이하의 함몰 폭 축소화에 기존의 단순 함몰 소자는 확실한 문제점을 보이고 있고, 안장구조 DRAM 셀 소자가 이러한 문제점을 분명하게 해결할 수 있음을 알게 되었다. 공정 또한 기존 단순 함몰 구조 소자의 그것과 매우 유사하므로 양산에 대한 필자의 확신은 매우 높았다. 이와 같은 내용을 바탕으로 필자는 2004년 10월 관련 업체를 찾아가서 세미나를 하거나 국제학회에서 관련 기업체 연구책임자에게 기존의 단순 함몰채널 구조가 갖는 축소화의 문제점을 이야기하고 안장구조 셀 소자의 도입을 소개하였다.

그러나 2004년에는 2003년 개발되어 양산되고 있었던 단순 함몰구조 셀 소자가 양산에서 문제가 없어서 그런지 해당 기업에서는 별로 관심이 없었다. 어떤 기업에는 몇 차례 적극적으로 이야기하였지만 별로 소용이 없었다. 또 다른 기업의 책임자에게 상기 언급한 단순 함몰소자가 갖는 축소화의 문제점을 이야기하였지만, 단순 함몰소자로 향후 계속 양산할 수 있다고 자신하였고, 필자가 제안한 소자에는 관심 없다고 하였다. 앞서 인텔이 양산에 적용하고 있는 삼중-게이트 소자를 해당 업체에 소개할 때와 그 후 겪은 엄청난 마음고생이 생각나 더 이상 안장구조 셀 소자의 개발 필요성에 대한 언급을 중단하였다.

그 동안 연구한 결과를 정리하고 보강하여 논문이나 쓰자는 생각에 IEEE 저널 중에서 그래도 좋은 Electron Device Letters에 안장구조 소자에 대한 논문을 투고하였다. 투고 당시 그냥 3차원 시뮬레이션 결과를 바탕으로 한 논문이니 거절당하거나 채택되더라도 심한 revision을 하지 않을까 생각하였다. 그런데 뜻밖에도 심사위원 3명의 심사 코멘트는 모두 매우 긍정적이었다. 어떤 심사위원은 다음과 같은 코멘트를 주셨다. "Thank you for your submission. It was a very interesting read and a pleasure to see how bright

folks are exploring new ideas". 지금까지도 필자는 Electron Device Letters에 논문을 투고하고 있지만 이렇게 칭찬 일색의 심사 의견을 받은 적이 없다. 그 당시 국내에서는 별로 관심이 없었던 안장구조 셀 소자가 IEEE 저널에서는 확실히 인정받은 셈이다. 기존 단순 함몰구조를 셀 소자로 양산해 오던 해당 업체에서는 2005년 후반 기쯤에 이르러 필자가 언급한 상기 함몰영역 폭의 축소화에 따른 문제에 직면하고, 서서히 필자가 소개한 안장구조 셀 소자에 대한 연구를 진행하였다. 이렇게 벌크 FinFET은 함몰구조 기반의 DRAM 셀 소자에 접목되어 그 위력을 발휘하게 되었고, 결국 안장구조 기반 셀 소자는 2008년 이후 50nm 급 이하에서 양산에 적용되어 지금까지 양산되고 있다.

결론

최근 미국 인텔에서 3차원 반도체 소자인 tri-gate MOSFET을 22nm기술노드에서 양산에 성공하면서 이 분야에 관한 관심이 크게 높아졌다. 본 고에서는 인텔의 3차원 구조가 필자가 2001년 제안한 벌크 FinFET과 같음을 보였다. SOI 기판에 제작되면 SOI FinFET, 벌크 기판에 제작되면 벌크 FinFET이라 분류하고 두 가지 FinFET의 주요 특성을 비교하였다. 인텔에서 양산에 성공한 구조는 벌크 FinFET에 해당하며, 이 소자를 2002년 서울대 반도체공동연구소에서 최초로 제작하여 발표하였다.

벌크 FinFET은 SOI FinFET과 거의 동일한 축소화 특성이 있으며, fin 바디가 기판에 연결되어 있어 소자에서 발생한 열을 쉽게 기판으로 빼낼 수 있는 특징이 있다. SOI FinFET의 경우 벌크 FinFET과 유사한 열 방출 특성이 있으려면 매몰 산화막의 두께가 20nm 이하가 되어야 하고, 결국 기생용량 성분을 증가시키는 결과를 가져온다. 벌크 FinFET에서 기판 전압 변화에 따라 문턱전압이 거의 변하지 않는 특성을 보였다. 인텔이 양산하는 소자의 구조는 사다리꼴 형상의 fin 바디를 갖고 있으며 이는 제조공정을 수월히 하는 방법으로 사료된다.

벌크 FinFET의 주요특징을 이용하여 기존의 단순 함몰구조 DRAM 셀 소자가 갖는 문제를 해결할 수 있는 새로운 구조의 안장구조 셀 소자를 소개하였다. 이 소자는 1X nm 함몰 폭까지 축소화가 가능하고, 현재 50nm 이하 DRAM 기술에서 양산에 적용되고 있다.

기존의 평탄채널 MOSFET 기술을 개발하는 시대에는 단순히 채널길이 줄이는 roadmap에 따라 축소화를 진행했지만, 2000년대부터는 소자구조의 패러다임이 바뀌어 3차원 소자가 양산에 적용되기 시작했다. 그만큼 기술이 다양화되고 세분되어 가는 추세에 있고, 이는 해당 기업뿐만 아니라 대학이나 연구소에서 좋은 아이디어를 역동적으로 모아야 하는 시기를 의미한다.

우리에게 새로운 기회를 주는 중요한 순간으로 이 기회를 잡지 못하면 이 분야 기술 후진국이 될 수밖에 없다. 권위도 중요하지만, 항상 과학과 기술에 기초한 토의를 하고 실용화를 검토하는 문화를 더욱 효과적으로 정착시켜 미래의 새로운 재료나 소자에 대한 기술확보를 주도하는 것이 꼭 필요한 시기이다.

Reference

- [1] <http://newsroom.intel.com/docs/DOC-2032>
- [2] [http://www.youtube.com/watch?v=YlkaMaGjSyP8&list=PL18F9C7D94BFC8685&index=1&feature=plpp\\_video](http://www.youtube.com/watch?v=YlkaMaGjSyP8&list=PL18F9C7D94BFC8685&index=1&feature=plpp_video)
- [3] T. Sekigawa, Y. Hayashi, "Calculated threshold-voltage characteristics of an X MOS transistor having an additional bottom gate," Solid-State Electronics, vol. 27, 1984, pp. 827-828.
- [4] Digh Hisamoto, Toru Kaga, Yoshifumi Kawamoto and Eiji Takeda, "A fully depleted lean-channel transistor (DELTA) - A novel vertical ultra thin SOI MOSFET," in IEDM Tech. Dig., 1989, pp. 833-836.
- [5] D. Hisamoto, W.-C. Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, T.-J. King, J. Bokor, and C. Hu, "A folded-channel MOSFET for deep-sub-tenth micron era," in IEDM Tech. Dig., 1998, pp. 1032-1034.
- [6] Jong-Ho Lee, Gianni Taraschi, Andy Wei, Tom A. Langdo, Eugene A. Fitzgerald, and Dimitri A. Antoniadis, "Super self-aligned double-gate (SSDG) MOSFETs utilizing oxidation rate difference and selective epitaxy," in IEDM Tech. Dig., 1999, pp. 71-74.
- [7] Tai-Su Park, Hye Jin Cho, Jeong Dong Choe, Sang Yeon Han, Donggun Park, Kinam Kim, Euijoon Yoon, and Jong-Ho Lee, "Characteristics of the full CMOS SRAM cell using body-tied TG MOSFETs (Bulk FinFETs)," IEEE Trans on Electron Devices, vol. 53, no. 3, pp. 481-487, March 2006.
- [8] Ki-Heung Park, Kyoung-Rok Han, and Jong-Ho Lee, "Highly scalable saddle MOSFET for high-density and high-performance DRAM," IEEE Electron Device Letters, vol. 26, no. 9, pp. 690-692, Sep. 2005.

# 무선 전력 전송 시스템을 위한 회로 설계



한국항공대학교 항공전자 및 정보통신공학과  
 조준식 교수  
 연구분야 : RF 및 Analog IC, Millimeter-wave IC, 무선전력전송회로 및 바이오센서  
 E-mail : cscho@kau.ac.kr  
 http://rfmwlab.kau.ac.kr



## 서론

무선 전력 전송(Wireless Power Transmission)은 전력 에너지를 무선 전송에 유리한 전자파로 변환시켜 에너지를 전달하는 새로운 개념의 전력 전송 방식으로 실제적인 전선이 없이도 전기에너지를 자유공간을 통해 보낼 수 있는 전파 전송의 원리로서 라디오나 무선 전화 등과 같이 무선 통신 방식에 이용하는 데이터 신호의 개념이 아닌, 전기적 에너지를 보내는 것으로 보통의 통신이 반송파 신호에 데이터를 실어 보내는 것이라면 무선 전력 전송은 반송파만 보내는 것이다. [1]

무선 전력 전송의 방식에는 크게 3가지 방식이 있는데, 전자파 방사 방식, 자기 유도 방식, 자기 공명 방식이 있다. 위의 3가지 방식은 각각 전송 방식에 차이가 있는 것으로 송신단과 수신단 사이의 자유공간에서 전파가 어떠한 형태로 어떠한 방법으로 전송되는지에 따라 방식이 결정된다. 따라서 방식에 따라 안테나의 형태와 전송 거리에 대하여 차이가 있을 뿐이지 내부 회로에서는 큰 차이를 보이지 않는다. 본 고에서는 무선 전력 전송 방식의 일반적인 내부 회로에 대하여 부분별로 나눠 생각해 보도록 하겠다.

## 본론

### ■ 무선 전력 전송 방식

무선 전력 전송 방식은 전자파 방사 방식과 자기 유도 방식, 자기 공명 방식이 있다고 소개하였다. 각각의 방식은 전기적 에너지를 무선으로 전송하기 위한 방식에 따라 구분된다. 따라서 각 방식에 따라 전송에 직접 관여가 되는 안테나 부분만 차이가 생기고, 나머지 내부 회로의 구조는 크게 차이가 나지 않는다.

아래의 그림 1은 일반적인 무선 전력 전송의 송수신 블록도이다. 그림 1에서도 확인할 수 있듯이 안테나는 일반적으로 각 방식에 알맞은 안테나를 사용하게 되며, 그 외의 내부 회로(혹은 내부 시스템 블록)는 거의 동일함을 알 수 있다.

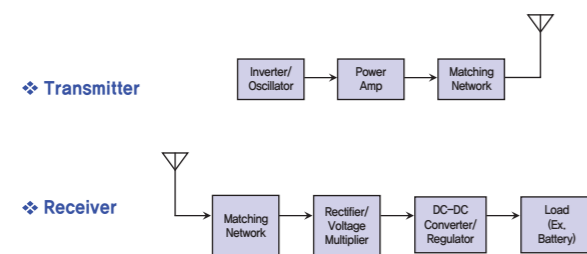


그림 1. 무선 전력 전송을 위한 송수신 시스템 블록도

위와 같이 시스템 블록은 같게 구성되지만, 사용되는 무선 전력 전송 방식에 따라 내부 회로는 약간의 차이를 보이며, 이 차이는 크게 전송되는 전력의 크기, 무선으로 전력을 전송하기 위해 사용되는 반송파의 주파수에 영향을 받아 회로 구성을 하게 된다.

각 무선 전력 전송 방식에 따라 사용하는 주파수가 조금씩 다르므로 그에 따른 회로의 구성이 달라질 수 있으며, 또한 전송하고자 하는 신호의 전력 크기에 따라 에너지의 이용효율 극대화라는 관점에서 저전력 회로의 설계를 요구할 수 있다. 따라서 기본적으로 사용하려는 무선 전력 전송 방식을 먼저 선택하고, 저 전력인지 고 전력인지를 결정하여 그에 맞는 회로를 설계하는 것이 순서이다.

### ■ 무선 전력 송신단

무선 전력 전송의 송신단은 일반적인 통신 모듈의 송신단과 달리 반송파를 그대로 전송하기 때문에 많이 복잡하지 않다. 입력 DC 전압을 AC로 변환하는 Inverter 혹은 AC 신호를 생성할 수 있는 Oscillator를 통해 원하는 반송파 주파수로 생성하고, 전력증폭기를 통해 전력을 증가시켜 전송하면 된다.

여기서 전력증폭기에 대해 살펴보면 일반적인 디지털 이동통신을 위한 송신단의 전력증폭기는 선형성을 중점적으로 생각하여 설계가 되겠지만, 전력회로의 전력증폭기는 효율이 주안점이 된다. 그런 차원에서 선형 증폭기는 적용이 어렵고, 스위칭 증폭기를 사용하게 되는데, BJT나 MOSFET을 고속 스위칭하기가 쉽지 않으므로, 고 전력, 고 효율의 무선 전력 전송 시스템을 위해서는 고주파수의 사용을 피하는 것이 좋다. 실질적으로 자기장을 이용하는 무선 전력 전송은 수백 kHz부터 수십 MHz 사이의 주파수를 선택하여 사용하는 것이 이런 요인을 고려한 것이다.

### ■ 무선 전력 수신단

무선 전력 전송의 수신단은 그림 2에 나타낸 것과 같이 크게 RF 신호를 DC로 변환하는 정류회로, 정류된 DC 전압을 원하는 일정 크기로 유지 시키는 기능을 하는 Regulator (혹은 DC-DC Converter)로 구성할 수 있다.

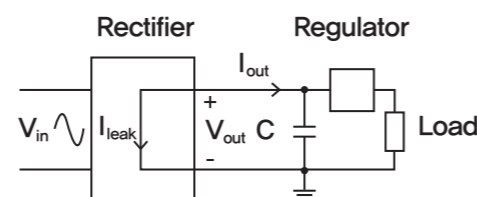


그림 2. 무선 전력 전송을 위한 수신단

### ■ 정류회로

그림 3 (a)는 일반적인 Full wave bridge 다이오드 정류회로이다. 이와 같은 다이오드를 사용한 bridge 정류회로는 기본적인 정류회로로서 입력되는 교류전압 ( $V_{ac}$ )에 비해 정류후의 직류전압 ( $V_{dc}$ )이 얼마나 되는지 비율로 나타내는 것이 변환효율인데, 다이오드의 Threshold 전압 뿐만 아니라 나머지의 전압이 DC로 출력되게 될 것이다. 이러한 다이오드 정류회로는 회로 설계는 간단하지만, 집적회로로 설계하기엔 부적절하기에 그림 3(b)와 같이 PMOS 트랜지스터를 이용한 능동 정류회로를 많이 설계한다. [2]

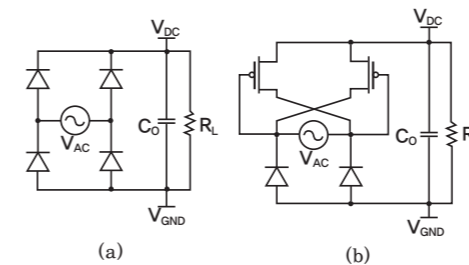


그림 3. 정류회로

(a)다이오드 정류회로, (b)PMOS를 사용한 능동 정류회로

Cross coupled PMOS 는 Diode connected PMOS 보다 더 큰 전압 스윙을 할 수 있다는 것이 장점이다. 아래쪽의 두 개의 다이오드는 Diode connected NMOS를 사용하여 역방향 전류를 방지하는 다이오드의 역할은 하지만 전체 회로의 효율을 극대화 시키지는 못한다. 따라서 다음 그림 4 와 같이 NMOS에 비교기를 통한 입력을 사용하여 정류회로의 성능을 좀 더 높이도록 하고 있다.

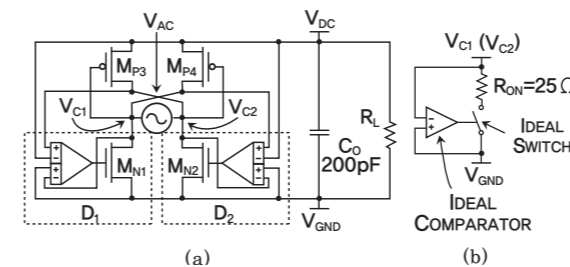


그림 4. (a)최적화된 능동 정류회로,

(b)비교기를 사용한 Switching의 기본구조

그림 4는 회로의 효율을 높이기 위하여, 다이오드 역할을 하는 NMOS를 Switching시키기 위하여 비교기를 적용한 회로이다. 그림

4 (b)를 보면, 다이오드 양단 사이의 전압이 일정 수준 이상으로 올라가면 통하게 되는 것을 똑같이 구현하기 위하여, 다이오드의 ON 저항을  $25\Omega$  정도로 가정하고, 비교기를 통하여  $V_{c1}$ 과  $V_{gnd}$ 를 비교하여  $V_{c1}$ 이 높으면 스위치가 ON이 되고, 낮아지면 OFF가 되게 하는 구조이다. 실제 다이오드를 이런 구조를 모델링하여 그림 4 (a)와 같이 적용한다. 이 정류회로는 차분으로 동작하는 정류회로이므로 D1은  $V_{c2} - V_{dc} > V_{c1} - V_{gnd}$ 를 비교하여 D1을 조절하는데 이는 입력의 High side와 Low side를 비교하여 다이오드를 On 시키는 역할을 한다. D2는 반대로 비교를 하게 된다.

여기서 전력손실을 생각해 볼 수 있는데, 그림 5의 Conduction drop과 다이오드가 상태 변화를 할 때, 최대한 빨리 변화를 하여야 역방향 전류에 의한 손실을 줄일 수 있다. 이 역방향 전류를 줄이기 위한 방법으로 그림 6과 같이 비교기에 Reverse Current Control을 위한 트랜지스터를 추가하여 Diode 역할을 하는 NMOS (MN1)와 같이 동작하면서 비교기 내에 흐르는 전류의 양을 조절하여 MN1의 Gate 바이어스 전압의 변화를 빠르게 바꿔줄 수 있도록 한다.

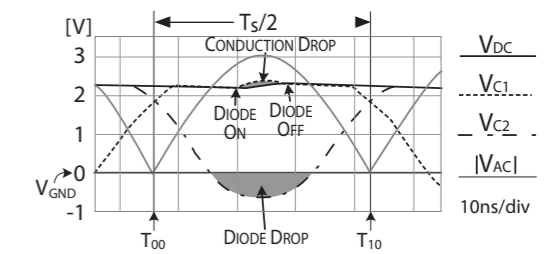


그림 5. Diode에 의한 Conduction Drop

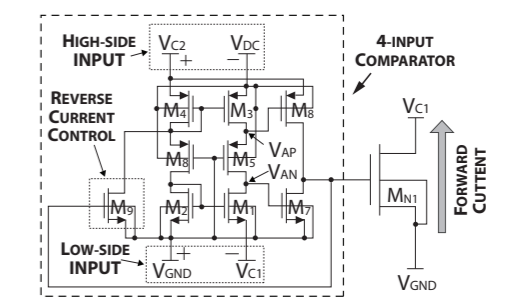


그림 6. 빠른 스위칭을 위한 Reverse Current Control이 적용된 비교기

이처럼 Cross Coupled PMOS와 Diode Connected NMOS의 바이어스를 최적화하여 정류회로의 효율을 최적화하는 것이 무선 전력 전송 수신단의 효율을 높이는 방법이 될 것이다.

■ Voltage Regulator (LDO)

Voltage Regulator는 일정한 DC 출력 전압을 내는 회로로 무선 전력 전송으로 수신받은 신호는 Power를 예측할 수 없고, 상황에 따라 다르게 변하므로 일정한 전압을 얻기 위해서는 보통 DC-DC Converter와 함께 Voltage Regulator(LDO)를 사용함으로써 일정한 전압을 공급받을 수 있다. 여기서 Regulator는 출력 단자의 부하 전류가 바뀌어도 일정한 값을 내는 Load Regulation과 입력 전압이 바뀌어도 일정한 값을 내는 Line Regulation이 있다. 그림 7은 일반적인 Power Management System의 Block Diagram으로 무선 전력 전송에서는 그림의 Battery 부분이 수신된 신호가 정류된 신호로 입력이 바뀌게 되는 것이다.

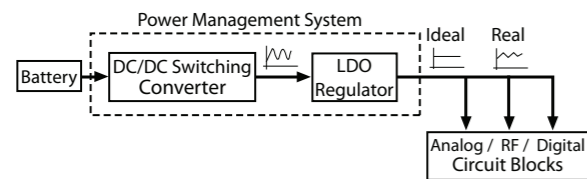


그림 7. 일반적인 Power Management System의 Block diagram

여기서 Regulator는 앞 단의 DC-DC Converter가 Switching type의 Regulator이므로 ripple이 심하게 나타나게 되고 Linear type인 LDO Regulator를 사용하여 ripple을 줄이고 일정한 전압을 출력으로 얻게 되는 것이다.

다음 그림8은 일반적인 LDO Regulator의 구조이다. Pass Transistor로 사용되는 PMOS Mp가 있고, 출력으로부터 feedback을 받아 reference 전압과의 error를 통해 Pass Transistor를 컨트롤하는 Error Amplifier가 있다. 또한, Error Amplifier에 reference로 사용되는 Vref는 Bandgap Reference Voltage를 주로 사용한다. [3]

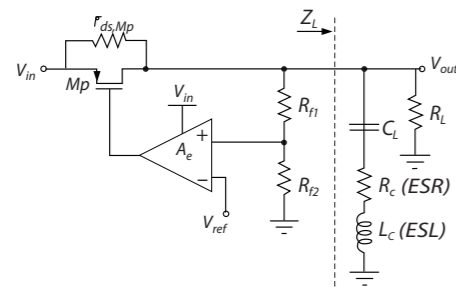


그림 8. 일반적인 LDO Regulator의 구조

여기서 입력되는 신호 이외의 다른 전원에 의해 출력이 나오는 것을 측정하는 PSRR(Power Supply Rejection Ratio) 측면에서 살펴보면, 입력 신호가 통과하는 Pass 트랜지스터의 On 저항을 줄여야 하는데 On 저항을 줄이기 위해서는 트랜지스터의 크기(width)가 매우

커져야 하고, 그렇게 되면 기생 커패시턴스(Parastic Capacitance)가 늘어나게 된다. 또한, 트랜지스터의 크기가 커지게 되면 문턱 전압(Threshold voltage)이 커지게 된다.

그렇게 되면, PMOS 트랜지스터를 구동하는 Error Amp의 동작도 확인해 보아야 하는데, 일단 Error Amp의 공급되는 전원을 보면, 일반적인 Amp는 DC 전원이 공급되지만, 무선 전력 전송의 Error Amp는 입력되는 Vin이 공급되며, 이는 입력되는 Vin의 크기가 작아지면 Error Amp의 동작이 그에 따라 작아지게 될 것이고, 전체적으로 LDO Regulator가 동작하지 않을 수 있게 된다. 따라서 자기 자신의 전원을 사용하여 자기 자신을 동작시켜야 하기 때문에 Error Amp의 PSRR이 좋아야 한다. 마지막으로 Bandgap Reference로 만들어지는 Vref의 PSRR이 우수해야 Bandgap Reference를 통해 입력되는 Noise를 줄일 수 있을 것이다.

■ DC-DC Converter

DC-DC Converter는 크게 3가지 타입으로 나눌 수 있다. Buck(step down), Boost(step up), Buck-Boost로 3가지가 나뉘게 된다. Buck Converter는 입력전압보다 낮은 출력전압을 갖게 하는 것이고, Boost Converter는 입력전압보다 높은 출력전압을 갖게 하는 것이고, Buck-Boost Converter는 입력전압보다 높거나 낮은 출력전압을 갖게 하는 것이다. 그림 9는 각 타입별 DC-DC-Converter의 기본 회로이다.

각 종류의 입력전압 대비 출력전압의 비를 보면, Buck Converter는  $\frac{V_o D'}{8LC T_s^2}$ , Boost Converter는  $\frac{D I_o}{C f_s}$  Buck-Boost Converter는  $-\frac{D I_o}{C f_s}$  가 나오는데, 여기서  $D = \frac{T_{on}}{T_s}$ ,  $D' = 1-D$  로 D는 duty ratio다. Buck-Boost Converter를 보면 출력이반대로 뒤집혀 나오는 것을 알 수 있는데, 이는 칩으로 설계할 때 그라운드보다 낮은음의 전압을 출력으로 가지는 부분을 고려하여야 할 것이다. 그리고 또 하나 알 수 있는 것은 Lmin이나 전류 리플(iL)을 보면, 스위칭 주기에 비례하는 것을 알 수 있다. 따라서 스위칭 주기의 반비례인 스위칭 주파수를 올리게 되면 출력의 리플도 줄어들게 되고, 필요한 인덕터의 크기도 줄어들 것이라고 생각을 할 수 있지만, 마냥 올릴 수 있는 것이 아니다.

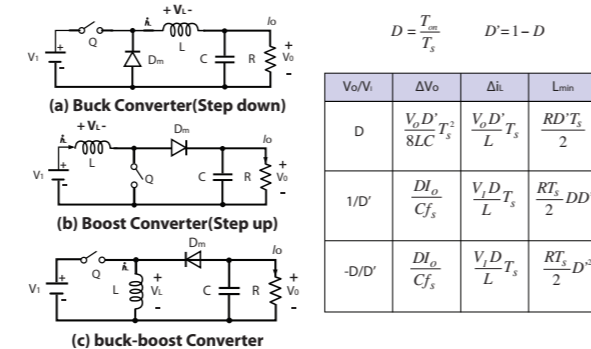


그림 9. DC-DC Converter의 기본 구조와 각 타입의 출력 (a)Buck Converter, (b)Boost Converter, (c)Buck-Boost Converter

그림10은 Gate Bias로 PWM 신호를 사용한 기본적인 Buck Converter의 구조이다. 여기서 보면 스위치(Q)의 On 저항이 작으면 좋으므로 트랜지스터의 크기가 커지게 될 것이고, 그렇게 되면 앞서 LDO Regulator에서도 언급하였듯이 Gate 사이의 기생 커패시턴스가 커지게 된다. 그렇게 되면 그 트랜지스터를 구동할 Gate Driver도 매우 커져야 하고 전류도 많이 소모하여야만 한다.

따라서 스위칭 주파수를 올리는 데에 많은 제약을 받는 것이 이 부분들의 크기가 증가하여야 하는데, 칩으로 제작하는데 그 크기도 고려하여야 하기에 많은 연구와 노력이 필요하다. 또한, 여기서 사용되는 Gate Driver와 Error Amp 모두 일반적인 시스템의 모듈이 아니고, 무선 전력 전송에 사용되는 모듈은 모두 공급전원이 따로 있는 것이 아닌 입력되는 신호로 생성된 전압 (Vin)을 사용하기 때문에 정확한 공급전원을 가지지 못하기 때문에 주파수가 높아질수록 부하가 증가하게 되고, 그 안에서 생성되는 손실이 증가하고, 효율이 떨어지게 되는 것이다. 이러한 문제를 때문에 실제로 효율이 70% 이상 나오기 어렵다.

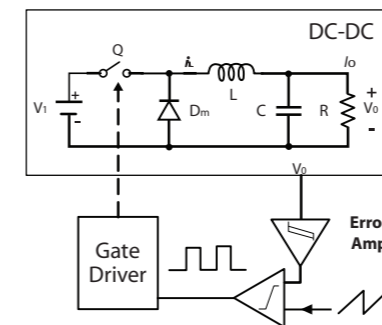


그림 10. PWM Gate bias를 사용한 기본적인 Buck Converter

결론

무선 전력 전송의 회로 설계는 먼저 전송 방법을 결정하여야 할 것이고, 방법이 결정되면 일반적으로 사용하는 송수신 주파수를 사용하게 될 것이다. 기본적인 설정을 하였으면 내부 회로를 설계할 것인데, 무선 전력 수신부의 각 모듈은 일정한 공급전원을 가지는 것이 아닌 무선 전력 전송으로 공급받는 전원을 바로 각 모듈에서 사용하기 때문에 일반적인 회로와는 다르게 안정성에서 많은 문제를 가져올 수 있다. 하지만 전체적인 선형성을 고려하기보단 전력 효율을 고려하며 설계하므로 충분히 효율을 고려하여 설계하면 70%까지의 효율을 얻을 수 있을 것이다.

Reference

- [1] Wireless Power Consortium, "System Description Wireless Power Transfer", Volume I:Low Power, Part 1: Interface Definition Version 1.0 July 2010.
- [2] Yat-Hei Lam et al, "Integrated Low-Loss CMOS Active Rectifier for Wireless Powered Devices", IEEE TRANSACTION ON CIRCUIT AND SYSTEM\_II : EXPRESS BRIEFS, VOL,53, NO,12, Dec 2006.
- [3] Mohamed EL-Nozahi et al., "High PSR Low Drop-Out Regulator With Feed-Forward Ripple Cancellation Technique", IEEE JOURNAL OF SOLID-STATE CIRCUIT, VOL, 45, NO.3, MAR.2010.





Cadence는 2011년 1월에 성능과 time-to-market의 장점을 제공해주는 28nm에서 검증된 digital end-to-end flow를 발표하였다. 여기에는 giga-gate/giga-hertz SOC 시스템설계를 가능케 하는 flow가 포함되어 있다. 새로운 Encounter 기반의 플로우를 사용하면 더욱 더 빠른 경로를 받을 수 있으며, 통합된 설계, 구현, 그리고 검증 플로우를 사용하여 기술적 통합, 중요한 코어 아키텍처와 알고리즘을 향상함으로써 giga-gate/giga-hertz 실리콘의 구현을 쉽게 달성할 수 있게 된다.

# Cadence사의 RTL to GDSII Flow를 위한 Digital Implementation Flow에 대한 소개

## 서론

Cadence는 2011년 1월에 성능과 time-to-market의 장점을 제공해주는 28nm에서 검증된 digital end-to-end flow를 발표하였다. 여기에는 giga-gate/giga-hertz SOC 시스템설계를 가능케 하는 flow가 포함되어 있다. 새로운 Encounter 기반의 플로우를 사용하게 되면 더욱 더 빠른 경로를 받을 수 있으며, 통합된 설계, 구현, 그리고 검증 플로우를 사용하여 기술적 통합, 중요한 코어 아키텍처와 알고리즘을 향상함으로써 giga-gate/giga-hertz 실리콘의 구현을 쉽게 달성할 수 있게 된다.

Cadence의 analog/mixed-signal 그리고 실리콘/패키지 코디자인 (co-design) 영역들과 무리 없이 동작하면서 칩 디자이너로 하여금 전체적인 칩 플로우를 고려할 수가 있게 되었다. 그리하여 고성능, 저전력, 미크도 신호 그리고 나아가 3D-IC 설계를 무난하게 할 수가 있다.

## 본론

Cadence의 디지털 end-to-end flow는 통합된 RTL-to-GDSII flow로서 디지털 설계, 구현, 검증에서 한 단계 진보된 사항들을 포함한다. 이것은 Encounter Digital Implementation System (implementation and in-design signoff technologies를 포함), Encounter RTL Compiler, Encounter Conformal technologies (Logic Equivalence Checking, ECO Designer 그리고 Conformal-LP 포함), Encounter Test 그리고 Encounter Design Signoff 툴들로 구성이 된다. 그림 1에 이에 대한 구성이 나와 있다.

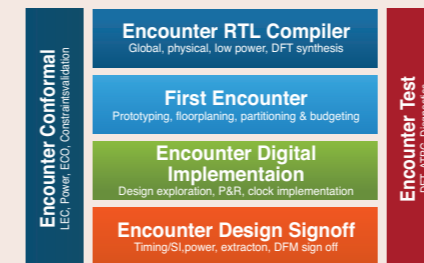


그림 1. Cadence Silicon Realization RTL-to-GDSII Digital Flow

Cadence는 통합적인 솔루션을 제공하는 데, 이는 실리콘을 구현하는 데 있어서 디자인, 검증, 그리고 구현 시에 난제들을 해결할 수 있는 기능들을 제공하고 있다. 그림 1에서 보는 바와 같이 RTL-to-GDSII 디지털 플로우의 첫 번째 부분은 Encounter RTL Compiler로서 로직 합성을 하는 툴이다. 이는 Unique Global Optimization을 기본으로 로직 합성을 하며 최근 들어 front-end와 back-end 간의 area/timing/power correlation을 좋게 하는 physical synthesis 기능을 제공한다. 또한, 저전력 합성을 하면서 DFT 관련 로직들을 합성하는 기능도 갖고 있다.

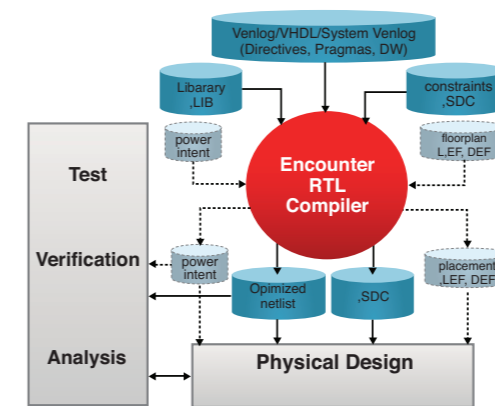


그림 2. Encounter RTL Compiler inputs/outputs

그림 2에 RTL Compiler의 입력/출력 데이터에 대한 상관관계가 나타나 있다. 이를 통하여 RTL Compiler가 어떠한 기능을 하고 있는지를 쉽게 유추할 수가 있을 것이다.

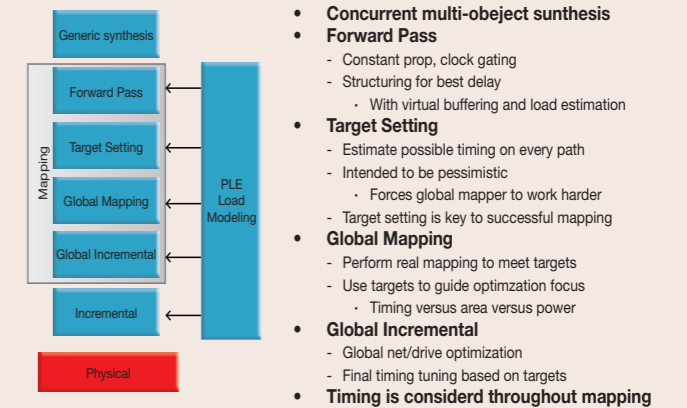


그림 3. Unique Global Mapping Algorithm

그림 3에는 RTL Compiler의 고유 기능이자 핵심인 Global Mapping Algorithm이 나타나 있다.

다음으로 그림 1의 중앙의 두 번째에 있는 First Encounter는 physical 프로타이핑/플로어플래닝 그리고 파티셔닝, 버지팅 (prototyping/floorplanning and partitioning & budgeting)의 기능을 제공한다. 이는 P&R의 첫 단계로서 칩 내의 여러 매크로 블록들의 위치를 선정하고 IO 패드들의 위치를 결정하게 된다.

다음으로 설계할 칩의 크기가 크다면 이를 flatten 방법으로 설계하기가 어렵기 때문에 Hierarchical design methodology를 사용하게 되고, 이때에 파티션할 블록의 수가 결정될 것이다. Partitioning & budgeting의 기능을 통하여 별도로 P&R을 하게 될 블록의 데이터가 분할되고 이것들에 대한 SDC들이 TOP-level의 SDC로부터 유도된다. 그리하여 이 데이터를 사용하여 각 파티션 된 블록들에 대해 P&R이 진행될 것이다.

다음으로 EDI (Encounter Digital Implementation)는 파티션된 블록들을 사용하여 placement, CTS, routing을 하는 기능을 제공한다. 즉, 각 파티션된 모듈 블록들에 대하여 EDI를 사용하여 P&R을 진행하게 되는 것이다. 실제로 이것들의 결과는 차후 Top-level에 어셈블되어 Top-level P&R을 진행하게 된다. 즉 SOC Encounter/EDI를 사용하여 이러한 hierarchical design methodology를 사용할 수 있다.

다음으로는 가운데 컬럼의 맨 마지막에 Encounter Design Sign-off라는 사인오프 툴을 제공한다. 이 툴을 사용하여 timing, SI, power, extraction 그리고 DFM sign-off analysis를 하게 되는 것이다.

다음으로는 그림 1의 양옆에 있는 툴들을 설명할 것이다. 왼쪽에 있는 Encounter Conformal은 검증할 수 있는 툴로서, 여기에는 단계별로 행해지거나 첫 단계, 마지막 단계에서 행해질 수 있는 equivalence checking, constraint validation, low power design technique checking, 그리고 안전한 ECO를 진행하기 위한 중요한 기능들 등의 작업들을 수행할 수가 있다. 이러한 기능들은 디지털 구현 시에 반드시 필요한 것으로서 툴을 구현하는 데 있어 매우 중요한 역할을 할 수가 있으며, time-to-market에 영향을 미치고 신뢰성 있는 칩을 만들어 내는 데 필요한 것이다.

마지막으로 Encounter Test라는 툴은 DFT로부터 ATPG까지의 통합적인 테스트 자동화 기술을 제공한다. 여기에 delay fault testing과 back-end manufacturing diagnostics 기능도 제공한다.

■ What our Customers Have Asked For

물리적인 이펙트 (Physical effects)가 프런트엔드 단계에서 아주 중요한 역할을 한다. 왜냐하면, 예전의 공정과 달리 최신 공정들은 셀 지연을 무시할 수가 없기 때문이다. 예전 공정에서는 셀 지연이 와이어 지연보다 훨씬 커서 백엔드 단계에서 결정되는 metal routing으로 말미암은 지연이 중요하지 않았다. 하지만 최근의 공정에서는 와이어 지연이 셀 지연에 무시할 수 없을 정도로 크기 때문에 이를 프런트엔드에서 제대로 반영을 하지 않는다면 프런트엔드에서 timing closure되었던 결과가 백엔드에서는 엄청난 타이밍 위반 (timing violation)을 일으킬 것이기 때문이다.

그러므로 프런트엔드 단계에서 이를 고려하여야 하며 이에 대한 최적의 방법으로는 P&R 단계에서 사용하게 될 Floorplan 정보를 사용하여 프런트엔드 툴에서 physical synthesis를 해야 한다. 이러한으로써, 프런트엔드와 백엔드간의 타이밍 correlation이 아주 많이 향상되는 결과를 가져온다. 타이밍뿐만 아니라 area/power/congestion에 대한 correlation도 상당히 중요해지고 있다. 이러한 추세로 프런트엔드 단계에서의 로직 합성과 physical implementation사이의 장벽이 아주 빨리 허물어지고 있다. 또한, large-scale ECOs (Engineering Change Order) 에 필요한 수작업의 양이 점차 많아지고 있다.

예전에는 메인스트림으로 생각되지 않았던 디자인 부류들이 있는데 즉, mixed signal과 저전력 설계가 요즘은 메인스트림이 되고 있다. 커스텀 디자인의 크기와 복잡도가 증가함에 따라, 디지털 솔루션에 제공되었던 자동화도 커스텀 디자이너에게 충분히 디지털 툴이 접근 가능하다면 즉 툴의 친밀도 측면에서도 또한 디자인 인텐트와 두 도메인 간의 데이터베이스 코히어런스 (database coherence)를 유지하기 쉽다면 당연한 공유할 수 있는 부분이라고 볼 수가 있다. 이에 대한 개선도 많이 이루어졌다.

파워소모에 대한 타겟이 중요한 요구사항이라면 디자이너는 디자인 플로우를 통하여 파워타겟을 설정하여 컨버전스 (convergence) 를 갖는 데, 주의를 기울여야 할 것이다. 이것은 디자인이 모든 요구사항을 만족해야 한다는 것을 의미한다. 즉 power, performance 그리고 area를 고려함을 의미한다. 특별히 모바일 디바이스의 경우에는 더욱 앞의 순서대로 중요할 것이다.

대부분의 leading-edge 고객들은 진보된 기술들이 더 많이 통합되기를 원하고 있다. 28/32nm 공정이 점차 대중화되고 20nm/14nm를 준비해야 함에 따라 공정 디자인 루울들이 더 복잡해 짐에 따라 EDA 회사들은 더욱 새로운 디자인 루울들을 다루는 데, 스트림라인을 위해 파운드리회사들과 collaboration 해야 하는 것이 중요해진다.

수직 패키징 스킴 (Vertical packaging scheme)이 SOC 레벨로 확장됨에 따라 새로운 category가 도입되었다. 즉, 3D stacked die 디자인 환경이 이에 해당한다. 이것은 엄청난 이점을 가지고 올 것이다. 즉 interconnect bottleneck를 감소시키고 같은 패키지에서 공존하는 heterogeneous process를 갖도록 하는 능력을 포함하고 있기 때문이다. 이러한 이점들이 디자인 방법론에 대한 새로운 도전을 요구하는 것이다.

■ Cadence Digital End-to-end Flow

그렇다면 Cadence digital end-to-end flow가 어떻게 이러한 난제들을 해결하겠는가?

Cadence는 core design closure engines를 update하였다. 프런트엔드 툴의 경우에 향상된 physical awareness를 가진다. 이것은 더욱 더 수행할 수 있는 RTL-to-GDSII flow의 결과를 낸다. Physical optimization engines 이 아주 많이 향상되었으며 advanced analysis engine을 포함한다. 그림 4에 나타나 있는 바와 같이 여러 가지 난제들이 존재한다는 것을 볼 수가 있으며 이를 해결하였다.

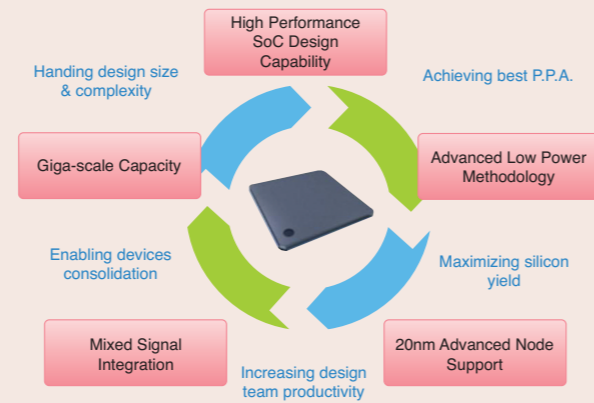


그림 4. Cadence RTL-to-GDSII solution addresses industry design challenges

Cadence에서 개발한 advanced analysis engine은 ultra fast, concurrent signal integrity and timing analysis를 지원하며 훨씬 더 좋은 convergence를 제공함으로써 반복되는 작업을 줄일 수가 있게 되며 SI closure 수행시간을 절반 이상 줄어든게 하였다. 이러한 design closure methodology는 28/32nm 디자인 루울들을 전부 지원한다. Cadence tool은 streamlined 28nm/32nm 디자인 루울을 지원함으로써 28nm/32nm 디자인들의 라우팅 속도를 이전 버전 대비 2배 이상 스피드를 올렸다.

100Million 인스턴스 이상을 갖는 디자인에 대한 구현을 용이하게 하기 위하여 새로운 데이터 abstraction technology를 개발하였다. 이것은 전체 로직 블록들을 간단하고 정확하게 모델링하는 새로운 방법을 제공한다. 그 결과 수행시간이 20배 이상 향상할 수가 있는 것이다.

이것을 사용함으로써 디자이너들은 ultra-large designs를 허용할만한 수행 시간을 갖고서 설계를 할 수가 있게 된 것이다. 또한, 디자인 내에 점차 증가하는 하드 매크로의 수를 처리하기 위해서 자동 매크로 배치 엔진 (automatic macro placement engine) 을 향상시켰고 그 결과 예전보다 훨씬 더 지능적이 되어 수작업으로 플로어플래닝을 배치하는 것을 흉내 낼 수 있는 결과를 낼 수가 있다.

그림 5에 이 abstraction technology에 대한 설명이 나타나 있다.

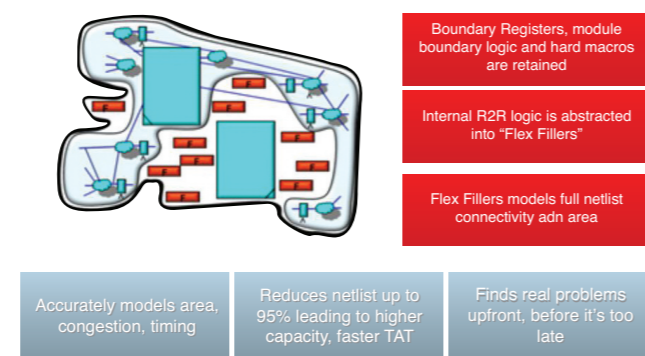


그림 5. FlexModels Abstraction enables Early Prototyping

다음으로 디자이너가 어느 정도 진행이 되었거나 거의 마지막 단계에서 function의 오류가 발생했다면 디자이너들은 function ECO를 수행하게 될 것이다. ECO 변화의 양이 아주 적다면 수작업으로 ECO를 수행할 수가 있지만, ECO의 양이 수작업으로 하기에는 어려운 상황이라면 난감할 것이다. 다시 RTL을 수정하여 합성부터 P&R까지 작업한다면 많은 시간이 소모되어 일정 지연에 큰 영향을 미치게 될 수도 있기 때문이다.

그러므로 이러한 경우에 고객들은 large-design ECOs가 행해질 수 있도록 하는 중요한 개선사항을 기대하고 있다. Cadence ECO Designer라는 툴을 사용해서 디지털 end-to-end flow의 일부이지만 아주 손쉽게 ECO를 할 수가 있다. 이것을 사용해서 ECO 합성을 통하여 physical implementation 까지 아주 쉽게 자동화된 플로우로 RTL ECOs를 구현할 수가 있게 된다. 즉 ECO netlist를 생성함에 있어서 자동화가 적용되고, 기존의 netlist에 ECO cells를 구현할 수가 있는 더욱 더 자동화된 플로우를 제공하고 있다.

Cadence는 또한 constraints-driven mixed signal flow를 개선해왔다. 그리하여 디지털과 커스텀디자인 사이에 intent가 효율적으로 전달되는 것을 허용한다. 이러한 개선사항 중에 아날로그 디자인 팀과 디지털 디자인팀 간에 반복작업을 줄이기 위해 정확한 full mixed-signal static timing analysis와 timing-driven physical implementation을 가능케 한다.

Low Power 디자이너는 Cadence의 correct-by-construction 접근방식에 의해 더욱 더 많은 자동화와 사용하기 편리하다는 이점을 보게 될 것이다. 주목할 만한 개선사항으로는 power intent architect라는 것이 있다. 이것은 직관에 의한 사용자 인터페이스를 사용하여 툴에 의해 power intent가 생성되고 검증되는 것을 허용하게 된다. 두 번째 하이라이트로는 physical synthesis에 대한 기능개선으로서 Clock Topology Planning (CTP)를 통한 보다 영리한 클럭 게이팅을 구현하는 것이다. 이것은 physical-aware 클럭 게이팅이라고 보면 된다. 기존의 툴은 logical-aware 클럭 게이팅 방법을 사용하여 클럭 게이팅 셀을 삽입하였다.

마지막으로 한 가지 더 언급할 것은 Clock Tree Synthesis에 대한 부분이다. 기존의 CTS 방식은balanced buffer tree를 만들어 skew를 최소화시키는 데에 주안점을 두었지만, 이 부분에서도 한계가 오고 있다. 이러한 부분을 해결할 수 있는 새로운 패러다임을 가능케 하는것이 바로 CCOPT라는 것으로서 concurrent clock/data optimization을 하는 것이다. 기존 CTS는 clock tree에 대해서만 최적화를 한 후에 데이터 경로에 대한 최적화를 별도로 실행하였다. 하지만 CCOPT는 이를 동시에 진행하는 것으로서 그림 6에서 보는 바와 같이 여러 가지의 장점을 제공해준다.

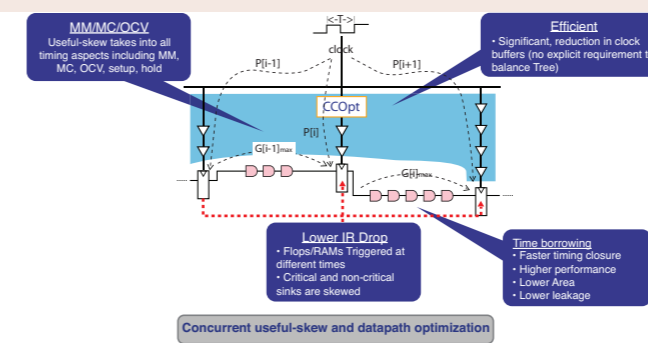


그림 6. CCOpt - clock Concurrent Optimization

결론

앞에서 설명한 바와 같이 Cadence는 unified design intent, design abstraction and design convergence, concurrent clock optimization과 같은 새로운 요구사항을 기초로 이에 대한 디자인 플로우로 실리군 구현 시 빠른 시간 안에 원하는 결과를 얻기 위한 수단을 제공하고 있다. 급격하게 디자인 규모와 복잡도가 증가하고 있는 시점에서 이러한 난제와 고객의 요구사항을 받아들여 이를 툴에 접목하여 사용자가 원하는 목표에 도달할 수 있도록 최선을 다하고 있다. 추가로 3D-IC 디자인을 설계할 수 있는 시대가 도래할 것이고 이러한 설계방법에 대한 모든 난제도 툴로 제공하고 있으며 사용자가 원하는 Power, Performance, Area (PPA)를 위하여 최선을 다하고 있다.

**Cadence Korea 기술부**

이상길 이사  
 연구분야 : EDA Tool technical trend & strategy  
 E-mail : sklee@cadence.com  
 http://www.cadence.com/kr