

Less energy.
More speed.



The new 30 nano class Green DDR3

Samsung's 30 nano class 4G bit DDR3 server memory chip is the most advanced, best-performing chip we've ever created. It saves 86% more energy, processes two times faster and is far more reliable than its predecessor*. In fact, its energy usage is so small, operating and maintenance costs of your server farm are significantly reduced. Welcome the eco-innovation that doesn't compromise performance - just one more reason the leader in green memory technology is Samsung.

www.samsung.com/greenmemory



© 2011 Samsung Electronics Co. Ltd.
* Samsung internal test result, compared to Samsung 60 nano class DDR3 memory chip. Actual performance difference may vary depending on the test environment.



IDEC Newsletter

IDEC Newsletter | 통권: 제179호 | 발행일: 2012년 4월 30일 | 발행인: 박인철 | 편집인: 김이섭 | 제작: 푸울디자인
기획: 정항기 | 전화: 042) 350-8535 | 팩스: 042) 350-8540 | http://idec.or.kr
E-mail: jhg0929@idec.or.kr | 발행처: 반도체설계교육센터(IDEC)

Vol.179

2012
May

NAND Flash 메모리 저장장치의 신뢰성 향상을 위한 신호처리 기술 | 04 보행자 인식 기술 | 08
3차원 비디오 압축 기술 : MPEG 3DV 표준화 | 10 Neuromorphic Architecture 및 CAD 연구 동향 (2)

반도체설계교육센터 사업은 지식경제부, 반도체산업협회, 반도체회사(삼성전자, 하이닉스반도체, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.



www.towerjazz.com

TowerJazz Technology

TowerJazz Overview

TowerJazz manufactures integrated circuits for more than 150 customers worldwide. Our vision is to be the world leader in specialty foundry solutions as measured by our customers, employees and investors.

TowerJazz achieved the highest percentage of growth in 2010 vs. 2009. By further accelerating our growth rate in 2011, we are challenging to become the #1 specialty foundry.

Digital CMOS process technology, TowerJazz offers specialty CMOS processes with geometries ranging from 1.0- to 0.13-micron. We are divided into five business units:

•RF/High Performance Analog (including SiGe BiCMOS and RF CMOS offerings),

•Power Management (including our patented Y-Flash, the leading solution for NVM),

•CIS (CMOS Image Sensors),

•Mixed-Signal/CMOS and TOPS (Technology Optimization Process Services) to expand capacity or provide second sourcing.

•We also offer foundry MEMS enablement solutions combined with high volume 150mm and 200mm CMOS wafer manufacturing.

2010 Major IC Foundries								
2010 Rank	2009 Rank	Company	Foundry Type	Location	2009 Sales (\$M)	2010 Sales (\$M)	QoQ Sales (%)	YoY Sales (%)
1	1	TSMC	Pure-Play	Taiwan	10,566	8,989	-15%	13,307
2	2	UMC	Pure-Play	Taiwan	3,070	2,815	-8%	3,965
3	4	GlobalFoundries	Pure-Play	U.S.	0	1,101	N/A	3,510
4	5	SMIC	Pure-Play	China	1,353	1,070	-21%	1,555
5	3	TowerJazz	Pure-Play	Europe	252	300	19%	510
6	7	Vanguard	Pure-Play	Taiwan	511	382	-25%	508
7	6	Dongbu	Pure-Play	South Korea	490	395	-19%	495
8	8	IBM	IDM	U.S.	400	335	-16%	430
9	12	MagnaChip	IDM	South Korea	346	262	-24%	420
10	10	Samsung	IDM	South Korea	340	290	-15%	400
11	11	SSMC	Pure-Play	Singapore	340	280	-18%	330
12	15	X-Fab	Pure-Play	Europe	368	212	-42%	320
13	14	Hua Hong NEC	Pure-Play	China	280	240	-14%	295
14	13	TI	IDM	U.S.	315	250	-21%	285
15	16	Grace	Pure-Play	China	230	180	-22%	260
---	3	Chartered*	Pure-Play	U.S.	1,743	1,540	-12%	0

Source: IC Insights, company reports

*Purchased by GlobalFoundries in 4Q09

The Global Specialty Foundry Leader

NAND Flash 메모리 저장장치의 신뢰성 향상을 위한 신호처리 기술

NAND Flash 메모리는, 데이터를 저장하는 기본 단위인 셀 및 어레이 구조가 비교적 단순하고 집적도를 높이기 위해 유리하여 MP3 player, cellular phone 및 SSD 등의 데이터 저장장치용으로 많이 사용되고 있다. NAND Flash에서 일반적으로 채택하고 있는 셀 구조는 부동 게이트인데 여기에 전하가 차 있는지 여부에 따라 트랜지스터를 On-Off 시킬 수 있는 문턱전압이 달라져 정보 저장 여부를 판별할 수 있게 된다. 본 고에서는 NAND Flash 메모리 저장장치의 신뢰성 향상을 위한 신호처리 기술에 대해 살펴보고자 한다. (관련기사 P04~07 참조)

보행자 인식 기술

보행자 인식 기술은 컴퓨터 비전 기술의 핵심적인 부분이며 삶의 질에 직접적인 영향을 준다. 매년 교통사고가 사망자 수가 120만 명에 이르는 상황에서 이 기술은 지능형 차량에 중요한 기술이며, 첨단 운전 보조장치 외에는 로봇기술, 감시시스템, 콘텐츠 기반 색인 작성 등 다양한 분야에 응용할 수 있다. 근래에 컴퓨터 비전을 기반으로 하는 많은 차량, 보행자 인식 기술들이 제안되었다. 본 고에서는 Monocular 카메라를 이용한 보행자 인식에 초점을 맞추어 기술동향을 소개하고자 한다. (관련기사 P08~09 참조)

3차원 비디오 압축 기술 : MPEG 3DV 표준화

다시점 영상을 이용한 3차원 비디오는 현실 세계를 재구성한 컨텐츠로 현실감 있는 3차원 영상을 사용자에게 제공할 수 있기 때문에 차세대 영상기술로 각광 받고 있다. 3차원 비디오는 2차원 비디오와는 달리 두 시점 이상의 영상을 이용하여 3차원 장면의 깊이감을 제공하기 때문에, 사용자에게 보다 실감 나는 영상을 제공한다. 사용자가 입체감을 느끼는 기본 원리는 약 5.5cm의 간격을 두고 있는 두 눈으로부터 좌우 영상을 각각 받아 뇌가 영상의 시차를 인식하여 입체감을 감지하는 것이다. 본 원고에서는 현재까지 진행된 3차원 비디오 부호화 기술 동향 및 주요 기술들을 살펴보고자 한다. (관련기사 P10~P13 참조)

Neuromorphic Architecture 및 CAD 연구 동향 (2)

최근 3D 휴먼 팩터가 이슈가 되면서 인간 3D 정보처리 시스템에 관한 관심이 증가하고 있다. 또한, 머신 비전 분야에서 얼굴과 같은 물체를 인식할 때 기계가 하기 어려운 일은 크기의 차이, 방향, 빛, 영상의 복잡도에 따른 변위를 다루는 일이다. 인간의 두뇌에서 시각 정보는 상위 수준 지식과 여러 가지 센서 형태들을 결합하여 추론 과정을 통하여 해결 공간상에 제약을 두어 인식을 가능하게 한다. 본 고에서는 지난 호에 다른 두뇌의 시각 정보 전달체계, 정보전달 모델링에 이어 두뇌 정보전달 구조에 대해서 알아보고자 한다. (관련기사 P14~P18 참조)

IDEC May | 2012 news

MPW (Multi-Project Wafer)														
MPW 신청 현황						MPW 칩 제작 현황								
구분	공정	제작가능 면적 (mm² x 칩수)	채택 칩수	설계면적 (mm² x 칩수)	DB마감	Die-out	비고	구분	공정	제작 칩수	제작면적 (mm² x 칩수)	Die-out 예정일	현재상태	비고
110회 (12-3)	동부 0.11	5x5mmx15	29	5x2.5mmx22, 2.5x2.5mmx7	2012.3.28	2012.8.1	BD마감 :5.2	105회 (11-08)	동부 0.11	29	5x2.5mm x 21, 2.5x2.5mm x 8	2012.1.10	제작완료	-Die:2.8 -PKG:4.27
111회 (12-4)	M/H 0.18	4.5x4mmx20	20	4.5x4mmx20	2012.5.14	2012.9.3	BD마감 :5.14	106회 (11-09)	삼성 0.13	43	4x4mm x 43	2012.3.9	PKG 제작중	-Die:4.20 -PKG:5.10
	M/H 0.35	5x4mmx20	20	5x4mmx20	2012.5.14	2012.9.3		107회 (11-10)	M/H 0.18	24	4.5x4mm x 15, 4.5x2mm x 6, 2.25x2mm x 3	2012.4.10	제작중	-Die:5.9
	동부 0.35BCD	5x5mmx3	7	5x2.5mmx4, 2.5x2.5mmx3	2012.5.24	2012.8.30	BD마감 :5.24	108회 (12-1)	M/H 0.18	20	4.5x4mm x 20	2012.6.4	제작중	
TJ0.18 CIS	5x5mmx1	2	5x2.5mmx2	2012.5.7	2012.9.14	BD마감 :5.7	동부 0.35BCD		16	5x2.5mm x 2, 2.5x2.5mm x 8	2012.5.30	제작중		
112회 (12-5)	TJ0.18 BCD	5x5mmx2	2	5x5mmx2	2012.5.14	2012.9.21	BD마감 :5.14	TJ0.18 SiGe	4	2.5x2.5mm x 4	2012.7.2	제작중		
	삼성 65nm	20개서버 (4x4mm)	20	5x5mmx23	2012.6.4	2012.11.9		TJ0.18 RF	8	2.5x2.5mm x 4	2012.7.5	제작중		
113회 (12-6)	동부 0.18BCD	5x5mmx2	4	5x2.5mmx4	2012.6.20	2012.9.26		109회 (12-2)	삼성 0.13	40	4x4mm x 40	2012.8.3	제작중	
	동부 0.35BCD	5x5mmx3	8	5x2.5mmx4, 2.5x2.5mmx4	2012.7.4	2012.10.10		110회 (12-3)	동부 0.18BCD	9	5x2.5mm x 2, 2.5x2.5mm x 7	2012.7.11		
114회 (12-7)	동부 0.18BCD	5x5mmx2	2	5x5mmx2	2012.8.8	2012.11.14		* M/H = 매그나칩/하이닉스, TJ = TowerJazz * 우선/정규모집에서 마감될 경우 후기모집은 진행되지 않음. * Die-out 일정은 Diechip 제작완료 기준임 Package는 Die-out후 4주 이상 소요됨. * MPW 참여 일정 및 방법은 홈페이지(www.idec.or.kr) 참조 * 위의 내용은 4.27 기준임. 3. 2013년 MPW 공정 및 일정은 2012년 11월 이후 공지될 예정입니다.						
	M/H 0.18	4.5x4mmx20	11	4.5x4mmx11	2012.8.13	2012.12.3	후기모집 :5.1~선착순							
115회 (12-8)	삼성 0.13	4x4mmx48	21	4x4mmx21	2012.8.31	2013.1.4		* 문의 : 이의숙(042-350-4428 yslee@idec.or.kr)						
	동부 0.18BCD	5x5mmx2	5	5x2.5mmx3, 2.5x2.5mmx2	2012.9.6	2013.1.4	모집마감							
116회 (12-9)	TJ0.18 CIS	2.5x2.5mmx4	4	2.5x2.5mmx4	2012.10.15	2013.2.22		* 문의 : 이의숙(042-350-4428 yslee@idec.or.kr)						
	TJ0.18 BCD	5x5mmx2	2	5x5mmx2	2012.10.22	2013.2.29								
117회 (12-10)	TJ0.18 RF	2.5x2.5mmx4	3	2.5x2.5mmx3	2012.10.22	2013.2.29	정규모집 :~4.15	* 문의 : 이의숙(042-350-4428 yslee@idec.or.kr)						
	동부 0.35BCD	5x2.5mmx6	7	5x2.5mmx4, 2.5x2.5mmx3	2012.10.10	2013.1.16								
117회 (12-10)	동부 0.11	5x2.5mmx30	28	5x2.5mmx23, 2.5x2.5mmx5	2012.10.2	2013.2.6		* 문의 : 이의숙(042-350-4428 yslee@idec.or.kr)						
	M/H 0.18	4.5x4mmx20	4	4.5x4mmx4	2012.11.12	2013.3.4	정규모집 :~5.15							
117회 (12-10)	M/H 0.35	5x4mmx20	2	5x4mmx2	2012.11.12	2013.3.4		* 문의 : 이의숙(042-350-4428 yslee@idec.or.kr)						
	삼성 65nm	20개서버 (4x4mm)	10	4x4mmx10	2012.11.26	2013.5.3								

반도체설계교육센터 공식 트위터 오픈

소셜네트워크 시대 고객들과 원활한 커뮤니케이션을 위해 반도체설계교육센터 공식 트위터가 개설되었습니다.

공식 트위터 계정
<https://twitter.com/idecedu>

2012년 5월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

강좌 일정 |

장소	강의일자	강의제목	분류
KAIST IDEC	5월 10-12일	Mentor - Calibre xRC	Tool
KAIST IDEC	5월 14-16일	Cadence Allegro를 활용한 PCB Design	설계
KAIST IDEC	5월 21-23일	Mentor - Calibre Using nmDRC and nmLVS	Tool
KAIST IDEC	5월 30일	Mobile GPU 설계	세미나

[강의형태]
· 이론+실습

[사전지식]
· 전자회로, 회로이론 등

■ **강좌일 : 5월 21일-23일**
 ■ **강좌 제목 : Mentor - Calibre Using nmDRC and nmLVS**
 ■ **강사 : 박지훈 사원 (Mentor Korea)**

[강좌개요]
Calibre DRC/LVS의 개념과 Tool을 효율적으로 이용하는 방법, 그리 간단한 LVS Debugging 방법

[수강대상]
· Calibre DRC, LVS user

[강의수준] [**강의형태**]
· 초급 · 이론+실습

[사전지식, 선수과목]
· Basics 내용이 포함 되어있기 때문에 처음 Tool을 사용하시는 분도 가능 합니다.

■ **강좌일 : 5월 30일**
 ■ **강좌 제목 : Mobile GPU 설계**
 ■ **강사 : 남병규 교수 (충남대)**

[강좌개요]
본 강좌에서는 최근 스마트폰 애플리케이션 프로세서의 핵심부품으로 자리잡고 있는 모바일 GPU에 대한 기본이론과 알고리즘, 아키텍처 및 설계에 대하여 강의한다. GPU의 기본이론으로 3D 그래픽스 알고리즘에 대해서 설명하고 이를 기반으로 GPU 아키텍처 및 설계방법론에 대하여 강의한다.

[수강대상]
· 석·박사 대학원생 및 관련 회사원

[강의수준] [**강의형태**]
· 초중급 · 이론

[사전지식, 선수과목]
· SoC 설계, 컴퓨터구조, 컴퓨터그래픽스 등의 지식이 있으면 도움 이 됨

■ **강좌일 : 5월 10일-12일**
 ■ **강좌 제목 : Mentor - Calibre xRC**
 ■ **강사 : 이낙원 차장 (Mentor Korea)**

[강좌개요]
이 교육은 Parasitic 저항 및 커패시터를 추출하는 Calibre xRC의 사용법과 Rule File Generation에 대하여 교육 합니다. 다양한 Design Style에 맞는 Extraction 방법 (Transistor Level Extraction, Gate-Level Extraction, Hierarchical Extraction Flow에 대하여 실습 위주로 교육 합니다.

[수강대상]
· Physical Layout 담당자, 설계 담당자, CAD 담당자를 포함한 모든 Calibre DRC/LVS를 적용하는 User

[강의수준] [**강의형태**]
· 초중급 · 이론+실습

[선수과목]
· Calibre 기본적인 수행 및 debugging 능력, Calibre Using

■ **강좌일 : 5월 14일-16일**
 ■ **강좌 제목 : Cadence Allegro를 활용한 PCB Design**
 ■ **강사 : 유수일 과장(나인플러스)**

[강좌개요]
다층, 고속, 고밀도 PCB 설계에 필요한 Artwork 기법 및 Floorplaning을 통한 부품배치, 세부회로의 Driven Rule을 지정하여 설계 특성을 부여 하고 PCB Design에 효과적인 대응이 가능하도록 Artwork 능력을 개발

[수강대상]
· 학부 3, 4년 / 대학원생/ 산업체 연구원
Allegro를 이용하여 PCB설계를 하고자 하는 입문자/엔지니어 전기/전자/통신/정보통신 분야 PCB Design Solution 관심자

[강의수준]
· 초중급(회로설계에서 PCB설계까지의 기본 설계 방법)

* 문의 : 이의숙 (042-350-8536, sjlee@idec.or.kr)

IDEC EDA 툴 설치 가이드 제작

IDEC에서는 EDA 툴을 처음 사용하시는 분들을 위한 설치 가이드를 제작 하였습니다. 디지털, 아날로그 툴뿐만 아니라 그 동안 많은 문의가 있었던 라이선스에 대해서도 자세한 설명 자료를 포함하였습니다.

❖ 가이드 자료 : 동영상, PPT 문서
 ❖ 가이드 목록

1. Digital

EDA Tool명	회사명	비고
Design Compiler	SYNOPSYS	Synthesis
PrimeTime	SYNOPSYS	STA
NC_Verilog	CADENCE	Simulation
Formality	SYNOPSYS	Equivalence Check
Astro	SYNOPSYS	Layout
ICC	SYNOPSYS	Layout
StarRCXT	SYNOPSYS	Parasitic extraction
Modelsim	MENTOR	Simulation
VCS	SYNOPSYS	Simulation

2. Analog

EDA Tool명	회사명	비고
IC5141	CADENCE	Virtuoso
MMSIM	CADENCE	Simulation
Assura	CADENCE	Verification
EXT	CADENCE	Extraction
Hspice	SYNOPSYS	Simulation
Hercules	SYNOPSYS	Verification
StarRCXT	SYNOPSYS	Parasitic extraction
Calibre	MENTOR	Verification

3. License

EDA Tool명	회사명	비고
SCL	SYNOPSYS	
LCU	CADENCE	
MGLS	MENTOR	

* 자세한 사항은 IDEC 홈페이지 (<http://idec.or.kr>) 참조

NAND Flash 메모리 저장장치의 신뢰성 향상을 위한 신호처리 기술



삼성전자 DS 부문 메모리사업부
 공준진 마스터
 연구분야 : 채널코딩 (channel coding) 및 SoC 설계
 E-mail : jjkong@samsung.com



서론

NAND Flash 메모리는, 데이터를 저장하는 기본 단위인 셀 (cell) 및 어레이 (array) 구조 (그림 1)가 비교적 단순하고 집적도를 높이기 위해 유려하여 MP3 player, cellular phone 및 SSD (solid state drive) 등의 데이터 저장장치용으로 많이 사용되고 있다 (그림 2). NAND Flash에서 일반적으로 채택하고 있는 셀 구조는 부동 게이트 (FG: floating gate)인 데 여기에 전하가 차 있는지 여부에 따라 트랜지스터를 On-Off 시킬 수 있는 문턱전압 (V_{th} : threshold voltage)이 달라져 정보 저장 여부를 판별할 수 있게 된다 (그림 1). NAND Flash는, string 내에서 각각의 셀들이 직렬로 연결 (NAND logic과 같은 구조) 되어 있어서 붙여진 이름이다.

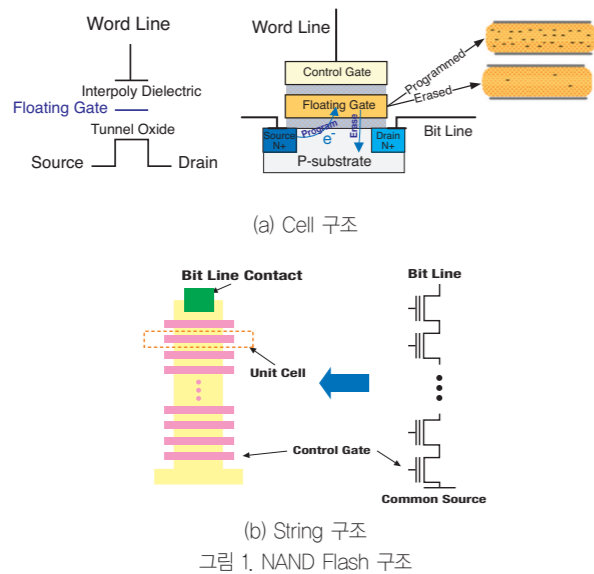


그림 1. NAND Flash 구조

본론

NAND Flash의 응용분야를 더욱더 확대시키기 위해서는 NAND Flash 제조에 필요한 비용을 줄이는 것이 필수적인데 집적도를 높여주는 것이 하나의 방법이 될 수 있다. 메모리의 집적도를 높이기 위해 대표적으로 사용되는 기법으로는 스케일링 (scaling) 및 멀티 레벨링 (multi leveling)이 있다. 스케일링은 메모리제조뿐만 아니라 로직 설계에서도 일반적으로 사용되는 기법으로 회로선폭을 줄여서 셀 및 로직의 집적도를 높이는 방법이다. 멀티 레벨링은 특히 NAND 플래시에서 유용하게 사용되고 있는데, 셀당 저장되는 정보량을 늘려 줌으로써 집적도를 높여주는 방법이다.



그림 2. NAND Flash 시장 동향 [1]

스케일링과 멀티 레벨링으로 메모리의 집적도를 높이면 가장 심각한 문제점은 메모리 자체의 신뢰성을 높은 수준으로 유지하는 것이 상당히 어려워진다는 것이다. NAND Flash 메모리의 신뢰성은 endurance와 retention으로 나타낼 수가 있는데, endurance는 메모리에 데이터를 저장하기 위한 쓰기 횟수 (P/E cycle: program-erase cycle: 플래시 메모리에 데이터를 쓰기 위해서는 이전에 저장된 데이터를 지우는 작업이 먼저 필요함) 한계를 나타내며 retention은 저장되어 있는 데이터를 얼마나 오랜 시간 동안 유지할 수 있는지를 나타내는 척도이다. 스케일링 및 멀티 레벨링이 증가할수록 메모리의 물리적인 특성 열화 및 문턱전압 분포 (산포: V_{th} distribution) 겹침이 증가하게 되어 저장된 데이터를 메모리로부터 정확하게 읽어내는 것과 저장된 데이터를 오랫동안 유지하는 것이 점점 더 어려워지게 된다.

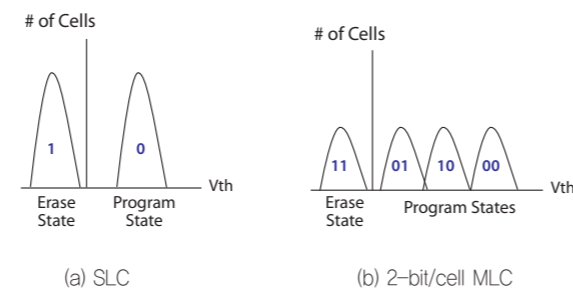


그림 3. NAND Flash의 문턱전압분포

그림 3은 SLC (single level cell: 1-bit/cell) 및 셀당 2 비트의 정보를 저장할 수 있는 2-bit/cell MLC (multi level cell)의 문턱전압 분포를 보여 주고 있다. 데이터가 저장되어 있지 않은 상태가 erase 상태이며 데이터가 저장된 상태가 program 상태이다. 셀당 1비트를

저장하는 경우, 두 개의 상태 (erase 및 program)로 구분할 수 있게 되는 데 이 경우에는 program 상태가 한 개뿐이므로 SLC라고 부른다. 2비트의 정보는 erase 상태를 포함하여 모두 네 개의 구분된 상태로 표현할 수 있으며 이 경우 program 된 상태가 두 개 이상이라 MLC라는 이름이 붙여진 것이다.

데이터 저장에 사용되는 모든 셀의 물리적인 특성이 동일하지는 않으므로 같은 데이터를 저장하더라도 상태가 달라져 그림 3과 같은 분포를 갖게 되며 심할 경우 상태가 서로 겹치게 되어 각 셀에 저장된 데이터를 구분하는 것을 어렵게 만든다. 또한, 셀당 저장되는 비트 수를 증가시킬수록 동일한 전압창 (voltage window)에 더 많은 program 상태가 들어가게 되므로 산포겹침이 더욱 증가하게 되어 정확한 데이터를 읽어내는 것이 점점 더 어려워진다. 물론, scaling에 의해 cell 간 간격이 줄어들면서 각 cell 간의 interference도 증가하게 되어 신뢰성이 저하하게 된다.

■ 메모리 신뢰성 향상을 위한 신호처리 기술

NAND Flash를 저장장치로 사용하기 위해서는 저장된 데이터의 신뢰 수준이 응용 시스템으로 요구되는 신뢰 수준을 만족할 수 있어야 한다. 초창기의 NAND Flash는 비교적 선풍적인 공정을 사용하는 SLC이었기에 NAND Flash 자체의 신뢰도 수준이 요구되는 신뢰도 수준을 만족할 수 있었다 (그림 4의 A 영역). 집적도를 높이기 위해 scaling 및 MLC가 진행되면서 NAND 자체의 신뢰도 수준은 ECC를 사용하지 않으면 요구되는 신뢰도 수준을 만족하게 할 수 없게 된 것이 현재 상황 (그림 4의 B 영역)이며 이보다 집적도가 더 높아진 제품은 ECC만으로도 요구되는 신뢰도 수준을 만족하게 할 수 없게 되어 ECC 외의 다른 신호처리 기법도 함께 필요할 경우 (그림 4의 C 영역)가 발생할 수도 있다.

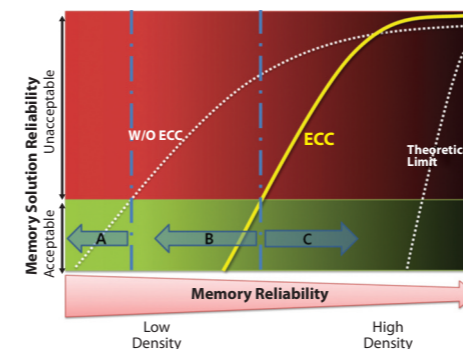


그림 4. 메모리 집적도별 신뢰성과 신호처리 기술

신뢰성 저하를 해결하기 위해서는 메모리 제조에 사용되는 재료, 공정 및 설계기술의 향상이 필수적이지만 이외에도 통신 시스템 등에서 일반적으로 사용되고 있는 채널 신호처리 기법 (channel signal processing)들이 사용될 수 있다. 즉, 통신 시스템에서 주로 사용되는 오류제어부호 (error control code: 채널에서 발생하는 오류를 제어하기 위해 사용) 와 변조 (modulation: 채널 특성에 맞도록 데이터를 변경해 주는 방법) 기법들을 메모리의 신뢰성을 높이는 데 적용할 수 있다. 물론 메모리 채널 특성 및 요구사항들은 일반적인 통신 채널 특성과 다르므로 통신 채널에 사용되는 기법들을 그대로 사용할 수는 없지만 많은 개념을 빌려다 사용하는 것이 가능하다 (그림 5).

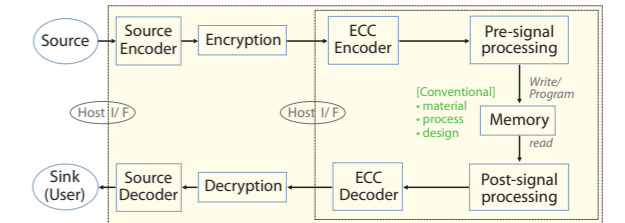


그림 5. 메모리용 신호처리기술 [5]

■ 메모리 오류제어 기술

메모리 저장장치에서는, 데이터를 저장할 경우에 발생할 수 있는 program 오류, P/E cycling이 증가하거나 FG에 저장된 전하가 누설 (charge loss) 되어 발생하는 오류 및 메모리로부터 데이터를 읽어낼 때 발생하는 오류 등 여러 가지 요인에 의해 오류가 발생할 수 있다. 이러한 오류들은 다양한 방법으로 제어할 수 있으나 메모리 저장장치는 통신 시스템이나 magnetic/optical 저장장치와는 다른 특성을 나타내므로 기존 기법들을 그대로 적용하는 것은 적절하지 않다.

데이터 저장장치에서는 데이터를 읽어내는 시점이 데이터를 저장하는 시점과 차이가 크게 나는 것이 일반적이므로 ARQ (automatic repeat request) 또는 Hybrid-ARQ (FEC + ARQ) 방식을 사용하는 것이 매우 제한적이지만 FEC (forward error correction) 방식은 비교적 쉽게 사용할 수 있다.

메모리에서 데이터를 읽어낼 때 발생하는 오류는 random 특성이 있으므로 HDD (hard disk drive) 또는 optical storage에서 일반적으로 사용되는 RS (Reed-Solomon) 부호 대신에 BCH (Bose-Chaudhuri-Hocquenghem) 부호가 주로 사용되고 있다. 데이터



저장장치에서는 FEC 방식과 함께 저장된 데이터를 반복해서 읽어냄으로써 읽어낸 데이터의 오류를 줄여 주는 기법이 널리 사용되고 있는데 이 기법은 메모리 저장장치에도 적용될 수 있다.

NAND Flash의 집적도가 향상되면서 메모리 자체의 신뢰도가 낮아짐에도 응용시스템에서 요구되는 신뢰성 수준은 낮아지지 않으므로 LDPC (low density parity check) 부호와 같이 BCH 부호보다 정정능력이 우수한 ECC를 필요로 하는 경우도 발생한다. LDPC 부호가 BCH보다 우수한 정정 능력을 발휘하기 위해서는 저장장치로부터 soft decision data를 얻어내야 하는 데 이러한 정보를 얻어내는 것이 통신시스템 및 magnetic/optical 저장장치 대비 쉽지 않으므로 이를 효율적으로 얻어내려는 방법들에 대한 연구도 필요하다.

메모리 저장장치에서 ECC를 적용하는 데 또 다른 제약 사항은 매우 높은 부호율을 갖는 ECC를 사용해야 한다는 것이다. 통신 시스템에서는 1/2 또는 1/3 정도의 부호율을 갖는 ECC를 사용하여도 별문제가 없지만, 메모리 저장장치에서는 일반적으로 0.8 이상의 ECC가 사용된다. 이는, 집적도를 높여서 메모리 제조비용을 줄이는 것이 목적인데, ECC 부호율을 낮추게 되면 ECC parity 저장을 위한 spare cell을 늘려야 하므로 집적도를 높이는 효과가 줄어들게 되기 때문이다.

■ Randomizer

NAND Flash에 기록되는 정보는 이진 데이터로 0 또는 1이 저장되지만 0이 연속으로 혹은 1이 연속으로 저장될 수 있다. 이런 경우 pattern에 의한 영향으로 NAND Flash의 신뢰성이 악화될 수 있지만 randomizer를 사용하면 0과 1의 발생확률을 균등하게 하여 특이한 형태의 입력을 막을 수 있기 때문에 전체적으로 신뢰성을 향상할 수 있다. 즉, 각 state 별 cell의 개수가 균등하게 분포한다면 state 별 산포의 변화가 최소화되기 때문에 cell 간 coupling 효과가 작아지게 되어 error 발생확률이 낮아지게 된다.

NAND Flash에 저장되는 데이터가 규칙적인 pattern이라면 back pattern dependency나 coupling으로 나타나 신뢰성 저하를 야기하는데 이를 완화해주는 역할을 randomizer가 하게 된다. Back pattern dependency는 random program이나 page 순서에 의한 min-max program시 먼저 program 된 cell이 주위 다른 cell의 계속되는 program 때문에 string의 저항 성분이 증가하고 이 때문에 read 동작 시의 V_{th} 상승을 가져오는 것을 말한다. 다시 말해서, NAND Flash program/read 동작 시 동일 WL (word line) / BL (bit line) 내의 인접한 cell state의 pattern에 따라 cell V_{th} 가 변하는 현상이다.

Randomizer를 사용해서 모든 최악의 pattern (worst case pattern)를 막을 수 있는 것은 아니지만, 전형적인 worst case pattern이 발생할 확률을 줄일 수 있다. 좋은 pattern과 나쁜 pattern의 발생확률은 확률 관점에서 동일하지만 randomizer를 적용함으로써 좋은 pattern과 나쁜 pattern이 미치는 영향을 완화할 수 있다. 특히 나쁜 pattern의 영향이 줄어들기 때문에 신뢰성 향상도 randomizer가 이바지를 하게 된다. 메모리에서의 cell은 2차원적으로

배열되어 있으므로, randomizer 역시 WL 방향 및 string 방향으로 random 특성을 갖도록 설계되어야 충분한 효과를 얻을 수 있다. 그림 6은 2-bit/cell MLC NAND Flash에 randomizer를 적용한 예를 나타내는 것으로 적용 전에는 erase (E)와 P2 상태 (E-P2 pattern)가 각각 50%씩이었던 것이 적용 후에는 4가지 state가 골고루 나타나는 것을 보여 주고 있다.

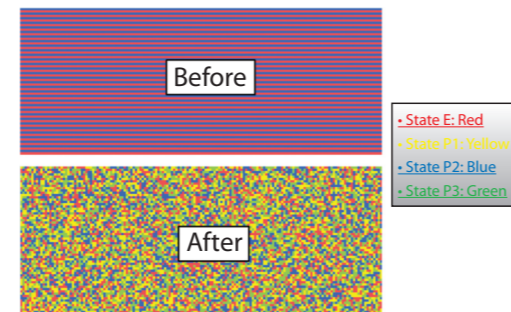


그림 6. Randomizer 적용 예 [5]

■ Read Level Control

NAND Flash로부터 데이터를 읽어내는 방식에 따라 메모리 자체의 오류 수준이 달라질 수 있는데, 이는 ECC의 동작영역을 확보하는 데에도 매우 중요한 역할을 한다. NAND Flash 메모리로부터 데이터를 읽어낼 때 error가 적게 발생하도록 읽어내는 방법에 대해서는 많은 연구가 진행되고 있는데, 여기서는 LPF (low pass filter)를 적용하여 local minima를 제거하여 효율적인 read level을 찾는 방법을 소개하고자 한다. 그림 7에서 파란색 선은 LPF 적용 전의 산포를 나타내며 빨간색 선은 LPF를 적용한 후의 산포를 나타내는 데, LPF 적용 후에는 high frequency 성분인 local minima가 제거되는 것을 볼 수 있다.

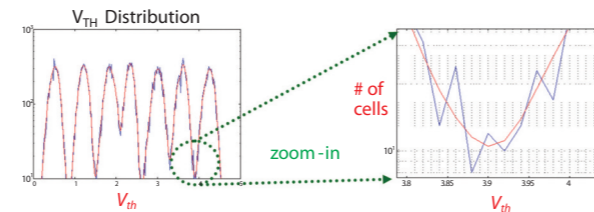
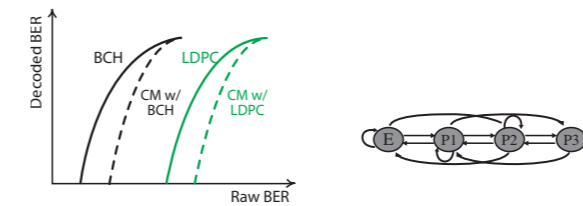


그림 7. LPF 적용 예 [5]

■ 기타 신호처리 기술

위에서 언급된 기술 이외에도 NAND Flash의 신뢰성 향상을 위해 coded modulation, modulation coding 등이 연구되고 있다. Coded modulation은 bit-to-signal (program state) mapping과 ECC를 효율적으로 결합하여 신뢰성을 향상하는 신호처리 기법으로, 그림 8 (a)와 같이 ECC와 modulation의 결합을 통해 신뢰성 이득을 얻을 수 있다. 특정 데이터 패턴에 의한 신뢰성 저하를 방지하기 위해서 modulation coding도 고려되고 있다. 그림 8 (b)는 E 상태와 P3 상태가 연속적으로 나타나는 패턴을 방지하기 위한 modulation code 설계의 예제이다.



(a) Coded modulation 적용 효과 (b) Modulation Code 예

그림 8. 기타 신호처리 기술 [8, 9]

■ Flash 메모리 컨트롤러

위에서 언급된 ECC 및 신호처리 기법들은 hardware 또는 software 형태로 controller (그림 9의 NAND Array Controller) 또는 NAND Flash 내부에 구현될 수 있다.

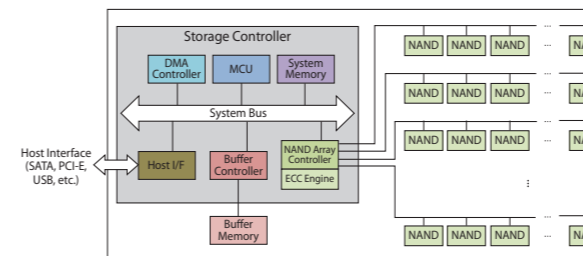


그림 9. Flash 메모리기반 저장장치 [10]

결론

본고에서는 NAND Flash의 집적도를 높이기 위해 일반적으로 사용되고 있는 scaling 및 multi-leveling 기법을 소개하고 이에 따르는 신뢰성 저하문제 및 이를 해결하기 위한 일부 기술들에 대하여 살펴 보았다. 통신 시스템 및 magnetic/optical 저장장치에서 일반적으로 사용되고 있는 ECC 및 channel 신호처리 기법들을 적용하는 것이 가능하나 메모리 채널 특성에 맞추어 변경하는 것이 필수적이다.

본문에서 언급된 ECC, randomizer 그리고 read level control 및 coded modulation 등의 기술들은 NAND Flash의 신뢰성 향상을 위해서 적용된 신호처리 기술들인데, eMMC (embedded multimedia memory controller) 및 SSD와 같은 응용제품의 신뢰성까지 고려된 시스템 레벨의 신호처리 기술들도 함께 연구하여야 한다.

Reference

- [1] 안근욱, 메모리용 오류정정기술 워크샵, 대한전자공학회, 2011.10.26
- [2] B. Ricco, G. Torelli, M. Lanzoni, A. Manstretta, H. E. Maes, D. Montanari, and A. Modelli, "Nonvolatile Multilevel memories for digital applications," Proc. IEEE, vol. 86, pp. 2399-2423, Dec. 1998.
- [3] C. Trinh, N. Shibata, T. Nakano, M. Ogawa, J. Sato, Y. Takeyama, et al., "A 5.6MB/s 64Gb 4b/cell NAND flash memory in 43nm CMOS," ISSCC Dig. Tech. Papers, pp. 245-246, Feb. 2009.
- [4] K. Prall, "Scaling nonvolatile memory below 30nm," in Tech. Dig. Nonvolatile Semiconductor Memory Workshop, pp. 5-10, 2007.
- [5] 공준진, 메모리용 오류정정기술 워크샵, 대한전자공학회, 2011.10.26
- [6] Hongchao Zhou, Anxiao Jiang, and Jehoshua Bruck, "Error-Correcting Schemes with Dynamic Thresholds in Nonvolatile Memories," in Proc. ISIT2011, Aug. 2011.
- [7] F. Sun, K. Rose, and T. Zhang, "On the Use of Strong BCH Codes for Improving Multilevel NAND Flash Memory Storage Capacity," IEEE Workshop on Signal Processing Systems (SiPS): Design and Implementation, Oct. 2006.
- [8] 설창규, 유영진, 손홍락, 공준진, "A Novel Coded Modulation Scheme for Reliability Improvement of NAND Flash Memory System" 한국반도체 학술대회, Feb. 2012
- [9] 김용준, 손홍락, 김재홍, 조경래, 공준진, 이재진, "RLC Codes for Flash Memory," 통신정보융합기술대회, April. 2010
- [10] 송용호, 메모리용 오류정정기술 워크샵, 대한전자공학회, 2011.10.26

보행자 인식 기술 동향



한양대 지능형 차량용 SoC 플랫폼 센터
(http://idec.hanyang.ac.kr)
주 소 : 경기도 안산시 상록구 사3동
한양대학교 에리카캠퍼스 3공학관 321호
CEO : 신현철 교수
shin@hanyang.ac.kr
행정팀 : 윤진은 행정원
jeyun@idec.hanyang.ac.kr
031-400-4079

이진우 2011

서론

보행자 인식 기술은 컴퓨터 비전 기술의 핵심적인 부분이며 삶의 질에 직접적인 영향을 준다. 매년 교통사고가 사망자 수가 120만 명에 이르는 상황에서 이 기술은 지능형 차량에 중요한 기술이며, 첨단 운전 보조장치 외에는 로봇기술, 감시시스템, 콘텐츠 기반 색인 작성 등 다양한 분야에 응용할 수 있다. 근래에 컴퓨터 비전을 기반으로 하는 많은 차량, 보행자 인식 기술들이 제안되었다. 여기에서는 monocular 카메라를 이용한 보행자 인식에 초점을 맞추어 기술동향을 소개하고자 한다. 여러 가지 스타일의 의상을 착용하고 다양한 포즈를 취할 수 있는 보행자를 인식한다는 것은 아주 도전성이 있는 연구과제이다.

본론

보행자 인식 기술의 성능은 기계학습 알고리즘과 특징의 묘사 두 가지 요인에 의하여 결정된다. 이미지의 휘도 값, Haar Wavelets, Histogram of Oriented Gradients (HoG), 경계선, 형태의 맥락, 기울기 값의 매그니튜드와 칼라의 형태 등 다양한 특징들이 활용되고 있다. 그림 1에서는 보행자 인식에 응용되는 여러 가지 특징들을 나열하였다. 최근의 상당한 연구를 거쳐 이 두 가지 요인에서 진척이 이루어지고 있으며, 아래와 같이 기술 동향을 요약할 수 있다.

비전을 기반으로 하는 방법은 먼저 이미지의 특징공간을 정의한다. 사용할 특징의 기술자(descriptor)를 결정한 후 분류기로 각각 보행자 이미지와 비 보행자 이미지를 이용하여 학습한다. 흔히 이용하는 분류방법에는 Support Vector Machine (SVM)과 Adaboost 등이 있다. 전에는 신경망회로도 사용되었으나 SVM이 성능이 나은 것으로 알려지면서 흔히 사용된다.

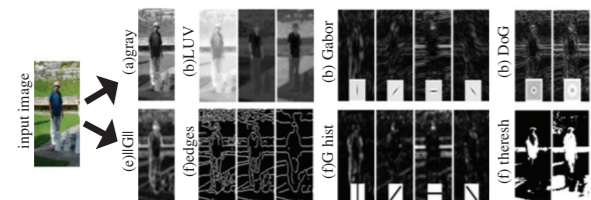


그림 1. 여러가지 보행자 인식 방법 (a) gray image (b) LUV color space (c) images convolved with 4 oriented Gabor filters (d) images convolved with Difference of Gaussian (DoG) at different scales (e) gradient magnitude (f) edges with different thresholds (g) gradient histogram (h) binary images with different thresholds.

학습을 거친 후 최적화된 검출기를 이용하여 테스트 이미지에서 window - sliding하는 방식으로 검출기와 매칭이 되는 부분을 찾아내어 보행자인지를 판단하여 인식한다. 이런 방식은 객체분리 및 요점 (keypoint) 기반의 방법의 단점을 보완할 수 있다. 그림 2는 보행자 인식의 일반적 과정 및 보행자 인식 결과를 보여준다.

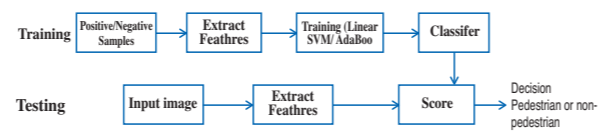


그림 2. 보행자 인식의 일반적 과정

Papageorgiou와 Poggio는 최초로 완벽한 multi - scale Haar Wavelets과 SVM을 결합한 window - sliding 방법을 제안하였다. 그 뒤를 이어 Viola와 Jones는 연산량이 적은 integral image를 이용한 cascade 구조를 가진 효과적인 검출과 Adaboost를 이용한 자동 특징 선택 기법을 소개하였다. 이는 물체인식의 후속 연구의 기반으로 될 수 있을 만큼 큰 기여이다. 하지만 Haar Wavelets은 보행자 인식에서 매우 강인하고 신뢰성이 높은 특징은 아니다.

그 후에 소개된 기울기 기반의 특징들이 큰 기여도를 보였다. Dalal와 Triggs는 Scale Invariant Feature Transform에서 영감을 받고 Histogram of Oriented Gradients (HoG)를 인식에 도입함으로써 밝기 변화 기반의 특징에서 본질적인 향상을 보여주었다. 각각의 셀에서는 9개의 방향으로 HOG를 계산한다. 그림 3 (a)에서와 같이 검출 window는 2*2개의 셀들로 구성되었고, 이 4개의 셀은 합쳐져서 sliding window를 형성한다. 각각의 셀에서는 9개의 방향으로 HoG를 계산한다. 그림 3 (b)에서는 입력 영상과 7*15개 블록의 HoG descriptor를 보여준다. 이러한 특징들은 SVM에서 사용된다.

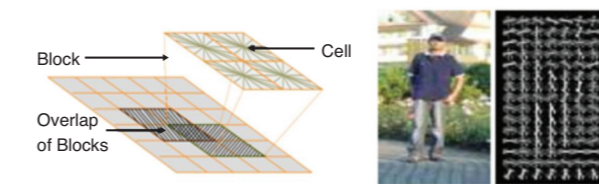


그림 3. (a) HoG의 기본 구조 (b) 입력 이미지 및 HoG 기술자

SVM은 다차원에서 분류 작업에 쓰이는 초평면 (hypothesis) 또는 초명면 (hypothesis) 상에서 집합을 형성한다. 성능이 좋은 분류기의 경계면은 제일 가까운 트레이닝 데이터 포인트에서 떨어진 거리 (functional margin이라고도 함) 가 제일 크다. 보통 이런 margin이 클수록 분류기의 일반적 오차가 작다. Margin 선위에 있는 샘플들을 support vector이라고 한다. 그림 3은 SVM의 일반적인 예를 보여준다.

그림 4 (a)에서 녹색 선분 H3은 두 그룹의 샘플들이 분류하지 못하고 파란색 선분 H1은 작은 마진을 가지면서 분류하였고 빨간색 선분 H2는 최대 마진을 가지면서 샘플을 분류하였다. 그림 4 (b)에서 최대 마진을 가지는 두 그룹을 분류하기 위한 경계면 wx-b=0을 보여준다. 실선 양쪽의 있는 점선 위에 있는 점들을 support vector이라고 한다.

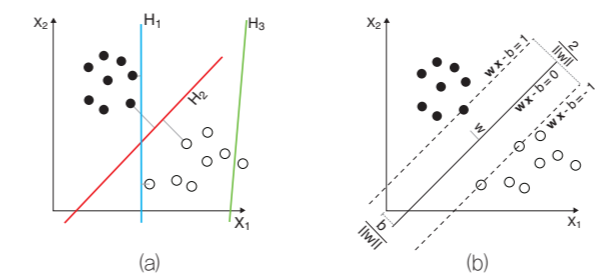


그림 4. SVM 분류기

Zhu는 integral histograms과 Adaboost를 이용하여 HoG 추출 효율을 높였다. 그림 5에서 보인 바와 같이 SVM으로부터 얻어진 약 분류기들이 cascade 구조를 형성하여 보행자가 들어있지 않는 window는 미리 초기 단계에서 거부함으로써 검출 시간을 줄일 수 있다.

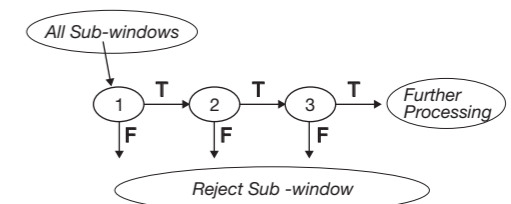


그림 5. Cascade 구조

Adaptive Boosting (AdaBoost)는 다음 식에서처럼 많은 약 분류기를 합쳐서 하나의 강 분류기로 만들어 분류하는 기계학습 알고리즘이다.

$$f(x) = \sum_t \alpha_t h_t(x) \quad (1)$$

위의 식 (1)은 약 분류기를 합성하여 강 분류기를 만드는 수식을 나타낸다. $h_t(x)$ 는 약 분류기를 나타내고 α_t 는 해당 가중치를 나타내고 t 는 강 분류기로 합성될 약 분류기의 수량이며 $f(x)$ 는 최종 합성된 강 분류기이다.

결론

이제까지 보행자 인식에 관한 연구는 매우 다양하게 진행되어 왔다. 지금까지 여러 특징 중에 HoG가 가장 좋은 성능을 보이고 있다. 추가적인 특징은 인식에 보조적인 정보를 제공할 수 있다. 성능이 제일 좋은 몇 가지 방법은 많은 요소에서 공통한 점을 가지고 있다. 요즘 거의 모든 검출기는 gradient histograms를 사용하고 있고 추가로 성능이 제일 좋은 검출기는 여러 가지 신호를 결합하는 방법을 채용하고 있다. Support vector machines 과 boosting은 변형에 강인한 전용적인 분류 방법 개발에 사용된다.

최신 기술의 요약으로부터 보자시피 보행자 인식기술은 상당한 속도로 발전하고 있다. 초기의 간단한 알고리즘으로부터 최근의 효과적인 알고리즘에 이르기까지 현저한 발전을 가져왔지만, 아직도 많은 발전 여지가 있으며 새로운 보행자 검출기에 대한 획기적인 발전과 상용화를 기대한다.

3차원 비디오 압축 기술: MPEG 3DV 표준화



광주과학기술원 정보통신공학부
 호요성 교수
 연구분야 : 영상신호처리, 영상압축, 3DTV, MPEG/HEVC
 E-mail : hoyo@gist.ac.kr
 http://vclab.kjist.ac.kr/



서론

3차원 비디오 압축 기술의 필요성과 목적

다시점 영상을 이용한 3차원 비디오(three-dimensional video, 3DV)는 현실 세계를 재구성한 콘텐츠로 현실감 있는 3차원 영상을 사용자에게 제공할 수 있기 때문에 차세대 영상기술로 각광받고 있다 [1]-[6]. 3차원 비디오는 2차원 비디오와는 달리 두 시점 이상의 영상을 이용하여 3차원 장면의 깊이감을 제공하기 때문에, 사용자에게 보다 실감 나는 영상을 제공한다. 사용자가 입체감을 느끼는 기본 원리는 약 5.5cm의 간격을 두고 있는 두 눈으로부터 좌우 영상을 각각 받아 뇌가 영상의 시차를 인식하여 입체감을 감지하는 것이다.

최근의 3차원 영상기술은 단순히 두 시점의 영상으로 구성된 스테레오 오스코픽 영상이 아니라, 다시점 카메라로 획득한 다시점 영상을 이용하여 사용자가 원하는 시점에서의 영상을 선택적으로 재생하거나, 다시점 입체영상 장치에 이용하여 더욱 편안한 입체영상을 제공할 수 있다. 최근 연구되고 있는 3차원 비디오 기술은 다시점 카메라로 획득한 다시점 영상을 이용하여 현실 세계를 재현한다 [7]. 그러나 모든 시점에 대해 다시점 카메라로 촬영하는 것은 한계가 있고 영상의 전송 측면에서도 비효율적이기 때문에, 카메라로부터의 거리 정보를 나타내는 깊이 영상을 이용하여 전송하는 시점의 수를 줄이고, 재현단에서는 임의의 시점 영상을 합성함으로써 실제 카메라의 수보다 더 많은 시점을 생성하는 방법을 사용한다 [8].

국제 표준화 기구인 MPEG(Moving Picture Experts Group)의 3차원 비디오 부호화 (3D Video Coding, 3DVC) 그룹에서는 깊이 영상을 포함한 3차원 비디오 데이터에 관한 데이터 형식을 정의하고 효과적인 부호화 기술들을 표준화하는 활동을 진행하고 있다. 2011년 3월에 열린 제96차 MPEG 회의에서는 다시점 비디오 영상을 효율적으로 부호화하고 고품질의 중간 영상을 만들기 위한 3차원 비디오 부호화 표준을 만들기 위해 제안요청서가 배포되었다 [9]. 이로 인해, 국내외 다양한 연구 기관에서 본격적으로 3차원 비디오 부호화에 대한 기술들이 제안되었고 기술별로 성능을 검증하고 있다. 본 원고에서는 현재까지 진행된 3차원 비디오 부호화 기술 동향 및 주요 기술들을 살펴보고자 한다.

본론

3차원 비디오 압축 기술의 요구사항

2009년 2월 MPEG 표준화 회의에서는 새로운 3차원 비디오 포맷에 대한 비전이 제시되었다 [10]. 새롭게 제시된 3차원 비디오 포맷은

현재까지 진행된 국제 표준의 기능을 넘어, 스테레오 디스플레이뿐만 아니라 다시점 디스플레이 장치까지도 지원할 수 있는 보다 진보되고 상호 사용이 가능한 기술들을 포함한다. 그림 1은 3차원 비디오 포맷을 도식화한 것이다. 그림 1에서 알 수 있듯이, 새롭게 제시된 3차원 비디오 포맷은 제한된 수의 카메라를 이용하여 스테레오 디스플레이와 다시점 디스플레이에 모두 사용할 수 있어야 한다.

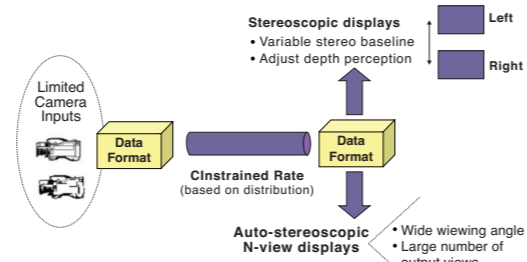


그림 1. 3차원 비디오 포맷

현재까지 앞서 언급한 조건을 충족할 수 있는 3차원 비디오 포맷은 2D+깊이 영상과 다시점 비디오가 있다. 그림 2는 두 포맷에 대해 비트율과 렌더링 성능을 비교하고 있다. 2D+깊이 영상은 단일 시점의 색상 영상과 이에 대응하는 깊이 영상을 이용하여 스테레오 영상 및 다시점 영상의 생성이 가능한 포맷으로서, 현재의 비디오 포맷과 호환이 가능하지만, 시야각(viewing angle)이 좁고 폐색 영역(occlusion)을 처리하기 어렵다는 단점이 있다. 반면, 다시점 비디오는 다시점 카메라로부터 획득한 여러 시점의 영상을 이용하여 3차원 장면을 생성하는 포맷으로서, 2D+깊이 영상과는 반대로 넓은 시야각을 제공할 수 있지만, 데이터양이 카메라 수에 비례하여 증가하기 때문에 효율적인 부호화 기술이 요구된다.

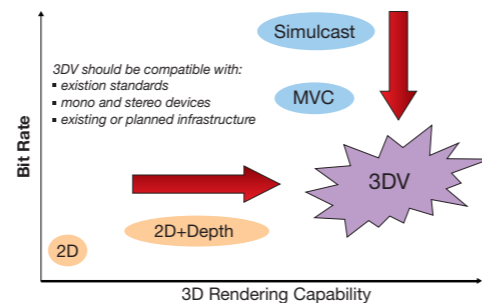


그림 2. 2D+깊이 영상 포맷과 다시점 포맷의 비트율과 렌더링 성능에 대한 비교

3차원 비디오 압축 주요 기술

2012년 2월에 열린 MPEG 회의에서는 여러 연구 기관에서 제안한 다양한 부호화 기술에 대해 평가하고, 향후 표준화 작업의 수행 방법에 대해 논의를 했다. 특히, 기술의 유사성을 고려하여 다양한 핵심 실험 (core experiment, CE) 그룹을 구성하고, 해당 기술들에 대한 평가를 진행했다 [11]. 그리고, 지난 2012년 1월에 열린 회의에서는 CE별로 수행된 실험 결과를 평가 및 검토했다. 표 1은 현재까지 구성된 CE를 정리한 것이다. 본 장에서는 지난 회의의 결과를 바탕으로 기술별 주요 연구 내용을 간략히 살펴본다.

분류	기술 내용
CE1	영상 합성 예측 기술 - AVC 기반 연구 - HEVC 기반 연구
	깊이 영상 표현 방법과 부호화 기술 - AVC 기반 연구 - HEVC 기반 연구
CE3	루프 내 깊이 영상 해상도 변환 기술 - AVC 기반 연구 - HEVC 기반 연구
CE4	깊이 영상을 위한 루프 내 필터링 기술 - AVC 기반 연구 - HEVC 기반 연구
CE5	움직임/모드 매개변수 예측 기술 - AVC 기반 연구 - HEVC 기반 연구
CE6	깊이 영상의 인트라 예측 기술
CE7	전역적 깊이 값을 이용한 예측 기술
CE8	합성 영상의 비트율-왜곡을 이용한 부호화 기술 - AVC 기반 연구 - HEVC 기반 연구

표 1. CE에 구성된 주요 기술들

공동 실험 조건 및 테스트 영상

2012년 2월 MPEG 회의에서는 3차원 비디오 부호화 실험을 위한 공동의 실험 조건을 명시했다 [12]. 기본적인 부호화 구조는 다음과 같다. 시점 간 부호화 구조는 3-시점일 경우 중-좌-우, 2-시점일 경우 우-좌 시점 순서대로 부호화 순서를 정했고, 시간 예측 구조는 GOP(Group of Pictures)=8, 임의의 접근을 위해 24 프레임마다 인트라 화면을 삽입하는 구조가 되도록 정했다. 표준화 작업을 진행하기 위해서는 테스트 영상이 통일되어야 한다.

부호화 테스트에 사용되는 다시점 색상 영상과 깊이 영상은 YUV 4:2:0 포맷으로 각 화소당 8비트로 표현된다. 표 2는 현재 부호화 기술에 사용되는 테스트 영상을 정리한 것이다. Nokia가 제공한 'Undo_Dancer'와 'GT_Fly'는 컴퓨터 그래픽으로 만들어진 영상들

로, 정확한 깊이 영상이 함께 배포되었다. 그 외의 영상들은 실제 다시점 카메라로 획득한 영상이며, 깊이 영상은 깊이 측정 소프트웨어인 DERS(Depth Estimation Reference Software)를 이용해서 획득했다 [8]. 여기서 2-시점과 3-시점 카메라 구조는 각각 양안식 디스플레이와 다시점 디스플레이 시스템을 고려한 시나리오이다. 2-시점과 3-시점 시나리오는 부호화해야 할 시점의 수가 다르므로 부호화 과정에서 이용되는 예측 구조가 다르다. 2-시점에서는 시점 방향으로 I-P 구조를 사용하고, 3-시점에서는 시점 방향으로 I-B-P 구조를 사용한다. 그림 3은 각 테스트 영상을 보여준다.

클래스	Seq. ID	테스트 영상	2-시점	3-시점	제공 기관	해상도
A	S01	Poznan_Hall2	7-6	7-6-5	Poznan	1920x1088
	S02	Poznan_Street	4-3	5-4-3	Poznan	
	S03	Undo_Dancer	2-5	1-5-9	Nokia	
	S04	GT_Fly	5-2	9-5-1	Nokia	
C	S05	Kendo	3-5	1-3-5	Nagoya	1024x768
	S06	Balloons	3-5	1-3-5	Nagoya	
	S07	Newspaper	4-6	2-4-6	GIST	
	S08	Newspaper	4-6	2-4-6	GIST	



그림 3. 7개의 테스트 영상

영상 합성 예측 기술

삼성전자와 Mitsubishi 연구소 등과 같은 많은 연구 기관에서는 깊이 영상을 활용한 영상 합성 예측 기술을 제안했다. 이 기술은 깊이 영상을 이용하여 부호화 할 인접 시점의 영상을 합성하고, 합성한 영상을 부가적인 참조 영상으로 활용하는 것이다. 합성한 영상은 부호화 할 시점과 객체의 위치가 동일한 장점이 있으므로 합성한 영상을 움직임 예측 없이 바로 'SKIP' 하는 예측 방법을 제안했다. 이러한 방법은 색상 영상뿐만 아니라 깊이 영상 부호화에도 적용할 수 있다. 또한, AVC-호환과 HEVC-호환 기술에 적용한 기관이 많았다.

하지만, 이 방법은 복호기에서 영상 예측을 다시 수행해야 하므로 복잡도가 증가하는 단점을 가진다. 이에 각 연구 기관은 이 방법의 복잡

도를 측정하여 부호화 결과와 함께 비교했다. 이 기술은 CE1으로 구성되어 AVC-호환 및 HEVC-호환 기술을 동시에 평가할 예정이다.

■ 깊이 영상 표현 방법과 부호화 기술

CE2는 깊이 영상의 표현 방법과 부호화 방법에 대한 실험 그룹이다. 폴란드의 Poznan 대학에서는 실제 깊이 값을 깊이 영상으로 변환할 때 사용하는 선형적 깊이 값 변환 방법을 이용하는 것이 아니라 인간의 깊이 인지력을 고려하여 비선형적으로 깊이 값을 변환해야 한다고 제안했다. 이 방법은 아직 구체적인 실험결과가 제시되지 않아 향후 실험결과가 제시될 것으로 기대된다. 또한, 삼성전자에서는 깊이 영상을 부호함에 있어서 깊이 값의 차이가 큰 깊이 값 경계 부근에서는 양자화 매개변수를 작게 설정하여 고화질로 부호화하고, 그렇지 않은 영역에 대해서는 양자화 매개변수를 크게 설정하여 저화질로 부호화하는 방법을 제안했다. 그림 4는 해당 기술에 대한 블록 다이어그램을 나타낸다.

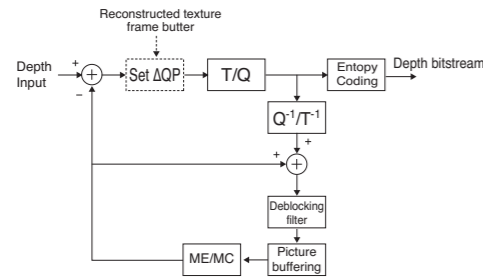


그림 4. 깊이 영상 부호화를 위한 적응적 양자화 방법

■ 루프 내 깊이 영상 해상도 변환 기술

깊이 영상은 임의의 중간시점의 영상을 생성하기 위하여 이용된다. 그러므로 깊이 영상의 화질이 생성한 중간시점의 영상의 화질에 영향을 크게 주지 않는 범위에서 다양한 영상 처리 방법이 허용된다. 이러한 맥락에서 CE3는 깊이 영상의 효율적인 부호화를 위하여 깊이 영상의 크기를 변경하여 부/복호화하는 방법을 실험한다. 그림 5는 깊이 영상 변환 방법을 이용한 부호화 방법을 설명한 것이다. 입력받은 깊이 영상의 해상도를 줄인 다음 부호화하고, 복호기에서 복원한 깊이 영상을 원래의 해상도로 확대한다. 이때 영상합성의 화질에 영향을 최소화하는 업/다운 샘플링 방법이 요구된다.

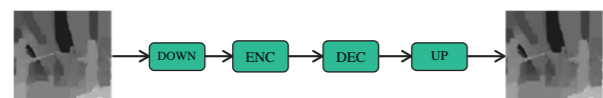


그림 5. 깊이 영상 해상도 변환을 이용한 부호화 방법

■ 움직임/모드 매개변수 예측 기술

CE5에서는 깊이 영상과 색상 영상 간의 부호화 과정에서 발생할 수 있는 공통적인 움직임 정보나 모드 정보를 공유하는 방법이 고려되고 있다. 그림 6은 Sony가 제안한 방법으로, 색상 영상을 먼저 부호화하고 이 때 결정된 부호화 정보를 깊이 영상 부호화 과정에서 재사용하는 방법을 보인 것이다. 이와는 반대로 깊이 영상을 먼저 부호화하고 이 때 결정된 부호화 정보를 색상 영상을 부호화할 때 재사용하는 방법도 가능하다. 이 방법은 현재 AVC-호환과 HEVC-호환 기술이 모두 제시되어 동시에 평가하고 있다.

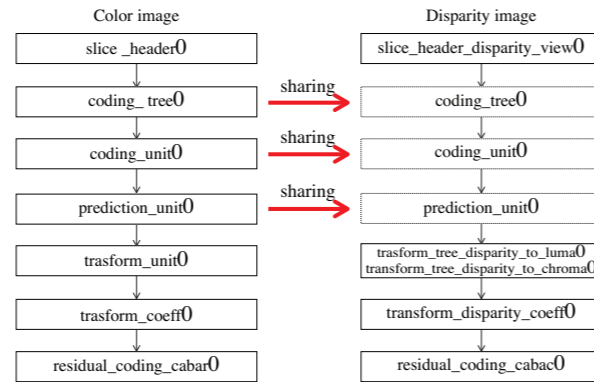


그림 6. 움직임 정보와 모드 정보를 공유하는 부호화 방법

■ 깊이 영상의 인트라 예측 기술

CE6에서는 AVC-호환의 인트라 예측 방법이 평가되고 있다. AVC에서는 시간적 예측이 아닌 인트라 예측을 수행할 때 현재의 블록의 예측 방향을 인접 블록의 예측 방향을 이용하여 예측한다. 중국의 Zhejiang 대학에서는 그림 7과 같이 인접 블록의 깊이 값 변화도를 이용하여 예측 방향을 결정한다. 그리고 삼성전자에서는 영상 분할(image segmentation)을 이용하여 영상을 두 영역으로 분할하고, 각 영역의 대표 값을 부호화하는 방법을 제안했다. 이와 유사하게 일본의 NTT에서는 주변의 참조 화소의 평균값과 분산 값을 계산하여 현재 블록을 전경 깊이 값과 배경 깊이 값으로 구분하여 부호화하는 방법을 제안했다.

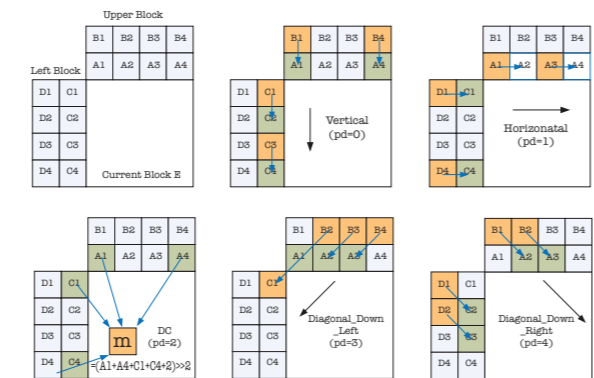


그림 7. 깊이 영상 부호화를 위한 인트라 예측 방법

■ 전역적 깊이 값을 이용한 예측 기술

CE7에서는 전역적 깊이 값을 이용하여 시점 간 예측을 효율적으로 수행하는 방법을 조사하고 있다. 먼저 일본의 나고야 대학에서는 기존의 광선공간을 이용한 자유시점 TV의 기술을 바탕으로 EPI(eipipolar plane image)를 이용한 전역적 깊이 영상(global depth map, GDM)으로 변환하는 깊이 영상 부호화 방법을 제안했다. 이와는 별도로 일본의 NICT에서는 다시점의 깊이 영상 부호화 효율을 높이기 위하여 깊이 영상을 한 시점의 깊이 영상으로 변환하고, 이로 인해 발생하는 깊이 값 오류는 따로 전송하는 방법을 제안했다. 그림

8은 이와 같은 방법을 도식화한 것이다. 깊이 영상 중 임의의 한 시점을 기저 시점(base view)으로 결정하고, 나머지 시점에 대해서는 전역적 깊이 영상을 이용하여 발생한 깊이 값 오류(predicted residual)를 부호화한다. 여기서 제안된 기술들은 AVC-호환을 목표로 한 기술이지만, HEVC-호환 기술에도 적용할 수 있는 기술이다.

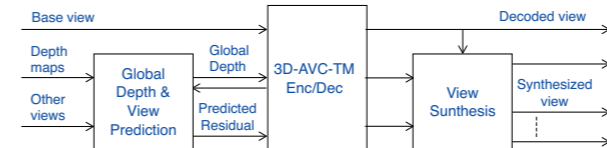


그림 8. 전역적 깊이 값을 이용한 깊이 영상 부호화 방법

■ 합성 영상의 비트율-왜곡을 이용한 부호화 기술

CE8에서는 깊이 영상을 부호화할 때 이용하는 비트율-왜곡 최적화 방법을 합성 영상의 화질을 고려하는 방법이 고려되고 있다. 쉽게 설명하면, 만약 깊이 영상이 포함하고 있는 영상 왜곡이 합성 영상의 화질에 영향을 주지 못할 때는 깊이 영상의 화질 왜곡에 대해 고려를 하지 않아도 된다. 그러므로 비트율-왜곡 최적화 시에 깊이 영상의 왜곡이 합성 영상의 화질에 얼마나 영향을 줄지를 예측하여 최적의 부호화 방법을 결정하는 것이다. 이 방법은 큰 부호화 효율을 보이지만, 복호기에 구현이 되는 기술이 아니기 때문에 향후 표준화 과정의 귀추가 주목된다. 해당 CE는 AVC-호환 및 HEVC-호환 기술을 동시에 평가할 예정이다.

■ 3차원 비디오 압축 표준화 동향 및 향후 일정

지난 2011년 4월 제96차 MPEG 회의에서 3차원 비디오 부호화를 위한 제안요청서(Call for Proposal, CfP)가 배포된 이래로 본격적인 표준화 일정이 시작됐다. 표 3은 3차원 비디오 부호화의 표준화 일정을 정리한 것이다. 2011년 10월에 여러 기관에서 제안한 3차원 비디오 부호화 기술이 공개되고, 2012년 1월에 처음으로 CE별로 기술 평가가 시행됐다. 이 과정을 통해 일부 기술들은 CE에서 탈락하고 나머지 기술들은 평가를 계속하기로 했다. 그러므로 앞으로 몇 차례의 회의를 더 수행하여 CE별 기술을 평가하고, 그 중 가장 성능이 뛰어난 기술이 표준화 기술로 채택될 것으로 전망한다.

일정	내용
2011년 01월	제안요청서 초안 배포
2011년 04월	최종 제안요청서 배포 및 기술 등록 시작
2011년 07월	기술 등록 마감
2011년 11월	제안서 등록 시작
2011년 11월~2012년 2월	제안된 기술 평가
2012년 4월	작업 초안 (working draft, WD) 작성
2013년 4월	'MVC compatible extension including depth' 표준안 제정
2013년 7월	'AVC compatible video-plus-depth extension' 표준안 제정
2014년 1월	'HEVC 3D extensions' 표준안 제정

표 3. 3차원 비디오 부호화의 표준화 일정

표 3과 같은 표준화 일정을 통해 세 가지의 기술 표준화 작업이 진행될 것으로 보인다 [13]. 먼저, 이미 표준화가 완료된 다시점 비디오 부호화 기술의 확장판으로 'MVC compatible extension including depth' 라는 표준안은 2013년 4월까지 최종 표준안 제정이 마무리될 예정이다. 이 표준안은 블록 단위의 기술 변경 없이 깊

이 영상의 표현방법만을 수정하여 다시점 비디오 부호화기에 적용하는 방법이다.

그리고 현재 수행하고 있는 CE 중에서 AVC-호환에 관한 기술을 평가하여 2013년 7월까지 'AVC compatible video-plus-depth extension' 이라는 표준안이 제정될 예정이다. 지금까지 제안된 기술들은 전체적으로 AVC/MVC 기술에 비해 약 30% 정도의 비트율 감소 효과를 보이고 있다. 앞으로 수행될 CE를 통해서 보다 안정적이고 확실한 기술들을 선별하여 표준안에 포함할 예정이다. 그리고 마지막으로 HEVC-호환의 기술들을 평가하여 2014년 1월까지 'HEVC 3D extensions' 라는 이름으로 표준안이 제정될 예정이다.

결론

본 원고에서는 현재 MPEG 3차원 비디오 부호화의 국제 표준화 동향 및 주요 기술들을 살펴보았다. MPEG에서는 3차원 오디오-비주얼의 표준화 작업을 시작으로, 다시점 비디오 부호화 방법의 표준안을 제정했다. 이어서, 더욱 진보된 3차원 비디오 시스템을 정의하고 3차원 비디오 데이터를 효과적으로 부호화하는 3차원 비디오 부호화 기술의 표준화 제정을 위해 노력하고 있다. 최근 진행된 표준화 작업은 다양한 기술들을 분류하고 각 분류된 기술들의 성능을 평가하는 단계에 이르렀다. 이러한 추세로 미루어 볼 때, 3차원 비디오 부호화에 대한 표준화 제정이 이른 시일 안에 이루어질 것으로 기대된다. 3차원 비디오 시스템과 부호화 기술이 국제 표준으로 제정된다면, 이 기술을 바탕으로 한 3차원 영상 산업 역시 그 규모가 급격히 성장할 것으로 기대된다. 그러므로 3차원 비디오 부호화에 관한 국내 학계와 산업계의 지속적인 관심 및 연구와 정부 차원의 적극적인 지원을 통해, 우리나라가 차세대 방송 기술을 주도하는 역할을 할 수 있기를 기대해 본다.

Reference

- [1] Smolic, K, Müller, P, Merkle, C, Fehn, P, Kauff, P, Eisert, and T. Wiegand, "3D Video and Free Viewpoint Video - Technologies, Applications and MPEG Standards," in Proc. of IEEE International Conference on Multimedia and Expo, pp. 2161-2164, July 2006.
- [2] A. Redert, M. O. Beec, C. Fehn, W. Ijsselstein, M. Pollefeys, L. Van Gool, E. Ofek, I. Sexton, and P. Surman, "ATTEST: Advanced Three-dimensional Television System Techniques," Proc. of International Symposium on 3D Data Processing, pp. 313-319, 2002.
- [3] G. Riva, F. Davide, and W.A. Ijsselstein, "Being There: Concepts, Effects and Measurement of User Presence in Synthetic Environments," Amsterdam, The Netherlands: Ios Press, 2003.
- [4] A. Kubota, A. Smolic, M. Magnor, T. Chen, and M. Tanimoto, "Multi-View Imaging and 3DTV- Special Issue Overview and Introduction," IEEE Signal Processing Magazine, vol. 24(6), Nov. 2007.
- [5] 호요성, 오관정, 3차원 비디오의 이해와 분석, 진샘미디어, pp. 12-55, 2011.
- [6] 호요성, 이천, "3차원 비디오 부호화 표준 기술," TTA 저널, Vol. 135, pp. 079-083, 2011.
- [7] ISO/IEC JTC1/SC29/WG11, "Applications and Requirements on FTV," N9466, Oct. 2007.
- [8] ISO/IEC JTC1/SC29/WG11, "Reference Software of Depth Estimation and View Synthesis for FTV/3DV," M15836, Oct. 2008.
- [9] ISO/IEC JTC1/SC29/WG11, "Call for Proposals on 3D Video Coding Technology," N12036, March 2011.
- [10] ISO/IEC JTC1/SC29/WG11, "Vision on 3D Video," N10357, Feb. 2009.
- [11] ISO/IEC JTC1/SC29/WG11, "Description of Core Experiments in 3D Video Coding," N12561, Feb. 2012.
- [12] ISO/IEC JTC1/SC29/WG11, "Common Test Conditions for AVC and HEVC-based 3DV," N12560, Feb. 2012.
- [13] ISO/IEC JTC1/SC29/WG11, "3D Video Coding Standardization Plans," in MPEG output document N12557, Feb. 2012.



집콕특기기사

Neuromorphic Architecture 및 CAD 연구 동향 (2)

최근 3D 휴먼 팩터가 이슈가 되면서 인간 3D 정보처리 시스템에 관한 관심이 증가하고 있다. 즉, 인간 두뇌의 3D 정보처리 시스템은 순차적으로 정보를 처리하면서 동시에 병렬적으로 처리한다.

또한, 머신 비전 분야에서 얼굴과 같은 물체를 인식할 때 기계가 하기 어려운 일은 크기의 차이, 방향, 빛, 영상의 복잡도에 따른 변위를 다루는 일이다. 또한, 다른 예로는 효과적인 음성인식, 계획, 그리고 깊이, 재질 및 색채 인식이 있다. 머신 비전은 제한적으로 잘 명시된 분야, 예를 들면 광학적 문자 인식 또는 지문 인식 등은 잘 인식할 수 있으나, 혼란스러운 영상과 같은 제약되지 않은 문제들에 대해서는 인식하기 어려운 단점이 있다. 한편 사람의 뇌와 같은 생물체의 인식은 시각 데이터로부터 충분한 정보를 추출하여 추론을 통해서 인식하게 된다. 인간의 두뇌에서 시각 정보는 상위 수준 지식과 여러 가지 센서 형태들을 결합하여 추론 과정을 통하여 해결 공간상에 제약을 두어 인식을 가능하게 한다.

본 컬럼은 지난 호에 다룬 두뇌의 시각 정보 전달체계, 정보전달 모델링에 이어 두뇌 정보전달 구조에 대해서 알아보려고 한다.

최근 3D 휴먼 팩터가 이슈가 되면서 인간 3D 정보처리 시스템에 관한 관심이 증가하고 있다. 즉, 인간 두뇌의 3D 정보처리 시스템은 순차적으로 정보를 처리하면서 동시에 병렬적으로 처리한다. 또한, 머신 비전 분야에서 얼굴과 같은 물체를 인식할 때 기계가 하기 어려운 일은 크기의 차이, 방향, 빛, 영상의 복잡도에 따른 변위를 다루는 일이다. 또한, 다른 예로는 효과적인 음성인식, 계획, 그리고 깊이, 재질 및 색채 인식이 있다. 머신 비전은 제한적으로 잘 명시된 분야, 예를 들면 광학적 문자 인식 또는 지문 인식 등은 잘 인식할 수 있으나, 혼란스러운 영상과 같은 제약되지 않은 문제들에 대해서는 인식하기 어려운 단점이 있다.

한편 사람의 뇌와 같은 생물체의 인식은 시각 데이터로부터 충분한 정보를 추출하여 추론을 통해서 인식하게 된다. 인간의 두뇌에서 시각 정보는 상위 수준 지식과 여러 가지 센서 형태들을 결합하여 추론 과정을 통하여 해결 공간상에 제약을 두어 인식을 가능하게 한다. 본 컬럼은 지난 호에 다룬 두뇌의 시각 정보 전달체계, 정보전달 모델링에 이어 두뇌 정보전달 구조에 대해서 알아보려고 한다.

두뇌의 정보 전달 구조

■ Spiking Neural Network architecture(SpiNNaker)
영국 맨체스터·캠브리지·세필드 대학 등은 800만 달러의 정부지원을 받아 Spiking Neural Network architecture (SpiNNaker)[3] 프로젝트를 수행해왔다. 뇌과학의 연구 방향으로, 1) 뇌의 생물학적인 구조 자체를 모방하거나 (to model the biological structure of the brain - hard AI); 2) 뇌의 문제 해결 방법을 모사해서 진행하는 방법 (to model the problem solving process-soft AI)가 있다. SpiNNaker project는 전자에 해당한다.

SpiNNaker는 2009년에 18개의 ARM 코어기술을 이용해 뇌 신경세포인 뉴런과 같은 구조를 만들었다. ARM 프로세서 코어의 선구자인 맨체스터 대학의 Steve Furber 교수는 현재 소규모의 시뮬레이션을 진행 중이며 메모리 부분에는 마이크로닉스의 1기가비트(Gb) DDR SDRAM이 사용됐다. 사람의 뇌는 1천억 개의 뉴런이 서로 1천조 개의 연결을 이룬다. SpiNNaker는 신경과학자, 심리학자나 의사들이 복잡한 두뇌 부상, 질병 및 상태를 이해하는데 도움을 줄 수 있는 중요한 툴이 될 것이다. 그래서 가장 효율적인 치료법을 알아낼 수 있도록 도와줄 수 있을 것이다. 하지만 100만 개의 ARM 프로세서 코어를 사용한다고 하더라도 겨우 사람 뇌의 1% 정도밖에 다루지 못한다.

두뇌에서 뉴런은 어떤 자극이 전기신호로 변환해 이동하는 통로 역할을 한다. 이 시스템에서, 뉴런들은 매우 작은 전기신호를 전달하는 스파이크를 방출하게 된다. 이러한 전기신호는 뉴런 역할을 하는 ARM 프로세서 코어들 사이에 스파이크 이벤트를 통하여 전달되며, NoC 구조를 이용하여 연결을 최소화하면서 반응속도를 실제 두뇌의 뉴런 간 전달 속도만큼 높도록 설계했다. 각 임펄스는 SpiNNaker에서 데이터의 패킷으로서 모델화되었다. 패킷은 소스 뉴런의 주소를 포함하며 연결된 다른 뉴런들에게 보내지게 된다. 칩 사이의 링크에 문

제가 있을 때는 인접 노드를 거쳐서 패킷을 재 라우팅하는 fault tolerance 기능을 가지고 있다. 또한, 전력소모를 줄이기 위해서 spike가 입력되지 않을 때는 코어를 sleep모드로 전환한다. 신호처리는 neuron과 dendritic tree에 의해서 수행되고, 신호통신은 스파이크를 사용하여 전달하며, 발화율, 발화순서, 또는 시간적인 코드를 이용하여 부호화된다. 메모리는 Synapse와 axon (delay lines)이 있으며 axon은 무손실의 케이블이며, 고정된 지연시간을 가지고 있으며 지연시간의 범위는 1~20ms이다. Axon은 메시지 또는 정보 패킷을 저장하는 메모리 라인의 역할을 한다. Billion 단위의 Neural Network 모델을 Simulation 하기 위해서는 엄청난 Processing Power가 필요한데, 이를 위한 Massively Parallel 한 NoC 구조가 필요하다.

SpiNNaker 칩은 두 개의 NoC를 가지고 있다. 시스템 NoC는 20개의 ARM 코어에 의해서 공유되는 off-chip 1Gbit SDRAM이다. Low-power processor인 ARM968 Core (200MHz)는 1,000개의 뉴런을 실시간에 모델링한다. 20개의 코어 중 19개가 각각 1,000개의 뉴런을 모델링할 수 있다. 나머지 한 개의 코어는 관리 작업을 수행한다. 시스템 NoC는 SDRAM에 접근하기 위해서 8Gbps의 밴드폭을 가진다. 또한, 이더넷 인터페이스가 외부의 컴퓨터가 SpiNNaker 네트워크에 접근하기 위해서 필요하며 라우팅 테이블을 초기화하고, 뉴런 네트워크를 모니터링하고 구성하는데 사용된다. 또 다른 NoC는 통신 NoC이며 각 코어가 다른 on chip 또는 off-chip 코어에 연결되도록 하는데 사용된다.

이 칩은 GALS (Globally Asynchronous, Locally Synchronous) Timing model을 사용하며, Delay Insensitive 통신 방식을 사용한다. GALS 비동기로 동작하기 때문에 각 프로세서는 각각의 클럭으로 동작한다. 즉, Globally synchronization 과정이 필요 없이 각자의 core가 자유롭게 동작하므로 synchronization에 필요한 circuit 절약할 수 있다. Routing table을 이용한 NoC communication을 사용한다. 사람 두뇌의 1%를 시뮬레이션하기 위해서는 10억 개의 뉴런을 시뮬레이션할 수 있어야 한다. 따라서 한 개의 칩이 19,000개를 동시에 시뮬레이션 할 수 있으므로 5만에서 6만 개 정도의 SpiNNaker 칩이 필요하게 된다.

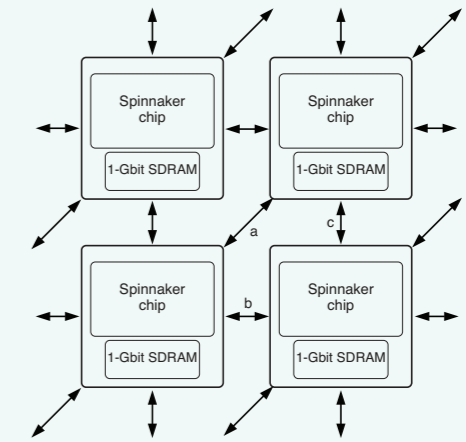


그림 7. SpiNNaker 시스템의 노드들 (Chip+RAM)

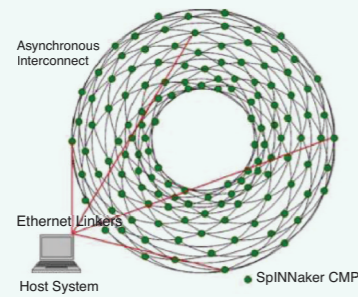


그림 8. Spinnaker의 Toroidal interconnection mesh

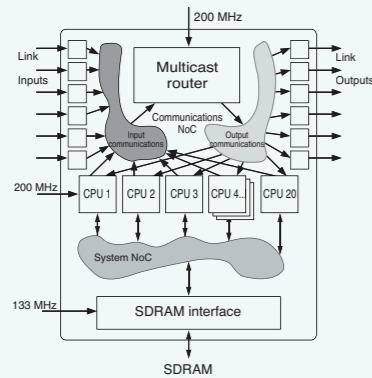


그림 9. System NoC와 Communication NoC 구조

Spiking 뉴런의 Izhikevich model을 사용한다. Spike의 타이밍에 따라 synaptic weight가 줄어들거나 늘어난다. Spike-timing-dependent plasticity[5] 알고리즘을 사용한다.

$$F(\Delta t) = \begin{cases} A_+ e^{\frac{\Delta t}{\tau_+}} & \Delta t < 0, \\ -A_- e^{-\frac{\Delta t}{\tau_-}} & \Delta t \geq 0. \end{cases} \quad (1)$$

즉, pre-synaptic과 post-synaptic spike 사이의 시간차에 따라서 synaptic weight가 변한다.

■ Digital Neurosynaptic Core

IBM과 코넬대학은 "A Digital Neurosynaptic Core Using Embedded Crossbar Memory with 45pJ per Spike in 45nm"을 발표하였다. 이 칩은 256개의 뉴런과 1,024개의 개별적으로 어드레싱이 가능한 axon, 그리고 SRAM crossbar array로 구현된 1024 x 256 프로그래머블 바이너리 시냅스로 구성된다.

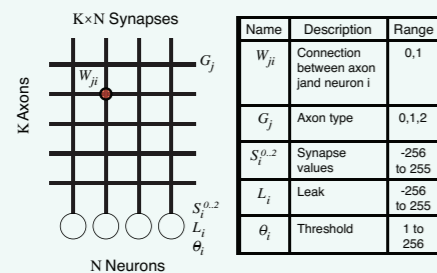


그림 10. Neurosynaptic Core [IBM & 코넬대학]

K개의 axon이 N개의 뉴런에 KxN 바이너리 값을 가지고 있는 시냅스를 통하여 연결된다. G_j 는 0,1,2 세 가지 타입이 있으며 $S_j G_j$ 는 G_j 타입을 가진 axon j로부터 입력에 대한 가중치를 의미한다. 그래서 뉴런 i는 axon j로부터 다음을 입력받게 된다.

$$A_j(t) \times W_{ji} \times S_i^{G_j}$$

$A_j(t)$ 는 j번째 뉴런이 타임 t에 에너지가 충전되어 발화(fire)된 것을 의미한다. 뉴런이 발화한다는 것은 그 뉴런 입력의 합계가 문턱 값을 넘어서 다른 뉴런으로 활동 전위가 전송되는 것을 말한다. 뉴런 i의 세포막 전위는 각 타임스텝에서 다음과 같이 업데이트된다.

$$V_i(t+1) = V_i(t) + L_i + \sum_{j=1}^K [A_j(t) \times W_{ji} \times S_i^{G_j}]$$

$V_i(t)$ 가 문턱값을 넘게 되면, 뉴런은 스파이크를 발생하고 그 뉴런의 전위값은 0로 리셋된다. 여기서 L_i 는 누설을 의미한다.

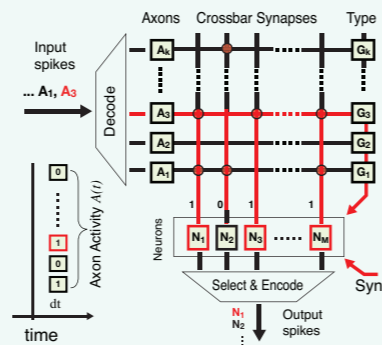
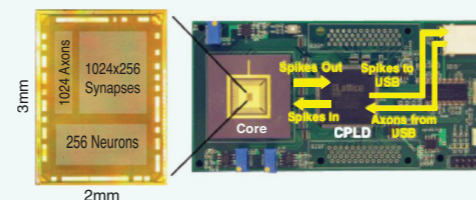


그림 11. Neurosynaptic Core의 처리 과정

위 그림의 경우, 세 번째 axon이 활성화되고 그 axon에 연결된 뉴런 1, 2, M의 값이 업데이트된다. 즉, 이러한 신경망 방식에서는 입력된 자료를 토대로 어떤 물체인지를 판단하는 것이 아니라 특정한 영상이 입력되면 학습에 의해서 특정한 결과물로 연결하도록 가중치를 조절한다.

두 가지 단계로 수행된다. 첫 번째 단계에서는 어드레스 이벤트가 한 개씩 코어에 보내진다. 이 이벤트는 적합한 axon block에 복호화된다. 이벤트를 받자마자, axon은 SRAM 열을 활성화하고 axon의 모든 연결과 타입을 읽는다. 1에 해당하는 모든 연결을 통하여 뉴런에 업데이트된 값이 전달하게 된다. 두 번째 단계는 수 미리 세컨드 내에 수행되며 동기 이벤트가 모든 뉴런에 전달된다. 이 동기 신호를 받자마자, 각 뉴런은 세포막 전위가 문턱값을 넘었는지 확인하고 그렇다면 스파이크를 발생시키고 그 변위를 0로 리셋한다. 이 스파이크가 부호화되어 어드레스 이벤트로 숫자 형태로 보내진다. 스파이크를 검사한 후에 누설이 적용된다.



코어는 IBM의 45nm SOI 공정을 이용하여 설계되었다. 380만 개의 트랜지스터가 4.2mm² 면적에 집적되었으며 트랜지스터는 높은 문턱전압을 사용하여 누설을 줄였다. 공급전압이 0.85V일 때 코어의 전력소모는 45pJ/spike이다.

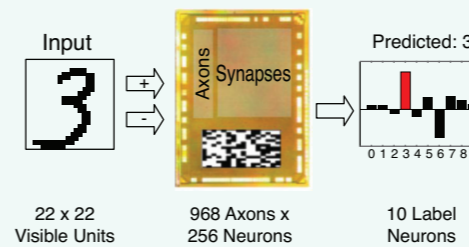


그림 12. Boltzman machine과 neuromorphic architecture를 이용한 숫자 인식 과정

이 그림은 숫자 인식을 할 수 있는 뉴럴 알고리즘인 Boltzman machine을 구현한 것이다. 볼츠만 머신은 지도학습(supervised learning) 알고리즘으로 신경망과 시뮬레이터드 어닐링으로부터의 흥미로운 성질들을 결합한 모델인데 대규모 병렬처리를 이용하는 강력한 계산 장치이다. 볼츠만 머신은 1984년 Geoffrey E. Hinton과 Terrence J. Sejnowski 에 의해 도입되었다. 이것은 홉필드 모델의 일반화로 여겨질 수 있는데 홉필드 네트워크의 동작규칙을 확률적인 동작규칙으로 확장시킨 것으로 생각할 수 있다. 홉필드 네트워크의 동작규칙에서는 네트워크의 상태를 에너지를 감소시키는 방향으로만 변화시키지만, 볼츠만 머신에서는 에너지가 증가하는 상태의 전이에 대해서도 작은 확률로나마 허용하는 동작규칙을 사용한다.

왼쪽의 픽셀은 시각 단위를 표현한다. 256개의 뉴런 중 스파이크가 검은색으로 표시되며 feature로 부호화된다. off-chip 리니어 분류기가 그 feature에 대한 학습 훈련을 통하여 3이 가장 확률이 높은 숫자로 6가 가장 확률이 낮은 숫자로 나타내게 된다.

■ 기타구조

응용 특화된 구조인 Spinnaker[3, 4] 이외의 하드웨어 플랫폼에는 슈퍼컴퓨터(예, HTM - Cray XD1), 재구성 하드웨어, neuromorphic 구조(예, 스탠포드의 Neurogrid), 고성능 GPU(예: NVIDIA GPU) [6] 등이 있다.

Neurogrid는 스탠포드 대학의 Kwabena Boahen 에 의해서 개발된 멀티 칩 시스템이며 4 by 4 neurocore의 어레이로 구성되며, 각 코어는 256 by 256 뉴런 어레이로 구성되며 6,000개의 시냅스 연결이 가능하다. NVIDIA의 GPU를 이용하면, 수천 개의 뉴런을 병렬처리가 가능하다. 또한, 메모리 밴드 폭이 보통 프로세서보다 5배 이상 넓다. EU FACET 프로젝트는 2005년에 개발되었으며 200,000 뉴런이 5천만 개의 시냅스에 연결된 구조이다. 빠른 transient states를 사용하는 Analog Computing을 사용한다. Waferscale integration을 이용하여 대규모 analog spiking neural network hardware를 개발하며, 통신 병목 현상을 줄이기 위해서 Temporal and spatial multiplexing을 사용한다.

목표는 fault tolerance (all levels), low power consumption, 20cm wafer with ~40 Million synapses 이다. Torres-Huitzil(2005년)은 128 by 128 이미지에 대해서 pentium 4에 비해 100배의 속도 향상을 보였다.

인간의 두뇌는 1,000억 개의 뉴런과 1,015개의 synaptic 연결로 되어 있다. 쥐는 1백만 개의 뉴런과 1,010개의 synaptic 연결로 되어 있다. DARPA는 SynAPSES 프로젝트 HRL Team에서는 단기 목표로 쥐 모델을 사용한다. UCI에서는 십만 개의 뉴런과 108개의 synapses를 초기 목표로 잡아 연구하고 있다.

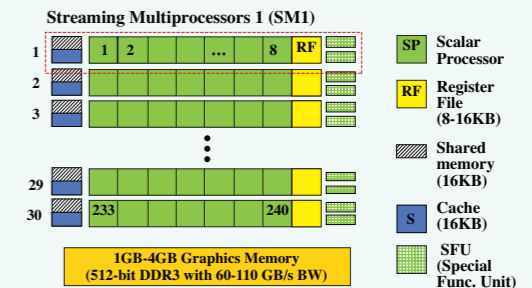


그림 13. NVIDIA GPU Hardware

그림의 GPU 하드웨어는 GTX 280 Card이며, 240 X 1GHz scalar processors (CUDA 1.3 device)로 구성되어 100K에서 225K의 뉴런을 검증할 수 있으며, 뉴런당 Synapses 수는 100에서 500개이다.

NeMo는 CUDA GPU를 이용하여 수십만 개의 spiking 뉴런(Izhikevich neurons)의 네트워크를 검증하는 고성능 실시간 시뮬레이터이다.

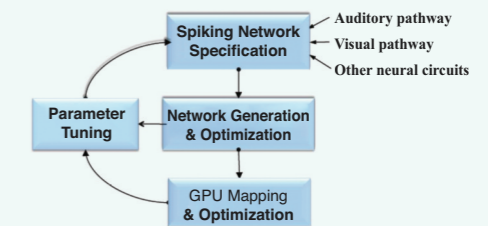


그림 14. Framework for Spiking Neural Network

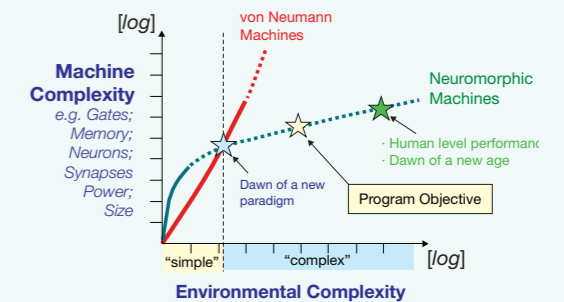


그림 15. Neuromorphic machine의 새로운 패러다임과 시대

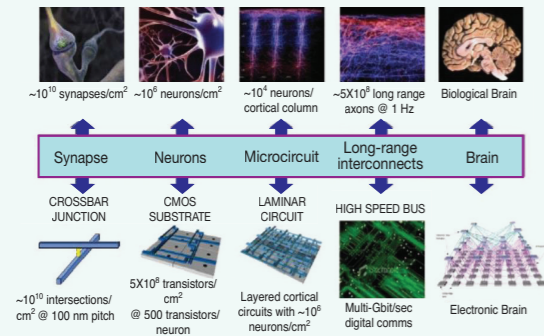


그림 16. DARPA SYNAPSES - HRL team

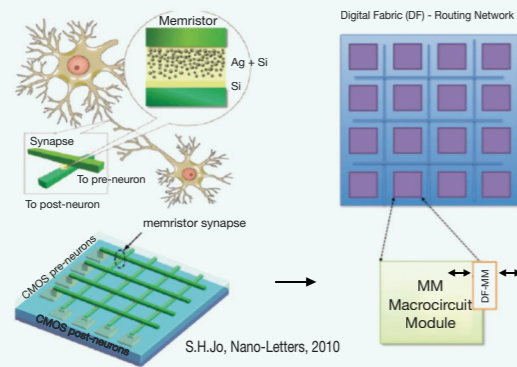


그림 17. Memristors 기반의 neuromorphic chips

결론

총 2회에 걸쳐 두뇌의 시각 정보 전달 체계, 두뇌 정보 전달 모델링, 두뇌 정보 전달 구조를 통해 "Neuromorphic Architecture 및 CAD 연구 동향"에 대해 알아보았다.

뇌의 리버스 엔지니어링은 많은 CAD 연구가 필요하다. 즉, 모델링, sw/hw 설계, 시뮬레이션, 알고리즘 하드웨어 매핑, 재사용 라이브러리, 구조 합성, 최적화 알고리즘 (예: 파라미터 튜닝), 성능 분석, HW platform이 필요하게 된다. 이러한 도구의 개발을 위해서는 도메인 지식이 필요하며, 이를 위하여 인지과학, 신경과학, 전산학의 인더렉션 융합 연구가 필요하다.

감사의 글

2012년 2월 한국정보산업연합회 주관 IT 교수 역량 지원 사업의 일환으로 진행된 Professor Nikill Dutt's Advanced System on Chip Design Methodologies의 강의에 참가하여 Neuromorphic Architecture의 간략한 최신 동향을 듣게 되었습니다. 감사드립니다.

Reference

- [1] Dharmendra S. Modha and Raghavendra Singh (IBM), "Network architecture of the long-distance pathways in the Macaque brain", Proceedings of the National Academy of Sciences
- [2] S. Furber and A. Brown, Biologically-inspired massively-parallel architectures - computing beyond a million processors. In Proc. 9th International Conference on the Application of Concurrency to System Design, pages 3~12, ACS'D09, 2009.
- [3] X. Jin, M. Lujan, L. A. Plana, S. Davies, S. Temple, and S. B. Furber, Modeling spiking neural networks on spinnaker. IEEE Computing in Science and Engineering, September /October 2010 (vol. 12 no. 5), pages 91~97, 2010.
- [4] X. Jin, M. Lujan, L. A. Plana, A. D. Rast, S. R. Welbourne, and S. B. Furber, Efficient parallel implementation of multilayer backpropagation networks on spinnaker. In CF '10: Proceedings of the 7th ACM international conference on Computing frontiers, pages 89~90, New York, NY, USA, 2010.
- [5] X. Jin, A. Rast, F. Galluppi, S. Davies, and S. Furber, Implementing spike-timing-dependent plasticity on spinnaker neuromorphic hardware. WCCI 2010 IEEE World Congress on Computational Intelligence, pages 2302 - 2309, July 2010.
- [6] J. M. Nageswaran, N. Dutt, J. L. Krichmar, A. Nicolau, and A. Veidenbaum, Efficient simulation of large-scale spiking neural networks using cuda graphics processors. In IJCNN'09: Proceedings of the 2009 international joint conference on Neural Networks, pages 3201~3208, Piscataway, NJ, USA, 2009.
- [7] R. Rubenstein, Linking arms to make a brain. New Electronics, July 2010, pages 16~18, 2010.
- [8] Professor Nikil Dutt's Lecture Notes, Feb. 2012.



성균관대학교 전자전기공학부

조준동 교수
 연구분야 : 모바일 시스템온칩 설계 및 최적화
 E-mail : jdcho@skku.edu
 http://vada.skku.ac.kr

MPW(Multi-Project Wafer) Design Contest

IDEC MPW 설계공모전

IDEC MPW 설계공모전을 통하여 자신이 설계한 IC를 국내 최고의 Foundry 업체에서 제작할 수 있습니다. 여러분이 주인공이 되어 생각을 현실로 구현해 보십시오.

2012년 MPW 공정 지원 내역

공정지원사	공정[μm]	공정내역	size	칩수	Package
삼성	0.13μm	CMOS 1-poly 6-metal	4mm x 4mm	96	208pin QFP
	65nm	CMOS 1-poly 8-metal (RF지원, Option(HRI, Inductor, MIM))	4mm x 4mm	40	208pin QFP
매그나칩/하이닉스	0.35μm	CMOS 2-poly 4-metal (Optional layer (DNW, HRI, BJT, CPOLY) 추가)	5mm x 4mm	40	Design 144pin Package 208pin QFP
	0.18μm	CMOS 1-poly 6-metal (6metal을 Thick metal로만 사용가능 /Optional layer(DNW, HRI, BJT, MIM) 추가)	4.5mm x 4mm	80	Design 200pin Package 208pin QFP
동부하이텍	0.11μm	CMOS 1-poly 6-metal (RFCMOS Top : UTM)	5mm x 5mm	30	208pin QFP
	0.18μm BCDMOS	CMOS 2-poly 4-metal(Thick metal)	5mm x 5mm	6	144pin QFP
TowerJazz	0.35μm BCDMOS	CMOS 2-poly 4-metal(Thick metal)	5mm x 5mm	15	144pin QFP
	0.18μm CIS	CMOS 1-poly 4-metal	5mm x 5mm	2	지원하지 않음
	0.15μm BCDMOS	CMOS 1-poly 3-metal(MT)	5mm x 5mm	4	
	0.18μm RFCMOS	RF CMOS 1-poly 6-metal	5mm x 5mm	2	
0.18μm SiGe	SiGe BiCOMOS 1-poly 6-metal	5mm x 5mm	1		

2012년 MPW 진행 일정

• 삼성 공정 라인 제작기간 조정으로 관련 공정 제작일이 변경됨

구분	공정사	공정	제작 칩수	우선모집		정규모집		후기	DB마감 (Tape-Out)	DB전달 (Fab-In)	Die-out	Package Out
				신청마감	선정발표	신청마감	선정발표					
108회 (12-01)	M/H	0.18μm	20			11.11.05	11.11.19		12.02.13	12.02.27	12.06.04	12.07.04
	동부	0.35μm(BCD)	3			11.11.05	11.11.19		12.02.22	12.03.07	12.05.30	12.07.02
	TJ	0.18μm(SiGe)	1			11.11.05	11.11.19		12.02.13	12.02.21	12.07.02	-
109회 (12-02)	TJ	0.18μm(RF)	1			11.11.05	11.11.19		12.02.27	12.03.05	12.07.05	-
	삼성	0.13μm	48			11.11.20	11.12.05		12.03.09	12.03.30	12.08.10	12.09.07
110회 (12-03)	동부	0.11μm	15			11.11.20	11.12.05		12.03.28	12.04.18	12.08.01	12.09.03
	동부	0.35μm(BCD)	3			11.11.20	11.12.05		12.04.04	12.04.18	12.07.11	12.08.13
111회 (12-04)	M/H	0.18μm	20			11.12.5	11.12.20	11.02.01~	12.05.14	12.05.28	12.09.03	12.10.05
	M/H	0.35μm	20			11.12.5	11.12.20	11.02.01~	12.05.14	12.05.28	12.09.03	12.10.05
	동부	0.35μm(BCD)	3			11.12.5	11.12.20	11.02.01~	12.05.24	12.06.7	12.08.30	12.10.01
	TJ	0.18μm(CIS)	1			12.01.20	12.01.30		12.05.07	12.05.14	12.09.14	-
112회 (12-05)	TJ	0.18μm(BCD)	2			12.01.20	12.01.30		12.05.14	12.05.21	12.09.21	-
	삼성	65nm	20			11.12.20	12.01.05	11.03.01~	12.06.04	12.06.29	12.11.09	12.12.09
113회 (12-06)	동부	0.18μm(BCD)	2			11.12.20	12.01.05	11.03.01~	12.06.20	12.07.4	12.09.26	12.10.26
	동부	0.35μm(BCD)	3			12.01.05	12.1.20	11.03.10~	12.07.04	12.07.18	12.10.10	12.11.12
114회 (12-07)	동부	0.18μm(BCD)	2	11.11.20	11.12.05	12.02.01	12.02.15	12.05.01~	12.08.08	12.08.22	12.11.14	12.12.14
	M/H	0.18μm	20			12.02.01	12.02.15	12.05.01~	12.08.13	12.08.27	12.12.31	13.01.28
	삼성	0.13μm	48			12.02.01	12.02.15	12.05.01~	12.08.31	12.09.21	13.02.01	13.03.01
115회 (12-08)	동부	0.18μm(BCD)	2			12.03.01	12.03.15	12.06.15~	12.09.26	12.10.10	13.01.04	13.02.04
	TJ(CIS)	0.18μm	1			12.04.15	12.04.30	12.07.01~	12.10.15	12.10.22	13.02.22	-
116회 (12-09)	TJ(RF)	0.18μm	1			12.04.15	12.04.30	12.07.01~	12.10.22	12.10.29	13.02.29	-
	TJ	0.18μm(BCD)	2			12.04.15	12.04.30	12.07.01~	12.10.22	12.10.29	13.02.29	-
	동부	0.35μm(BCD)	3	12.01.20	12.02.05	12.04.15	12.04.30	12.07.01~	12.10.10	12.10.24	13.01.16	13.02.18
	동부	0.11μm	15			12.04.15	12.04.30	12.07.01~	12.10.02	12.10.24	13.02.06	13.03.06
117회 (12-10)	M/H	0.18μm	20			12.05.01	12.05.15	12.08.01~	12.11.12	12.11.26	13.03.18	13.04.15
	M/H	0.35μm	20			12.05.01	12.05.15	12.08.01~	12.11.12	12.11.26	13.03.18	13.04.15
	삼성	65nm	20			12.05.01	12.05.15	12.08.01~	12.11.26	12.12.1	13.05.02	13.06.03

참여 대상 : IDEC Working Group(WG) 대학의 학생 및 대학원생

- * 표기 : 1) 년.월.일 2) M/H = 매그나칩/하이닉스 3) TJ = TowerJazz
- * 동부, TowerJazz 공정은 5mm x 2.5mm 또는 2.35mm x 2.35mm 사이즈만 모집함.
- * 모집 : 우선(50%), 정규(50%) 모집을 원칙으로 하며, 후기모집은 정규모집시 마감일 안된 공정에 대해서만 실시함.
- * 설계설명회는 정규 모집시에만 개최함.
- * 위의 일정은 사정에 따라 다소 변경될 수 있음.

참여기업