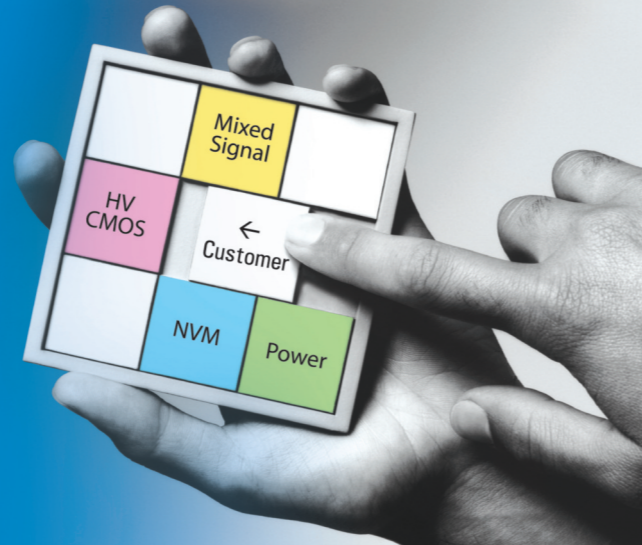


The Key to Silicon Success
SPECIALTY FOUNDRY

MagnaChip provides 3 key values to customers

- Specialty Technology
- Engineering Service
- Manufacturing Excellence



Our semiconductor manufacturing services offering is targeted at customers who require differentiated, specialty analog and mixed-signal process technologies such as high voltage CMOS, non-volatile memory and power.

We differentiate ourselves through the depth of our intellectual property portfolio, ability to customize process technology to meet the customers' requirements effectively, long history in his business and reputation for excellence.



하이닉스반도체

만족이 큰 만큼 비즈니스도 행복해집니다

수많은 정보를 놀랍도록 빠른 시간내에 안정적으로 처리하는 능력- 하이닉스 메모리를 만나는 순간, 당신의 입가에 만족이 가득합니다. 새로운 성공확신을 보장하는 최고의 메모리. 하이닉스반도체는 당신의 비즈니스를 위해 진화하고 있습니다.



IDEC Newsletter

IDEC Newsletter | 통권: 제178호 | 발행일 | 2012년 3월 31일 | 발행인 | 박인철 | 편집인 | 김이섭 | 제작 | 푸물디자인
기획 | 전향기 | 전화 | 042) 350-8535 | 팩스 | 042) 350-8540 | http | //idec.or.kr
E-mail | jhg0929@idec.or.kr | 발행처 | 반도체설계교육센터(IDEC)

Vol. 178

2012
April

SiGe BiCMOS 공정을 이용한 높은 선형성을 갖는 Q-Band 16-Element 송수신 Phased Array 설계 | 04 전력 반도체 ASIC 설계 기법 | 08
All Digital PLL (ADPLL) 설계기술 동향 | 12 Neuromorphic Architecture 및 CAD 연구 동향 | 16

반도체설계교육센터 사업은 지식경제부, 반도체산업협회, 반도체회사(삼성전자, 하이닉스반도체, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.

SiGe BiCMOS 공정을 이용한 높은 선형성을 갖는 Q-Band 16-Element 송수신 Phased Array 설계

초고주파 또는 밀리미터 웨이브 주파수 대역의 4-32 elements 송신 또는 수신 모드를 위한 실리콘 기반의 모든-RF 아키텍처를 기반으로 한 phased array는 그 동안 많이 연구되어 왔다. 실리콘 기반의 디자인은 디지털 블록 그리고 전력 합성 네트워크 등과 함께 하나의 칩 안에 많은 수의 element 들을 집적할 수 있는 장점이 있다. 이러한 것은 GaAs 또는 InP 기반의 phased array들과 비교하여 특히 밀리미터 주파수 대역의 응용에서 칩 공간을 줄일 수 있게 해준다. 본 고에서는 높은 선형성을 갖기 위한 Q 밴드 송수신용 16-element phased array 시스템 디자인에 관한 것이다. (관련기사 P04~07 참조)

전력 반도체 ASIC 설계 기법

과거 전력용 반도체는 MOSFET, SCR, IGBT 및 파워 컨트롤러와 같이 별도의 전력용 스위칭 소자와 제어 IC로 분리되어 발전해 왔으나 1990년 이후부터 BJT, CMOS, DMOS를 하나의 칩에 내장할 수 있는 BCD 공정기술의 발전과 휴대용 기기의 등장으로 저가격, 소면적이 가능한 단일 칩 솔루션의 요구가 증가하고 있다. 2010년 지식경제부 주관으로 시작된 국내 아날로그 반도체 육성 사업은 전력 반도체 기술이 그 중심에 있으며 700V급 0.18 μ m 공정 개발 및 700V 급 BLDC 모터구동 IC의 설계를 목표로 하고 있다. 본 고에서는 전력스위칭컨버터 제품의 예를 사용하여, 현재 사용 가능한 60V급 0.35 μ m BCD 공정 파운드리에서의 ASIC설계 이슈를 고찰해 보고자 한다. (관련기사 P08~10 참조)

All Digital PLL (ADPLL) 설계기술 동향

최근 집적도를 높이기 위해서 Deep-Submicron 공정이 점점 더 많이 사용되고 있다. Deep-Submicron CMOS 공정에서 아날로그 회로는 낮은 공급 전압으로 말미암아 충분한 Voltage Headroom을 가질 수 없고, 또한 Digital 블록에 의해서 Substrate Coupling Noise에 의한 영향을 많이 받게 된다. 공급 전압은 급격하게 감소하는 반면, Threshold Voltage는 공급 전압에 비해서 서서히 감소하기 때문에, 아날로그 회로의 설계는 더욱 어려워지고 있다. 본 고에서는 All Digital PLL 설계기술동향에 대해 소개하고자 한다. (관련기사 P12~P14 참조)

Neuromorphic Architecture 및 CAD 연구 동향(1)

최근 3D 휴먼 팩터가 이슈가 되면서 인간 3D 정보처리 시스템에 관한 관심이 증가하고 있다. 또한, 머신 비전 분야에서 얼굴과 같은 물체를 인식할 때 기계가 하기 어려운 일은 크기의 차이, 방향, 빛, 영상의 복잡도에 따른 변위를 다루는 일이다. 인간의 두뇌에서 시각 정보는 상위 수준 지식과 여러 가지 센서 형태들을 결합하여 추론 과정을 통하여 해결 공간상에 제약을 두어 인식을 가능하게 한다. 본 고에서는 총 2회 중 첫 번째 컬럼으로 두뇌의 시각 정보 전달 체계, 두뇌 정보 전달 모델링, 두뇌 정보 전달 구조에 대해서 알아보려고 한다. (관련기사 P16~P19 참조)

MPW (Multi-Project Wafer)														
MPW 신청 현황						MPW 칩 제작 현황								
구분	공정	제작가능 면적 (mm² x 칩수)	채택 칩수	설계면적 (mm² x 칩수)	DB마감	Die-out	비고	구분	공정	제작 칩수	제작면적 (mm² x 칩수)	Die-out 예정일	현재상태	비고
114회 (12-7)	동부 0.18BCD	5x5mm x 2	5	5x5mm x 2	2012.8.8	2012.11.14	모집 마감	106회 (11-09)	동부 0.11	29	5x2.5mm x 21 2.5x2.5mm x 8	2012.1.10	PKG 제작중	-PKG: 3월 말 예정
	M/H 0.18	4.5x4mm x 20	11	4.5x4mm x 11	2012.8.13	2012.12.3	후기모집 5.1~ 선착순		삼성 0.13	43	4x4mm x 43	2012.3.9	칩 제작중	-Die: 4.20 예정
	삼성 0.13	4x4mm x 48	21	4x4mm x 21	2012.8.31	2013.1.4			107회 (11-10)	M/H 0.18	24	4.5x4mm x 15 4.5x2mm x 6 2.25x2mm x 3	2012.4.10	칩 제작중
115회 (12-8)	동부 0.18BCD	5x5mm x 2	2	5x2.5mm x 3 2.5x2.5mm x 2	2012.9.6	2013.1.4	모집 마감	M/H 0.18		20	4.5x4mm x 20	2012.6.4	칩 제작중	
116회 (12-9)	TJ0.18 CIS	2.5x2.5mm x 4	2	2.5x2.5mm x 2	2012.10.15	2013.2.22		108회 (12-1)	동부 0.35BCD	16	5x2.5mm x 2 2.5x2.5mm x 8	2012.5.30	칩 제작중	
	TJ0.18 BCD	5x5mm x 2	-	-	2012.10.22	2013.2.29			TJ0.18 Sige	4	2.5x2.5mm x 4	2012.7.2	칩 제작중	
	TJ0.18 RF	5x5mm x 1	2	2.5x2.5mm x 2	2012.10.22	2013.2.29	정규모집 : ~4.15		TJ0.18 RF	8	2.5x2.5mm x 4	2012.7.5	칩 제작중	
117회 (12-10)	동부 0.35BCD	5x5mm x 3	2	5x2.5mm x 2	2012.10.10	2013.1.16		* M/H = 매그나칩/하이닉스, TJ = TowerJazz * 우선/정규모집에서 마감될 경우 후기모집은 진행되지 않음. * Die-out 일정은 Diechip 제작완료 기준임 Package는 Die-out후 4주 이상 소요됨. * MPW 참여 일정 및 방법은 홈페이지(www.idec.or.kr) 참조 * 위의 내용은 3.23 기준임.						
	동부 0.11	5x5mm x 13	13	5x2.5mm x 11 2.5x2.5mm x 2	2012.10.2	2013.2.6		* 문의 : 이의숙(042-350-4428 ylslee@idec.or.kr)						
	M/H 0.18	4.5x4mm x 20	4	4.5x4mm x 4	2012.11.12	2013.3.4								
117회 (12-10)	M/H 0.35	5x4mm x 20	2	5x4mm x 2	2012.11.12	2013.3.4	정규모집 : ~5.15							
	삼성 65nm	20개서버 (4 x 4mm)	10	4x4mm x 10	2012.11.26	2013.5.3								

E²L(Electrical Engineering Library) 활용 안내 (http://edu.idec.or.kr)


E²L은 사용자가 교육자료를 직접 등록, 수정할 수 있는 인터넷 도서관입니다. 앞으로 반도체 분야 뿐 아니라 관련 분야들의 자료들도 많이 등록 및 활용할 수 있도록 많은 참여를 부탁드립니다.

- 교육자료 제출 방법**
 - 교육자료 종류 : 강의자료(PPT), 동영상 자료
 - 제출 방법 : 로그인 후 교육자료 > 강의자료 Upload 메뉴에서 직접 업로드 하거나 담당자에게 이메일 제출
- 컨텐츠에 대한 저작권**

사이트 내의 모든 컨텐츠의 저작권 법적 문제는 해당 컨텐츠를 작성한 회원에게 있습니다. 컨텐츠 원제작자의 동의를 구하지 않고, 무단으로 이를 배포, 수정하는 행위는 법적인 책임이 뒤따를 수 있습니다.
- 문의 : 이승자 (042-350-8536, sjlee@idec.or.kr)**

제4기 반도체설계교육센터 장학생 선발

전자 및 반도체 전공자 중 우수학생을 선발하여 장학금을 지급하는 「반도체설계교육센터 장학생」으로 지호근 군이 선발됐다.



성명 : 지호근
소속 : 한림대학교 전자공학과 4학년
책임교수 : 문 규 교수

「반도체설계교육센터 장학생」의 선발 기준은 IDEC WG(Working group) 소속 대학교 재학생 또는 입학예정자로서 ▲가정형편이 곤란하여 학비조달이 어려우며, 학업성적 또는 연구실적이 우수한자, 또는 ▲기타 장학금 지급이 필요하다고 인정된 자로서 WG 책임교수의 추천이 필요하다.

* 문의 : 김해리(042-350-4045 hrkim@idec.or.kr)

2012년 4월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

본 센터 강좌 일정 |

강의일자	강의제목	분류
4월 5일	스마트TV APSoC(Exynos) EBI(100MB/S)에 대한 디바이스드라이버 SW 및 IP 인터페이스 FPGA 설계 및 실습	설계강좌
4월 17-18일	고신뢰성 데이터 변환기 설계기술	설계강좌
4월 17-19일	Synopsys Platform Architect 교육	Tool강좌

- 강좌일 : 4월 5일**
- 강좌 제목 : 스마트TV APSoC(Exynos)EBI(100MB/S)에 대한 디바이스드라이버 SW 및 IP 인터페이스 FPGA 설계 및 실습**
- 강사 : 공진홍(광운대)**

[강좌개요]
본 강좌에서는 스마트TV APSoC플랫폼인 Exynos4210보드의 구조와 EBI를 이용하여 Xilinx Virtex5 FPGA 보드의 IP와 연동하는 과정을 설명한다. 이를 위해 스마트TV의 개요, 스마트TV APSoC플랫폼의 구조, Linux를 이용한 개발환경 설정, Xilinx ISE Tool을 이용한 IP 인터페이스 설계, Device Driver 및 Application 구현들에 대해서 설명한다. 실습에서는 APSoC플랫폼인 Exynos4210보드와 고속 인터페이스인 EBI를 통한 Xilinx Virtex5 FPGA보드의 IP 설계 및 검증을 진행한다. 실제로 스마트TV를 위해 FPGA환경에서 개발된 Face Feature Detection, GP/GPU, Super Resolution Image Reconstruction 등 다양한 UI/UX IP들이 스마트TV APSoC 플랫폼에서 검증될 수 있도록 한다.

[수강대상] · 학부 및 대학원생, 기업관계자
[강의형태] · 이론+실습

[선수과목] · Linux OS, C++, VerilogHDL

[강의형태] · 이론+실습

[사전지식] · 전자회로 및 디지털 논리회로, HSpice 또는 Spice 또는 Spectre 사용 경험자 또는 초보자도 가능.

일시	Module	Main Topic
2012.4.18	Module 4	자동차 시스템과 IT 기술 이해(차량용 아날로그/디지털 회로 issue 및 차량 안전성과 환경을 위한 센서 시스템)
	Module 5	고성능 차량 센서 블록 및 시스템(고속 차량 센서 및 차량통신용 data conversion 회로)
	Module 6	Modeling 및 simulation for front-end systems
	Module 7	high-speed 반도체 회로 설계 실습

[강좌개요]
최근의 자동차는 부품이 전장화되면서, 반도체 칩들이 많이 사용되고 있다. 과거에는 MCU 정도였으나 지금은 각종센서가 많이 장착되고 있다. 본 강좌에서는 자동차에 많이 사용되는 이미지센서를 중심으로 비데오 신호처리용 데이터변환기에 대해 강의한다. 이를 위해, 이미지센서의 기본원리를 공부하고, 이미지센서에 사용되는 각종 회로를 공부한다. 그 중에서도 데이터변환기에 대한강의를 집중적으로 한다. 그리고 실습을 통해 배웠던 지식을 직접 몸으로 익히고 공부한다.

[수강대상] · 석박사 과정 및 관련 회사원

[강의수준] · 초급 및 중급 혼재
[강의형태] · 이론+실습

[사전지식] · 전자회로설계 (op-amp 설계 가능자), cadence tool 사용 가능자

- 강좌일 : 4월 17일-18일**
- 강좌 제목 : 고신뢰성 데이터 변환기 설계기술**
- 강사 : 윤광섭 교수 (인하대)**

[강좌개요]

일시	Module	Main Topic
2012.4.17	Module 1	차량 제어회로 예제 및 저속 센서 설계 기술 (관성센서를 이용한 차량 자세 감지 및 제어, 배기 가스, 타이어 압력 센서 등)
	Module 2	MEMS 각속도 센서 및 Analog 응용 회로: DAC
	Module 3	DAC 설계 실습

본 강좌에서는 자동차내 센서시스템과 연관된 DAC 응용회로를 살펴본다. 자동차 센서 시스템 신호 처리용 DAC 구조에 따른 성능을 강의한다. 나이퀴스트 DAC에서 전하구동 및 전류구동 2진 가중치형 DAC, 온도계 코드 형 DAC, 혼합형 DAC의 설계 방법론을 설계 예제를 통해서 알아보도록한다. 또한 최근 고해상도 DAC 설계 동향을 살펴본다. 설계 실습으로는 4비트 및 8비트 DAC를 설계하고 검증한다.

[수강대상] · 데이터 변환기 설계 관련 학부, 석,박사 대학원생 및 기업체 엔지니어
· 하드웨어&소프트웨어 Co-Design을 동시에 수행하는 설계방법을 사용하는분

[강의수준] · 전자회로, 디지털 논리회로 사전지식을 갖춘 공대생 및 엔지니어이면 누구나 수강이 가능.

- 강좌일 : 4월 17일-19일**
- 강좌 제목 : Synopsys Platform Architect 교육**
- 강사 : 박순배 부장 (Synopsys Korea)**

[강좌개요]
Synopsys Platform architect 는 Platform Based SoC Design(특히, ARM & AMBA)을 위한 IP 및 설계 Flow를 지원하는 Product로 RTL simulator와도 Integration되어 System Level에서부터 Implementation Level까지의 Design Flow를 완벽하게 지원해 준다.
- Re-usability, Simulation Speed, H/W and S/W Co-Design을 위한 SystemC TLM
- Graphical Bus Modeling (특히, AHB/AXI)
- Hardware and Software Co-Simulation
- System Level Architecture Analysis, Performance Analysis
- SystemC and HDL(Verilog and VHDL) Mixed Language Simulation

[수강대상] · Processor, Bus IP들을 포함하는 SoC 설계에서 최적화된 플랫폼 아키텍처 개발자 하드웨어&소프트웨어 Co-Design을 동시에 수행하는 설계방법을 사용하는 분

[강의수준] · 초중급
[강의형태] · 이론+실습

* 문의 : 이승자 (042-350-8536, sjlee@idec.or.kr)

SiGe BiCMOS 공정을 이용한 높은 선형성을 갖는 Q-Band 16-Element 송수신 Phased Array설계



충남대학교 전자공학과
 김철영 교수
 연구분야 : - RF, mm-wave IC - Phased Array IC
 - Short Range Radar
 E-mail : cykim@cnu.ac.kr
 http://mics.cnu.ac.kr



서론

초고주파 또는 밀리미터 웨이브 주파수 대역의 4-32 elements 송신 또는 수신 모드를 위한 실리콘 기반의 모든-RF 아키텍처를 기반으로 한 phased array는 그 동안 많이 연구되어 왔다[1-8]. 실리콘 기반의 디자인은 디지털 블록 그리고 전력 합성 네트워크 등과 함께 하나의 칩 안에 많은 수의 element 들을 집적할 수 있는 장점이 있다. 이러한 것은 GaAs 또는 InP 기반의 phased array들과 비교하여 특히 밀리미터 주파수 대역의 응용에서 칩 공간을 줄일 수 있게 해준다.

또한, 실리콘 기반의 디자인은 높은 수율과 비교적 적은 수의 트랜지스터를 사용하여 element들 간에 특성 편차가 작다는 장점이 있다. 밀리미터 대역의 주파수에서 윌킨슨 컴바이너 같은 수동 전력합성기를 사용할 수 있고 작은 면적과 스테이지당 0.7-0.8dB 정도의 손실을 본다.

하지만 이제까지 발표된 실리콘 기반의 phased array는 수신모드에서 -16에서 -25dBm의 낮은 IP1dB와 7-11dB의 높은 잡음지수를 보여주고 있다. 이러한 성능은 몇몇 상업용 분야에서는 괜찮겠지만 만일 3dB 이하의 낮은 잡음 지수를 요구하는 시스템이 있다면 이를 위해서는 필수적으로 20dB 계인을 갖는 InP 기반의 LNA가 첫 단계 있어야 하므로 결과적으로 이러한 시스템은 -36 에서 -45dBm의 IP1dB를 갖는데 이는 많은 국방용 또는 위성 통신용 시스템에서는 사용할 수 없다.

따라서 이러한 용도의 시스템에서는 -10dBm 의 IP1dB 와 10-12dB의 상대적으로 낮은 잡음지수와 전력소모를 하는 phased array 칩이 필요하다. 수신모드에서 실리콘 칩의 이득은 주로 InP LNA에서 얻게 되므로 채널당 0-5dB면 적당하다. 송신모드에서는 element 당 25-50mW인 2000-4000 elements 용 고효율 시스템을 위해서는 InP MPA(Medium Power Amplifier)를 드라이브 하기 위해 실리콘 칩은 element 당 0-3dBm의 출력이면 된다.

이 칼럼을 통해 소개할 내용은 그림 1과 같은 구조의, 높은 선형성을 갖기 위한 Q 밴드 송수신용 16-element phased array 시스템 디자인에 관한 것이다. 이러한 칩은 256에서 4048 phased array element를 갖는 Q-Band 위성 통신 시스템을 위한 것이다.

본론

높은 선형성을 위한 phased array의 중요한 문제는 위상천이기의 선형성이다. 왜냐하면, 실리콘 기반의 밀리미터 주파수 대역 위상천이기는 일반적으로 손실이 크고 (능동 벡터 모듈레이터는 -3dB, 그리고 수동 위상천이기는 -14dB이다.) 13-16dB의 잡음지수를 가진다 [2, 5, 10]. 실리콘 칩에서 적당한 잡음지수를 갖기 위해서는 위상천이기 전단에는 15-20dB의 이득과 4-5dB의 잡음지수를 갖는 온 칩 실리콘 LNA가 반드시 들어가야 한다. 그러므로 높은 IP1dB의 LNA는 높은 출력을 하게 되므로 벡터 모듈레이터 같은 능동 위상천이기는 높은 출력을 위해서는 많은 전력소모가 필요하게 되므로 적당하지 않다.

그림 2는 일반적으로 많이 사용하는 세 가지의 위상천이기를 기반으로 한 시스템 분석을 나타낸다. 벡터모듈레이터를 사용한 구조[2], switched-LC 네트워크를 사용한 구조 [10], reflective-type 위상천이기 구조[5] 모두 IBM8HP SiGe BiCMOS (f_t 200GHz를 갖는 0.12μm SiGe 트랜지스터, f_t 110GHz를 갖는 0.12μm CMOS 트랜지스터) 공정을 이용하였다.

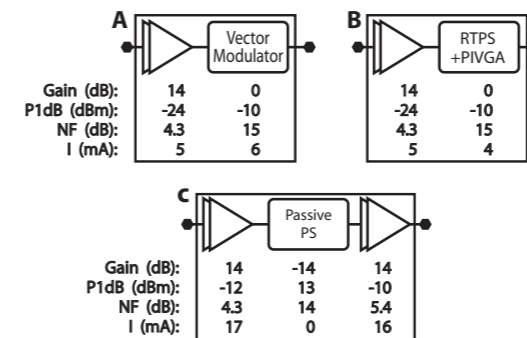


그림 2. 서로 다른 RF 위상 천이기의 비교

벡터 모듈레이터를 사용한 위상천이기는 두 개의 VGA(Variable Gain Amplifier)와 I/Q 네트워크에 기반을 두므로 높은 선형성을 얻기 위해서는 매우 높은 전력소모가 필요하다. 결과적으로 0에서 -3dB의 이득이 있지만 13-15dB의 높은 잡음지수를 갖고 5mA의 전력소모에 -10dBm의 낮은 IP1dB를 가진다. 이것은 비교적 낮은 선형성과 광대역 시스템에 적합하다고 할 수 있다.

시뮬레이션에 근거하면 채널 선형성을 -10dBm 정도 되게 하기 위해서는 벡터 모듈레이터는 적어도 3dBm의 전력을 견딜 수 있어야 하며 이것으로 말미암아 벡터 모듈레이터는 20mA의 전류를 더 소모해야 한다. 그리고 LNA 또한 더 많은 전류를 소모해야 한다.

0-90° 위상 천이(0-180°를 얻기 위해서는 두 개가 필요함)를 얻기 위해 hybrid 커플러와 SiGe varactor를 사용하고 0도 180도 선택을 위해 디퍼렌셜 위상 반전 증폭기를 사용한 reflective 디자인은 높은 RF 파워에서 varactor 자체에서 셀프 바이어스되므로 높은 파워가 입력으로 들어갈 수 없다. 또한, 높은 RF 파워를 다루기 위해서는 위상 반전 증폭기가 많은 전류를 소모해야 한다.

이러한 디자인은 4mA의 전류를 소모하면서 0dB의 이득을 갖고 15dB의 잡음 지수와 -10dBm의 IP1dB를 가진다. 이것 또한 적은 파워소모와 상대적으로 작은 선형성을 요구하는 시스템에 적합하다고

할 수 있다. 이러한 디자인을 채널 선형성이 -10dBm이 되게 하기 위해서는 reflective 위상천이기가 3dBm의 높은 전력을 다루어야 하므로 이것은 varactor로 인해 불가능할 것이다. 또한, LNA도 3dBm의 출력전력을 내야 하므로 추가적인 전류가 더 필요하다. CMOS 스위치를 기반으로 한 switched-LC 위상천이기는 11-12dBm의 IP1dB, 25-27dBm의 IP3를 갖고 전력소모는 없다.

또한 45GHz에서 14dB의 손실과 잡음지수를 가진다. 또한, 이러한 위상천이기는 높은 전력을 다룰 수 있기 때문에 높은 이득과 선형성을 갖는 LNA의 후단에 사용하기 매우 적절하다. 또한, 위상천이기는 14dB의 채널 이득을 얻기 위해서는 후단에 14dB의 이득을 갖는 또 다른 증폭기가 필요하다. 따라서 이러한 구조는 전력 소모를 작게 하면서 높은 선형성을 얻기에 최고 적합한 구조라고 볼 수 있다.

증폭기/위상천이기 블록은 그림 3에 보이는 것과 같이 작은 DC 전력소모를 보이면서 낮은 잡음 지수를 갖도록 최적화하였다. 여기서 1:16 윌킨슨 컴바이너/디바이더가 DC 전력을 소모하지 않으면서 높은 전력 결합을 할 수 있어 사용하였다. 이 때 두 가지의 질문을 해볼 수 있다. 송신 및 수신 모드를 위해서 위상천이기를 꼭 하나만 사용해야 하나? 증폭기 블록은 어디에 있어야 하나?

두 개의 위상천이기를 사용하면 시뮬레이션 상의 스위치의 손실이 한 개에 2.7dB가 되는 상황에서 두 개의 SPDT 스위치를 더 사용하지 않아도 되므로 한 개를 사용한 구조보다 더 좋은 구조라고 할 수 있다. 또한, 1:16 컴바이너 안에 증폭기가 존재하게 되면 송 수신모드 동작을 위해서 두 개의 SPDT 스위치가 필요하게 되고 수신 모드의 경우 합해진 전력을 증폭시켜야 하므로 선형성이 높아야 하며 송신 모드의 경우 많은 채널을 드라이빙 해야 하므로 전력소모가 많아 적합하지 않다.

1:16 윌킨슨 컴바이너는 45GHz에서 4.5dB의 손실을 보는 것으로 시뮬레이션 되었으며 이러한 손실은 수신시 경우 증폭단의 이득을 증가시키고 송신시 경우 입력파워를 5dB 정도 키워 줌으로써 보상할 수 있다. 그림 3을 보면 A, B, C 세 가지 구조의 경우 전력 소모 면에서 매우 이점을 갖는 것을 알 수 있다. 하지만 A의 구조가 가장 낮은 잡음 지수를 보인다는 것을 알 수 있다.

Single-ended와 differential phased array 디자인은 많이 발표되어 왔다[1-8]. Single-ended 디자인은 낮은 잡음지수 작은 파워소모 그리고 적은 면적을 차지하는 장점이 있는 반면 differential 디자인은 그라운드의 영향을 받지 않고 파워 공급 쪽의 인덕턴스의 영향

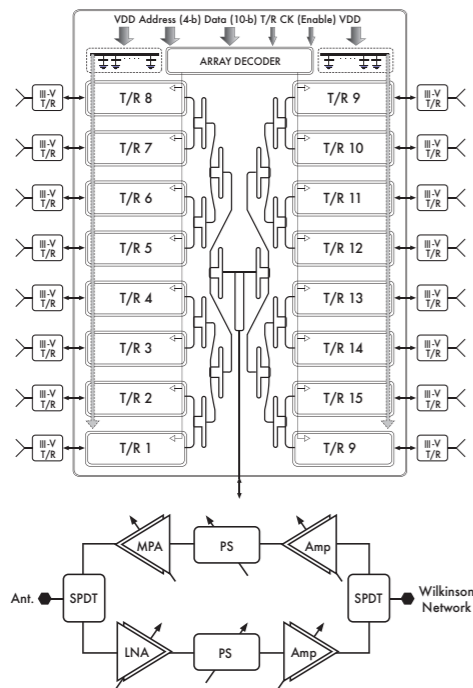
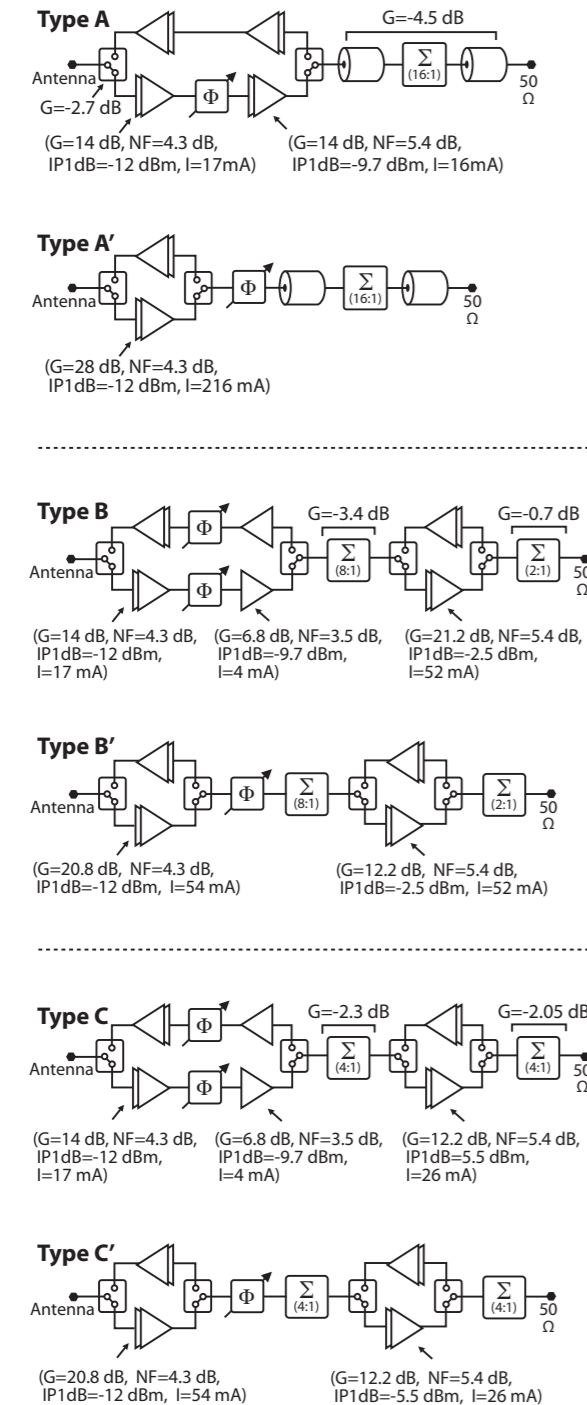


그림 1. 16-element phased array 블록 다이어그램: 실리콘 칩 (위), 채널 구조 (아래).

이 적고 본드와이어를 사용한 패키징시에 좀 더 유리하다는 장점이 있다. 하지만 이번 연구에서는 실리콘 칩 위에 폴리미드를 사용한 패키징을 사용할 것이다[9]. 따라서 그라운드 인덕턴스와 파워 공급 쪽의 인덕턴스가 매우 작아서 single-ended 디자인을 하였다.



Topology	IP1dB (dBm)	Gain (dB)	NF (dB)	Current (mA)	Power (W)
A	-9.3	4.1	10.7	528	0.95
A'	-9.3	4.1	7.3	3456	6.2
B	-9.3	4.1	12.8	440	0.79
B'	-9.3	4.1	11.9	968	1.74
c	-9.3	4.1	12.2	440	0.79
C'	-9.3	4.1	11.1	968	1.74

그림 3. 16-element phased array에서 다른 채널 콤바이너 구조에 대한 비교. (위상천이기 손실은 14 dB이다.)

-10dBm의 IP1dB와 0dB의 이득을 갖는 16-element 실리콘 phased array는 결합 손실 없이 2dBm의 OP1dB를 갖고 믹서의 입력에 매우 큰 파워가 들어오게 된다. 1024 element는 16-element 칩을 64개 결합해야 하며 이때 결합 손실 없이 OP1dB는 20dBm이 될 것이다. 이렇게 된다면 수신단의 믹서의 선형성이 문제가 되며 결과적인 phased array의 IP1dB는 -10dBm 보다 훨씬 작다고 생각할 수 있다.

하지만 이것은 실제 시스템에서는 맞지 않는 말이며 간섭신호는 main beam의 방향에 있지 않고 매우 넓게 퍼져 있으므로 phased array 패턴은 간섭 신호에 대해 더해지는 지점에서 사이드 로브 레벨에 따라 -17에서 -26dB 정도 상쇄시키게 된다.

따라서 스탠다드 믹서를 충분히 사용할 수 있다. 따라서 phased array에 대해서 선형성에 대해 두 개의 정의를 사용할 수 있다. Main beam 선형성은 수신기에 의해 결정이 되며 array factor와 믹서의 선형성의 한계 때문에 매우 낮다. Wide-Angle(간섭신호) 선형성은 phased array 채널의 선형성에 의해 결정이 된다. 특히 위성 통신을 위한 매우 큰 phased array 시스템에서는 들어오는 신호의 레벨이 매우 작으므로 Wide-Angle 선형성이 매우 중요한 요소이다.

결론

높은 선형성을 위한 phased array는 CMOS 스위치를 기반으로 한 switched-LC 위상천이기(11-12 dBm의 IP1dB, 25-27dBm의 IIP3)는 높은 전력을 다룰 수 있기 때문에 전력 소모를 작게 하면서 높은 선형성을 얻기에 최고 적합한 위상천이기 라고 할 수 있다. 그림 3의 A와 같이 이 위상천이기를 송수신 모듈에 각기 사용하고 LNA, MPA를 적절히 배치하고 1:16 콤바이너를 결합한 구조가 작은 전력 소모를 보이면서 낮은 잡음 지수를 갖는 최적의 구조라는 것을 알 수 있었다.

Reference

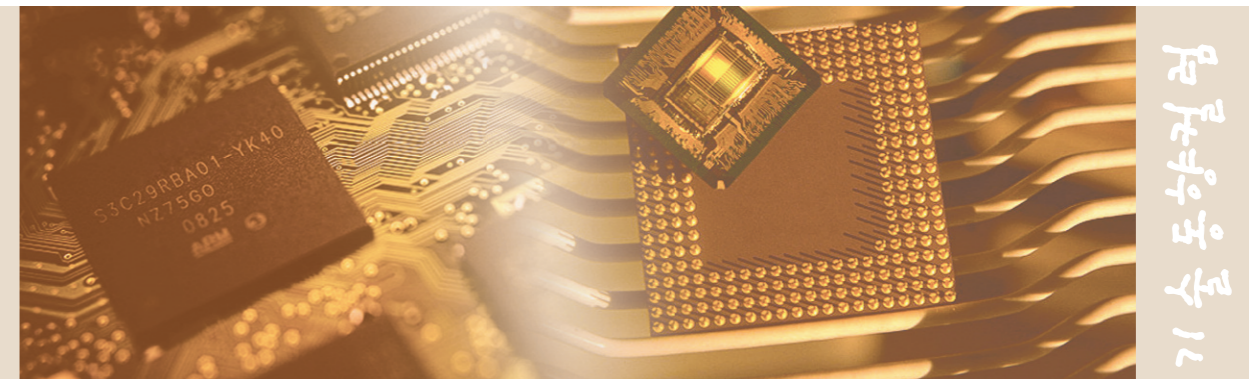
- [1] D. W. Kang, J. G. Kim, B. Min, G. M. Rebeiz, "Single and Four-Element Ka-band Transmit/Receive Phased-Array Silicon RFICs With 5-bit Amplitude and Phase Control," IEEE Trans. Microw. Theory Tech., vol. 57, no. 12, pp. 3534-3543, Dec. 2009.
- [2] K. Koh, J. W. May, G. M. Rebeiz, "A Millimeter-Wave (40/45 GHz) 16-Element Phased-Array Transmitter in 0.18-μm SiGe BiCMOS Technology," IEEE J. Solid-State Circuits, vol. 44, no. 5, pp. 1498-1509, May 2009.
- [3] K. Kim, K. Ahn, T. Lim, H. Park, J. Yu, "A 60 GHz Wideband Phased-Array LNA With Short-Stub Passive Vector Generator," IEEE Microwave and Wireless Components Letters, vol. 20, no. 11, pp. 628-630, Nov. 2010.
- [4] E. Cohen, C. Jakobson, S. Ravid, D. Ritter, "A Thirty Two Element Phased-array Transceiver at 60GHz with RF-IF Conversion Block in 90nm Flip Chip CMOS process," IEEE Radio Freq. Integr. Circuits Symp., May 2010, pp. 457-460.
- [5] A. Valdes-Garcia, S. T. Nicolson, J. Lai, A. Natarajan, P. Chen, S. K. Reynolds, J. C. Zhan, D. Kam, D. Liu, B. Floyd, "A Fully Integrated 16-Element Phased-Array Transmitter in SiGe BiCMOS for 60-GHz Communications," IEEE J. Solid-State Circuits, vol. 45, no. 12, pp. 2757-2773, Dec. 2010.
- [6] S. K. Reynolds, A. S. Natarajan, M. Tsai, S. Nicolson, J. C. Zhan, L. Duixian, D. G. Kam, O. Huang, A. Valdes-Garcia, B. A. Floyd, "A 16-Element Phased-Array Receiver IC for 60-GHz Communications in SiGe BiCMOS," IEEE Radio Freq. Integr. Circuits Symp., May 2010, pp. 461-464.
- [7] Y. Yu, P. G. M. Baltus, A. Graauw, E. Heijden, C. S. Vaucher and A. H. M. Roermund, "A 60 GHz Phase Shifter Integrated With LNA and PA in 65 nm CMOS for Phased Array Systems," IEEE J. Solid-State Circuits, vol. 45, no. 9, pp. 1697-1709, Sep. 2010.
- [8] T. Yu, G. M. Rebeiz, "A 4-channel 24-27 GHz CMOS differential phased-array receiver," IEEE Radio Freq. Integr. Circuits Symp., June 2009, pp. 455-458.
- [9] A. Fischer, Z. Tong, A. Hamidipour, I. Maurer and A. Stelzer, "A 77-GHz Antenna in Package," IEEE European Microwave Conference, Oct. 2011, pp. 1316-1319.

전력 반도체 ASIC의 설계 기법

(가정용 AC-DC 변환장치를 중심으로 한 고찰)



국민대학교 전자공학부 교수
 김대정 교수
 연구분야 : 아날로그 집적회로 설계
 E-mail : kimdj@kookmin.ac.kr
 http://icdl.kookmin.ac.kr



전력 반도체 ASIC

서론

과거 전력용 반도체는 MOSFET, SCR, IGBT 및 파워 컨트롤러와 같이 별도의 전력용 스위칭 소자와 제어 IC로 분리되어 발전해 왔으나 1990년 이후부터 BJT, CMOS, DMOS를 하나의 칩에 내장할 수 있는 BCD¹⁾ 공정기술의 발전과 휴대용 기기의 등장으로 저가격, 소면적이 가능한 단일 칩 솔루션의 요구가 증가하고 있다.

모터 제어, 조명, 전원공급장치, 배터리 충전기 등 전통적 시장에서 최근에는 휴대폰, 노트북 PC 등 모바일기기의 사용량 증가로 관심이 높아지고 있으며 또한 전기 자동차도 미래 잠재력이 큰 시장으로 볼 수 있다. 디지털 VLSI 분야는 공정기술의 의존도가 높고 fab 비용이 워낙 높기 때문에 소규모의 벤처 회사가 경쟁력을 갖기는 점점 어려워지는 경향이 있는 반면, 전력용 반도체 분야는 메모리나 CPU처럼 특정 업체가 독식하지 않고 전문분야별로 전문회사가 골고루 나누어 10% 미만의 시장 점유율을 보이고 있다.

전력 반도체 파운드리 회사로서는 페어차일드(미국), X-Fab(독일)이 1200V급 선진기술을 보유하고 있으며 TSMC UMC 등 대만의 파운드리 업체가 후발주자로서 추격하는 가운데, 60V급 700V 급 1,200V급 파운드리에서 국내 파운드리 업체들이 도전하고 있다.

국내 전력 반도체 사업은 내셔널 세미컨덕터, ST마이크로일렉트로닉스, 인피니언, 맥심 등의 외국계 기업에 의해 주도되고 있으며, 최근 LS 파워 세미텍, 매그나칩이 진출하고 있다. SMPS, DC/DC 변환기 등의 파워스위칭 제품으로는 인피니언테크놀로지 주도적인 위치에 있다.

2010년 지식경제부 주관으로 시작된 국내 아날로그 반도체 육성 사업은 전력 반도체 기술이 그 중심에 있으며 700V급 0.18 μ m 공정 개발 및 700V 급 BLDC 모터구동 IC의 설계를 목표로 하고 있다. 또한, 국내의 전력 반도체 전문 설계업체가 등장하여 LED 조명, 디스플레이 구동 분야에 두각을 나타내기 시작하였다.

본 칼럼에서는 전력스위칭컨버터 제품의 예를 사용하여, 현재 사용 가능한 60V급 0.35 μ m BCD 공정 파운드리에서의 ASIC(주문제작 칩) 설계 이슈를 고찰해 보고자 한다.

전력스위칭 제어 시스템의 고찰

90년대 중반부터 본격화한 전력관리칩(power management IC,

PMIC)의 상용화로 말미암아 어댑터 제품 개별소자의 개수가 줄고 단순해짐에 따라, 대형업체는 ASIC 제조업체와 협의하여 목표 전자기기의 입력 AC 전력을 변환, 분배 및 관리하는 과정에서 전력절감뿐만 아니라 에너지 효율제고 및 시스템 안정성과 신뢰성을 확대하는 방향으로 진행하고 있다.

그림 1의 노트북용 AC/DC 어댑터 시스템은 의사공진 플라이백 변환기(quasi resonant flyback converter) 토폴로지의 스위칭파워 시스템으로서, 사용자의 안전을 고려하여 고전압인 1차측과 DC 출력인 2차측이 전기적으로 격리된 절연형 구조이다. 1차측 입력은 가정용 220V의 2 포트 정현파이며 2차측의 DC 출력 전압은 어댑터를 사용하는 노트북 등의 전자기기 제품의 출력전력에 따라 5V ~ 30V까지 다양하다. 서로 간에는 GND 조차도 분리되어 있어서 1차측-2차측 간의 통신은 오직 포토커플러를 이용한 광신호를 통해서만 가능하다.

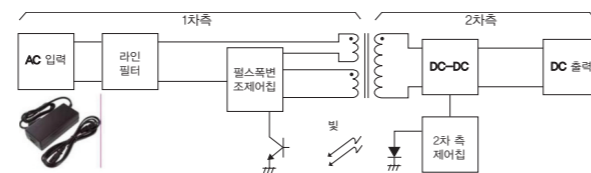


그림 1. 어댑터 제품의 간단한 내부 개요도

2차측의 포토다이오드가 광신호를 발광하면 1차측의 포토트랜지스터가 전기 신호로 변환한다. 이들은 같은 PKG에 내장된 포토커플러의 형태로서 구현되는 결합장치로서 발광부와 수광부가 서로 전기적으로 절연되는 장점을 이용하여, 시스템을 구성하는 장치 간의 전류를 절연할 수 있어서 잡음에 강하고 장치마다 분리된 접지가 가능하다.

또 장치 간의 결합용량이 작기 때문에 출력 쪽의 신호가 입력 쪽으로 되돌아가는 일이 없는 등의 장점이 있다. 이 때문에 전기회로와 단말기 등에서 포토커플러를 매개해서 결합하면 전원전압의 차이나 기계부에서 발생하는 잡음에 신경을 쓸 필요가 없어 회로설계가 쉬워진다. 포토커플러는 BCD 공정에서는 구현되지 않으므로 ASIC과 함께 집적할 수는 없다.

기술적인 난제 및 해결 방안

그림 2는 현재 국내 파운드리에서 범용으로 사용할 수 있는 0.35 μ m 60V BCD(BJT, CMOS, DMOS) 공정에서 제공하는 고전압용

n-채널 LDMOS(lateral double diffused MOS)의 단면도이다. 일반적인 NMOS 소자와는 달리 드레인-소오스 접합이 60V 정도까지 견딜 수 있는 소자적인 방안에 의해 드레인과 소오스가 대칭적이지 않으며 바디와 소오스는 같은 deep well 속에 연결되어 있어서 바디 효과는 발생하지 않는다.

양쪽의 deep n-well은 드레인으로서 사용되며 n-buried 층과 함께 소자를 p-epi 영역에서 격리시키기 위해 일반적으로 짝수 개의 finger 형태로 제공된다. LDMOS 설계의 난점은 드레인-소오스간 전압(VDS)은 60V를 버틸 수 있으나 게이트-소오스간 전압(VGS)은 12V 정도에 그치므로 다양한 회로의 설계에는 많은 제약이 따른다는 점이다.

허용 가능한 드레인-소오스 전압과 게이트-소오스 전압이 다르다는 것은 정상적인 CMOS 로직을 사용할 수 없다는 것을 의미한다. LDMOS는 디자인 룰이 느슨하므로 집적도의 관점에서 복잡한 회로에 두루 사용할 수는 없다. 따라서 대부분의 제어 회로는 5V 내외의 CMOS 소자로서 동작시키고 LDMOS는 외부 고전압과 CMOS용 내부전압(5V)과의 인터페이스로서 활용한다.

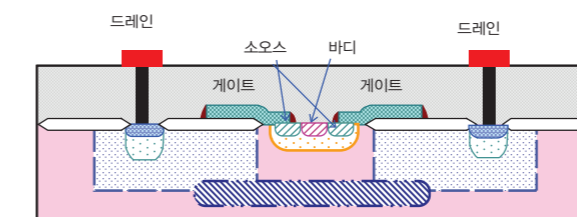


그림 2. 전기적 격리가 가능한 LDMOS의 단면도

이러한 기본 개념을 염두에 두면 전력제어 ASIC은 그림 3과 같은 형태의 구조를 갖게 된다. 고전압 인터페이스부는 LDMOS 영역으로서 게이트 전압이 풀 스윙하지 않는 아날로그 회로로서 구성된다. 특히, 제품별로 요구되는 출력전압의 변화가 심할 때는 고전압을 CMOS 트랜지스터를 동작시키기 위한 저전압으로 변환하는 고전압 LDO가 필요하다. 또한, 고전압 신호를 저전압 신호로 변환하는 전압강하부가 필요하다.

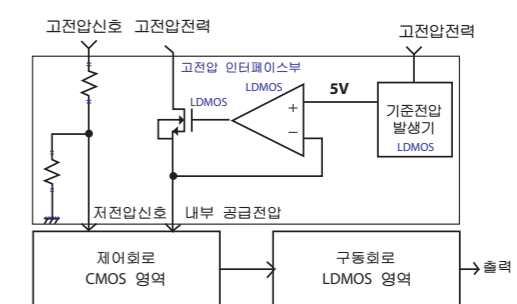


그림 3. 구현 전압영역을 고려한 전력제어 ASIC의 구조

대부분 제어회로는 CMOS 영역에서 구현되므로 고전압 인터페이스 부로부터 내부공급전압 및 저전압신호를 받는다. 처리된 결과를 시스템에 출력할 때에는 또다시 고전압 대응이 가능한 LDMOS를 사용한다.

그림 4는 그림 1의 AC-DC 시스템에 사용되는 1차측 ASIC 설계에서의 동작전압영역 할당의 예를 보인 것이다. 가정용 전원이 연결되는 1차측 입력단은 최대 400V에 이르는 고전압이며, 제어칩의 공급전압원으로 사용되는 보조관선에서 발생하는 VCC도 최대 30~38V의 고전압이다. 이에 따라 회로동작을 다음과 같은 3가지 영역으로 구분하고 이에 적합한 설계기법을 개발한다.

- 초고전압 영역(최대 400V)
- LDMOS 영역(최대 30~38V)
- CMOS 영역(5V)

초고전압영역에서의 입력신호는 저항분배기를 활용하여 입력전압을 LDMOS 및 CMOS 영역으로 끌어내린다. LDMOS 영역은 전원 스위치 역할의 DC/DC 변환을 통하여 내부전원 5V를 생성한다. CMOS 영역은 대부분 회로들이 동작하는 범위로서 CMOS 소자 및 내부전원 5V를 사용한다.

스위칭파워 시스템은 개별소자를 사용하여 구성되는 반면, 제어 칩은 집적회로로서 구현되는 환경상의 차이로 인해 전체 시스템의 효과적인 검증 및 알고리즘 개선을 위해 혼성모드 시뮬레이션이 필요하다. 예를 들어, 플라이백 변환기 시스템 전체는 behavioral 시뮬레이션이 가능한 PSIM을 사용하며 ASIC 부분은 Cadence Spectre를 사용할 수 있다.

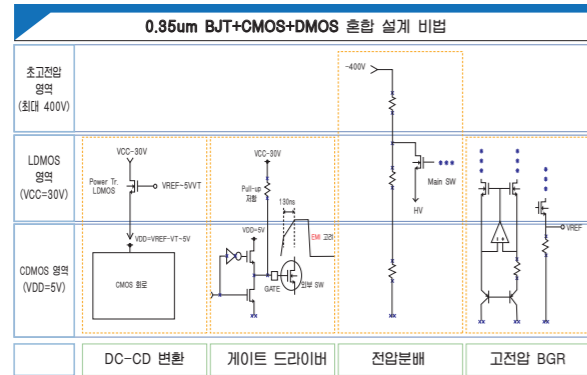


그림 4. 고전압 난제를 해결하기 위해 적용되는 기본 설계 개념

또 다른 이유는 1차측과 2차측의 회로를 동시에 집적할 수 있는가 하는 전기적 격리 문제이다. 집적회로는 근본적으로 기판을 공유하므로 완전한 전기적 격리가 불가능하지만, BCD 공정은 딥 웰(deep well) 및 epi 층을 이용한 트랜지스터의 전기적 격리 방안을 제공하므로 레이어 상에서 물리적/전기적 격리를 시도해 볼 수 있다.

결론

가정용 어댑터는 전력용 파워스위칭 소자와 제어 IC로 구성되어 전자 기기에 들어오는 전력을 그 전자기기에 맞게 변환, 분배 및 관리한다. 이러한 전력용 파워스위칭 제품에 대한 ASIC화는 기술의 보안성, 생산비용, 동작의 신뢰성과 같은 정책적 경제적 이유로 증가하고 있으며 최근의 BCD 공정의 개발은 이러한 전력 ASIC의 개발에 힘을 실어주고 있다.

본 칼럼에서는 현재 제공되는 소자를 사용한 플라이백 변환기 토폴로지의 파워스위칭 제품에서의 기본적인 ASIC 설계 이슈에 대해 고찰해 보았다. 이러한 이슈를 해결하여 고집적 제어 ASIC을 구현한다면, 상용 칩에 맞도록 엔진에 해당하는 트랜스포머를 설계하는 현재의 비효율적인 기법이 아니라 엔진을 중심으로 하는 효율적인 시스템 설계가 가능해질 것이다. 고전압 소자와 이를 사용하는 설계 기법은 추후 계속 상호 보완하면서 더 높은 전압영역으로 그 응용을 확대해 갈 것이다.

1) BJT CMOS DMOS를 혼합하여 사용할 수 있는 공정으로서 다양한 전압영역이 혼합된 설계에 적당하다.

MPW(Multi-Project Wafer) Design Contest

IDEC MPW 설계공모전

IDEC MPW 설계공모전을 통하여 자신이 설계한 IC를 국내 최고의 Foundry 업체에서 제작할 수 있습니다. 여러분이 주인공이 되어 생각을 현실로 구현해 보십시오.

2012년 MPW 공정 지원 내역

공정지원사	공정[μm]	공정내역	size	칩수	Package
삼성	0.13μm	CMOS 1-poly 6-metal	4mm x 4mm	96	208pin QFP
	65nm	CMOS 1-poly 8-metal (RF지원, Option(HRI, Inductor, MIM))	4mm x 4mm	40	208pin QFP
매그나칩/하이닉스	0.35μm	CMOS 2-poly 4-metal (Optional layer (DNW, HRI, BJT, CPOLY) 추가)	5mm x 4mm	40	Design 144pin Package 208pin QFP
	0.18μm	CMOS 1-poly 6-metal (6metal을 Thick metal로만 사용가능 /Optional layer(DNW, HRI, BJT, MIM) 추가)	4.5mm x 4mm	80	Design 200pin Package 208pin QFP
동부하이텍	0.11μm	CMOS 1-poly 6-metal (RFCMOS Top : UTM)	5mm x 5mm	30	208pin QFP
	0.18μm BCDMOS	CMOS 2-poly 4-metal(Thick metal)	5mm x 5mm	6	144pin QFP
	0.35μm BCDMOS	CMOS 2-poly 4-metal(Thick metal)	5mm x 5mm	15	144pin QFP
TowerJazz	0.18μm CIS	CMOS 1-poly 4-metal	5mm x 5mm	2	지원하지 않음
	0.18μm BCDMOS	CMOS 1-poly 3-metal(MT)	5mm x 5mm	4	
	0.18μm RFCMOS	CMOS 1-poly 6-metal	5mm x 5mm	2	
	0.18μm SiGe	SiGe BiCOMOS 1-poly 6-metal	5mm x 5mm	1	

2012년 MPW 진행 일정 * 삼성 공정 라인 제작기간 조정으로 관련 공정 제작일이 변경됨

구분	공정사	공정	제작 칩수	우선모집		정규모집		후기	DB미감 (Tape-Out)	DB전달 (Fab-In)	Die-out	Package-out
				신청마감	신청발표	신청마감	신청발표					
108회 (12-01)	M/H	0.18μm	20			11.11.05	11.11.19		12.02.13	12.02.27	12.06.04	12.07.04
	동부	0.35μm(BCD)	3			11.11.05	11.11.19		12.02.22	12.03.07	12.05.30	12.07.02
	TJ	0.18μm(SiGe)	1			11.11.05	11.11.19		12.02.13	12.02.21	12.07.02	-
	TJ	0.18μm(RF)	1			11.11.05	11.11.19		12.02.27	12.03.05	12.07.05	-
109회 (12-02)	삼성	0.13μm	48			11.11.20	11.12.05		12.03.09	12.03.30	12.08.10	12.09.07
110회 (12-03)	동부	0.11μm	15			11.11.20	11.12.05		12.03.28	12.04.18	12.08.01	12.09.03
	동부	0.35μm(BCD)	3			11.11.20	11.12.05		12.04.04	12.04.18	12.07.11	12.08.13
111회 (12-04)	M/H	0.18μm	20			11.12.5	11.12.20	11.02.01~	12.05.14	12.05.28	12.09.03	12.10.05
	M/H	0.35μm	20			11.12.5	11.12.20	11.02.01~	12.05.14	12.05.28	12.09.03	12.10.05
	동부	0.35μm(BCD)	3			11.12.5	11.12.20	11.02.01~	12.05.24	12.06.7	12.08.30	12.10.01
	TJ	0.18μm(CIS)	1			12.01.20	12.01.30		12.05.07	12.05.14	12.09.14	-
112회 (12-05)	TJ	0.18μm(BCD)	2			12.01.20	12.01.30		12.05.14	12.05.21	12.09.21	-
	삼성	65nm	20			11.12.20	12.01.05	11.03.01~	12.06.04	12.06.29	12.11.09	12.12.09
113회 (12-06)	동부	0.18μm(BCD)	2			11.12.20	12.01.05	11.03.01~	12.06.20	12.07.4	12.09.26	12.10.26
	동부	0.35μm(BCD)	3			12.01.05	12.1.20	11.03.10~	12.07.04	12.07.18	12.10.10	12.11.12
114회 (12-07)	동부	0.18μm(BCD)	2	11.11.20	11.12.05	12.02.01	12.02.15	12.05.01~	12.08.08	12.08.22	12.11.14	12.12.14
	M/H	0.18μm	20			12.02.01	12.02.15	12.05.01~	12.08.13	12.08.27	12.12.31	13.01.28
	삼성	0.13μm	48			12.02.01	12.02.15	12.05.01~	12.08.31	12.09.21	13.02.01	13.03.01
115회 (12-08)	동부	0.18μm(BCD)	2			12.03.01	12.03.15	12.06.15~	12.09.26	12.10.10	13.01.04	13.02.04
	TJ(CIS)	0.18μm	1			12.04.15	12.04.30	12.07.01~	12.10.15	12.10.22	13.02.22	-
116회 (12-09)	TJ(RF)	0.18μm	1			12.04.15	12.04.30	12.07.01~	12.10.22	12.10.29	13.02.29	-
	TJ	0.18μm(BCD)	2			12.04.15	12.04.30	12.07.01~	12.10.22	12.10.29	13.02.29	-
	동부	0.35μm(BCD)	3			12.04.15	12.04.30	12.07.01~	12.10.10	12.10.24	13.01.16	13.02.18
	동부	0.11μm	15			12.04.15	12.04.30	12.07.01~	12.10.02	12.10.24	13.02.06	13.03.06
	M/H	0.18μm	20			12.05.01	12.05.15	12.08.01~	12.11.12	12.11.26	13.03.18	13.04.15
117회 (12-10)	M/H	0.35μm	20			12.05.01	12.05.15	12.08.01~	12.11.12	12.11.26	13.03.18	13.04.15
	삼성	65nm	20			12.05.01	12.05.15	12.08.01~	12.11.26	12.12.21	13.05.02	13.06.03

참여 대상 : IDEC Working Group(WG) 대학의 학부생 및 대학원생

- * 표기 : 1) 년.월.일 2) M/H = 매그나칩/하이닉스 3) TJ = TowerJazz
- * 동부, TowerJazz 공정은 5mm×2.5mm 또는 2.35mm×2.35mm 사이즈만 모집함.
- * 모집 : 우선(50%), 정규(50%) 모집을 원칙으로 하며, 후기모집은 정규모집시 마감일 안된 공정에 대해서만 실시함.
- * 설계설명회는 정규 모집시에만 개최함.
- * 위의 일정은 사정에 따라 다소 변경될 수 있음.

참여기업

All Digital PLL (ADPLL) 설계기술 동향



성균관대학교 전자전기공학부
이강윤 교수
연구분야 : 아날로그, RF, 전력용 집적회로 설계
E-mail : klee@skku.edu



서론

최근 집적도를 높이기 위해서 Deep-Submicron 공정이 점점 더 많이 사용되고 있다. Deep-Submicron CMOS 공정에서 아날로그 회로는 낮은 공급 전압으로 말미암아 충분한 Voltage Headroom을 가질 수 없고, 또한 Digital 블록에 의해서 Substrate Coupling Noise에 의한 영향을 많이 받게 된다. 공급 전압은 급격하게 감소하는 반면, Threshold Voltage는 공급 전압에 비해서 서서히 감소하기 때문에, 아날로그 회로의 설계는 더욱 어려워지고 있다.

본론

이러한 문제를 해결하기 위해서 기존의 Analog PLL을 All Digital PLL로 대체하고자 하는 연구가 활발하게 진행되고 있다. 그림 1은 Analog PLL의 구조를 보여주고 있다. Phase Frequency Detector (PFD)에 의해서 Reference Clock (FREF)와 VCO 분주된 Clock의 위상 오차가 펄스의 형태로 생성된다.

위상오차는 시간 축 정보인데, 시간 정보를 VCO Tuning 전압 정보로 변환하기 위해서 Charge Pump와 Loop Filter가 사용된다. Deep-Submicron 공정으로 갈수록 공급 전압이 1V 이하로 내려가므로 Tuning 전압의 범위가 줄어들게 된다.

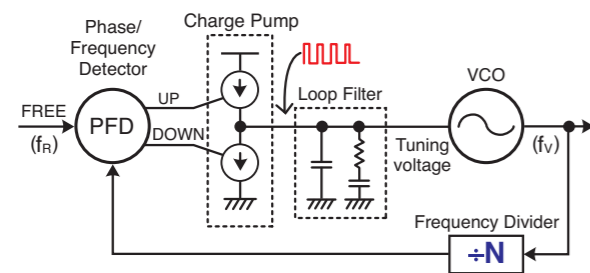


그림 1. Analog PLL의 구조

그림 2는 Digital PLL의 기본 구조를 보여주고 있다. Analog PLL에서와같이 시간 정보를 전압 정보로 변환하지 않고, 시간 정보를 바로 Digital로 변환하는 TDC (Time-to-Digital Converter)를 사용할 수 있다. Deep Submicron 공정으로 내려갈수록 시간 해상도는 좋아지므로 Analog PLL에 비해서 이점을 가질 수 있다.

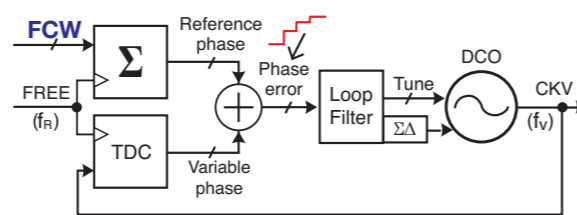


그림 2. Digital PLL의 기본 구조

그림 3은 Texas Instruments 사의 Digital PLL의 Block Diagram을 보여주고 있다.

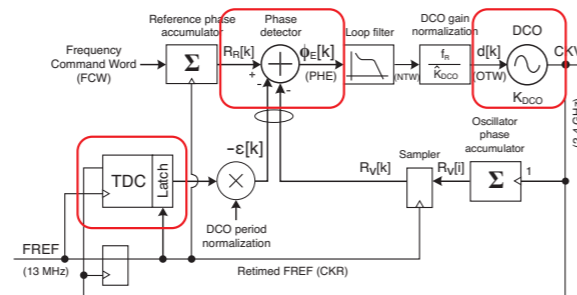


그림 3. Texas Instruments 사의 Digital PLL 구조

기본적인 동작원리는 Reference Clock과 DCO (Digitally Controlled Oscillator)의 주파수 및 위상 정보를 얻기 위해서 Accumulator를 이용해서 각각 카운트한 후에, 이 두 값을 이용해서 Phase Detector로 가서 주파수 및 위상을 비교하게 된다. Phase Detector의 출력은 Digital Loop Filter에서 필터링이 된 후에, DCO의 입력으로 들어가게 된다. DCO는 이 Digital Code를 받아서 출력 주파수를 제어하게 된다.

Reference Clock과 DCO Clock의 동기화를 위해서 Sampler를 통해서 Oscillator Phase Accumulator의 값을 샘플링해서 Phase Detector의 입력으로 인가하게 된다. DCO Clock의 Resolution이 유한하므로 DCO Clock과 Reference Clock 사이에 위상차가 발생

하게 되고, 그림 4에서 볼 수 있는 바와 같이 이 Clock간의 위상차를 검출해서 보상해주는 TDC (Time-to-Digital Converter) 블록의 성능이 매우 중요하게 된다.

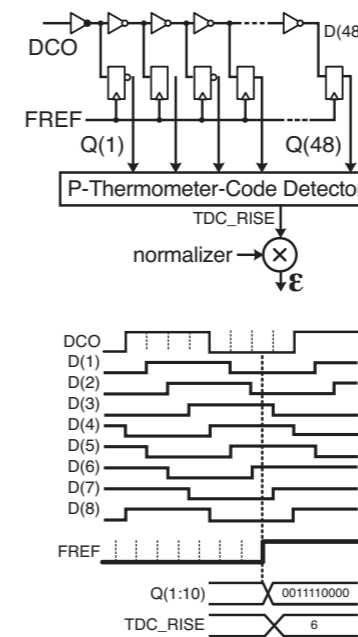


그림 4. TDC (Time-to-Digital Converter)의 구조 및 동작원리

TDC 블록에서 검출할 수 있는 최소 resolution에 따라서, Digital PLL의 In-Band Phase Noise가 좌우된다. 즉, Digital PLL의 자체의 Jitter 특성을 결정하는 중요한 블록이고, 다음의 수식에서 볼 수 있는 바와 같이, 최소 resolution이 줄어들수록 In-Band Phase Noise 특성이 향상될 수 있다.

$$L = \frac{(2\pi)^2}{12} \left(\frac{\Delta t_{inv}}{T_V} \right)^2 \cdot \frac{1}{f_R}$$

- E.g., $\Delta t_{inv}=20ps$, $f_v=1.8GHz$, $f_R=26MHz$, $L = -97.8dBc/Hz$

Digital PLL을 이용한 Polar Transmitter에서 Phase Modulation을 하면 Bandwidth가 증가하기 때문에, PLL의 Loop Bandwidth를 넓혀야 한다. 일반적으로 PLL의 Loop Bandwidth가 넓어지면, DCO에 의한 Out-Band Phase Noise가 증가하므로, DCO 자체의 Out-Band Phase Noise 성분을 줄여야 한다.

그림 5는 DCO의 회로도를 보여주고 있다. Phase Noise 특성을 위해서 Frequency Synthesizer에 널리 사용되는 VCO와 같이 LC-Tank와 Negative-Gm 회로로 구성되어 있다. 주파수는 $1/2\pi LC$ 로 결정되고, Digital Code에 의해서 Capacitor의 값을 조정함으로써, 주파수를 조절할 수 있다. DCO는 VCO (Voltage-Controlled Oscillator)와는 달리 근본적으로 Discrete 한 출력 주파수를 발생시킬 수 밖에 없다.

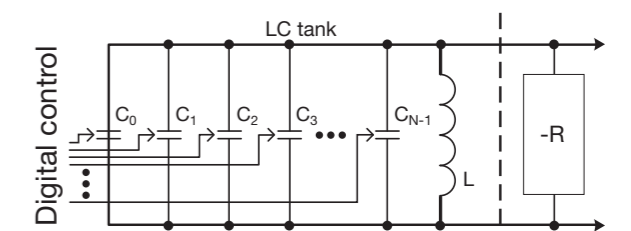


그림 5. DCO (Digitally Controlled Oscillator)의 구조

DCO에서 생성할 수 있는 출력 주파수의 해상도를 향상시키기 위한 연구가 활발하게 진행되고 있다. 하지만 MIM Capacitance를 사용하게 될 경우, 일반적으로 수 fF이 구현할 수 있는 최소 커패시턴스이고, Varactor를 사용할 경우, 수 aF까지 구현할 수 있다. 2GHz 대역에서 수 aF의 커패시턴스 변화는 수십 kHz의 주파수 변화에 해당하기 때문에 Varactor 만으로는 원하는 Resolution을 낼 수 없게 된다.

이를 해결하기 위해서 Texas Instruments 사의 DCO에서는 Sigma-Delta Modulator를 사용하여, 해상도의 한계를 극복하였다. 그림 6에서 볼 수 있는 바와 같이, Capacitance Bank의 최솟값을 극복하기 위해서 Fractional part를 Sigma Delta Modulator를 이용하여 구현하였다.

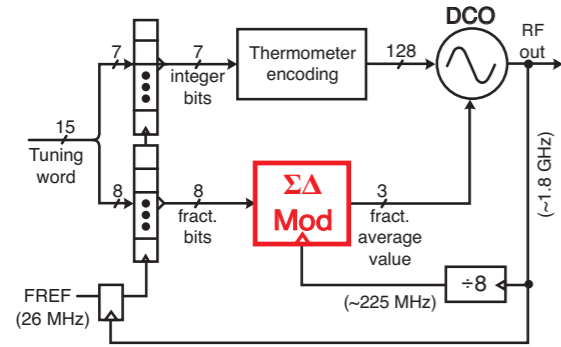


그림 6. Sigma-Delta Modulator를 이용한 DCO의 구조

Capacitance의 최소값이 1fF이라고 하더라도, Sigma-Delta Modulator에 의해서 시간 축 상에서 Capacitance가 보이는 시간을 조절함으로써, 수 aF 이하의 Fractional Part를 구현할 수 있다. 예를 들어서, 1fF이 시간 축 상에서, 1/10의 구간 동안에만 On이 되면, 0.1fF을 구현할 수 있다. 하지만 일정한 패턴을 가지고 켜지게 되면 SPUR 성분이 커지기 때문에 랜덤하게 On/Off를 할 필요가 있으며, 이에 적합한 Sigma-Delta Modulator를 사용하면 해결할 수 있다.

결론

본 컬럼에서는 All-Digital PLL의 설계 이슈 등에 대해서 살펴보았다. 아직은 전통적인 아날로그 PLL에 비해서 해결해야 할 이슈들이 많이 있지만, Deep Submicron 공정으로 갈수록 Digital PLL에 대한 연구가 더욱 활발하게 이루어지리라 생각된다.

Reference

- [1] R. B. Staszewski, D. Leipold, K. Muhammad, and P. T. Balsara, "Digitally controlled oscillator (DCO)-based architecture for RF frequency synthesis in a deep-submicrometer CMOS process," *IEEE Trans. Circuits Syst. II*, vol. 50, no. 11, pp. 815-828, Nov. 2003.
- [2] R. B. Staszewski, C.-M. Hung, D. Leipold, and P. T. Balsara, "A first multigigahertz digitally controlled oscillator for wireless applications," *IEEE Trans. Microwave Theory Tech.*, vol. 51, no. 11, pp. 2154-2164, Nov. 2003.
- [3] B. Staszewski, C.-M. Hung, K. Maggio, J. Wallberg, D. Leipold, and P. Balsara, "All-digital phase-domain TX frequency synthesizer for Bluetooth radios in 0.13- μ m CMOS," in *Proc. IEEE Solid-State Circuits Conf.*, vol. 527, sec. 15.3, Feb. 2004, pp. 272-273.
- [4] R. E. Best, *Phase Locked Loops: Design, Simulation and Applications*, 2nd ed, New York: McGraw-Hill, 1993.
- [5] A. Kajiwara and M. Nakagawa, "A new PLL frequency synthesizer with high switching speed," *IEEE Trans. Veh. Technol.*, vol. 41, no. 4, pp. 407-413, Nov. 1992.
- [6] R. B. Staszewski, D. Leipold, and P. T. Balsara, "Just-in-time gain estimation of an RF digitally controlled oscillator for digital direct frequency modulation," *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process.*, vol. 50, no. 11, pp. 887-892, Nov. 2003.
- [7] F. M. Gardner, "Charge-pump phase-locked loops," *IEEE Trans. Commun.*, vol. COM-28, pp. 1849-1858, Nov. 1980.
- [8] J. P. Hein and J. W. Scott, "z-domain model for discrete-time PLLs," *IEEE Trans. Circuits Syst.*, vol. 35, no. 11, pp. 1393-1400, Nov. 1988.
- [9] R. B. Staszewski, C. Fernando, and P. T. Balsara, "Event-driven simulation and modeling of an RF oscillator," in *Proc. 2004 IEEE Int. Symp. Circuits Systems*, May 2004, pp. IV-641-IV-644.

세상을 그리다
반도체가 그려가는 세상입니다.

이 작은 반도체 안에 수백 권의 백과사전을 넣을 수 있다고?
사람들은 믿지 않았습니다.

이 작은 나라에서 반도체를 만들겠다고?
사람들은 믿지 않았습니다.

그러나 대한민국은 반도체로 세계를 놀라게 했습니다.
이 기적의 역사를 다시 쓸 사람은 누구입니까?
대한민국 반도체의 새로운 신화를 만들 사람은 바로 당신입니다.

반도체와 함께 자라는 꿈을 키우세요.
한계를 넘어, 미래를 앞서, 반도체가 우리의 힘입니다.

한국과학기술원 IDEC 한국반도체교육센터
www.idec.or.kr_042) 350-8535-6

KSTA 韓國半導體産業協會
www.kstia.or.kr_02) 578-3472

COSAR 한국반도체연구조합
www.cosar.or.kr_02) 578-9068



집 트립 기 기 사

Neuromorphic Architecture 및 CAD 연구 동향

최근 3D 휴먼 팩터가 이슈가 되면서 인간 3D 정보처리 시스템에 관한 관심이 증가하고 있다. 즉, 인간 두뇌의 3D 정보처리 시스템은 순차적으로 정보를 처리하면서 동시에 병렬적으로 처리한다.

또한, 머신 비전 분야에서 얼굴과 같은 물체를 인식할 때 기계가 하기 어려운 일은 크기의 차이, 방향, 빛, 영상의 복잡도에 따른 변위를 다루는 일이다. 다른 예로는 효과적인 음성인식, 계획, 그리고 깊이, 재질 및 색채 인식이 있다. 머신 비전은 제한적으로 잘 명시된 분야, 예를 들면 광학적 문자 인식 또는 지문 인식 등은 잘 인식할 수 있으나, 혼란스러운 영상과 같은 제약되지 않은 문제들에 대해서는 인식하기 어려운 단점이 있다.

최근 3D 휴먼 팩터가 이슈가 되면서 인간 3D 정보처리 시스템에 관한 관심이 증가하고 있다. 즉, 인간 두뇌의 3D 정보처리 시스템은 순차적으로 정보를 처리하면서 동시에 병렬적으로 처리한다.

또한, 머신 비전 분야에서 얼굴과 같은 물체를 인식할 때 기계가 하기 어려운 일은 크기의 차이, 방향, 빛, 영상의 복잡도에 따른 변위를 다루는 일이다. 다른 예로는 효과적인 음성인식, 계획, 그리고 깊이, 재질 및 색채 인식이 있다. 머신 비전은 제한적으로 잘 명시된 분야, 예를 들면 광학적 문자 인식 또는 지문 인식 등은 잘 인식할 수 있으나, 혼란스러운 영상과 같은 제약되지 않은 문제들에 대해서는 인식하기 어려운 단점이 있다. 한편 사람의 뇌와 같은 생물체의 인식은 시각 데이터로부터 충분한 정보를 추출하여 추론을 통해서 인식하게 된다. 인간의 두뇌에서 시각 정보는 상위 수준 지식과 여러 가지 센서 형태들을 결합하여 추론 과정을 통하여 해결 공간상에 제약을 두어 인식을 가능하게 한다.

본 컬럼은 총 2회에 걸쳐, 두뇌의 시각 정보 전달 체계, 두뇌 정보 전달 모델링, 두뇌 정보 전달 구조에 대해서 알아보고자 한다.

두뇌의 시각 정보 전달 체계

뇌의 후두엽은 시각연합영역(visual association area)과 시각피질(Visual Cortex)이라고 하는 시각중추(the visual center)가 있어 시각정보의 처리를 담당한다. 외부로부터 빛, 자극과 같은 영상 정보는 후두엽에서 초기 시각정보 특징(feature)을 처리한다. 눈으로 들어온 시각정보가 시각피질에 도착하면 좀 더 복잡한 정보, 즉, 모양과 깊이, 운동, 색등을 처리하는 중간 단계를 거친다. 그리고 이를 과거의 기억 속의 특정 대상과의 합치 여부를 따져보는 고차 인지 과정이 진행된다. 각각의 단계는 병렬처리하여 짧은 시간에 인식할 수 있게 된다. 우리의 뇌가 이러한 활동을 하는데 있어서 한 개의 신경세포(Neuron)는 수천, 수만 개의 신경세포와 정보를 주고받고 있다.

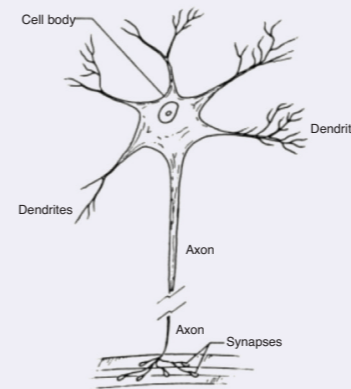


그림 1. 생물학적인 뉴런 모델 (Phenomenon of Science by Valentin Turchin, 1977)

뉴런은 dendrites (inputs)과 axon(output)으로 구성되어 있으며, axon은 synapse를 통하여 다른 뉴런의 dendrites와 연결된다. 각 뉴런은 전기적인 포텐셜을 가지고 있으며, 이 포텐셜이 어느 정도의 크기에 다다르면 뉴런은 신호를 연결된 인접 뉴런에 전달한다. 이 연결선을 synapse라고 부른다. synapse는 신호를 수정하여 보낸다. synaptic weight가 synaptic plasticity 알고리즘을 통해서 조정된다.

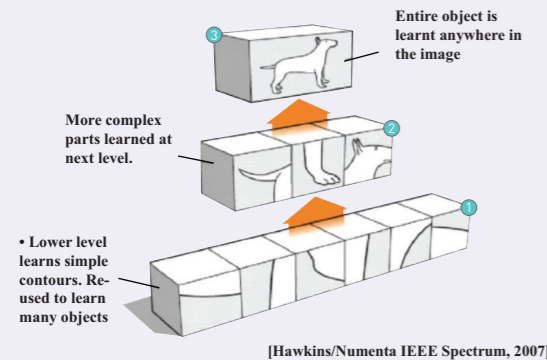
뉴런은 크게 흥분성(Excitatory Cortical Cell)과 억제성(Inhibitory Cortical Cell)로 나누어진다. 흥분성 뉴런은 자신이 받은 전류들을 모아 자신과 연결된 뉴런들에게 전달해주는 역할을 한다. 반면, 억제성 뉴런은 자신이 받은 전류들을 자신과 연결된 뉴런들에게 전달해주지 않는다. 뉴런의 접합은 자극성 입력과 억제성 입력의 가중화된(weighted) 합에 좌우된다. 사람의 뇌는 1,000억 개의 뉴런으로 되어 있고, 각 뉴런은 수만 개의 다른 뉴런에 연결되어 있다. 각 뉴런은 신호(즉, spike)를 10Hz의 속도로 보낸다. 각 뉴런은 컴퓨터 네트워크에서와같이 메시지를 송수신하는 객체로써 설계될 수 있다.

이러한 정보 교환을 담당하고 있는 것이 신경전달물질(neuro transmitter)이다. 신경전달물질로는 도파민(dopamine), 세로토닌(serotonin), 아세틸콜린(acetylcholine) 등이 있다.

세로토닌은 쾌와 불쾌의 균형을 유지하며 도파민은 각성제(stimulant)이며 쾌의 원인이 된다. 아세틸콜린은 기억과 지적 기능을 담당한다.

신경전달 물질은 시냅스(synapse) 간에 정보를 교환해주는데 전달물질에 따라 수용체가 다르다. 신경전달물질이라고 하는 열쇠가 수용체(receptor)라고 하는 열쇠 구멍에 맞게 결합함으로써 다음 신경세포막에 있는 대문이 열려 정보가 전달될 수 있다. 각각의 신경전달물질들은 각자 특유의 수용체 분자하고만 결합하여 특정정보를 전달한다. 특수 단백질(protein) 분자(molecule)의 결합으로 정신기능에서부터 행동·감정에 이르기까지 모든 것이 결정되는 것이다.

신경계의 두뇌가 컴퓨터와 다른 점이 있다면 컴퓨터는 하드웨어가 고정되어 있으며, 소프트웨어 프로그램을 교체하여 다른 일을 할 수 있다. 그러나 인간의 의식은 두뇌에 저장될 때 단순히 신경세포에 저장되는 것이 아니라 신경세포의 시냅스들을 새롭게 연결하면서 새로운 신경회로를 만들어 나간다는 점이 다르다. 인간의 의식이 진화하는 것처럼 컴퓨터를 인간과 같이 만들려면 컴퓨터 소프트웨어가 두뇌의 신경계처럼 스스로 개조해 나갈 수 있어야 한다. 비전 인식 체계는 아래 그림과 같이 feed forward 형태로 되어 있다.



[Hawkins/Numenta IEEE Spectrum, 2007]

그림 2. 계층적 구조의 인식 체계

계층의 하위수준에 있는 간단한 구조로부터 학습을 통하여 복잡한 구조를 얻는 구조로 되어 있다. 또한, 피드백 루프가 존재하지 않는다. 즉, 하위수준에서의 예측 및 판단이 중요하다 는 것을 알 수 있다.

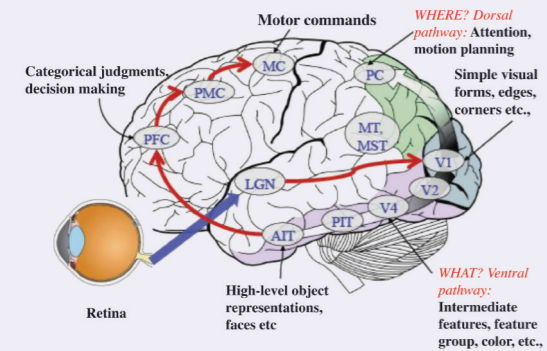
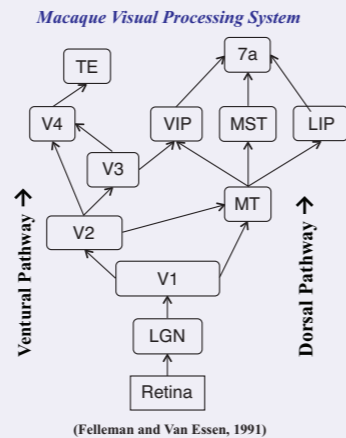


그림 3. 두뇌의 시각 정보 전달 경로

우리 뇌는 시각정보를 처리할 때 "물체가 어디에 있는가?"와 "물체가 무슨 물체인가?"를 각각 따로 처리한다. 각각, 뇌의 위쪽 경로를 따라 처리되는 "어디에"의 경로를 where stream 또는 dorsal stream, 또는 parietal stream이라 하고 "무엇?"을 알아내는 경로를 what stream 또는 ventral stream 또는 temporal stream이라 한다.

Where stream은 motion을 분석하거나 물체의 위치를 분석하는 경로, what stream은 물체인식을 수행하는 경로이다. 각각의 최종노드는 dorsal(where) stream의 경우 정수리계의 MT, ventral stream은 관자놀이의 IT(Inferotemporal) cortex이다. 이 둘은 당연히 서로 정보를 교환하며 작동되는 한데 where가 먼저 처리된다. 이러한 인식 작업은 12.5ms에서 100ms 내에서 처리된다.



(Felleman and Van Essen, 1991)

그림 4. Macaque 원숭이의 시각 처리 시스템

뇌는 massive parallelism (1011 neurons), massive connectivity (1015 synapses), 전력 효율이 탁월하며 (~20W for 1016 flops), 저성능의 컴포넌트 (~100Hz), 저속도의 통신 (~ meters/sec), 저 정밀도 synaptic 연결, 확률적인 반응과 fault-tolerant하며 자발적인 학습이 가능한 구조로 되어 있다.

	Brain	Watson (Morphy the robot)	Road-runner (IBM)
복잡도	100 Billion neurons	10 racks of IBM Power 750 servers with 2,880 processor cores	6,912 AMDx2 12,960 IBM CELL
성능	1 KHz (synaptic rate) 100 Peta FLOPS	80 Tera FLOPS	1.7 Peta FLOPS
전력 소모	20 Watts for 10PF	200 KW for 1FF	39 MW Power for 1FF
메모리	750 gigabytes to 6.4 terabytes	15 terabytes of RAM	107 TB memory

표 1. 뇌와 컴퓨터의 비교

이 표의 비교를 보면, 뇌는 Watson에 비해서 1.25x10⁶ 배 전력대 성능비가 우수하다. 그 이유는 대부분이 와이어의 전력 소모를 줄이기 위해서 글로벌 와이어를 사용하지 않고 로컬 와이어를 사용하여 계산과 통신을 하기 때문이다. 또한, 정보 계산 처리는 물리적 프리미티브를 사용하여 아날로그 방식을 사용하며, 시그널 복원을 위해서 sparse한 디지털 통신 방식을 사용한다.

두뇌의 정보 전달 모델링

아래 그림은 "The Mandala of the Mind"라고 불리는 Macaque 원숭이의 뇌에 대한 network 모델[1]이며 cortex, thalamus, basal ganglia에 걸친, 383개의 vertex는 뇌의 영역을 표현하며, 6,602개의 edges는 각 영역을 연결하는 긴 거리 연결선을 의미한다. 계층적으로 Cluster를 구성한 것을 알 수 있다.

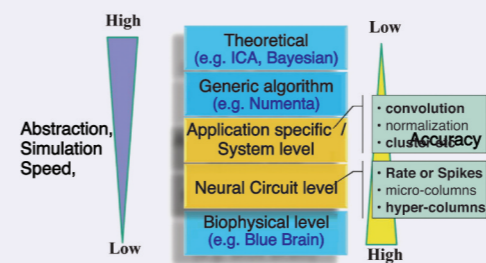


(modha.org/PNAS10/network.pdf)

[그림 5] Macaque 원숭이 뇌의 네트워크 모델

원숭이는 총당 10 ms으로 10개의 층에 대해서 80-100ms의 지연시간을 가진다. 발화율은 0-100이며, 네트워크가 넓게 퍼져 있으므로 Massive parallel processing이 가능하며, Wave pipelining과 같은 형태로 빠른 시간에 spikes를 전파할 수 있다.

뇌의 검증 모델은 다음과 같은 다섯 가지 수준으로 분류된다. 1) Mathematical/Theoretical Analysis (e.g., Bayesian coding hypothesis/probability density functions, ICA, Sparse coding, Neural Darwinism) 2) brain-inspired generic algorithm for computer vision, robotics and learning (e.g., Numenta) 3) neurobiological application specific system level for motor control, vision, audition (e.g., MIT H-Max), 4) Neural circuit level 5) Brain-inspired biophysical/cellular level (e.g., EPFL Blue Brain).



[그림 6] 뇌의 검증 모델 수준 계층도

그러한 뇌의 네트워크에 대한 모델은 추상 레벨이 높은 상위 수준일수록 검증시간은 빠르게 되지만, 검증이 정확도를 떨어지게 된다.

현재 블루 브레인인 세포 수준에서 정확한 뉴런을 10만 개 정도 모은 수준까지 이르렀다. 앞으로 컴퓨터의 계산 능력이 100만 배 더 증가하게 되면 인간의 두뇌 전체를 시뮬레이션 할 수 있는 파워를 갖게 된다. Neural circuit 시뮬레이션 도구로는 IBM cortical simulator, UCI GPU-SNN 등이 있다.

결론

뇌의 리버스 엔지니어링은 많은 CAD 연구를 필요로 한다. 즉, 모델링, sw/hw 설계, 시뮬레이션, 알고리즘 하드웨어 맵핑, 재사용 라이브러리, 구조 합성, 최적화 알고리즘 (예: 파라미터 튜닝), 성능 분석, HW platform이 필요하게 된다. 이러한 도구의 개발을 위해서는 도메인 지식이 필요하며, 이를 위하여 인지과학, 신경과학, 전산학의 인터렉션 융합 연구가 필요하다.

이번 호에서는 두뇌의 시각 정보 전달 체계와 두뇌 정보 전달 모델링에 대해서 다루었다. 다음 호에서는 두뇌 정보 전달 구조에 대해서 알아보도록 한다.

Reference

- [1] Dharmendra S. Modha and Raghavendra Singh (IBM), "Network architecture of the long-distance pathways in the Macaque brain", Proceedings of the National Academy of Sciences
- [2] S. Furber and A. Brown, Biologically-inspired massively-parallel architectures - computing beyond a million processors. In Proc. 9th International Conference on the Application of Concurrency to System Design, pages 3-12, ACSD'09, 2009.
- [3] X. Jin, M. Lujan, L. A. Plana, S. Davies, S. Temple, and S. B. Furber. Modeling spiking neural networks on spinnaker. IEEE Computing in Science and Engineering, September /October 2010 (vol. 12 no. 5), pages 91-97, 2010.
- [4] X. Jin, M. Lujan, L. A. Plana, A. D. Rast, S. R. Welbourne, and S. B. Furber. Efficient parallel implementation of multilayer backpropagation networks on spinnaker. In CF'10: Proceedings of the 7th ACM international conference on Computing frontiers, pages 89-90, New York, NY, USA, 2010.
- [5] X. Jin, A. Rast, F. Galluppi, S. Davies, and S. Furber. Implementing spike-timing-dependent plasticity on spinnaker neuromorphic hardware. WCCI 2010 IEEE World Congress on Computational Intelligence, pages 2302 - 2309, July 2010.
- [6] J. M. Nageswaran, N. Dutt, J. L. Krichmar, A. Nicolau, and A. Veidenbaum. Efficient simulation of large-scale spiking neural networks using cuda graphics processors. In IJCNN'09: Proceedings of the 2009 international joint conference on Neural Networks, pages 3201-3208, Piscataway, NJ, USA, 2009.
- [7] R. Rubenstein. Linking arms to make a brain. New Electronics, July 2010, pages 16-18, 2010.
- [8] Professor Nikil Dutt's Lecture Notes, Feb. 2012.



성균관대학교 전자전기공학부

조준동 교수
 연구분야 : 모바일 시스템온칩 설계 및 최적화
 E-mail : jdcho@skku.edu
 http://vada.skku.ac.kr