

Less energy.
More speed.



The new 30 nano class Green DDR3

Samsung's 30 nano class 4G bit DDR3 server memory chip is the most advanced, best-performing chip we've ever created. It saves 86% more energy, processes two times faster and is far more reliable than its predecessor.* In fact, its energy usage is so small, operating and maintenance costs of your server farm are significantly reduced. Welcome the eco-innovation that doesn't compromise performance - just one more reason the leader in green memory technology is Samsung.

www.samsung.com/greenmemory



© 2011 Samsung Electronics Co. Ltd.
* Samsung internal test result, compared to Samsung 4G nano class DDR3 memory chip. Actual performance difference may vary depending on the test environment.

IDEC Newsletter

IDEC Newsletter | 통권 : 제177호 발행일 | 2012년 2월 29일 발행인 | 박인철 편집인 | 김이성 제 작 | 푸른디자인
기획 | 전항기 전 화 | 042) 350-8535 팩 스 | 042) 350-8540 http | //idec.or.kr
E-mail | jhg0929@idec.or.kr 발행처 | 반도체설계교육센터(IDEC)

Vol.177

2012
March

SSD (Solid-State Drive) 컨트롤러 기술개요 | 04 반도체 온도 센서 연구동향 | 10
디지털 TV를 위한 고속 인터페이스 기술동향 | 14 International Thin Film Transistor Conference 2012 참관기 | 18

반도체설계교육센터 사업은 지식경제부, 반도체산업협회, 반도체회사(삼성전자, 하이닉스반도체, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.

SSD (Solid-State Drive) 컨트롤러 기술개요

스마트·모바일·클라우드·그린 등이 최근 IT의 키워드로 떠오르고 폭발적으로 증가하는 데이터 관리를 위해 이상적인 스토리지에 관한 관심이 증폭되면서 낸드 플래시 메모리 기반의 SSD(Solid-State Drive)가 모바일 기기를 중심으로 HDD를 대체하고 있다. 스토리지의 용량 증가속도는 무어의 법칙으로 대변되는 반도체 집적도 증가속도를 초월한 지 오래이며, 글로벌 경기 침체에도 스마트기기의 보편화 등을 계기로 SSD 시장은 매년 70퍼센트의 고도성장을 이룰 것으로 예측되고 있다. 본 고에서는 메모리 반도체 초강대국이지만 소프트웨어와 시스템반도체 기술이 취약한 우리나라에 기회가 될 수 있는 SSD 기술, 그중에서도 소프트웨어와 시스템반도체 기술이 특히 중요한 SSD 컨트롤러를 중심으로 소개하고자 한다. (관련기사 P04~09 참조)

반도체 온도 센서 연구동향

반도체 공정이 발달함에 따라 단위 면적당 집적 가능한 반도체 소자의 숫자는 빠른 속도로 증가하고 있다. 이에 따라 반도체가 소모하는 에너지는 증가하게 되고, 이것은 발열 문제로 이어진다. 그런데 반도체 회로에 사용되는 소자들은 온도에 따라 특성이 크게 달라진다. 본 고에서는 반도체 공정을 이용하여 제작할 수 있는 온도센서에 대해서 소개하고자 한다. (관련기사 P10~13 참조)

디지털 TV를 위한 고속 인터페이스 기술동향

미국의 Silicon Image에 의해 1999년 DVI가 정의되고 개발된 이후 TV를 포함한 디스플레이 시스템에서 디지털 인터페이스 기술이 빠른 속도로 채용되어 왔다. 특히 Silicon Image를 포함한 7개 회사가 제정한 HDMI 표준은 DVI와 전기적으로 호환되며 지적재산권 보호를 위한 HDCP 기술을 채용하여 현재 디지털 TV 인터페이스의 de facto standard로 자리매김하고 있다. 본 고에서는 디지털 TV를 위한 고속 인터페이스 기술동향을 소개하고자 한다. (관련기사 P14~P16 참조)

International Thin Film Transistor Conference 2012 참관기

지난 2012년 01월 30일~31일 이틀 동안, 아르메니아 공화국 태생의 석유왕 굴베크안의 유언으로 설립된 박물관인 Congress Center of the Calouste Gulbenkian Foundation에서 개최되었다. 학회 프로그램의 전체적인 구성은 Si 기반 소자 공정기술, Organic 기반 소자 공정기술, 산화물 기반 소자 공정 기술, 그리고 CNT, Graphene에 대한 연구결과들이 발표되었다. 본 고에서는 고려대학교 주병권 교수의 시선으로 ITC 2012의 모습들을 살펴보고자 한다. (관련기사 P18~P19 참조)



www.towerjazz.com

TowerJazz Technology

TowerJazz Overview

TowerJazz manufactures integrated circuits for more than 150 customers worldwide. Our vision is to be the world leader in specialty foundry solutions as measured by our customers, employees and investors.

TowerJazz achieved the highest percentage of growth in 2010 vs. 2009. By further accelerating our growth rate in 2011, we are challenging to become the #1 specialty foundry.

Digital CMOS process technology, TowerJazz offers specialty CMOS processes with geometries ranging from 1.0- to 0.13-micron. We are divided into five business units:

- RF/High Performance Analog (including SiGe BiCMOS and RF CMOS offerings),
- Power Management (including our patented Y-Flash, the leading solution for NVM),
- CIS (CMOS Image Sensors),
- Mixed-Signal/CMOS and TOPS (Technology Optimization Process Services) to expand capacity or provide second sourcing.
- We also offer foundry MEMS enablement solutions combined with high volume 150mm and 200mm CMOS wafer manufacturing.

2010 Major IC Foundries

2010 Rank	2009 Rank	Company	Foundry Type	Location	2008 Sales (\$M)	2009 Sales (\$M)	08/09 Sales (%)	2010 Sales (\$M)	10/09 Sales (%)
1	1	TSMC	Pure-Play	Taiwan	10,556	8,989	-15%	13,207	48%
2	2	UMC	Pure-Play	Taiwan	3,070	2,815	-8%	3,965	41%
3	4	GlobalFoundries	Pure-Play	U.S.	0	1,101	N/A	3,510	219%
4	5	SMIC	Pure-Play	China	1,353	1,070	-21%	1,555	45%
5	3	TowerJazz	Pure-Play	Singapore	252	300	15%	515	70%
6	7	Vanguard	Pure-Play	Taiwan	511	382	-25%	508	33%
7	6	Dongbu	Pure-Play	South Korea	490	385	-19%	495	25%
8	8	IBM	IDM	U.S.	400	335	-16%	430	28%
9	12	MagnaChip	IDM	South Korea	346	262	-24%	420	60%
10	10	Samsung	IDM	South Korea	340	290	-15%	400	38%
11	11	SSMC	Pure-Play	Singapore	340	280	-18%	330	18%
12	15	X-Fab	Pure-Play	Europe	368	212	-42%	320	51%
13	14	Hua Hong NEC	Pure-Play	China	280	240	-14%	295	23%
14	13	TI	IDM	U.S.	315	280	-11%	285	14%
15	16	Grace	Pure-Play	China	230	180	-22%	260	44%
---	3	Chartered*	Pure-Play	U.S.	1,743	1,540	-12%	0	N/A

Source: IC Insights, company reports

*Purchased by ULSIIP foundries in 4Q09

The Global Specialty Foundry Leader

IDEC March | 2012 news

MPW (Multi-Project Wafer)

MPW 신청 현황 |

구분	공정	제작 가능면적 (mm ² x 칩수)	신청 팀수	채택 팀수	실제면적 (mm ² x 칩수)	DB마감	Die-out	비고
108회 (12-1)	M/H 0.18	4.5x4mm x 20	20	20	4.5x4mm x 20	2012. 2.13	2012. 6.4	
	동부 0.35 BCD	5x5mm x 3	16	10	5x2.5mm x 2, 2.5x2.5mm x 8	2012. 2.22	2012. 5.30	
	TJ0.18 SiGe	5x5mm x 1	4	4	2.5x2.5mm x 4	2012. 2.13	2012. 6.1	DB 전달일 연기 : 2.21~3.20
	TJ0.18 RF	5x5mm x 1	8	4	2.5x2.5mm x 4	2012. 2.27	2012. 7.5	
109회 (12-2)	삼성 0.13	4x4mm x 48	41	41	4x4mm x 41	2012. 3.9	2012. 8.3	
110회 (12-3)	동부 0.11	5x5mm x 15	30	29	5x2.5mm x 22, 2.5x2.5mm x 7	2012. 3.28	2012. 8.1	
	동부 0.35 BCD	5x5mm x 3	11	9	5x2.5mm x 2, 2.5x2.5mm x 7	2012. 4.4	2012. 7.11	
111회 (12-4)	M/H 0.18	4.5x4mm x 20	장:10 후:10	20	4.5x4mm x 20	2012. 5.14	2012. 9.3	
	M/H 0.35	5x4mm x 20	장:14 후:6	20	5x4mm x 20	2012. 5.14	2012. 9.3	
	동부 0.35 BCD	5x5mm x 3	8	7	5x 2.5mm x 4, 2.5x2.5mm x 3	2012. 5.24	2012. 8.30	
	TJ 0.18 CIS	5x5mm x 1	2	2	5x 2.5mm x 2	2012. 5.7	2012. 9.14	
	TJ 0.18 BCD	5x5mm x 2	2	2	5x5mm x 2	2012. 5.14	2012. 9.21	
112회 (12-5)	삼성 65nm	20개서버 (4x4mm)	23	20	5x5mm x 23	2012. 6.4	2012. 11.9	
동부 0.18 BCD	5x5mm x 2	4	4	5x2.5mm x 4	2012. 6.20	2012. 9.26		

MPW 칩 제작 현황 |

구분	공정	제작 가능면적 (mm ² x 칩수)	제작 접수	제작면적 (mm ² x 칩수)	Die-out 예정일	현재상태	비고
104회 (11-07)	M/H 0.35	5x4mm x 20	20	5x4mm x 20	2011. 12.20	제작 완료	-Die:12.5 -PKG:2.22
	M/H 0.18	4.5x4mm x 20	20	4.5x4mm x 20	2011. 12.20	제작 완료	-Die:1.11 -PKG:2.22
106회 (11-09)	동부 0.11	5x5mm x 13	29	5x2.5mm x 21, 2.5x2.5mm x 8	2012. 1.10	PKG 제작중	-Die: 1.27
	삼성 0.13	4x4mm x 48	43	4x4mm x 43	2012. 3.9		
107회 (11-10)	M/H 0.18	4x5mm x 20	24	4.5x4mm x 15, 4.5x2mm x 6, 2.25x2mm x 3	2012. 4.10		

* 115~117회는 우선 모집 결과임.
 * M/H = 매그나칩/하이닉스, TJ = TowerJazz
 * 우선/정규모집에서 마감될 경우 후기모집은 진행되지 않음.
 * Die-out 일정은 Diechip 제작완료 기준임. Package는 Die-out후 4주 이상 소요됨.
 * MPW 참여 일정 및 방법은 홈페이지(www.idec.or.kr) 참조
 * 위의 내용은 2.27 기준임.

* 문의 : 이의숙(042-350-4428 ylslee@idec.or.kr)

NDA가 체결된 Design Data 유출 금지 안내

IDEC의 MPW 참가를 통해 전달받은 Design Data 일체는 NDA를 통해서 법적인 구속력을 가지며, 관리 소홀로 인한 외부로의 공개 또는 유출 시 개인뿐만 아니라 개인이 속해 있는 WG에 자격 박탈과 같은 강력한 규제가 가해질 수 있습니다. 협약에 의해, 형사상 책임을 물을 수 있음을 알려 드립니다. MPW 참여자 분들은 Design Data 및 관련 자료의 관리를 철저히 하시어 불이익을 당하는 일이 없도록 거듭 당부 드립니다. NDA 체결 후 수령한 Design Kit 일체는 IDEC에 칩 수령 후 2개월 이내에 반드시 삭제하고, NDA 폐기확인서를 제출하여 제3자에 의한 공개 및 유출이 일어나지 않도록 주의 바랍니다.

2012년 3월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

본 센터 강좌 일정 |

강의일자	강의제목	분류	[수강대상]
3월 27-28일	High speed broadband transceiver IC design technique	설계강좌	· 석박사 과정, 관련 회사원
■ 강좌일 : 3월 27일-28일 ■ 강좌 제목 : High speed broadband transceiver IC design technique ■ 강사 : 배현민 교수(KAIST)			[강의수준] · 중급 이상 (전문가과정) [강의형태] · 이론 [사전지식, 선수과목] - 전자회로, 디지털 통신

[강좌개요]
 광대역 송수신기와 관련된 통신이론과 구현방법 그리고 각 구성요소들(PLL, equalizer, MUX/DeMUX, VGA)에 관한 설계 기법을 배운다.

∞ 문의 : 이승자 (042-350-8536, sjlee@idec.or.kr)

Chip Design Contest (CDC)

● 제 19회 한국반도체학술대회 Chip Design Contest 개최

1. 일시 및 장소 : 2012. 2.16(목), 고려대 하나스퀘어
2. 참여팀 : 53 (데모 13개팀, 패널 40개팀)
3. 수상자

상 내역	소속	저자	논문명	상금	
Best Design Award	최우수	KAIST 전기및전자공학과	구경철, 김정호	200MHz On-chip Synchronous DC-DC buck converter with stacked wideband LNA	상장 및 상금 100만원
	우수	국민대학교 전자공학과	이은섭, 민경식	MPPT circuit for portable solar battery charger	상장 및 상금 50만원
	우수	POSTECH 전자전기공학과	최인영, 김범만	dB-linear VGA	상장 및 상금 50만원
FPGA Award	최우수상	세종대학교 정보통신공학과	김수현, 임혁진, 박호빈, 이성주	Cooperative Hybrid CDD 전송 기법의효율적 FPGA 구현 방법	상장 및 상금 50만원

* 문의 : 이의숙(042-350-4428 ylslee@idec.or.kr)

IDEC 인사동정

IDEC 본 센터의 이경아 연구원은 개인적인 사정으로 2월 29일 퇴사하게 되었습니다. 그간의 노고에 진심으로 감사드리며, 늘 가정에 행복과 기쁨이 충만하기를 소망합니다.

신규채용 |



김 해 리 연구원

- 담당업무 : 사업관리, 회계업무
- E-mail : hrkim@idec.or.kr

E²L(Electrical Engineering Library) 활용 안내 (http://edu.idec.or.kr)

E²L은 사용자가 교육자료를 직접 등록, 수정할 수 있는 인터넷 도서관입니다. 앞으로 반도체 분야 뿐 아니라 관련 분야들의 자료들도 많이 등록 및 활용될 수 있도록 많은참여를 부탁드립니다.

- ❖ **최근 등록된 신규 자료**
 1. 세종대 한동일 교수 "VHDL 프로그래밍"
 2. 서울대 민상렬 교수 "컴퓨터구조"
 3. 충남대 고희호 교수 "저항형/용량형 센서 신호 처리용 아날로그 회로 설계"
 4. 한국해양대 운영 교수 "RF 회로 설계"
 5. 한림대 문규 교수 "ASIC 설계 실무"
- ❖ **교육자료 제출 방법**
 - 교육자료 종류 : 강의자료(PPT), 동영상 자료
 - 제출 방법 : 로그인 후 교육자료 > 강의자료 Upload 메뉴에서 직접 업로드하거나 담당자에게 이메일 제출
- ❖ **교육자료 제출 방법**
 - 교육자료 종류 : 강의자료(PPT), 동영상 자료
- ❖ **문의 : 이승자 (042-350-8536, sjlee@idec.or.kr)**

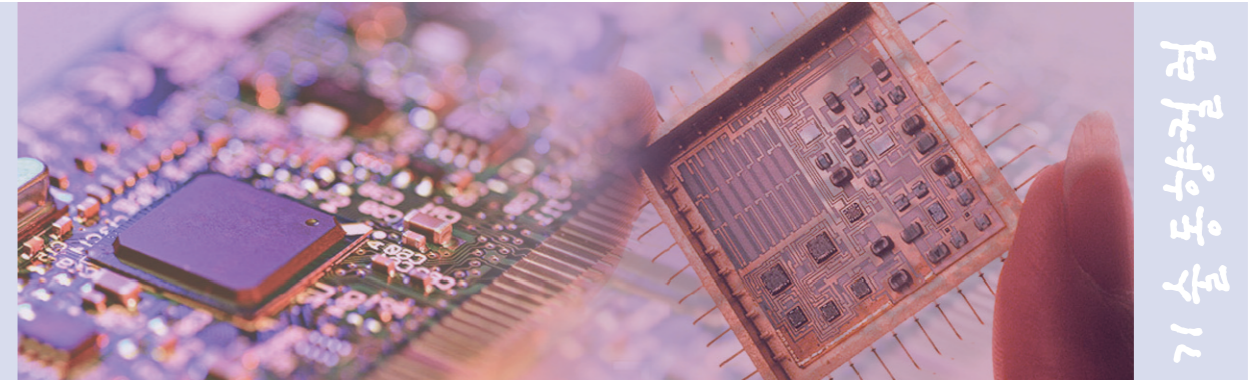




SSD (Solid-State Drive) 컨트롤러 기술개요



지식경제R&D 시스템반도체 PD (한국산업기술평가관리원) /
반도체시스템공학과 교수 (성균관대학교)
한태희 교수
연구분야 : Next generation SoC Architecture, Low power/
energy technologies, Memory/Storage system
E-mail : than@skku.edu / than@keit.re.kr
http://home.skku.edu/~mobiletech



한태희
박사

서론

현대 디지털 컴퓨터의 근간이 되는 폰 노이만 아키텍처 (Von Neumann architecture)는 프로세서 (데이터경로+컨트롤러), 메모리, 입출력장치를 통한 내장 프로그램 수행 메커니즘을 형성하고 있다. 프로그램이 저장되는 메모리의 물리적 구현에서 성능, 면적, 가격의 제약 절충을 위해 등장한 것이 메모리 계층구조 (Memory hierarchy) 개념이다. 컴퓨터 구조 발전에 있어 프로세서(CPU)와 메모리(주로 메인 메모리로 사용되는 DRAM) 간의 성능 격차가 지속적으로 벌어짐으로 인해 전체 시스템 성능 향상의 병목이 되는 현상을 '메모리 장벽 (Memory Wall)'이라 한다.

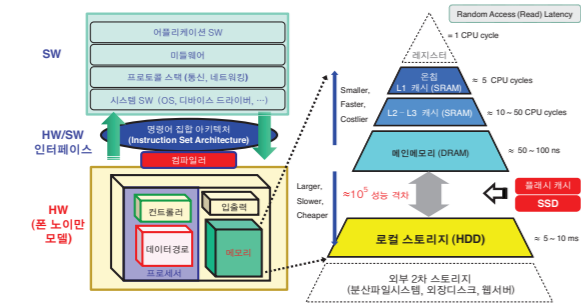


그림 1. 폰 노이만 컴퓨팅 모델과 메모리 계층 구조

메인 메모리 용량이 지속적으로 증가함에도 불구하고 우리가 사용하는 프로그램과 데이터 사이즈가 훨씬 더 빠르게 증가하므로 실제 사용 환경에서 페이지 부재 (Page fault)로 인해 프로그램과 데이터를 디스크로부터 로딩하는 경우가 빈번히 발생하므로 로컬 디스크의 성능이 시스템 성능에 끼치는 영향은 지대하다. 긴 부팅 시간도 디스크 성능과 밀접한 관련성이 있다. 메모리 계층 구조의 가장 하단부에 위치하는 대용량 저장매체의 대명사인 HDD (Hard Disk Drive)는 고속 회전하는 자성체 디스크를 헤드로 읽고 쓰는 기계적 부품으로 컴퓨팅 하드웨어에서 유일하게 반도체로 구현되지 못한 부분이었다. 결국, 성능뿐 아니라 신뢰성과 내구성, 크기, 소음, 전력소모 면에서 HDD를 대체할 새로운 대체 저장매체가 요구되었고, 현재 기술로 가장 유력한 대안이 SSD (Solid-State Drive)이다.

기술, 시장, 경쟁력 관점에서 SSD의 진화 과정과 추세에 대한 요약이 그림 2에 도시되어 있다 [1]. 오늘날 SSD는 통상 낸드플래시 기반이 주류를 이루지만, 고성능을 요구하는 마켓 세그먼트에는 DRAM 기반의 SSD가 사용되기도 한다. DRAM-SSD는 서버에 쓰이는

DRAM을 디스크 대체로 사용하는 것으로 latency가 10us 이내인 초고속 성능을 나타내나 DRAM이 휘발성이기 때문에 배터리나 AC 어댑터를 이용해 항상 전원을 유지해야 한다. 매우 고가의 솔루션이므로 시장성이 제한되어 있다. 본 고에서는 낸드플래시 기반의 SSD에 집중하여 기술을 소개하고자 한다.

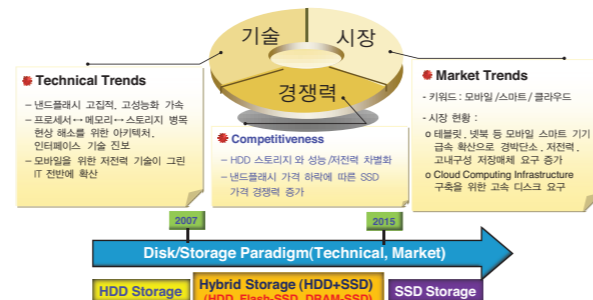


그림 2. SSD 기술, 경쟁력, 시장 추세

SSD 초기 시장에는 대용량 HDD와 소용량 SSD 캐시를 이용해 자주 액세스되는 데이터에 대한 성능을 개선한 '하이브리드 HDD'가 등장하여 같은 용량의 순수 SSD보다 낮은 가격에 제공되었다. 이 솔루션은 프로그램 로딩이나 부팅 시에 SSD에 가까운 성능을 제공하나 데이터 집중적(data-intensive) 작업에서는 순수 HDD 성능 수준이 된다. 애플의 iPad 출시 이후 시장이 확대되고 있는 태블릿에 맞서 인텔이 강력히 프로모션하고 있는 울트라북의 1,000불 (US dollar) 이하 엔트리 제품들에서도 대용량 HDD와 소용량 SSD 캐시를 결합한 하이브리드 HDD가 채택될 전망이다 [2].

SSD 보급의 가장 큰 원동력은 역시 낸드플래시 가격 하락에 따른 가격 경쟁력 향상에 있으며, 최근 2~3년 사이 iPad와 같은 태블릿이 SSD를 채택하면서 폭발적으로 시장이 성장하고 있다. 그림 3은 낸드플래시 기술 발전 동향을 보여주고 있다. 삼성전자, 하이닉스, IMFlash 등이 20 나노미터급 공정의 낸드 플래시 개발에 성공하였으며 삼성전자는 2011년 3분기부터 본격 양산에 돌입했다. 10 나노미터급의 미세 공정은 다양한 반도체 분야 중에서 낸드 플래시 메모리에 가장 먼저 적용될 전망이며, 3D 적층 등 새로운 기술을 통해 고 집적화를 지속적으로 이루어 낼 것으로 예측된다. 이러한 미세화에 수반되는 신뢰성과 성능 저하 문제를 해결하기 위한 연구도 활발히 진행될 예정이다 [3]. 그림 4는 HDD와 SSD의 폼팩터 비교를 보여주며 좀 더 세부적으로 성능, 용량, 전력소모, 가격, 폼팩터와 관련한

HDD와 SSD 상대 비교를 표 2에 요약하였다. 성능, 용량, 전력소모, 가격, 폼팩터와 관련한 HDD와 SSD 상대 비교를 표 2에 요약하였다.

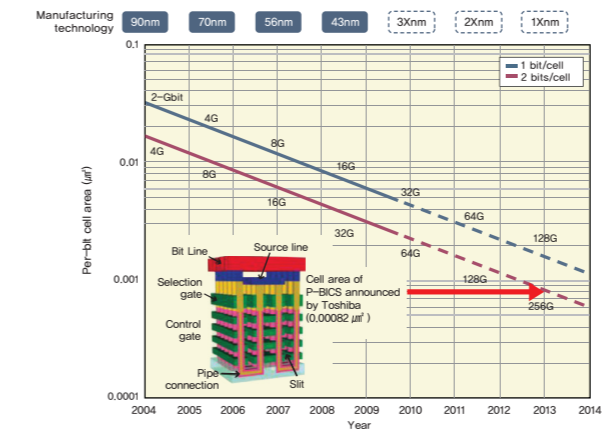


그림 3. 낸드플래시 기술 발전 동향

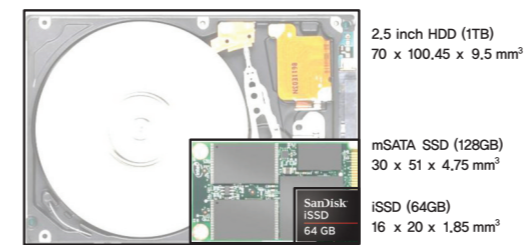


그림 4. HDD와 SSD 폼팩터(Form Factor) 비교

구분	HDD (Hard Disk Drive)	SSD (Solid-State Drive)
랜덤 액세스 시간	5~10ms	0.1ms
최대 데이터 전송속도	100MB/s	100~500MB/s
소비전력	12~18W	4~9W
쓰기/지우기 내구성	~10 ¹⁵	~10 ⁵ (낸드플래시)
용량 (As of Dec. 2011)	upto 4TB (Typ. 500GB~1TB)	upto 2TB (Typ. 64~256GB)
용량 당 가격 (As of Feb. 2011)	\$0.05 per GB (3.5") \$0.10 per GB (2.5")	\$0.90~2.00 per GB

표 2. HDD vs SSD 비교 분석

SSD 기술 개요

SSD의 기술 발전은 크게 낸드 플래시 메모리의 기술 발전과 SSD 컨트롤러의 기술 발전으로 나누어서 생각할 수 있다. 표 2에 나와 있듯이 SSD는 많은 장점에도 내구연한과 비트 당 가격에서 HDD보다 취약하다. 10⁵ 수준에 불과한 내구연한을 증대시키기 위해서는 ECC (Error-correcting code)가 추가된다. 또한, 비트 당 가격을 낮추기 위해 공정 미세화에 따른 집적도 증가 외에 하나의 셀(cell)이 2 비트 이상의 정보를 저장할 수 있도록 하는 기술을 통해 가격 효율적인 집적도 향상을 꾀할 수 있다. 한 개의 셀에 SLC (Single-level Cell)는 1 비트, MLC (Multi-level Cell)는 2 비트, TLC (Tri-level Cell)는 3비트를 저장할 수 있다.

그러나 정보 밀도 증가의 반대급부로 잡음 마진이 감소하여 오류에 취약해지므로 이를 보완하기 위한 대책으로 셀 당 비트 수가 증가할수록 더욱 강력한 ECC (Error-correcting code) 기능이 필요하게 된다. 집적도와 성능, 신뢰도, 가격에 따라 다양한 라인업의 칩이 시장에 출시되고 있다 [4]. 그림 5에 다양한 낸드플래시의 종류와 특징을 간략하게 도시하였다. SSD 제품을 구성할 때 이러한 여러 종류의 낸드플래시를 혼합하여 사용할 수 있다.

그림 5에서 'ClearNAND'는 MCP (Multi-chip Package) 형태로 ECC 제거기를 내장한 미국 마이크론사의 특정 낸드플래시 제품의 상표명이다. 순수 낸드플래시 메모리를 'Raw NAND'라 부르며 ECC, Wear-leveling, bad block management 등 낸드플래시 제어를 위한 하드웨어 컨트롤러가 내장된 낸드플래시 칩은 '(Fully) Managed NAND'로 구분한다. Fully Managed NAND의 대표적인 예가 카드 타입의 저장매체인 eMMC (Embedded MultiMediaCard)이다.

SSD는 카드 타입의 낸드플래시 저장매체보다 고성능·고용량이 요구되므로 컨트롤러가 매우 복잡하고 커져 현재까지는 Raw NAND 위주의 제품이 대부분이다. ECC 하드웨어만 포함된 ClearNAND는 Raw NAND와 Fully Managed NAND의 중간에 위치한다고 볼 수 있으며, 'ECC-free NAND' 또는 'Part Managed NAND'라 불리기도 한다 [5]. 한편 SandDisk사의 iSSD와 같이 SSD 컨트롤러를 단일 칩 패키지로 내장한 솔루션도 출시된 바 있다. ClearNAND와 같이 ECC가 내장된 낸드플래시의 등장 배경에는 공정 미세화가 진행될수록 낸드플래시 셀 내구연한의 감소로 인해 ECC 복잡도 증가가 있다. 즉 SSD를 오래 사용할수록 낸드플래시 메모리 셀의 오류 확률이 증가하고 이를 방지하기 위해 같은 양의 payload 데이터에 대한 ECC



비트가 증가해야 하며, 따라서 ECC 처리에 소모되는 시간과 데이터 양이 증대되는 것이다. 만일 ECC 기능을 낸드플래시 메모리 칩 쪽으로 이관하면 낸드플래시 컨트롤러의 성능 부담과 ECC 알고리즘 변화에 따른 하드웨어 변동성을 최소화하고 낸드플래시 컨트롤러와 낸드플래시 메모리 칩 간의 버스 대역폭도 보다 효율적으로 사용할 수 있다는 장점이 있다. 미세 공정에서 낸드플래시의 내구연한을 늘리기 위해 ClearNAND와 같은 접근 방식이 아닌 메모리 셀의 크기를 키워 내구성을 높이는 eMLC (enterprise Multi-level cell)을 사용하는 방안도 있다. eMLC를 사용한 낸드 플래시 메모리는 동일 공정에서 일반 MLC를 사용한 것과 비교해 약 3배 정도 다시 쓰기 수명이 연장되는 효과가 있다고 알려졌다 [6].

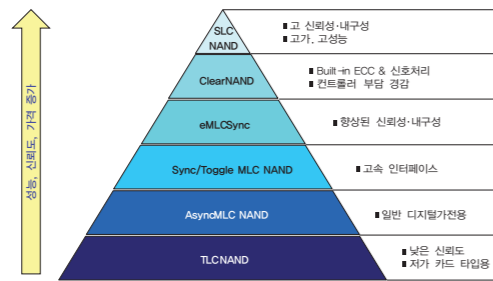


그림 5. 기능, 성능, 셀의 정보량에 따른 다양한 낸드플래시 라인업

데이터는 낸드플래시 메모리에 저장되기 전 주소 매핑, 오류 제어와 같은 다단계의 프로세싱 과정을 거쳐야 한다. SSD를 구성하는 기술은 하드웨어, 소프트웨어, 펌웨어 간의 trade-off를 고려한 적절한 조합을 통해 플래시 기반 저장매체에 최적화된 드라이브 관리 기능을 구성하게 된다. SSD의 경쟁력을 좌우하는 지표들을 표 3에 요약하였다.

구분	HDD (Hard Disk Drive)	SSD (Solid-State Drive)
성능 (Performance)	Access latency	드라이브 응답 시간
	Sustained Read Rate	지속적 읽기 속도 (cache buffer 사용 없는)
	Sustained Write Rate	지속적 쓰기 속도 (cache buffer 사용 없는)
	Reformatting Time (TRIM)	SSD내 불용 데이터 블록 정보를 알려주어 Garbage collection overhead를 줄여줌
물리적 규격	Packaging (form factor, PCB)	부피 (휴대성)
	Power usage and dissipation	전력소모, 발열
	Weight	무게 (휴대성)
가격	Competitive base offering	기본형 제품 가격
	Competitive scaled offering	확장형 제품 가격
시스템 인터페이스	Fixed	고정된 인터페이스 제공
	Available with different interfaces	서로 다른 호스트 인터페이스 지원 가능
	Available multiple interfaces	다중 호스트 인터페이스 지원 가능

표 3. SSD 경쟁력 지표

SSD의 사양이 결정되면 이를 만족시키기 위한 다양한 접근 방식을 통해 설계가 진행된다. SSD 시스템의 사양을 만족시키기 위한 기능을 설계하는데 있어 하드웨어, 소프트웨어, 펌웨어 구현 방식 중 경쟁력과 개발 기간을 고려한 최적의 방식이 탐색되어 실제 개발이 진행된다. 그림 6에 SSD와 흔히 우리가 'USB 메모리 스틱'이라 부르는 USB Thumb drive의 아키텍처 비교가 간략하게 도시되어 있는데, USB Thumb drive는 가격이 더 민감하기 때문에 성능이 다소 희생되더라도 많은 기능이 소프트웨어로 수행된다.

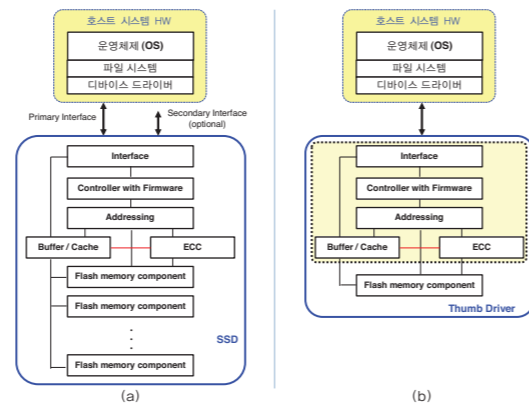


그림 6. SSD와 USB Thumb Driver의 HW-SW 인터페이스 구조 비교
(a) SSD의 HW-SW 인터페이스 구조
(b) USB Thumb Driver의 HW-SW 인터페이스 구조

2011년 12월 애플은 SSD 컨트롤러 전문 회사인 이스라엘의 Anobit를 4~5억 불 선에서 인수한 것으로 보도되었는데, 애플의 하드웨어 회사 인수는 2008년 팹리스인 PA Semi 이후 처음이다. Anobit는 2006년에 설립되어 스마트폰과 태블릿에 사용되는 모바일 SSD 컨트롤러를 공급해왔으며 애플사의 iPhone, iPad, Macbook Air 등에 장착되었다. 이 회사는 또한 엔터프라이즈용 SSD 컨트롤러도 생산하고 있다. Anobit의 MSP (Memory Signal Processing) 기술은 자체 신호 처리 기술과 첨단 에러정정코드(ECC: Error Correction Code) 알고리즘이 포함되어 있는 것으로 알려졌다. 이번 인수 건은 많은 IT 기술 전문가들에 의해 SSD 시장에서 컨트롤러 기술이 얼마나 중요한지를 보여주는 사례로 꼽히고 있다 [7].

그림 7에 개략적인 SSD의 내부 블록도를 보였다. 플래시 메모리 드라이브에서 낸드플래시 인터페이스와 호스트 인터페이스는 전체 성능을 극대화하기 위한 조화롭게 구성되어야 한다. 호스트 인터페이스 규격으로는 기존 HDD에 사용되던 SATA, SAS, USB, PCIe 등의 인터페이스가 있으며, 최신 규격인 SATA 3.0은 최대 6Gbps의 호스트 인터페이스 데이터 전송을 지원한다. 낸드 플래시 인터페이스 규격으로는 1, 2위 업체인 삼성전자와 도시바가 지원하는 토글 모드 (Toggle mode) 규격과 하이닉스, 인텔, 마이크론 등의 나머지 업체가 회원으로 참여하는 Open NAND Flash Interface Working Group에서 제정하는 ONFi 규격이 존재한다 [8]. 하나의 플래시 다이(die)는 비동기 모드에서 40~50MByte/sec로 프로그램될 수 있는데 비해 동기식 인터페이스가 가능한 ONFi2와 토글모드DDR1에서는 채널 당 133MByte/s, 최신 ONFi3과 토글모드DDR2 규격에서는 채널당 400MByte/s로 플래시 인터페이스 성능을 향상시켰다.

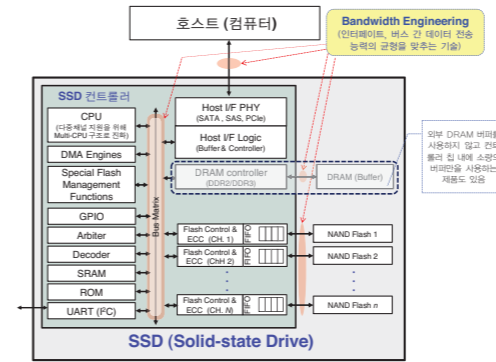


그림 7. SSD 내부 구조와 데이터 트래픽 균형을 위한 Bandwidth 엔지니어링

SSD의 성능은 그림 8에 보인 바와 같이 병렬적으로 동작 가능한 채널과 NAND 플래시 칩의 개수에 따라 스케일 될 수 있다. 즉 채널 수를 증가시키거나 채널당 더 많은 낸드플래시 메모리를 사용하면 성능이 증대된다 [4]. 앞서 소개한 바와 같이 낸드플래시의 집적도 향상과 그로 말미암은 신뢰성 타개를 위해 보다 강력한 ECC 기능이 필요하면서 ECC 기능과 물리 계층에서의 신호처리 기능을 SSD 컨트롤러가 아닌 낸드플래시 자체에 이식하려는 시도 (예: 마이크론사의 ClearNAND)가 있고 이런 새로운 낸드플래시 메모리 기반의 차기 SSD 컨트롤러의 예를 그림 9에 보여주고 있다.

그 밖에 파일의 논리적으로 순차적인 데이터를 서로 다른 물리적 디바이스에 분산시켜 좀 더 신속하게 액세스할 수 있는 기술인 '데이터 스트리핑 (data stripping)'과 기능 등 업체별로 특화된 기능과 성능을 제공하고 있다. 표 4는 비교적 최근에 출시된 SSD 컨트롤러의 사양을 요약한 것이며, 표에 나와 있지 않은 보다 최근의 예로 SandForce社 (2011년 10월 미국 LSI社 - LSI Logic이 Agere system을 합병해 2007년 LSI社 출범 - 에 인수 합병됨)가 2011년 2월 출시한 ONFi2 와 토글모드 인터페이스를 모두 지원하며 최대 500MByte/s 속도 (채널당 62.5MByte/s로 8 채널 병렬 수행)로 read/write가 가능한 SF-2200 등이 있다 [3].

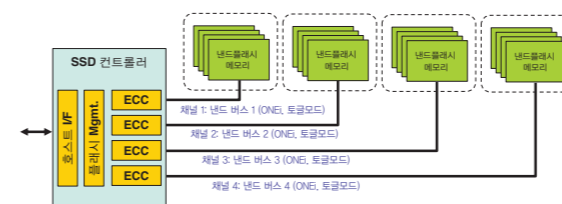


그림 8. SSD내 낸드플래시 병렬채널 구조

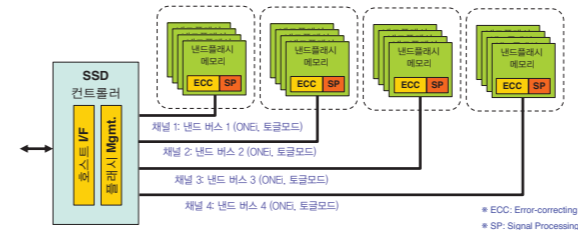


그림 9. ECC 및 신호처리 기능을 낸드플래시 메모리로 이관한 차세대 SSD 구조 후보

코드명 (사명)	Van Goh (Marvell)	Barefoot (Indilinx)	Barefoot2 (Indilinx)	Jetstream (Indilinx)	JM612 (JMicron)	SF1500 (SandForce)
호스트 IF 속도	6Gbps	3Gbps	3Gbps	6Gbps	3Gbps	3Gbps
채널수	8	4	8	16	8	8
공정	65nm	90nm	90nm	65nm	90nm	90/65nm
버퍼메모리	DDR2/3	MSDRAM	LPDDR	DDR2/3	DDR2/3	Embedded
대역폭	4.8Gbps	2.5Gbps	2.5Gbps	4.8Gbps	2.5Gbps	2.5Gbps
DRAM	1GB	128MB	256MB	1GB	256MB	-
AES	지원	미지원	지원	지원	지원	지원
ECC (1KB)	78-bit	16-bit (512B)	40-bit	40-bit	24-bit	24-bit
엔지니어링 샘플	2009년 3분기	2008년 3분기	2010년 2분기	2011년 2분기	2009년 2분기	2009년 3분기
양산	2010년 2분기	2009년 1분기	2010년 3분기	2011년 3분기	2009년 4분기	2010년 2분기

표 4. SSD 컨트롤러 사양 비교

통상적인 SSD 컨트롤러에는 다음과 같은 기능 블록들이 포함된다 [9].

- 임베디드 프로세서 - 통상 32비트 CPU
- 펌웨어 메모리
- SRAM - 작업 메모리 (Working memory)
- 외부 DRAM 버퍼 (DDR2/DDR3) 지원
- 오류제어 (ECC) 로직
- 플래시 인터페이스 - ONFi, 토글모드
- 호스트 인터페이스 - SATA, USB, SAS, PCIe 등

표 5는 SSD 컨트롤러의 구성 요소에 대한 상세 설명의 요약이다.

컨트롤러 구성 요소	설명
임베디드 프로세서	최근 주로 32비트 CPU가 사용. SSD 고성능화를 위해 다중 CPU 화하는 추세. 플래시 메모리 어플리케이션을 위한 펌웨어 구동, Wear leveling, 보안 관련 기능 등을 수행함.
오류 제어 (ECC)	플래시 메모리를 읽고 쓰는 과정에서 잡음, 디바이스 결함 등에 의해 발생하기 쉬운 오류를 감지하고 정정하는 로직. 고신뢰도를 위해 별도의 하드웨어를 추가하여 오류 정정 능력을 배가하는데 사용됨.
플래시 메모리 컨트롤러	다중 낸드 플래시 메모리의 데이터 전송, 버스 제어 등을 수행하며 통상 8비트 Open NAND Flash Interface (ONFi) 와 16개 이상의 플래시 메모리 컴퍼넌트 지원.
DRAM 컨트롤러	호스트와 낸드플래시 사이의 데이터 완충 역할을 하는 DRAM 버퍼를 제어하는 용도.
호스트 인터페이스	SATA, SAS, PCIe와 같은 고속 호스트 인터페이스 규격을 지원하는 물리계층 회로와 전송 프로토콜을 지원하는 로직을 포함.
컨트롤러 메모리	펌웨어가 저장되는 메모리와 작업 메모리로 임베디드 프로세서가 사용.
범용 I/O (GPIO)	응용처에 따라 프로그램 가능한 외부의 입출력 포트

표 5. SSD 컨트롤러 구성 요소

SSD 컨트롤러 설계의 주요 5개 지표로는 성능, 신뢰성, 내구한도 (endurance), 보안, 유연성을 들 수 있다. 낸드플래시 기반 SSD 컨트롤러는 낸드플래시 메모리와 호스트 컴퓨터 간 데이터 전송을 관할하며, 펌웨어 수준의 코드를 수행하는 임베디드 프로세서는 SSD의 성능을 좌우하는 가장 중요한 블록이다. SSD 컨트롤러 내부의 임베디드 프로세서가 수행하는 기능은 다음과 같다 [11].

- (신뢰성) 데이터 오류 정정을 위한 ECC(Error correction code)지원
- (내구한도, 신뢰성) 플래시 메모리 각 셀의 액세스 빈도가 전체적으로 균일하게 함으로써 특정 부분만 빈번하게 액세스되어 메모리



- 수명 단축을 막아주는 Wear leveling
- (신뢰성) Bad block mapping
- (신뢰성) Read scrubbing 및 Read disturb 관리
- (성능) Read/write caching
- (성능, 내구한도) Garbage collection
- (보안) Encryption
- (유연성) 다양한 폼팩터와 벤더의 플래시 메모리를 수용할 수 있는 LBA (Logical block address) 테이블 관리 기법 및 유니버설 컨트롤러 호환성 기술

SSD 컨트롤러 성능 및 신뢰성 개선을 위한 주요 기술

요구 성능을 달성하기 위해 병렬성을 도입해 여러 개의 플래시 다이가 동시에 액세스 가능하도록 해야 하며, 주어진 전력소모 제약조건 하에서 이러한 병렬성과 고성능을 지원하기 위해 Native command queuing, garbage collection, block picking과 같은 기술이 쓰이게 된다 [8, 9, 10].

성능 및 신뢰성 향상을 위한 SSD 컨트롤러 기법

■ 병렬 수행을 위한 Native command queuing (NCQ)과 Flash parallelism

최신 고성능 SSD에는 128~256개의 낸드플래시 메모리 다이(die)가 사용되며 각각은 프로그램에 1ms 내외의 시간이 소요된다. 이 다중 플래시 다이를 동시에 프로그램하기 위해 쓰이는 Native command queuing (NCQ)는 SATA 드라이브 사양의 일부로 호스트 시스템이 동시에 32개의 command를 관리할 수 있게 함으로써 새로운 command를 이속하기 위해 운영체제(OS)가 기다리는 시간을 단축시켜 드라이브의 성능을 향상시킨다. NCQ는 자동으로 command를 분류하고 추적하며 필요에 따라 동적으로 대기열을 재배열할 수 있다. 즉 Out-of-Order 동작이 가능하다.

■ Garbage collection과 Block picking

플래시 메모리는 하나 이상의 비트를 저장하는 셀로 구성되는데, 이 셀들은 데이터가 write 될 수 있는 가장 작은 이산(discrete)적 위치인 Page로 분류된다. Page는 한 번에 지워지는 가장 작은 이산(discrete) 단위인 Block을 구성한다. 플래시 메모리는 하드 디스크처럼 바로 overwrite 될 수 없고 먼저 erase 되어야한다. 따라서 Block 내의 공백인 Page는 바로 쓰기가 가능하지만, overwrite 하기 위해서는 page들의 집합체인 블록을 먼저 지워야 한다. 드라이브가 사용될 때, 데이터는 변하고, 변경된 데이터는 Block 내 다른 Page나 새로운 Block에 write 된다. 이 순간 이전 Page는 invalid로 마킹되고 전체 Block을 지움으로써 새로운 writing이 가능하게 된다. 이렇게 하기 위해서는 Block 내 다른 Page들의 유효한 데이터들은 다른 Block으로 이동되어야 한다. 이렇게 유효한 데이터를 재배치하고 같은 Block에 새로운 데이터를 쓰기 전에 Block을 erase 해야 하므로 플래시 메모리에 가해지는 write 회수는 호스트가 원래 요구했던 것보다 훨씬 더 증가하게 된다. 이것이 플래시 메모리의 write 속도를 저하하는 요인으로 작용한다. SSD 컨트롤러는 이전에 write 된 Block을 바꿔주는 Garbage collection이라는 기법을 사용하는데, 이 과정에서 보다 적은 새 데이터를 채우기 위해 다수의 Block으로부터 Page들을 옮기거나 rewrite 함으로써 Page들을 통합하는 역할이 수행된다. 오래된 Block들은 새로운 데이터를 수용하기 위한 저장 공간을 제공하기 위해 지워진다. 이때 특정 위치의 셀들만 액세스됨으로써 플래시 셀의 수명이 단축되는 것을 방지하

기 위해 Wear leveling이 필수적이다. Block picking은 garbage collection 도중에 어떤 Block을 recycle 시킬지는 결정하는 과정이다. 유효한 page들은 새로운 block에 write 돼야 하므로 옮겨야 할 유효한 Page가 가장 적은 Block이 recycle에 가장 짧은 시간을 소모한다. 따라서 컨트롤러는 언제나 유효한 Page가 가장 적은 Block을 선택해야 한다. 그러나 이것만으로는 Block의 마모(wear)를 감안하지 못하므로 컨트롤러는 다른 Block과 비슷한 수준의 마모를 갖도록 wear level이 적은 Block을 recycle 시켜야 한다. 따라서 Block picking의 핵심 알고리즘은 최소한의 이전 program/erase 회수를 가지는 recycling Block과 유효 데이터의 양을 최소화하는 recycling이 가능하도록 조화시키는 일이다.

Garbage collection과 block picking의 또 다른 측면은 TRIM이라는 OS command로 드라이브의 특정한 Page에 더 이상 데이터가 필요하지 않다는 것을 알려주는 일이다. SSD에 저장된 정보는 OS가 어디에 파일을 할당할지에 쓰이는 테이블을 포함한 몇 개의 비트들이다. OS가 어떤 파일을 지워야 할지 결정하면 테이블에 그 공간이 '공백'이라고 표시하지만, SSD는 그 테이블을 제대로 해석할 수 없다. 그 이유는 OS마다 테이블이 다르기 때문이다. SSD는 OS가 실제로 드라이브에게 그 공간에 어떤 것을 저장하라고 명령할 때까지 invalid한 데이터를 유지하고 recycle 하게 된다. Windows 7과 Linux v.26.33 이후 버전은 ATA TRIM이라는 command를 포함함으로써 invalid한 데이터를 recycling하는 불필요한 일들을 SSD가 수행하는 것을 막아준다.

■ ECC 지원

플래시 메모리 공정은 이미 25나노급에 이르렀고 미세화가 진행될수록 셀에 저장되는 전자의 개수가 줄어들어서 오류 확률이 커지게 된다. 셀에 저장된 데이터는 특정 전압으로 대표되는데, 전자 개수가 적을수록 외부 요인에 의한 오류 가능성이 커지게 된다. 플래시 메모리는 이를 위해 낸드플래시 Page의 여분의 공간을 ECC에 할당한다. 우수한 컨트롤러일수록 더 많은 ECC 비트를 저장함으로써 더 높은 신뢰도를 유지시키나 이를 위한 추가적인 동작이 수반되게 된다. 주로 이전 BCH 부호화 사용됐으나, 미국의 ECC Technology 사는 파이진 부호인 Reed-Solomon 부호 사용에 대한 연구를 진행하고 있으며, 특히 Reed-Solomon 부호를 다차원 (2D 또는 3D)으로 확장하여 Hyper MLC 기반의 고속 SSD 시스템에 적용하는 연구를 진행하고 있다. 최근 낸드플래시는 대용량 고집적화를 위해 3-bit MLC (TLC: Tri-level cell)이 사용되어 오류 발생의 소지가 증가하면서 오류 정정 능력이 뛰어난 LDPC (Low Density Parity Check) 코드도 사용된다. 미국의 Cyclic Design사는 2010년 1월 1 Kbyte Block 당 32비트의 오류를 수정할 수 있는 BCH 부호 복호기를 발표하였다. 종래 기술에서는 Block 당 512 Byte를 기준으로 하고 있으나 오류정정부호의 길이가 길어질수록 같은 양의 부가정보로 더욱 높은 신뢰성을 제공할 수 있다.

■ Advanced error recovery (RAISE)와 End-to-end protection

공정 미세화로 셀의 크기가 더 작아지면 ECC만으로는 한계가 있으므로 추가적인 데이터 보호책이 필요하며 그런 기법의 하나가 SandForce 社の RAISE (redundant array of independent silicon elements) 기술이다. 이 기술은 Sector, Page 심지어 Block 수준의 실패에서 회복 가능하게 하도록 서로 다른 다중의 플래시 다이에 write를 수행하는 것으로 RAID(Redundant Array of

Independent Disks)의 개념과 유사하며, RAISE는 각각의 다이를 RAID에서의 개별 디스크 드라이브처럼 다루게 한다. 그림 10에 RAISE 기능이 포함된 SandForce 社の SSD 컨트롤러 내부 블록도를 보였다. DuraClass 기술은 SandForce의 낸드플래시 관리 기술을 총칭하는 것으로 향상된 ECC를 포함해 신뢰성과 내구연한 증진과 관련해 그림 10의 회색 박스 내 기술들이 이에 포함된다. 이 회사의 SSD 컨트롤러는 낸드플래시 채널의 활성 상태를 능동적으로 모니터링하여 낸드플래시에 데이터를 요구하는 횟수를 줄이는 기술을 통해 큰 사이즈의 외부 DRAM 대신 컨트롤러 칩 내 작은 사이즈의 버퍼로 이를 대체할 수 있게 한다. End-to-end protection은 낸드플래시에 write 된 데이터와 호스트로 보내진 같은 위치의 데이터를 비교하여 데이터의 신뢰성을 보장하는 기술로 호스트가 데이터를 SSD에 요청했을 때 처음 도착한 데이터에 end-to-end protection 정보를 추가함으로써 나중에 드라이브에서 그 데이터를 다시 가져왔을 때 end-to-end 정보를 비교함으로써 다중의 보호 메커니즘을 형성하게 된다.

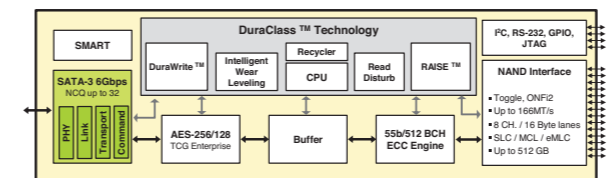


그림 10. SandForce社の SF-2000계열 SSD 컨트롤러 내부 블록도

■ Read disturb 관리

이 기술은 특정 셀에서 너무 빈번하게 데이터를 요구함으로써 전압 수준이 흔들려 데이터가 손상되지 않도록 일정 회수 이상 특정 셀에서 read가 발생하면 그 셀의 데이터를 다른 셀로 옮기는 구실을 한다. 언제 어떠한 방법으로 Read disturb 동작을 수행하는지는 매우 어려운 문제이다.

■ 온도 관리

플래시 메모리나 컨트롤러에서 과도한 열이 발생하면 연구적으로 손상될 수 있으므로 전체 드라이브의 온도를 모니터링 하여 어느 수준 이상이 감지되면 전력소모에 의한 열 발생을 줄이기 위해 write 속도를 저하하는 기술이다. 이 기술의 핵심은 write 동작 전체를 방해하지 않으면서 write 속도를 제어하는 데 있다.

■ Bandwidth 엔지니어링

낸드플래시 메모리와 호스트 인터페이스 (SATA, SAS, PCIe, USB 등) 사이의 데이터 bandwidth의 균형을 맞추는 것 또한 매우 중요한 성능 향상 기법이다. 그림 7의 SSD 내부 블록도에 각 인터페이스와 내부 버스 간의 bandwidth 엔지니어링 개념을 도시하였다.

호스트인터페이스와 DRAM 버퍼, 낸드플래시 사이의 데이터 트래픽을 균형 있게 관리함으로써 전체 시스템에서 최적의 성능을 달성하게 된다. 세부적으로는 내부 CPU 성능, 버스, DMA(Direct Memory Access) 컨트롤러, Firmware 최적화와도 긴밀한 상관관계가 존재한다. SSD의 용량이 증가하면서 다수의 낸드플래시가 병렬적인 채널을 형성하게 되므로 채널 병렬 처리를 위해 2개 이상의 CPU가 사용되는 추세이며 각 버스 계층별로 독립적인 DMA 컨트롤러가 낸드플

래시와 CPU, DRAM 버퍼, 호스트인터페이스 간의 데이터 전송을 지원한다. 따라서 버스 구조도 다중 계층 구조를 사용해 효율성을 증대시키며, ECC 동작도 낸드플래시 채널 각각을 병렬적으로 지원하도록 구성된다. SSD 컨트롤러에서 낸드플래시와 호스트인터페이스 사이의 완충 작용을 하는 DRAM 버퍼는 DDR2 급 이상이 사용되는데, 이때 DRAM의 사양과 용량을 고려한 전체 시스템 가격 효율을 고려한 DRAM 버퍼 설계 기법으로 DRAM 버퍼 액세스 스케줄링 기법 등을 사용할 수 있다 [11]. 이외에도 DRAM의 버스트 모드를 적응적으로 적용하거나 낸드플래시 데이터 종류에 따라 Sector 단위가 아닌 Page 단위의 DRAM 액세스 기법도 연구된 바 있다 [12, 13].

결론

본 기고에서는 SSD 컨트롤러를 중심으로 SSD 기술을 소개하였다. SSD는 메모리 및 시스템반도체 기술과 더불어 고도의 임베디드 소프트웨어 기술을 포함하고 있다. 반도체 칩 기술만 보더라도 광범위한 시스템 아키텍처 수준에서 회로, 패키징에 이르는 설계/검증 기술이 적용되며 향후 발전 가능성과 시장 전망도 매우 밝다. 메모리 반도체 강국인 우리나라가 SSD의 낸드플래시 메모리 부품뿐 아니라 고부가가치를 갖는 컨트롤러 칩에서도 강국이 될 수 있기를 기대하며, 부족한 지면과 지식 그리고 빠르게 변화하는 기술 추세로 인해 내용이 불충분하거나 일부 오류가 있을 수 있음에 대해 독자들의 너그러운 이해를 구한다.

Reference

- [1] 정승국, "Flash 및 DRAM-SSD 성능 이슈 및 효율적 적용 기술", SSD IMPACT 2011 - 클라우드 서비스 구현을 위한 SSD 활용전략, 전자신문사, 2011년 6월
- [2] http://www.zdnet.co.kr/news/news_view.asp?artice_id=20120127113603&type=xml
- [3] 원유집, "차세대 SSD 핵심 기술 동향과 국내 관련 생태계와의 조망", SSD IMPACT 2011 - 클라우드 서비스 구현을 위한 SSD 활용전략, 전자신문사, 2011년 6월
- [4] Bob Chang, "SSD with Hybrid NAND," Flash Memory Summit 2011, Santa Clara
- [5] <http://www.zdnet.com/blog/storage/why-apple-is-buying-anobit/1575>
- [6] Jim Cooke, "NAND Flash Comparisons for Mobile Consumer Products," Flash Memory Summit 2011, Santa Clara
- [7] <http://gigglehd.com/zbx/newsreport/5387804>
- [8] Khaled Amer, "Solid State Storage Overview," SNIA, Apr. 2010
- [9] <http://en.wikipedia.org/wiki/Ssd>
- [10] <http://electronicdesign.com/article/digital/Key-Challenges-in-SSD-Controller-Development.aspx>
- [11] 박준수, 황용중, 한태희, "SSD 스토리지 시스템을 위한 효율적인 DRAM 버퍼 액세스 스케줄링 기법", 대한전자공학회 논문지 SD편 48권 7호, 2011년 7월, pp. 48 ~ 56
- [12] 이두진, 한태희, "SSD 컨트롤러 최적 설계 기법", 대한전자공학회 논문지 SD편 48권 8호, 2011년 8월, pp. 45 ~ 52
- [13] 임광석, 한태희, "SSD 성능 향상을 위한 DRAM 버퍼 데이터 처리 기법", 대한전자공학회 논문지 SD편 48권 7호, 2011년 7월, pp. 57 ~ 64



반도체 온도 센서의 연구 동향



한양대학교 융합전자공학부
박상규 교수
연구분야 : 혼성신호 집적회로 설계, 온도 센서, 델타시그마 데이터변환기
E-mail : sanggyu@hanyang.ac.kr
http://cas.hanyang.ac.kr



서론

반도체 공정이 발달함에 따라 단위 면적당 집적 가능한 반도체 소자의 숫자는 빠른 속도로 증가하고 있다. 이에 따라 반도체가 소모하는 에너지는 증가하게 되고, 이것은 발열 문제로 이어진다. 그런데 반도체 회로에 사용되는 소자들은 온도에 따라 특성이 크게 달라진다. 예를 들어 트랜지스터는 문턱 전압이나 전자 및 정공의 이동도 (mobility) 등은 온도에 민감한 파라미터들로서 온도가 증가하게 되면 문턱 전압이나 이동도는 감소하게 된다 [1]. 저항값 또한 온도에 민감한데, 특히 저항의 종류에 따라 온도에 대한 민감도가 다르다.

예를 들어 웰(well)-저항 등은 온도화에 따라 값이 민감하게 변하고, 폴리(poly)-저항 등은 상대적으로 온도 변화에 덜 민감하다. 위와 같이 온도 변화에 따라 소자 특성이 변하게 되면, 트랜지스터가 목표했던 동작 영역을 벗어나서 원하지 않는 동작을 할 수도 있고, 전류가 너무 많이 흘러서 예기치 않은 전력 소모를 가져올 수도 있다. 따라서 온도 변화에 따른 소자의 특성변화를 보상하거나, 온도 변화 자체를 억제해 줄 수 있는 회로가 필요한데, 이를 위해서는 우선 반도체의 온도를 측정할 수 있는 온도센서 회로가 필요하다. 온도센서에는 다양한 종류가 있지만, 이 글에서는 반도체 공정을 이용하여 제작할 수 있는 온도센서에 대해서 소개하고자 한다.

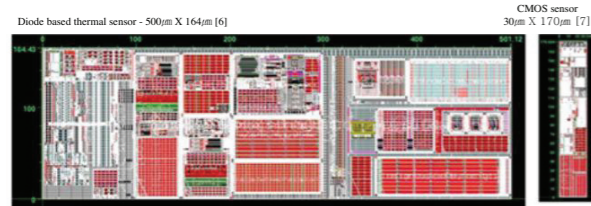


그림 1. Intel processor에 사용 되는 두 가지 온도센서의 레이아웃 [3]

온도센서의 성능지표

이미 반도체를 이용한 온도센서는 많은 곳에 적용되고 있다. 대표적인 반도체 회사인 인텔은 이미 CPU의 온도 변화에 따라 팬의 회전 속도를 조절하는 온도센서 및 보상 회로를 CPU 칩 안에 내장하였다. 그림 1은 인텔의 마이크로프로세서들에 내장된 온도센서 두 종류의 레이아웃들을 보여주고 있다 [2]. 또한, TFT나 OLED 같은 소자를 사용하는 평판 디스플레이(FPD)는 온도에 따라 휘도 (brightness)가 민감하게 변하기 때문에 일부 제품에서는 온도 보상 회로를 내장하여 출시하고 있다. 그 밖에도 온도센서는 차량의 타이어 공기압을 제어하는 등 많은 곳에 이용되고 있다. 반도체를 이용한

온도센서는 마이크로프로세서에 사용되는 온도센서와 같이 온도 정보가 필요한 집적회로에 같이 내장하는 것과 타이어 공기압을 조절하는 온도센서와 같이 단일 칩으로 제작하는 두 가지 타입으로 생각해 볼 수 있다. 전자는 온도센서가 기존 회로와 함께 집적되어야 하므로 면적을 최소화하는 것에 설계의 초점이 맞춰지고, 후자는 일반적으로 고성능에 초점이 맞추어진다.

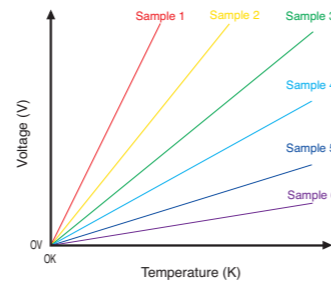


그림 2-1 기술기가 다르고, 절편이 같은 형태의 출력을 갖는 온도센서

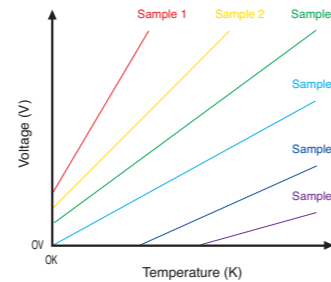


그림 3-2 기술기가 다르고, 절편도 형태의 출력을 갖는 온도센서

온도센서에서 요구하는 대표적인 지표에는 오차, 면적, 전력소모 (FOM) 그리고 보정(calibration)을 위한 측정의 횟수가 있다. 오차는 온도센서가 얼마나 정확하게 온도를 측정할 수 있는가를 나타내는 지표다. 현재까지 연구된 반도체 온도센서 중 가장 정밀한 온도센서는 -55°C~130°C 범위에서 ±0.1°C의 오차를 가진다 [3]. 온도센서가 측정할 온도 정보는 많은 경우 DSP 등과 같은 digital 회로에서 이용되기 때문에 대부분 온도센서에는 온도를 디지털 값으로 출력하기 위한 ADC가 내장된다. 이 ADC는 충분히 높은 해상도를 가져서 전체 센서의 성능을 제한하지 않아야 한다. 온도센서의 면적의 중요성은 온도센서의 응용 분야에 따라 달라지는데 0.01mm²~4.5mm²까지 다양한 연구 결과가 발표되었다. 전력소모는 연구마다 수백nW~수십μW까지로

매우 다양하다. 전력소모는 공급 전압에 따라 달라지기 때문에 전류량으로 나타내기도 한다. 전력소모는 온도센서 코어의 전력소모량과 내장된 ADC의 전력소모량으로 나누어 생각할 수 있는데, 특히 ADC는 샘플링 주파수가 높아질수록 파워가 늘어나므로 센서를 비교할 때는 (Energy/Conversion) · Resolution²과 같은 적절한 FOM을 사용해야 한다.

동일하게 설계된 온도센서도 공정 편차에 의해 모두 약간씩 다른 특성을 보이게 되는데, 그림 2-1과 2-2가 이것을 보여주고 있다. 만약 온도센서들의 출력이 그림 2-1과 같이 절편이 같고 기울기만 다른 경우에는 1점 보정을 통하여 모든 센서의 출력을 동일하게 만들어 줄 수 있다. 하지만 그림 2-2와 같이 기울기와 절편이 모두 다른 경우에는 2점 보정이 요구된다. 또 실제로 특성곡선들은 완벽한 직선이 아니므로 아주 정밀한 보정을 위해서는 2점 이상에서의 측정을 통한 보상이 필요할 수 있다. 하지만 보정을 위한 측정 횟수의 증가는 비용 증가를 가져오기 때문에 이를 최소화 하는 설계를 하는 것이 바람직하다.

연구동향

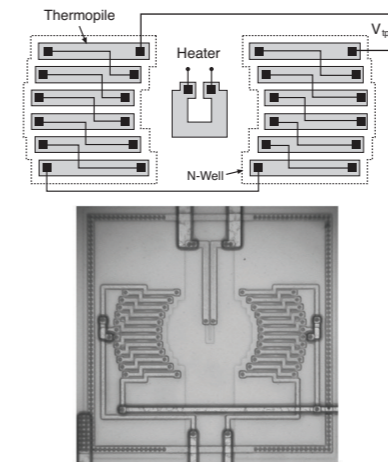


그림 4 EFT를 이용한 온도센서 코어의 모식도와 사진 [4]

반도체 온도센서들은 BJT를 코어로 이용한 것, MOSFET을 코어로 이용한 것, 그리고 그 외 특수한 소자를 사용한 것으로 나눌 수 있다. 그 중 특수한 소자를 이용한 경우 일반적으로 그 소자를 만들기 위한

특별한 공정이 요구되므로 추가 비용 문제가 생긴다. 그림 3은 electro-thermal filter(ETF)를 이용하여 설계한 온도센서 코어의 모식도와 사진이다 [4]. 이 연구에서는 thermopile에 사용하는 P+ 알루미늄을 제외하고는 표준 공정을 사용하였기 때문에 공정 비용의 추가는 별로 없지만, 온도센서의 오차가 ±0.7°C인 것에 비해 전력소모가 2.5mW, 면적이 2.3mm²로 매우 크기 때문에 BJT나 MOSFET을 사용한 경우보다는 성능이 많이 떨어진다. 따라서 BJT나 MOSFET을 사용한 센서가 더 많이 사용되는데 이들을 다음에 살펴본다.

■ BJT를 이용한 온도센서

그림 4는 BJT를 사용한 온도센서의 코어의 회로도도와 출력 특성이다.

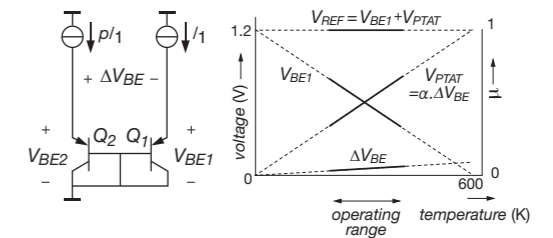


그림 5 BJT 코어를 사용한 온도센서의 회로도도와 특성곡선 [4]

그림 4는 BJT를 사용한 온도센서의 코어의 회로도도와 출력 특성이다. [5]. Q1과 Q2의 크기가 같다면 VBE1과 VBE2는 각 BJT에 흐르는 전류에 의해 결정되고, 전류의 비율에 1:p 라면 ΔVBE는 (1)과 같이 결정된다.

$$\Delta V_{BE} = V_{BE2} - V_{BE1} = (kT/q) \cdot \ln(p) \quad (1)$$

여기에서 k는 볼츠만 상수, q는 전자의 전하량이다. 식에서 볼 수 있듯이 ΔVBE가 온도에 대한 1차 함수이기 때문에, 이를 측정하면 온도 값을 알 수 있다. 측정된 ΔVBE를 ADC를 통해 디지털 값으로 출력하기 위해선 기준(reference) 전압이 필요하다. 이 전압은 소위 밴드갭 레퍼런스를 통해 만들어 내는데, (2)에서와 같이 VBE와 ΔVBE의 합으로 얻어낼 수 있다.

$$V_{REF} = V_{BE} - \alpha \cdot \Delta V_{BE} \quad (2)$$

그러므로 센서의 최종적인 출력은 ΔVBE/(VBE + K · ΔVBE)의 형태가 되는데, 온도에 대해 원점을 통과하는 1차 함수의 형태다. 그렇기 때문에 공정 파라미터들이 약간씩 달라져서 센서의 특성이 틀어져도, 기울기에 대한 보정만 해주면 모든 센서의 출력을 동일하게 만들 수



있다. 즉, 1점 보정만으로도 충분히 좋은 성능을 얻을 수 있다. 실제의 회로에서는 전류원의 불일치, 전류원의 출력 저항, BJT의 불일치, V_{REF} 의 비선형성 등에 의해서 오차가 발생한다. 그러한 오차를 줄이기 위해 전류원들 간에 dynamic element matching(DEM) 하거나, 소자들들 트리밍 하기도 하고, 곡선 보상 기술을 적용하기도 하는데, 다만 그만큼 부수적인 회로들이 많이 추가되기 때문에 면적과 전력 소모가 증가한다.

현재까지 반도체 센서 중에서 가장 정밀한 것들은 모두 BJT 코어를 사용하여 설계되었다. 그 중 가장 정밀한 온도센서는 2005년에 발표된 [3]인데 $-55^{\circ}\text{C}\sim 125^{\circ}\text{C}$ 의 온도 범위에서 오차가 $\pm 0.1^{\circ}\text{C}$ 수준이다. 하지만 이 연구에서는 오차를 줄이기 위해 DEM이나 트리밍 같은 부수적인 회로들을 많이 사용하였기 때문에 면적이 4.5mm^2 로 매우 크고, 전력소모가 $75\mu\text{A}$ 로 큰 편이다.

최근 BJT를 이용한 센서들은 정밀도를 조금 낮추더라도 면적과 전력 소모를 줄이는 쪽으로 연구가 진행되고 있다. 최근에 발표된 [5]에서는 센서의 정밀도를 증가시키는 부수적인 회로들을 포기하면서 면적과 전력소모를 큰 폭으로 줄였다. 특히 ADC 부분의 설계에 집중했는데, SAR ADC와 시그마델타 ADC를 조합한 zoom ADC 구조를 이용하여 전류 사용량을 최적화한 것이 특징이다. $-30^{\circ}\text{C}\sim 125^{\circ}\text{C}$ 범위에서 오차는 $\pm 0.2^{\circ}\text{C}$ 로 약간 상승했지만, 전류가 $4.6\mu\text{A}$ 까지 줄어들었고 면적이 0.12mm^2 로 매우 작다. 하지만 이 경우 시그마델타 ADC에 필요한 데시메이터를 집적하지 않았기 때문에, 그 부분을 포함하면 면적과 전력소모가 증가할 것으로 예상된다.

비슷한 구조를 사용하면서 공정 크기를 줄여서 설계한 온도센서들도 보고되고 있다. 2009년에 발표된 [6]의 경우 32nm 공정을 이용하여 온도센서를 구현하였는데, $-10^{\circ}\text{C}\sim 110^{\circ}\text{C}$ 범위에서 5°C 미만의 오차를 갖고, 면적이 0.02mm^2 이며 1.6mW 를 소모한다. 다른 연구에 비해 성능은 떨어지지만 32nm 공정을 통해 구현했다는 점에 의의가 있다. 2010년에 발표된 [7]의 경우 65nm 에서 비교적 훌륭한 성능의 온도센서를 설계하였다. 트리밍을 했을 때, $-70^{\circ}\text{C}\sim 125^{\circ}\text{C}$ 에서 0.2°C 의 오차를 갖고 $8.3\mu\text{A}$ 의 전류를 소모하며 0.1mm^2 의 면적을 가진다. 하지만 이 경우에도 데시메이터를 집적하지 않았기 때문에, 함께 집적하게 되면 면적과 전력소모가 증가할 것이다.

■ MOSFET을 이용한 온도센서

BJT를 이용한 온도센서들은 센서의 코어 형태가 거의 유사한 것에 반해, MOSFET을 이용한 온도센서는 여러 가지 다양한 구조의 것들이 발표되었다. MOSFET을 이용한 온도센서는 BJT에 비해 상대적으로 센서의 오차가 큰 편이지만, 전력 소모와 면적이 작은 것이 특징이다.

대표적인 연구 성과 중에는 우선 그림 6에서와같이 sub-threshold 영역에서 동작하는 MOSFET을 이용한 구조가 있다 [8]. MOSFET은 sub-threshold 영역에서 BJT에 유사한 지수함수적인 I-V 특성이 있다. 따라서 이러한 MOSFET을 BJT 온도센서에서와 비슷한 방법으로 사용하는 온도센서를 만들 수 있다. 이 구조는 전력 소모를 크게 줄일 수 있지만, MOSFET이 해당 영역에서 동작하기 위해 크게 너무 커져서 상대적으로 다른 구조를 사용한 온도센서들에 비해 성능

이 떨어진다. [8]에 발표된 센서는 $10^{\circ}\text{C}\sim 80^{\circ}\text{C}$ 온도범위에서 $\pm 1.8^{\circ}\text{C}$ 의 오차를 갖고, 면적은 0.08mm^2 , 전력소모는 $3.5\mu\text{A}$ 이다. 오차가 큰 편이지만 전력소모와 면적에서 우수한 성능을 보여준다.

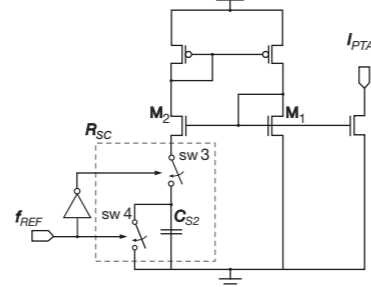


그림 6 Sub-threshold 영역에서 동작하는 MOSFET을 이용한 온도센서의 회로도 [8]

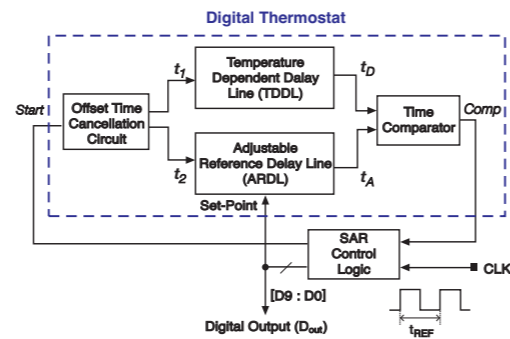


그림 7 인버터의 propagation delay를 이용한 온도센서의 구조도 [9]

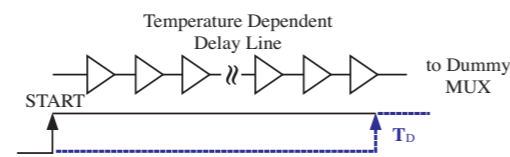


그림 8-1 TDDL의 회로도

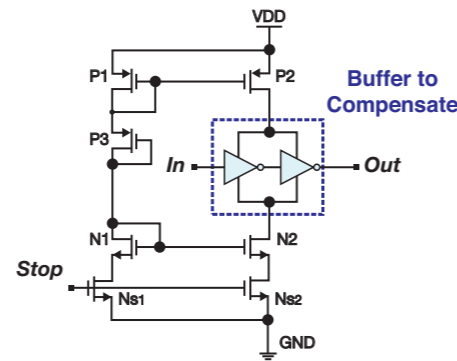


그림 8-2 ARDL의 회로도

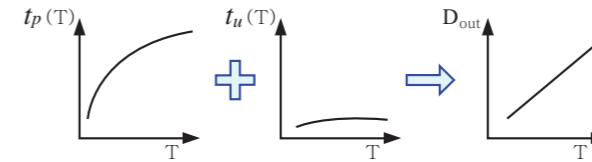


그림 9 TDDL과 ARDL을 이용 비선형성 보정

온도 변화에 따라 인버터의 지연 시간이 달라지는 것을 이용한 온도 센서도 발표되었다. 그림 7이 이러한 온도센서의 구조도를 보여주고 있다 [9]. Temperature Dependent Delay Line(TDDL)과 Adjustable Reference Delay Line(ARDL)에 의한 신호의 지연차를 Time Comparator를 통해 비교하여 SAR-ADC를 통해 디지털 값으로 변환한다. TDDL는 그림 6-1과 같이 인버터를 연속적으로 여러 개 이어놓은 것인데, 온도에 따라 인버터를 통과하는 시간, 즉 지연시간이 달라지기 때문에 온도센서로 사용될 수 있다.

TDDL 자체로는 비선형성이 크기 때문에 그림 8-2의 ARDL을 사용한다. ARDL 역시 TDDL과 비슷한 비선형성을 갖기 때문에 이 둘의 지연시간을 차이로부터 그림 9와 같이 선형적인 출력을 얻을 수 있다.

이 구조를 활용한 온도센서로는 2009년에 보고된 [10]이 있는데 $0^{\circ}\text{C}\sim 75^{\circ}\text{C}$ 의 온도범위에서 $\pm 1^{\circ}\text{C}$ 로 오차가 큰 편이지만, 면적이 ADC 전체를 포함하고도 0.4mm^2 로 매우 작고, 전력소모 또한, $9\mu\text{A}$ 밖에 되지 않아 오차 대비 면적과 전력 소모가 성능이 우수하다. 또한 2010년에 보고된 [9]에서는 $0^{\circ}\text{C}\sim 90^{\circ}\text{C}$ 범위에서 $-0.25^{\circ}\text{C}\sim 0.35^{\circ}\text{C}$ 의 작은 오차를 얻었는데, 이 경우 면적이 0.6mm^2 로 증가했고, 전력소모가 $12\mu\text{A}$ 정도로 면적과 전력 모두 [10]에 비해 큰 폭으로 증가하였다.

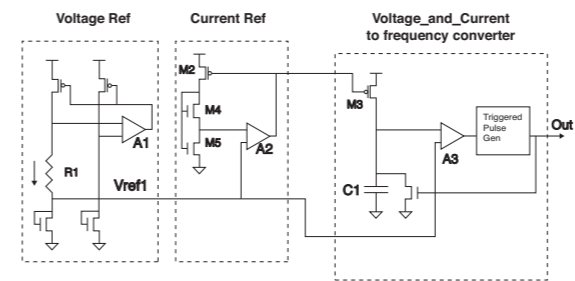


그림 10 MOSFET diode를 이용한 온도센서의 schematic [9]

마지막으로 그림 10은 MOSFET을 다이오드 구조로 사용한 온도 센서의 schematic을 보여주고 있다 [11]. V_{REF} 에서는 MOSFET의 문턱 전압에 가까운 전압이 출력되고, M_5 가 선형 영역에서 동작하기 때문에 C_1 에는 그에 해당하는 전압이 충전된다. 두 값을 비교하여 온도에 따라 비례하는 주파수 출력을 얻는다. 이 센서는 인텔의 마이크로프로세서에 사용하기 위해 매우 작게 설계됐는데, 센서 코어의 크기가 0.00375mm^2 이다. 하지만 전류 소모가 $550\mu\text{A}$ 로 매우 큰 편이다. 센서의 오차는 $20^{\circ}\text{C}\sim 130^{\circ}\text{C}$ 범위에서 $\pm 0.5^{\circ}\text{C}$ 이다.

결론

반도체를 이용한 온도센서의 필요성은 회로의 집적도가 올라갈수록 증가할 수밖에 없다. 공정은 계속 변화하고 있고, 수많은 어플리케이션들이 생겨나기 때문에, 그에 적합한 온도센서도 계속해서 연구되어야 할 것이다.

Reference

- [1] I. M. Filanovsky, and A. Allam, "Mutual Compensation of Mobility and Threshold Voltage Temperature Effects with Applications in CMOS Circuits," Transactions on Circuits and Systems, vol. 48, no. 7, pp. 876-884, 2001.
- [2] M. Yuffe, M. Mehalel, E. Knoll, J. Shor, T. Kurts, E. Altshuler, E. Eyal Fayneh, Kosta Luria, and Michael Zelikson, "A Fully Integrated Multi-CPU, Processor Graphics, and Memory Controller 32-nm Processor," JSSC, vol. 47, no. 1, pp. 194-205, 2012.
- [3] M. A. P. Pertijs, K. A. A. Makinwa, and J. H. Huijsing, "A CMOS Smart Temperature Sensor With a 3σ Inaccuracy of $\pm 0.1^{\circ}\text{C}$ From -55°C to 125°C ," JSSC, vol. 40, no. 12, 2005.
- [4] S. M. Kashmiri, S. Xia, and K. A. A. Makinwa, "A Temperature-to-Digital Converter Based on an Optimized Electrothermal Filter," JSSC, vol. 44, no. 7, 2009.
- [5] K. Souri, and K. A. A. Makinwa, "A 0.12mm^2 $7.4\mu\text{W}$ Micropower Temperature Sensor With an Inaccuracy of $\pm 0.2^{\circ}\text{C}$ (3σ) From 30°C to 125°C ," JSSC, vol. 46, no. 7, 2011.
- [6] Y. W. Li, H. Lakdawala, A. Raychowdhury, G.g Taylor, and K. Sornumyanath, "A 1.05V 1.6mW , 0.45°C 3σ Resolution ΔE -based Temperature Sensor with Parasitic Resistance Compensation in 32nm Digital CMOS Process," ISSCC 2009, pp. 339-341, 2009
- [7] F. Sebastiano, L. J. Breems, and A. A. K. Makinwa, "Salvatore Dragons, Domine M. W. Leenaerts, Bram Nauta, "A 1.2V $10\mu\text{W}$ NPN-Based Temperature Sensor with a 3σ Inaccuracy of $\pm 0.2^{\circ}\text{C}$ from 40°C to 125°C in 65nm CMOS," ISSCC 2010, pp. 312-314, 2010
- [8] K. Ueno, T. Asai, and Y. Amemiya, "Temperature-to-frequency Converter Consisting of Subthreshold MOSFET Circuits for Smart Temperature-sensor LSIS," Solid-State Sensors, Actuators and Microsystems Conference, pp.2433-2436, 2009.
- [9] P. Chen, C. Chen, Y. Peng, K. Wang, and Yu-Shin Wang, "A Time-Domain SAR Smart Temperature Sensor With Curvature Compensation and a 3σ Inaccuracy of $-0.4^{\circ}\text{C}\sim +0.6^{\circ}\text{C}$ Over a 0°C to 90°C Range," JSSC, vol. 45, no. 3, 2010
- [10] P. Chen, T. Chen, Y. Wang, and C. Chen, "A Time-Domain Sub-Micro Watt Temperature Sensor with Digital Set-Point Programming," Sensors Journal, vol. 9, no. 12, pp. 1639-1646, 2009
- [11] K. Luria, and J. Shor, "Miniaturized CMOS thermal sensor array for temperature gradient measurement in microprocessors," ISCAS 2010, pp. 1855-1858, 2010



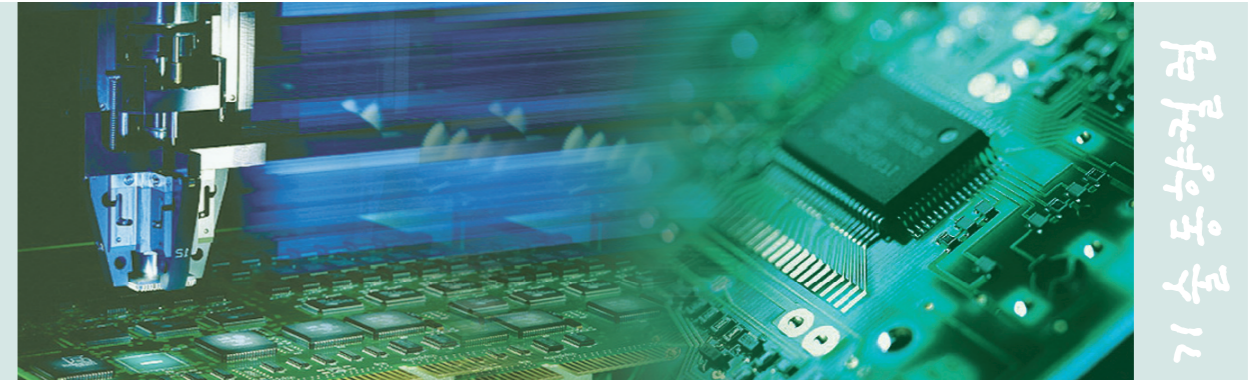
디지털 TV를 위한 고속 인터페이스 기술동향



한양대학교 융합전자공학부 교수
유창식 교수
연구분야 : 아날로그 및 혼성신호 SoC
E-mail : csyoo@hanyang.ac.kr
http://iclab.hanyang.ac.kr



스마트파이 주식회사
김옥 대표이사
연구분야 : 고속 인터페이스 SoC
E-mail : okim@smartphy.com
http://www.smartphy.com



무선케이블이

HDMI vs. DisplayPort

미국의 Silicon Image에 의해 1999년 DVI (Digital Video Interface)가 정의되고 개발된 이후 TV를 포함한 디스플레이 시스템에서 디지털 인터페이스 기술이 빠른 속도로 채용되어 왔다. 특히 Silicon Image를 포함한 7개 회사가 제정한 HDMI (High Definition Multimedia Interface) 표준은 DVI와 전기적으로 호환되며 지적재산권 보호를 위한 HDCP (HD Contents Protection) 기술을 채용하여 현재 디지털 TV 인터페이스의 de facto standard로 자리매김하고 있다. HDMI에 대항하기 위한 기술로 VESA (Video Electronics Standards Association)에서 DisplayPort 표준을 제정하였는데 TV 시장에서는 HDMI에 비해 미미한 시장을 점하고 있으나 PC 모니터 분야에서 시장을 확대하고 있다. 또한, DisplayPort는 Apple이 자사의 제품에 적극적으로 채용하고 있어 향후 그 시장이 급속히 확대될 가능성이 있다.



〈그림 2〉 HEAC을 통한 인터넷 연결

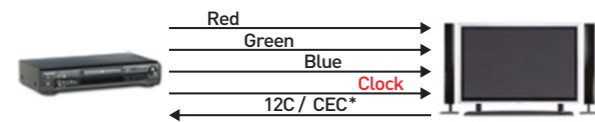


〈그림 3〉 Audio Return Channel의 효과

HDMI

HDMI는 〈그림 1〉과 같이 R/G/B로 구성된 3개의 TMDS (Transition Minimized Differential Signaling) 채널과 forwarded clock 채널로 구성되어 있다. 또한, 제어 신호 전달을 위한 I2C/CEC line이 별도로 구비되어 있다. Version 1.4가 가장 최신의 표준으로 기존의 version 1.3과 동일한 채널당 3.4-Gbps의 raw data rate를 갖고 있다. Version 1.4가 version 1.3에 비해 가진 가장 큰 차이점은 HEAC (HDMI Ethernet Audio Return Channel)을 지원한다는 것과 3D-TV와 UD-TV를 지원한다는 것이다.

HEAC를 통하면 〈그림 2〉에 표시한 것과 같이 AV 기기를 TV에 연결하기만 하면 별도의 Ethernet cable 연결 없이 모든 AV 기기가 TV를 통해 인터넷에 연결된다. 즉, TV가 Ethernet hub의 역할을 하고 HDMI cable을 통해 Ethernet 신호가 양방향으로 전달된다. HEAC의 또 다른 기능은 별도의 스피커를 사용하고자 할 때 기존에는 TV에서 audio cable을 통해 스피커에 연결했는데 HEAC의 ARC를 사용하면 〈그림 3〉과 같이 별도의 audio cable이 필요 없게 된다.



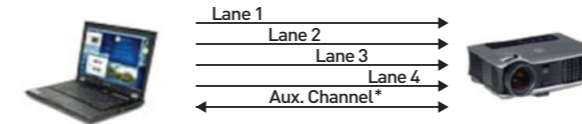
〈그림 1〉 HDMI의 채널 구조

DisplayPort

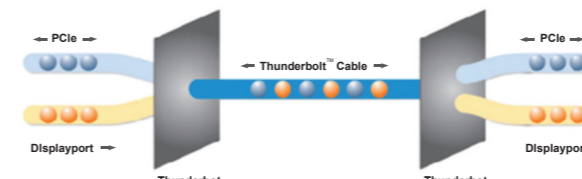
DisplayPort는 〈그림 4〉에 표시한 것과 같이 data lane과 제어 신호 전달을 위한 auxiliary 채널을 갖고 있다. Data lane의 수는 고정되어 있지 않고 1개, 2개, 또는 4개를 가질 수 있다. 최신 표준인 version 1.2에 의하면 하나의 lane이 갖는 raw data rate는 5.4-Gbps이다. HDMI와는 달리 forwarded clock 채널이 없어 수신단의 clock recovery 회로를 구현할 때 HDMI에 비해 기술적으로 어려울 수 있다.

Auxiliary 채널은 version 1.2에서 최대 720-Mbps의 data rate를 가질 수 있어 이를 통해 USB 2.0 통신할 수 있다. Timing controller를 위한 internal DisplayPort (iDP), graphic card와 laptop PC의 LCD 패널 간의 연결을 위한 embedded

DisplayPort (eDP) 등 여러 형태의 변형된 표준도 제공한다. 인텔은 PCI-express와 DisplayPort를 결합한 Thunderbolt 인터페이스 표준을 제정하였으며 Apple이 자사의 MacBook pro에 채용하였다. 고속 데이터와 비디오 데이터를 하나의 cable을 통해 전송할 수 있으므로 많은 응용에서 장점이 있을 것이다.



〈그림 4〉 DisplayPort의 채널 구조



〈그림 5〉 Thunderbolt의 개념

모바일 기기를 위한 비디오 인터페이스 : Wired vs. Wireless

최근에는 스마트폰과 태블릿 PC의 급속한 확산으로 이들 모바일 기기의 작은 화면에 표시되는 내용을 TV 또는 모니터의 큰 화면에 어떻게 전달할 것인가가 중요한 기술적 화두로 떠오르고 있다. Apple은 HD mirroring이라고 부르는 기술로 iPad의 30-pin 출력을 HDMI로 변환하여 TV와 연결할 수 있도록 하고 있다. 이는 기존의 micro HDMI를 사용하는 모바일 기기와 크게 차별화되지 않는 기술이다.

모바일 기기를 TV와 연결하는 방법은 크게 wired 방식과 wireless 방식으로 나눌 수 있다. Wired 방식으로는 가장 쉽게 생각할 수 있는 것이 HDMI와 DisplayPort 등의 기존 기술을 사용하는 것인데 이들 기술은 근본적으로 모바일 기기에 대한 고민 없이 만들어진 인터페이스 표준이기 때문에 사용의 편리성 측면에서 한계가 있을 수밖에 없다.

Wired 인터페이스 - MHL (Mobile High Definition Link)

Silicon Image는 가전 및 모바일 기기 업체와 함께 MHL 표준을 제정하였다. MHL 표준에 따르면 〈그림 6〉과 같이 기존의 micro-USB port를 통해 full-HD 영상 신호와 audio 신호를 전송할 수 있다. MHL은 HDMI의 R/G/B 채널 신호를 하나의 differential pair에 보내는 것으로 생각할 수 있다. HDMI에서 clock 신호를 전송하는 것과 같이 MHL에서도 clock 신호를 전송해야 하는데, micro-USB connector는 clock 신호를 전송할 wire가 없기 때문에 영상 신호를 전송하는 differential pair의 common-mode level을 modulate하여 clock 신호를 전송한다.

MHL의 장점은 기존의 micro-USB port를 사용하므로 모바일 기기에 추가적인 port를 둘 필요가 없고 영상 신호를 전송하는 동시에 충전까지 가능하다는 것이다.

MHL은 2011년 상반기에 처음으로 스마트폰에 채택된 후에 디지털 TV, 태블릿 PC 등에 채택되고 있다. 이외에도 자동차에도 MHL을 채택하여 모바일 기기와 자동차 내의 모니터를 연결할 수 있도록 하는 시도가 진행되고 있다.



〈그림 6〉 MHL을 이용한 모바일 기기와 TV의 연결

Wireless 인터페이스 - WiDi (Wireless Display) & Wireless HD

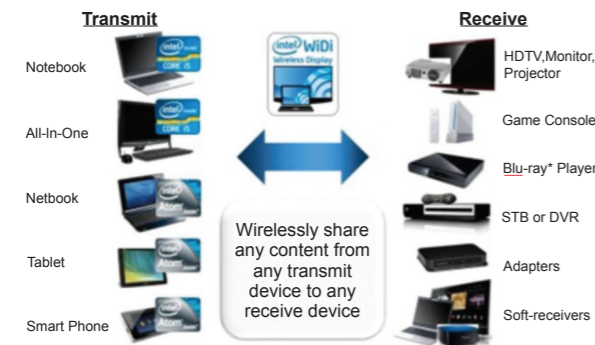
Intel은 기존의 무선 인터넷 WiFi 망을 이용하여 HD 영상을 전송할 수 있는 WiDi 기술을 개발하여 Core processor에 그 기능을 내장하였다. 모바일 기기와 TV를 무선으로 연결할 수 있으므로 MHL과 같은 wired 인터페이스에 비해 소비자의 편의성은 좋다고 할 수 있다. 하지만, WiDi를 통해 영화를 감상한다고 가정하면 배터리 소모 문제로 말미암아 결국에는 모바일 기기의 충전 케이블을 연결할 수밖에



에 없을 것이다. 즉, 무선이라고 하는 장점이 근본적으로 희석되는 문제를 갖고 있다.

최근에 Silicon Image에 인수된 SiBeam에서는 오랜 기간 60GHz 대역을 이용하여 무선으로 HD 신호를 전송할 수 있는 wireless HD 기술을 개발하여왔다. 최근 VIZIO에서 AV기기와 TV 사이의 연결을 손쉽게 할 수 있는 wireless HD repeater를 출시하였으나 시장에서의 acceptance는 전반적으로 좋지 않은 편이다.

Intel® Wireless Display Future Vison



(그림 7) WiDi의 발전 방향

발전방향

TV를 위한 인터페이스는 기존의 아날로그 format을 비롯하여 HDMI, DisplayPort 등의 디지털 인터페이스, 모바일 기기를 위한 MHL, WiDi 등의 인터페이스 등 다양한 형태로 존재한다. 아직은 TV에서 기존의 아날로그 인터페이스 format을 지원해야 하지만 점진적으로 아날로그 인터페이스는 사라지고 디지털 인터페이스만 남게 될 것이다. 디지털 인터페이스에서 HDMI와 DisplayPort 중 어느 것이 시장을 주도하게 될지는 알 수 없지만 확실한 것은 사용자의 편의성을 최대한 제공하고 호환 가능한 주변 AV 기기를 최대한 확보해야 시장을 지배할 수 있다는 것이다.

이러한 점에서 아직까지 TV는 HDMI가 우월한 위치에 있는 것으로 보인다. DisplayPort는 표준의 제정도 HDMI에 비해 늦었고 호환 가능한 AV 기기도 HDMI에 비해 훨씬 적다. 또한, HDMI는 version 1.4에서 HEAC을 정의함으로써 사용자의 편의성을 크게 향상했다.

모바일 기기와 TV의 연결에 있어서는 wired와 wireless 중 한가지만 살아남기보다는 두 가지 기술이 공존할 가능성이 크다. 단순히 영상 신호를 전송한다는 측면에서는 wireless 기술이 사용자의 편의성을 크게 제공하지만, 모바일 기기의 근본적 한계인 배터리의 소모 문제를 해결할 수 있는 wired 인터페이스 기술도 큰 의미가 있다.

TV용 인터페이스 기술은 향후 4k-2k 지원, smart TV를 위한 Ethernet connectivity 지원, 60-Hz의 frame rate를 유지하는 3D-TV 지원을 어떤 형태로 할 수 있는지가 그 기술의 경쟁력을 가 열쇠가 될 것이다.

관련 산업 동향

TV용 인터페이스 기술 분야에서 가장 높은 경쟁력을 가진 회사는 미국의 Silicon Image이다. 최근에는 TV용 SoC를 생산하는 기업에서도 관련 IP를 도입하여 SoC 내에 인터페이스를 집적하는 경향이 있는데, Silicon Image는 입력 port가 여러 개 있을 경우 port switching을 빠르게 하는 기술, pre-view 기능을 제공하는 기술 등의 차별화된 기능을 제공하는 인터페이스 칩을 개발하여 시장에서 우월적 지위를 유지하고 있다.

국내에는 전 세계 디지털 TV 시장을 지배하는 기업이 2개나 있으나 TV용 인터페이스 기술은 대부분 외국 IP 또는 부품에 의존하고 있는 실정이다. 이를 해결하기 위해서는 HDMI, DisplayPort, MHL 등의 TV용 인터페이스 기술을 국산화하는 노력이 절실하다.

MPW(Multi-Project Wafer) Design Contest

IDEC MPW 설계공모전

IDEC MPW 설계공모전을 통하여 자신이 설계한 IC를 국내 최고의 Foundry 업체에서 제작할 수 있습니다. 여러분이 주인공이 되어 생각을 현실로 구현해 보십시오.

2012년 MPW 공정 지원 내역

공정지원사	공정[μm]	공정내역	size	입수	Package
삼성	0.13μm	CMOS 1-poly 6-metal	4mm x 4mm	96	208pin QFP
	65nm	CMOS 1-poly 8-metal (RF지연, Option(HRI, Inductor, MIM))	4mm x 4mm	40	208pin QFP
메그나칩/하이닉스	0.35μm	CMOS 2-poly 4-metal (Optional layer (DNW, HRI, BJT, CPOLY) 추가)	5mm x 4mm	40	Design 144pin Package 208pin QFP
	0.18μm	CMOS 1-poly 6-metal (6metal을 Thick metal로만 사용가능 / Optional layer(DNW, HRI, BJT, MIM) 추가)	4.5mm x 4mm	80	Design 200pin Package 208pin QFP
동부하이텍	0.18μm BCDMOS	CMOS 2-poly 4-metal(Thick metal)	5mm x 5mm	6	144pin QFP
	0.35μm BCDMOS	CMOS 2-poly 4-metal(Thick metal)	5mm x 5mm	15	144pin QFP
TowerJazz	0.18μm CIS	CMOS 1-poly 4-metal	5mm x 5mm	2	지원하지 않음
	0.18μm BCDMOS	CMOS 1-poly 3-metal(MT)	5mm x 5mm	4	
	0.18μm RFCMOS	RFCMOS 1-poly 6-metal	5mm x 5mm	2	
	0.18μm SiGe	SiGe BiCOMOS 1-poly 6-metal	5mm x 5mm	1	

2012년 MPW 진행 일정

• 삼성 공정 라인 제작기간 조정으로 관련 공정 제작일이 변경됨

구분	공정사	공정	제작 입수	우선모집		정규모집		후기	DB미감 (Tape-Out)	DB전달 (Fab-In)	Die-out	Package out
				신청마감	신청발표	신청마감	신청발표					
108회 (12-01)	M/H	0.18μm	20			11.11.05	11.11.19		12.02.13	12.02.27	12.06.04	12.07.04
	동부	0.35μm(BCD)	3			11.11.05	11.11.19		12.02.22	12.03.07	12.05.30	12.07.02
	TJ	0.18μm(SiGe)	1			11.11.05	11.11.19		12.02.13	12.02.21	12.07.02	-
109회 (12-02)	TJ	0.18μm(RF)	1			11.11.05	11.11.19		12.02.27	12.03.05	12.07.05	-
	삼성	0.13μm	48			11.11.20	11.12.05		12.03.09	12.03.30	12.08.10	12.09.07
110회 (12-03)	동부	0.11μm	15			11.11.20	11.12.05		12.03.28	12.04.18	12.08.01	12.09.03
	동부	0.35μm(BCD)	3			11.11.20	11.12.05		12.04.04	12.04.18	12.07.11	12.08.13
	M/H	0.18μm	20			11.12.5	11.12.20	11.02.01~	12.05.14	12.05.28	12.09.03	12.10.05
111회 (12-04)	M/H	0.35μm	20			11.12.5	11.12.20	11.02.01~	12.05.14	12.05.28	12.09.03	12.10.05
	동부	0.35μm(BCD)	3			11.12.5	11.12.20	11.02.01~	12.05.24	12.06.7	12.08.30	12.10.01
	TJ	0.18μm(CIS)	1			12.01.20	12.01.30		12.05.07	12.05.14	12.09.14	-
112회 (12-05)	TJ	0.18μm(BCD)	2			12.01.20	12.01.30		12.05.14	12.05.21	12.09.21	-
	삼성	65nm	20			11.12.20	12.01.05	11.03.01~	12.06.04	12.06.29	12.11.09	12.12.09
113회 (12-06)	동부	0.18μm(BCD)	2			11.12.20	12.01.05	11.03.01~	12.06.20	12.07.4	12.09.26	12.10.26
	동부	0.35μm(BCD)	3			12.01.05	12.1.20	11.03.10~	12.07.04	12.07.18	12.10.10	12.11.12
114회 (12-07)	동부	0.18μm(BCD)	2	11.11.20	11.12.05	12.02.01	12.02.15	12.05.01~	12.08.08	12.08.22	12.11.14	12.12.14
	M/H	0.18μm	20			12.02.01	12.02.15	12.05.01~	12.08.13	12.08.27	12.12.31	13.01.28
115회 (12-08)	삼성	0.13μm	48			12.02.01	12.02.15	12.05.01~	12.08.31	12.09.21	13.02.01	13.03.01
	동부	0.18μm(BCD)	2			12.03.01	12.03.15	12.06.15~	12.09.26	12.10.10	13.01.04	13.02.04
116회 (12-09)	TJ(CIS)	0.18μm	1			12.04.15	12.04.30	12.07.01~	12.10.15	12.10.22	13.02.22	-
	TJ(RF)	0.18μm	1			12.04.15	12.04.30	12.07.01~	12.10.22	12.10.29	13.02.29	-
	TJ	0.18μm(BCD)	2			12.04.15	12.04.30	12.07.01~	12.10.22	12.10.29	13.02.29	-
	동부	0.35μm(BCD)	3	12.01.20	12.02.05	12.04.15	12.04.30	12.07.01~	12.10.15	12.10.24	13.01.16	13.02.18
117회 (12-10)	동부	0.11μm	15			12.04.15	12.04.30	12.07.01~	12.10.02	12.10.24	13.02.06	13.03.06
	M/H	0.18μm	20			12.05.01	12.05.15	12.08.01~	12.11.12	12.11.26	13.03.18	13.04.15
	M/H	0.35μm	20			12.05.01	12.05.15	12.08.01~	12.11.12	12.11.26	13.03.18	13.04.15
	삼성	65nm	20			12.05.01	12.05.15	12.08.01~	12.11.26	12.12.21	13.05.02	13.06.03

참여 대상 : IDEC Working Group(WG) 대학의 학부생 및 대학원생

* 표기 : 1) 년.월.일 2) M/H = 메그나칩/하이닉스 3) TJ = TowerJazz
 * 동부, TowerJazz 공정은 5mm×2.5mm 또는 2.35mm×2.35mm 사이즈만 모집함.
 * 모집 : 우선(50%), 정규(50%) 모집을 원칙으로 하며, 후기모집은 정규모집시 마감일 안된 공정에 대해서만 실시함.
 * 설계설명회는 정규 모집시에만 개최함.
 * 위의 일정은 사정에 따라 다소 변경될 수 있음.

참여기업



2012년 1월 30일부터 31일까지 개최되는 ITC 2012 (International Thin Film Transistor Conference 2012)에 다녀왔다. 늦지 않기 위해서 아침 일찍부터 학회장으로 향했다.

「ITC 2012 참관기」

2012년 1월 30일부터 31일까지 개최되는 ITC 2012 (International Thin Film Transistor Conference 2012)에 다녀왔다. 늦지 않기 위해서 아침 일찍부터 학회장으로 향했다. 시작은 9시부터이기 때문에, 늦지 않기 위해, 7시 30분에 출발했음에도 도로에 출근길에 나서는 차량 덕분에 꽤 오랜 시간이 걸려서야 도착할 수 있었다. 세계 어느 곳이든 출·퇴근 시간의 교통정체는 풀지 못하는 숙제가 아닐까 라는 생각을 했다. 다행히 늦지 않게 도착 한 학회장은 시작 전부터 등록 데스크는 분주한 모습이었다.



Registration Desk - 1월 30일의 오전

학회가 열린 장소는 Congress Center of the Calouste Gulbenkian Foundation이라는 곳에서 진행되었다. 이곳은 아르메니아 공화국 태생의 석유왕 굴벤키안의 유언으로 설립된 미술관이며, 굴벤키안은 리스본의 기후와 아름다움에 매료되어 말년을 리스본에서 보내다가 1955년에 죽었는데, 유언에 따라 막대한 재산과 미술품 컬렉션이 포르투갈 문화사업에 기증되었다. 유산은 포르투갈의 문화 예산에 버금가는 막대한 것이었으며 1970년 개관했다.



Congress Center of the Calouste Gulbenkian Foundation

학회는 New University of Lisbon의 Elvira Fortunato 교수를 중심으로 준비되었다. Elvira Fortunato 교수는 산화물 반도체 분야에서는 1세대 연구자라고

볼 수 있으며, 개인적으로 ITC를 Thin Film Transistor 연구자들의 작은 축제라고 한다. MRS(Materials Research Society) 나 SID(Society for Information Display)처럼 유명하고 큰 학회가 있지만, 주제가 너무 광범위하게 분포되어 있기 때문에, TFT를 연구하는 사람들로서는 ITC는 충분히 유익한 학회라고 생각한다. 학회 프로그램의 전체적인 구성은 Si 기반 소자 공정기술, Organic 기반 소자 공정기술, 산화물 기반 소자 공정기술, 그리고 CNT, Graphene에 대한 연구결과들이 1월 30일과 31일 이틀간에 걸쳐서 발표되었다. 학회 참석인원은 약 150~200명 정도로 집계되었으며, 그 중 28%가 대한민국의 연구자들의 참여를 보였다.

ITC 학회 참석자의 대부분은 디스플레이 업계의 종사자인 경우가 대부분이다. 기존의 비정질 실리콘 기반의 LCD가 주를 이루고 있던 디스플레이 업계에 AMOLED가 등장하면서, 기존의 비정질 실리콘은 많은 한계성을 보였고, 다음 세대의 디스플레이 구동을 위하여 등장한 것이 유기물 반도체, 산화물 반도체, 다결정 실리콘 등이다. ITC 학회는 이러한 여러 가지 대체물질들을 이용한 소자구현의 성과를 보고하는 학회이다. 유기물 반도체는 인쇄공정과 저온공정에 가능성을 강점으로 내세웠고, 산화물은 저온공정의 가능성과 기존의 공정 라인을 그대로 활용할 수 있다는 것이 강점으로 대두하였다. 그리고 저온 다결정 실리콘의 경우, 다른 재료보다는 비교적 공정온도가 높지만, 높은 열처리 온도 때문에 비용절감적인 측면에서는 가장 비효율적이지만, 이미 상용화에 문제가 없을 정도로 많은 노하우를 축적하고 있다는 것이 그 장점이다.



ITC 2012의 시작 - Elvira Fortunato의 Opening session

산화물 반도체 분야의 경우, 이번 학회의 주된 관심사는 기존에 진공 증착 방법이 주가 되었던 산화물 반도체에서 용액공정으로 이동하는 듯한 느낌이 드는 듯했다. 그도 그럴 만한 것이, 기존의 용액공정이라는 것이 공정 온도 자체가 400도 이상의 열처리온도를 요구했기 때문에, 진공 증착 방법에 비해 비 진공 공정이라는 것 외에는 아무런 장점이 있지 않기 때문이다. 또한, Roll-to-roll 공정에 적용하기 위해서는 저온공정기술이 필수이지만, 기존의 용액공정들은 이를 충족시켜주지 못했기 때문에, 용액공정을 연구하는 사람들이 내세우는 용액공정의 큰 장점 중의 하나는 8세대 이상의 디스플레이 백플레인 공정에서 더는 공정장비의 대형화가 필요하지 않다는 것이었으며, 높은 공정온도에 의한 플라스틱 기판의 제한성은 오히려 플라스틱 기판을 연구자들에게 더 높은 온도에서도 안정성을 갖는 재료를 개발해 주기를 기다리는 분위기였다.

하지만 최근에 Northwestern Univ.의 Tobin Marks 교수의 연구그룹에서 저온공정이 가능한 산화물 반도체의 합성법을 Nature Materials에 게재하면서부터, 좀 더 많은 사람이 이에 대해 관심을 두게 되었다. 이 연구그룹은 용액공정을 이용한 반도체, 절연막 및 투명전극에 대한 전반적인 연구를 진행해왔다. 솔직한 심정으로 필자도 Tobin Marks 교수의 발표로부터 무언가 얻을 수 있지 않을까 하는 마음에 아침 일찍부터 잠을 설치며, 학회장으로 향한 기억이 있다. 학회 프로그램이 시작되고 첫 Plenary session으로 시작한 Tobin Marks 교수의 발표에서 몇몇 사람들은 마땅한 자리를 찾지 못해서 뒤에서 서서 들어야 할 정도로 많은 관심을 받았다. 그만큼, 저온공정을 위한 용액 합성기술에 대한 사람들의 관심은 뜨거웠고, Tobin Marks 교수는 그들의 기대에 유익한 강연으로 보답했다.



Plenary session - Tobin Marks (Northwestern Univ.)

유기물 반도체는 세계적으로 유명한 Hagen Klauk 박사가 초청되었다. 독일 막스플랑크 연구소의 연구자인 그는, 유기물 반도체를 이용한 박막트랜지스터에 대한 전반적인 강연을 진행하였으며, 이를 이용하여 OLED를 구동하는 모습을 시연하는 등, 유기물 반도체를 이용한 전자소자 및 회로 등에 있어서, 아직 많은 가능성이 있다고 말하고 있었다. 실리콘 분야에서도 많은 연구결과가 발표되었다. 고려대학교의 홍문표 교수는 중성입자 빔을 이용한 micro/nano-crystalline Si에 대한 연구결과를 발표하였으며, 네덜란드의 델프트 공대의 로이치 이시하라 교수는 액체상태의 실리콘을 이용하여 인쇄 공정을 적용하여 기판상에서 수 마이크로 크기의 단결정 실리콘을 형성하는 기술 (Micro-czochnalski method라 칭함)을 이용하여, 소자를 제작하는 방법을 소개하였다. 산화물 또는 유기물은 용액공정에 대한 연구가 발표되는 경우는 많이 보았으나, 실리콘은 1,000도가 넘어가는 높은 온도에서나 단결정이 형성되는 것으로 알려졌던 터라 방법적으로나 전기적 특성적으로나 놀라움을 감추지 못했다.



Invited Talk - Dr. Hagen Klauk(위), Dr. Ryoichi Ishihara(아래)

사람마다 학회에 참석해서 중점을 두는 곳은 모두 다르지만, 필자는 심플한 아이디어로부터 많은 것들을 얻을 수 있다고 생각하기 때문에, 공정기술의 기본 아이디어를 파악하는데 주안점을 두었다. 전기전자를 전공하는 연구자의 한 사람으로서 재료를 연구하는 사람들과 재료적인 부분에서 경쟁하기에는 무리가 있다고 판단하기 때문에 공정기술 부분에서 무언가 차별성을 두어야 한다고 생각한다. 그러한 관점에서 이번 ITC 2012 학회는 많은 공부를 할 수 있었던 학회였고, 그동안 간과하고 있던 많은 부분을 다시 한 번 생각할 수 있었던 학회였다. 세계 여러 나라의 연구자들은 이를 동안의 시간에 자신의 성과를 보여주고, 서로 논의하고 토론하고 새로운 해답을 찾아내는데 열심이었다. 비록 짧은 시간이었지만, 내년엔 일본에서 다시 만나기로 하고 아쉬운 발걸음을 돌려야만 했다.

지금까지 산화물 반도체를 연구해오면서 산화물 반도체가 유기물 반도체의 경우와 같이 상용화로부터 멀어져서 단순히 연구논문에서만 볼 수 있는 기술이 되는 것은 아닐는지 걱정하던 시간도 있었다. 하지만 재작년에 삼성전자에서 산화물 반도체를 이용하여 Ultra-Definition (UD)급 LCD 디스플레이를 선보였을 때, 내심 기뻐하며 앞으로 우리가 할 수 있는 일들이 더 많다는 것에 감사를 느꼈다. 우리가 연구하는 디스플레이 백플레인은 사람들의 눈에 쉽게 보이지 않는 부분이다. 디스플레이를 구성하는 여러 부분이 있었지만, 우리가 연구하는 부분은 그중에서도 정말 적은 면적을 차지하지만, 사람들의 눈에 보이는 부분을 조용히 컨트롤하는 부분이다.

우리가 하는 연구가 사람들의 눈에 직접 보이지 않는다고 해서 우리가 하는 연구의 중요성이 그만큼 평가절하된다고 생각하지는 않는다. 연구자로서 항상 마음에 두는 한마디는 "우리는 보이지 않는 부분을 연구하지만, 우리가 없으면 사람들에게 아무것도 보이지 않는다."라는 한 마디는 연구자의 길을 걷기 시작하면서부터 가슴에 새겨왔던 한마디였고, 이번 학회를 통해서 다시 한 번, 우리의 중요성을 느낄 수 있었던 학회였다고 생각한다.



고려대학교 전기전자전파공학부 교수
국가지정연구실 (디스플레이 및 나노시스템연구실) 운영

주병권 교수
연구분야 : Flat panel display(FED, OLED), MEMS, Nano-devices
E-mail : bkju@korea.ac.kr
http://diana.korea.ac.k