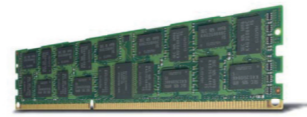


Less energy.
More speed.



The new 30 nano class Green DDR3

Samsung's 30 nano class 4G bit DDR3 server memory chip is the most advanced, best-performing chip we've ever created. It saves 86% more energy, processes two times faster and is far more reliable than its predecessor.* In fact, its energy usage is so small, operating and maintenance costs of your server farm are significantly reduced. Welcome the eco-innovation that doesn't compromise performance - just one more reason the leader in green memory technology is Samsung.

www.samsung.com/greenmemory



© 2011 Samsung Electronics Co. Ltd.

* Samsung Internal test result, compared to Samsung 60 nano class DDR3 memory chip. Actual performance difference may vary depending on the test environment.



IDEC Newsletter

IDEC Newsletter | 동권: 제175호 | 발행일: 2011년 12월 31일 | 발행인: | 경종민 | 편집인: 김아삼 | 제작: 푸른디자인
기획 | 전항기 | 전화 | 042) 350-8535 | 팩스 | 042) 350-8540 | http://idec.or.kr
E-mail | jhg0929@idec.or.kr | 발행처 | 반도체설계교육센터(IDEC)

2012
January

Vol.175



IDEC NEWS | 02 박인철 소장 취임사 | 04 인공 망막 보철의 현주소, 그리고 미래 | 06 낸드 플래시 메모리 에러정정 및 신호처리 | 10 A-SSCC 2011 참관기 | 14 과연, CMOS RF front-end는 이동단말기에서 사용될 것인가? | 18

반도체설계교육센터 사업은 지식경제부, 반도체산업협회, 반도체회사(삼성전자, 하이닉스반도체, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.

박인철 소장 취임사

"대학교의 반도체 설계 인프라가 구축되는데 많은 노력이 필요하며, 힘들게 구축된 인프라를 유지, 발전시키는 데는 더 많은 열정이 필요하기에 반도체 관련 기업, 교수, 학생, 연구소의 협력의 허브가 되도록 IDEC를 이끌겠다."라는 박인철 소장의 취임사를 통해 앞으로의 포부를 들어보고자 한다. (관련기사 P04~05참조)

인공 망막 보철의 현주소, 그리고 미래

전 세계에서 3,500명 중 한 명은 망막 세포가 파괴되는 유전성 질환인 색소성 망막염을 앓고 있으며, 이는 노화와 관련된 황반변성과 함께 시력 손실의 가장 큰 원인으로 알려졌다. 인간의 눈에 도달한 빛은 망막의 광수용 세포에서 생체 전기 신호로 바뀌어 시피질로 전달되는데, 이러한 질환으로 광수용체가 손상될 경우 다른 신경 세포들이 남아 있더라도 빛을 인지할 수 없게 된다. 이러한 시각 장애 극복의 대안으로 인공망막보철이 활용되고 있다. 본 고에서는 인공 망막 보철의 연구 동향과 전망에 대해 기술하고자 한다. (관련기사 P06~P08)

낸드 플래시 메모리 에러정정 및 신호처리

플래시 메모리는 데이터를 썼다가 읽어보면, 에러정정을 거치지 않았을 때 간혹 비트에러를 발견할 수 있는데 초기에는 에러가 거의 없다가 쓰기 및 지우기 사이클이 늘어남에 따라 갑자기 에러의 개수가 증가한다. 이 최대 P/E 사이클은 특히 SSD로 대표되는 컴퓨터 응용에서 문제가 되는데 USB 메모리나 카메라 응용에 비해서, 쓰기 및 지우기 횟수가 월등히 많기 때문이다. 그리고 가장 큰 문제는 이 사용 가능한 최대 P/E 사이클이 낸드 플래시 메모리의 집적도가 증가할수록 작아지고 있는 것이다. 본 고에서는 낸드 플래시 메모리의 에러정정 및 신호처리에 대해서 살펴보고자 한다. (관련기사 P10~13참조)

A-SSCC 2011 참관기

아시아 반도체 기술의 최대 축제인 A-SSCC(Asian Solid-State Circuit Conference)가 11월 14일에서 16일까지 3일간 제주도에서 열렸다. A-SSCC는 반도체 기술 분야에서 아시아 최고 권위를 가진 학회이며 IEEE Solid-State Circuits Society의 공식 후원을 받는 4개 학회 중 하나이다. 본 고에서는 송실대학교 문용 교수의 시선으로 A-SSCC 2011의 모습들을 살펴보고자 한다. (관련기사 P14~P17)

과연, CMOS RF front-end는 이동단말기에서 사용될 것인가?

RF 송수신기는 원래 Si Bipolar나 화합물반도체로 이루어졌었다. 그러나 지금은 스위치와 전력증폭기, 필터들을 제외한 모든 것들이 CMOS 칩으로 집적되어 있다. RF front-end 집적의 핵심은 switch와 전력증폭기의 RF CMOS로의 구현이다. 본 고에서는 KAIST 홍성철 교수를 통해 ISSCC 2012를 통해 소개된 RF front-end 시장의 미래에 대해서 살펴보고자 한다. (관련기사 P18~P19)



www.towerjazz.com

TowerJazz Technology

TowerJazz Overview

TowerJazz manufactures integrated circuits for more than 150 customers worldwide. Our vision is to be the world leader in specialty foundry solutions as measured by our customers, employees and investors.

TowerJazz achieved the highest percentage of growth in 2010 vs. 2009. By further accelerating our growth rate in 2011, we are challenging to become the #1 specialty foundry.

Digital CMOS process technology, TowerJazz offers specialty CMOS processes with geometries ranging from 1.0- to 0.13-micron. We are divided into five business units:

- RF/High Performance Analog (including SiGe BiCMOS and RF CMOS offerings),

- Power Management (including our patented Y-Flash, the leading solution for NVM),

- CIS (CMOS Image Sensors),

- Mixed-Signal/CMOS and TOPS (Technology Optimization Process Services) to expand capacity or provide second sourcing.

- We also offer foundry MEMS enablement solutions combined with high volume 150mm and 200mm CMOS wafer manufacturing.

2010 Major IC Foundries

2010 Rank	2009 Rank	Company	Foundry Type	Location	2009 Sales (\$M)	2010 Sales (\$M)	09/10 Sales (%)	2010 Sales (\$M)	10/09 Sales (%)
1	1	TSMC	Pure-Play	Taiwan	10,556	8,969	-15%	13,307	48%
2	2	UMC	Pure-Play	Taiwan	3,070	2,815	-8%	3,965	41%
3	4	GlobalFoundries	Pure-Play	U.S.	0	1,101	N/A	3,610	219%
4	5	SMIC	Pure-Play	China	1,353	1,070	-21%	1,555	45%
5	3	TowerJazz	Pure-Play	Europe	252	300	19%	510	70%
6	7	Vanguard	Pure-Play	Taiwan	511	352	-31%	508	33%
7	6	Dongbu	Pure-Play	South Korea	490	395	-19%	495	25%
8	8	IBM	IDM	U.S.	400	335	-16%	430	28%
9	12	MagnaChip	IDM	South Korea	346	262	-24%	420	60%
10	10	Samsung	IDM	South Korea	340	290	-15%	400	38%
11	11	SSMC	Pure-Play	Singapore	340	280	-18%	330	18%
12	15	X-Fab	Pure-Play	Europe	368	212	-42%	320	51%
13	14	Hua Hong NEC	Pure-Play	China	280	240	-14%	295	23%
14	13	TI	IDM	U.S.	315	250	-21%	285	14%
15	16	Grace	Pure-Play	China	230	180	-22%	260	44%
---	3	Chartered*	Pure-Play	U.S.	1,743	1,540	-12%	0	N/A

Source: IC Insights, company reports

* Purchased by GlobalFoundries in 4Q09

The Global Specialty Foundry Leader

IDEC January | 2012 news

MPW (Multi-Project Wafer)									
MPW 신청 현황					MPW 칩 제작 현황				
구분	공정	제작 가능면적 (mm ² x칩수)	신청 팀수	채택 팀수	설계면적 (mm ² x칩수)	DB마감	Die-out	비고	
107회 (11-10)	M/H 0.18	4.5x4mm ² x 20	24	24	4.5x4mm ² x 15 4.5x2mm ² x 6 2.25x2mm ² x 3	2011.12.15	2012.4.10	DB마감 :12.15	
108회 (12-1)	M/H 0.18	4.5x4mm ² x 20	20	20	4.5x4mm ² x 20	2012.2.13	2012.6.4		
	동부 0.35 BCD	5x5mm ² x 3	16	10	5x2.5mm ² x 2 2.5x2.5mm ² x 8	2012.2.22	2012.5.30		
	TJ0.18 SiGe	5x5mm ² x 1	4	4	2.5x2.5mm ² x 4	2012.2.13	2012.6.1		
	TJ0.18 RF	5x5mm ² x 1	8	4	2.5x2.5mm ² x 4	2012.2.27	2012.7.5		
109회 (12-2)	삼성 0.13	4x4mm ² x 48	41	41	4x4mm ² x 41	2012.3.9	2012.7.13		
110회 (12-3)	동부 0.11	5x5mm ² x 13	30	30	5x2.5mm ² x 22 2.5x2.5mm ² x 8	2012.3.28	2012.8.1		
	동부 0.35 BCD	5x5mm ² x 3	11	10	5x2.5mm ² x 2 2.5x2.5mm ² x 8	2012.4.4	2012.7.11		
111회 (12-4)	M/H 0.18	4.5x4mm ² x 20	10	10	4.5x4mm ² x 10	2012.5.14	2012.9.3		후기모집 :2.1~
	동부 0.35 BCD	5x5mm ² x 3	8	8	5x2.5mm ² x 4 2.5x2.5mm ² x 4	2012.5.24	2012.8.30		
112회 (12-5)	삼성 65nm	20개서버 (4x4mm ²)	23	20		2012.6.4	2012.10.19		
	동부 0.18 BCD	5x5mm ² x 2			5x2.5mm ² x 4	2012.6.20	2012.9.26		
113회 (12-6)	동부 0.35 BCD	5x5mm ² x 3	우:3	3	2.5x2.5mm ² x 3	2012.7.4	2012.10.10		
	동부 0.18	5x5mm ² x 2	우:2	2	2.5x2.5mm ² x 2	2012.8.8	2012.11.14		
114회 (12-7)	M/H 0.18	4.5x4mm ² x 20	우:4	4	4.5x4mm ² x 4	2012.8.13	2012.12.3		정규모집 :~2.1
	삼성 0.13	4x4mm ² x 48	우:2	2	4x4mm ² x 2	2012.8.31	2013.1.4		
115회 (12-8)	동부 0.18	5x5mm ² x 2	우:2	2	5x2.5mm ² x 2	2012.9.6	2013.1.4		

* M/H = 매그나칩/하이닉스, TJ = TowerJazz
 * 우선/정규모집에서 마감될 경우 후기모집은 진행되지 않음.
 * Die-out 일정은 Diechip 제작완료 기준임. Package는 Die-out후 4주 이상 소요됨.
 * MPW 참여 일정 및 방법은 홈페이지(www.idec.or.kr) 참조
 * 위의 내용은 12/22 기준임.

* 문의 : 이의숙(042-350-4428 ysllee@idec.or.kr)

Chip Design Contest (CDC)			
● 제19회 한국반도체학술대회 Chip Design Contest 개최			
1. 일정 및 장소 : 2012년 2월 16일(목), 고려대학교내			
2. 시상내역			
시 상 명		내 역	
Best Design Award	일반 부문	최우수상(1팀)	상장 및 상금 100만원
		우수상(2팀)	각 상장 및 상금 50만원
FPGA Award	최우수상(1팀)	상장 및 상금 50만원	

* 문의 : 이의숙(042-350-4428 ysllee@idec.or.kr)

3. 논문 접수결과

논문제출		타학회 논문 기제출팀		합계
ASIC	FPGA	데모/패널만 참여 (논문미제출)		
34	3	14		51
데모 : 5 패널 : 29	데모 : 3	데모 : 6 데모 : 8		데모 : 14 (ASIC:11, FPGA:3) 패널 : 37


* 문의 : 이의숙(042-350-4428 ysllee@idec.or.kr)

2012년 교육 일정									
No.	개설날짜	강좌종류	강좌명	교육일수	강사				
					이름	소속			
1	1.9-11	설계	최신 비디오 코덱 기술 이해 및 응용	3	김용환 책임	KETI			
2	1.12-13	Tool	Linux Administration 과정 및 Linux 보안과정	2	송상우 차장	유에이테크			
3	1.16-17	설계	고성능 ADC 설계를 위한 이론 및 설계기법	2	류승탁 교수	KAIST			
4	2.13-14	설계	[ADC] CMOS 혼성모드 시스템 설계 및 실습	2	안길초 교수	서강대			
5	2.15	설계	[DAC] CMOS 혼성모드 시스템 설계 및 실습	1	윤광섭 교수	인하대			
6	2.16-17	설계	[PLL] CMOS 혼성모드 시스템 설계 및 실습	2	유중근 교수	인천대			
7	3월중	설계	High speed broadband transceiver IC design technique	1	배현민 교수	KAIST			
8	4.10-12	Tool	Synopsys Platform Architecture	3		미정			
9	5.10-11	Tool	Mentor-Calibre xRC	2	김봉준 차장	Mentor Korea			
10	5.14-16	Tool	Cadence Allegro를 활용한 PCB Design	3	유수일 과장	나인플러스			
11	5.21-23	Tool	Mentor-Calibre Using nmDRC and nmLVS	3	김봉준 차장	Mentor Korea			
12	7.2-3	설계	고성능 ADC 설계를 위한 이론 및 설계기법	2	류승탁 교수	KAIST			
13	7.4-5	설계	SoC architecture 설계	2	유승주 교수	포항공대			
14	7.9	설계	CMOS 혼성모드 시스템 설계 및 실습 - Analog 및 Digital I/O 및 ESD 설계	0.5	심진섭 연구원	매그나칩반도체			
15	7.10-11	Tool	Floorplanning, Physical Synthesis, Place and Route (Flat) v10.1	2	정종철 대표	제퍼로직			
16	7.12-13	Tool	NC-Simulator	2		미정			
17	7.16-20	설계	MPW Chip 제작을 이용한 ASIC 설계 교육	3	김일중 부장	Cadence Korea			
18	7.30-31	Tool	TCAD(중급)	2	류광기 교수	한밭대			
19	8.1-3	Tool	Virtuoso Spectre Circuit Simulator vMMSIM7.1 & Virtuoso Analog Design Environment IC5141	2	유은광 연구원	IDECE			
20	8.6-7	Tool	Virtuoso AMS Designer IC5141	2		미정			
21	8.8-9	Tool	Virtuoso Layout Design Basics vIC6.1.5	2	이상철 과장	Cadence Korea			
22	8.10	Tool	Assura Verification DRC/LVS	1	서승원 차장	Cadence Korea			
23	8.20-23	설계	Power Management IC 설계 및 응용	2	정용식 부장	Cadence Korea			
				1.5	구용서 교수	단국대			
				1.5	노정진 교수	한양대			
				0.5	최문호 박사	페어차일드코리아			
				0.5	유형준 교수	KAIST			
24	8.27-31	설계	RF IC 설계 교육	0.5	- RF 시스템 개요	이종욱 교수	경희대		
				0.5	- CMOS 능/수동소자	이상국 교수	KAIST		
				1	- LAN 및 Mixer 설계	신현철 교수	광운대		
				2	- PLL/VCO	이동호 교수	한밭대		
25	9.4-6	Tool	Synopsys Design Compiler	3					
				3					
26	9.18-20	Tool	Synopsys Prime Time	3					
				3					
27	9.25-27	Tool	Synopsys IC Compiler	3					
				3					
28	8월 이후	Tool	LVS Study(Calibre Advanced Topic : nmLVS Debug case studies)	2		미정			
29	미정	설계	실무 레이아웃 교육						

문의 : 이의숙(042-350-8536, sjlee@idec.kaist.ac.kr)

2011 MPW 애뉴얼 리포트 발간

창의적 아이디어를 실현하기 위해 칩 설계에서 제작까지 경험할 수 있는 기회 제공을 목적으로 지원되고 있는 "MPW(Multi-Project Wafer) 칩 제작 지원 사업"을 통해 제작된 2011년도 MPW 칩 제작 결과물을 공개하고자 「2011 IDEC MPW Annual Report」를 발간했다.



2011 IDEC Annual Report 표지

이번 애뉴얼 리포트의 주요내용은 ▲2011년 IDEC의 사업 소개 ▲2010년도 IDEC이 지원한 MPW Process 결과물인 칩 내역과 사진 등이다. 특히, 이번 리포트는 영문 버전으로도 제작이 되어, 해외 유관 기관들에게 한국 반도체설계인력의 우수성을 널리 알리는데 일조할 예정이다. IDEC은 ▲동부하이텍 ▲매그나칩반도체 ▲삼성전자 ▲세미텍 ▲앵코테크놀로지코리아 ▲TowerJazz ▲하이닉스반도체 사의 지원을 받아 MPW 칩 제작 지원을 하고 있다.

* 문의 : 이의숙(042-350-4428 ysllee@idec.or.kr)

경종민 소장 이임식

경종민 소장은 21일(수), 오후 5시 IDEC 2층 대회의실에서 2011년 마지막 운영위원회와 함께 이임식을 가졌다.



경종민 소장 공로패 수여 모습
(좌:박인철 교수, 우:경종민 소장)

이날 이임식에서 경종민 소장은 "정부와 기업에서 '인력이 국력'이라는 생각으로 꾸준히 도와주신 덕에 오늘까지 왔으며, 그동안 IDEC과 함께 달려올 수 있었던 것을 인생의 몇 안 되는 큰 보람의 하나로 생각된다."라고 했다. 또한, "근 17년간 몸담았던 IDEC에서 마지막 공식적인 활동을 함에 있어서 아쉬움도 크지만, 한편으로는 시원함도 있다."라며, 웃음을 자아냈다. 마지막으로 후임으로 오시는 박인철 교수께서 더욱 발전된 IDEC으로 이끌거라는 기대감을 나타냈다. 한편, IDEC 전 직원은 IDEC의 발전과 반도체설계인력양성을 위해 공헌한 경종민 소장에게 공로패를 전달했다.

* 문의 : 전항기(042-350-8535, jhg0929@idec.kaist.ac.kr)

취임사



안녕하십니까? 이번에 반도체설계 교육센터(IDEC)를 맡게 된 KAIST의 박인철 교수입니다.

IDEC은 우리나라 반도체 설계인력을 양성하기 위하여 1995년에 설립되었고, 저는 1996년 KAIST에 부임하면서부터 IDEC 운영위원으로 참여해 왔습니다. 16년이라는 긴 역사를 가진 IDEC은 반도체 설계에 관련되신 분에게는 이제는 물과 공기같은 존재가 되었지만, 지난 긴 세월 동안 수많은 어려움을 극복하면서 한 발자국 한 발자국 성장해 왔습니다.

그동안 IDEC이 자리 잡을 수 있도록 도움을 주신 많은 분께 감사를 드립니다. 특히 설립 시부터 지금까지 소장을 역임하시면서 IDEC을 반석 위에 올려놓으신 경종민 교수님, 한결같은 애정으로 지원을 아끼지 않으셨던 산업자원부, 지식경제부, 정부통신진흥원 등 정부 기관, 반도체 칩 제작과 설계

툴을 적극적으로 지원해 주신 반도체 및 CAD 관련 기업, 실제적인 업무를 담당하면서 온갖 어려움을 해결해 오신 직원과 운영위원께 깊은 존경과 감사를 드립니다.

IDEC은 우리나라 반도체 설계 환경 인프라를 구축하여 반도체 설계 인력을 양성하기 위하여 존재합니다. 메모리 반도체와 시스템 반도체로 구분되는 반도체 산업의 양대 산맥에서 우리나라는 오래전부터 메모리 최강국의 지위를 누려왔습니다만, 아쉽게도 시스템 반도체 분야에서는 우리의 존재감과 시장 점유율이 아직도 크지 않습니다. 3,000억 달러에 이르는 전 세계 반도체 시장에서 시스템 반도체가 메모리 반도체보다 3배 이상 큰 시장을 형성하고 있다는 점에서 시스템 반도체 산업의 육성은 우리나라의 발전을 위하여 시급한 과제입니다.

더구나 시스템 반도체는 미래 사회를 이끌어갈 핵심 기기인 스마트 IT 융복합기의 부가가치와 경쟁력을 제고하는 핵심 부품이므로 우리나라의 주요 수출 품목의 핵심 기술이자 수출 성장 동력이라고 할 수 있습니다. 최근 들어 시스템 반도체의 수출이 빠른 속도로 증가하고 있으며 조만간 시스템 반도체 수출액이 메모리 반도체 수출액을 초과할 것이라는 전망도 나오고 있습니다. IDEC은 반도체 설계 인력 양성을 통하여 이러한 발전에 이바지하였다는 자부심을 가지면서 보다 효과적인 지원을 계속해 나겠습니다.

66개 대학의 68개 워킹그룹이 IDEC 사업에 참여하고 있으며, IDEC은 300여 개의 반도체 칩 제작 기회와 다양한 CAD 툴을 워킹그룹에 지원하고 있습니다. 지난 16년 동안 IDEC은 적지 않은 시행 착오를 거치면서 워킹그룹을 지원하는 체계를 정립하고 합리적인 운영체계를 갖추어 왔습니다. 그리고 많은 분으로부터 좋은 평가를 받아 왔습니다. 이러한 호평은 IDEC이 그동안 견지해 왔던 원칙에 입각한 공정한 지원과 투명한 운영으로부터 비롯되었다고 생각합니다. 저는 공정하고 투명한 IDEC의 운영과 지원 체계를 지속적으로 유지하고 보완해 갈 것입니다.

그러나 반도체 설계 경향, 관련 기술, 응용 분야 등 많은 부분이 변화하고 있으므로 IDEC도 이러한 변화를 수용해 가야 합니다. IDEC의 설립 시의 주요 목표 중의 하나는 당시에 설계 환경이 거의 전무했던 대학교에 보편적인 교육과 연구 환경을 구축하는 것이었습니다. 보편적인 교육 연구 환경 구축은 여전히 부족하지만, 어느 정도 충족되

었다고 할 수 있으므로, IDEC은 보편적인 교육 연구 환경을 계속 발전시키면서 전문적인 교육 연구 환경 구축을 위하여 새롭게 노력해 갈 것입니다. 시스템 반도체는 매우 중요하지만, 더 중요한 것은 시스템 자체이며 시스템 설계에 대한 환경 구축이 필요한 시점이 되었습니다. 2010년부터 IDEC은 IDEC플랫폼센터(IPC)를 추진하고 있으며 현재 스마트 TV와 자동차 informatics에 관련된 두 개의 IPC가 활발한 활동을 하고 있습니다.

IPC의 목적은 대학과 기업이 공동으로 사용할 수 있는 전문화된 융복합형 플랫폼을 구축하여 시스템 교육과 시스템 반도체 교육을 유기적으로 연결하고 시스템 마인드를 가진 반도체 설계 인력을 양성하는 것입니다. 플랫폼이 정립되는데 상당한 시간이 요구되겠지만, 플랫폼 상에서 양성된 인력과 연구 결과는 기업에서 바로 사용할 수 있다는 선순환 고리가 형성되므로 시너지를 극대화할 수 있습니다. 저는 이러한 근본 취지가 이루어지도록 IPC를 다양하게 지원하고 점진적으로 확대해 나갈 것입니다.

대학교의 반도체 설계 인프라가 구축되는데 많은 시간과 노력이 필요했습니다. 힘들게 구축된 인프라를 계속 유지하고 발전시키기 위해서는 더 많은 열정이 필요하고 반도체 관련 기업, 교수, 학생, 연구소의 협력이 절실합니다. 저는 협력의 허브가 될 수 있다는 긍정의 힘으로 IDEC을 이끌어갈 것입니다. 그리하여 IDEC이 우리나라의 시스템 반도체, 더 나아가 스마트 시스템 분야의 전문 인력을 양성하는 중심이 되도록 최선을 다하겠습니다. 많은 분이 함께 참여해 주시고 도움을 주시기 바랍니다. 여러분이 IDEC의 주인입니다.

2012년 01월 01일
반도체설계교육센터 소장
박인철 배상

인공 망막 보철의 현주소, 그리고 미래



서울대학교 전기컴퓨터공학부
 조동일 교수
 연구분야 : MEMS, Bio-MEMS, Mobile Robot용 Vision Tracking System 등
 E-mail : dichon@snu.ac.kr
 http://nml.snu.ac.kr



현주소와 미래

서론

인공 망막 보철이란?

공양미 삼백 석에 심봉사가 눈을 뗐다? 고전에서나 나올 법한 이야기가 머지않아 실현될 전망이다. 인간의 시각 체계는 광학 계통, 망막, 시각 통로의 세 단계로 나누어진다. 빛은 각막, 눈방수, 동공, 수정체, 유리액을 차례로 지나 망막에 도달하게 되는데 (표 1 안구 용어 정리 참고), 광학 계통의 역할은 눈으로 들어오는 빛 에너지에 담긴 정보, 즉 이미지가 망막에 맺힐 때 초점을 맞춰주는 것이다.

그리고 눈동자 뒤에 위치한 종이 한 장 두께의 망막은 빛 에너지를 전기 에너지로 바꾼다. 망막에는 간상체와 추상체 등의 수용기와 신경 세포인 뉴런이 있다. 망막 주변에 많은 간상체는 명암 정보만 처리하지만, 망막 중심 부위에 밀집한 추상체는 빨강, 파랑, 초록 등 세 종류 색소에 민감하게 반응한다.

따라서 추상체에 이상이 생기면 색맹이 되는 것이다. 눈 한쪽은 약 600만 개의 추상체와 1억 2천만 개의 간상체를 가지고 있다. 이러한 수용기에서 바뀐 전기 에너지는 망막의 네 종류 뉴런을 차례로 통과 하는데, 끝에 위치한 뉴런이 신경절 세포이다. 한눈에 100만 개가 있으므로 1억 2천600만 개의 수용기로부터 신경절 세포에 이르기까지 엄청난 시각 정보의 압축이 일어난다.

신경절 세포의 축색돌기가 모여 시신경을 형성한다. 시각 체계의 마지막 단계인 시각 통로는 망막의 정보를 뇌로 전달하는 경로로서, 시신경에서 출발해 시각 피질에서 끝난다. 그리고 시각 피질이 정보를 처리할 때 비로소 사물을 지각하게 된다. 즉 우리는 눈을 통해 뇌로 세상을 보는 것이다. (그림 1 참고)

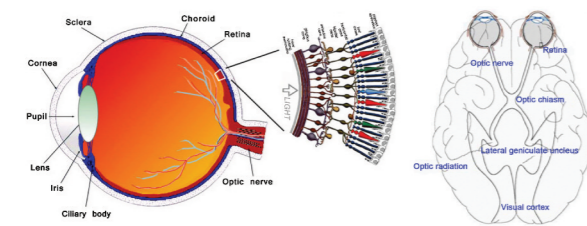


그림 1. 안구의 구조(좌)와 시각 경로(우)

각막	cornea	안구 앞쪽 바깥쪽을 이루는 투명한 막
눈방수	aqueous humor	각막과 수정체, 홍채 사이를 채우고 있는 맑은 용액
홍채	iris	안구의 각막과 수정체 사이에 있는 동근 모양의 얇은 막
동공	pupil	눈동자
수정체	lens	안구의 동공 바로 뒤에 붙어 있는 볼록 렌즈 모양의 탄력성 있는 투명체
유리액	vitreous humor	안구를 채우고 있는 젤리 같은 물질
망막	retina	안구의 가장 안쪽에 있는 맥락막 안에 시각 신경의 세포가 막 모양으로 층을 이룬 부분
간상체	rod	눈의 망막에 있는 막대 모양의 세포이며 명암을 감지하는 기능
추상체	cone	빛을 받아들이고 색을 구별하는 시각 세포
수용기	receptor	동물체가 외계로부터 지극 정보를 받아들이는 특수 구조의 총칭

표 1. 안구 용어 정리

전 세계에서 3,500명 중 한 명은 망막 세포가 파괴되는 유전성 질환인 색소성 망막염 (Retinitis Pigmentosa)을 앓고 있으며, 이는 노화와 관련된 황반변성 (Macular Degeneration)과 함께 시력 손실의 가장 큰 원인으로 알려졌다. 인간의 눈에 도달한 빛은 망막의 광수용 세포에서 생체 전기 신호로 바뀌어 시피질로 전달되는데, 이러한 질환으로 광수용체가 손상될 경우 다른 신경 세포들이 남아 있다면 빛을 인지할 수 없게 된다.

이러한 시각 장애 극복의 대안으로 인공 망막 보철이 활용되고 있다. 영상 입력 장치를 통해 획득한 시각 정보를 이미지 프로세싱과 같은 신호 처리 후, 망막 상층, 망막 하층, 시신경, 또는 시피질 등에 이식되어 있는 미소 전극 어레이 (Microelectrode Array)에 전기 자극 신호를 가하여 시각 정보를 대뇌로 전달한다.

망막 손상으로 시력을 잃은 경우, 이러한 방식으로 전기 자극이 대뇌에 전달됨으로써 시각을 인식할 수 있게 된다. 인공 망막 보철은 영상 입력 장치, 무선 전력 공급 및 통신을 위한 안테나, 신호 처리기, 망막 자극기, 미소 전극 어레이 등으로 구성되어 있다. 통상적인 인공 망막 보철을 그림 2에 도시하였다.

연구 동향

1988년 미국 남캘리포니아대학의 마크 휴마이언 (Mark Humayun) 박사 연구진은 실명한 사람을 대상으로 '망막 뒤에 위치한 시신경절에 전기적 신호를 인가하여 빛을 볼 수 있다.'라는 것을 실험으로 입증하였다.

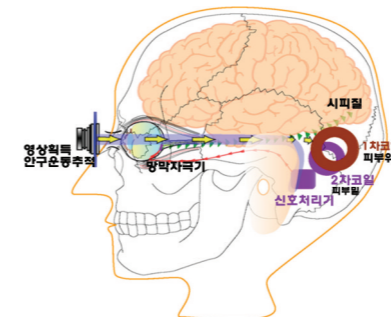


그림 2. 통상적인 인공 망막 보철 개념도

2002년과 2004년 사이에는 6명의 환자를 대상으로 16개의 전극으로 된 인공 망막 보철을 이식하여 5명의 환자가 큰 글자를 볼 수 있었고, 컵, 접시, 그리고 칼 등을 구분하였다고 발표하였다. 이후 60개의 전극으로 구성된 장치를 개발, FDA의 승인을 받아 임상 시험 중에 있다. (그림 3 참고) 다음 차세대 장치는 전보다 훨씬 많은 전극으로 시야 향상에 도움을 줄 것으로 기대된다.

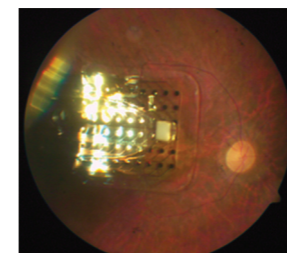


그림 3. ArgusTM II MEA가 삽입된 안저 이미지 (Humayun 박사 연구진 결과물)

독일의 에베르하르트 프레너 (Eberhart Zrenner) 박사팀은 마이크로 광다이오드 어레이 (Microphotodiode Array, MPDA)를 내장한 반도체 칩을 눈에 이식해 빛을 받아들인 뒤 외부의 전기를 활용 증폭하는 방식으로 사물을 인식하게 했다고 2007년 미국 플로리다에서 열린 시력·안과학연구협회 (ARVO) 연례회의에서 발표하였다. (그림 4 참고) 환자의 눈 속에 있는 반도체 칩을 외부에서 제어하기 위해, 반도체 칩에 연결된 전선은 안구 뒤쪽을 통해 귀 밖으로 빼냈다. 영상 획득 장치 없이 사물을 인식하게 하는 방법이 휴마이언 박사 연구진과 큰 차이점이다.

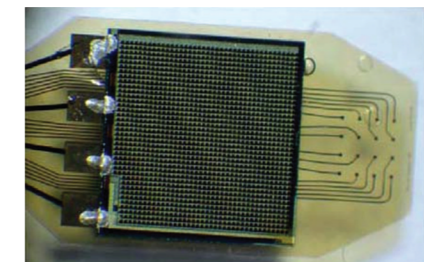


그림 4. MPDA를 내장한 Microchip array (Zrenner 박사 연구진 결과물)

미국 일리노이 휘턴 소재 옵토바이오텍스사의 앨런 초우 (Alan Chow) 박사 연구팀은 자체 개발한 '인공 실리콘 망막' (ASR)을 망막 하강에 삽입 받은 실명 환자 6명이 원시적 시력을 회복했다고 2002년 ARVO 연례회의에서 발표하였다. (그림 5 참고) ASR은 핀 머리 크기 (2mm)에 머리카락보다 얇은 두께 (25µm)이며, 안구 내 빛을 동력원으로 하는 완전 삽입형 장치이다. ASR에는 광수용체 역할을 하는 3,500여 개 미세 광전지 (Microphotodiodes)가 있어 시상으로부터의 빛을 전기 신호로 전환하면, 시신경이 이를 감지해 뇌에 전달한다.

ASR은 상실된 광수용체 기능을 대신할 뿐만 아니라 주변의 잔존 망막 세포도 자극한다. 연구팀은 망막 색소 변성으로 거의 시력을 상실한 환자 6명에게 ASR을 이식했다. 그 결과 이들은 기러기 떼 비행, 낚은 식탁보의 무늬, 아내의 얼굴을 알아볼 정도로 시력을 회복했고, 감염, 염증, 거부 반응, 칩 이탈, 불편 등의 부작용은 없었다고 보고되었다.

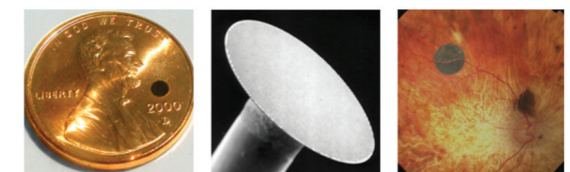


그림 5. 2mm ASR device (Alan Chow 박사 연구진 결과물)

한국의 서울대학병원 정홍 교수 연구진은 2000년 9월부터 현재까지 ERC에 이어 보건복지부, 교육과학부의 인공 망막 보철 개발 과제를 진행해 오고 있다. 고해상도 생체 밀착형 화살촉 모양 3차원 전극 (그림 6 참고) 및 생체 적합한 LCP와 폴리머를 이용한 패키징 기술

을 보유하고 있다. 최근에는 로드 임피던스 변동에 강한 적응 전원 및 채널 공유 기법이 적용된 고해상도 망막 자극 칩을 개발하였다. (그림 7 참고) 이러한 기술들을 바탕으로 토끼를 대상으로 한 임상 실험을 진행하여 전기 자극 반응성을 검증, 최적의 자극 기법을 도출하고 있다.

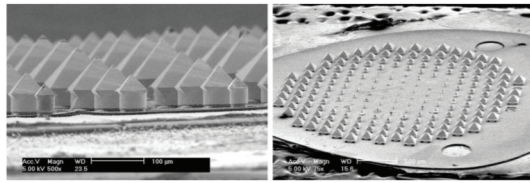


그림 6. 고해상도 생체 밀착형 화상촉 모양 3차원 전극 (정훈 박사 연구진 결과물)

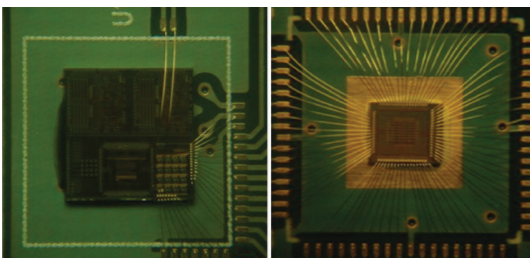


그림 7. 로드 임피던스 변동에 강한 적응 전원형 망막 자극기 칩 (좌)와 채널 공유 기법이 적용된 고해상도 망막 자극기 칩 (우) (정훈 박사 연구진 결과물/IDEC 지원)

결론 및 전망

지금까지 세계 여러 연구진은 사물 인식, 얼굴 인식, 내비게이션 및 이동성 등을 위한 최소한의 필요 사항을 연구하였고, 이러한 연구가 만족할 만한 인식 성능을 얻기 위해서는 1,000개 이상의 전극이 필요하다는 것이 토의되고 있다. 이러한 상황에서 현재 세계적으로 고 밀도 미소 전극 어레이 개발 및 고해상도 다채널 인공 망막 자극기 구현을 목표로 한 연구가 계속되고 있다.

아울러 망막의 곡선 형태에 적합하도록 얇고 유연한 기판 위에 전극 제작, 인체 내장형 헬스케어의 기기 전원으로 최적인 자가 발전 또는 무선 전력 공급 방식, 생체 적합한 물질 사용 등도 주요 과제로 손꼽히고 있다.

이러한 요구 사항에 따라 인공 망막 보철 제작 기술은 고집적 반도체 소자 및 MEMS 소자 제작 기술을 기반으로 하면서 최근에는 무선 통신 기술, 마이크로 전력 회로 기술, 무선 인터페이스 기술, 웨이퍼 레벨 패키징 기술 등의 통합 시스템 기술 형태로 발전하고 있다. 인공 망막 보철에 대한 기존의 연구 성과들은 미세 반도체 및 미세 생체 전자 시스템의 구현이라는 높은 장벽을 넘어서기 어려웠지만, 이제는 그간의 눈부신 반도체와 MEMS의 융합 기술 발전에 힘입어 급속도로 발전할 것으로 생각한다.

반도체설계교육센터 (IDEC) 장학금 안내



- **신청자격 :**
WG 소속 재학생 또는 입학예정자로서 WG 책임교수의 추천을 받은 자
- **책임교수 추천기준 :**
(1) 가정형편이 곤란하여 학비조달이 어려운 자
(2) 학업성적이 우수한 자
(3) 기타 장학금 지급이 필요하다고 인정된 자
※ 학교당 1인만 추천 가능합니다.
- **장학금액 : 130만원(1인/학기)**
※ 원천징수 후 현금지급
- **선발인원 : 2명**
- **신청서류 :**
IDEC 장학금신청서, IDEC 장학금 추천서 (WG 책임교수 추천), 성적증명서, 재학증명서, 우수성 입증자료 (예 : 논문, 특허, 수상경력 등) 세대주의 세목별 과세 (납세) 증명서 (입학예정자의 경우 이전 학교의 성적증명서, 입학증명서)
- **서류접수기간 : 2012년 1월 2일 ~ 1월 31일까지**
- **선발공지 : 2월**
※ 신청서류양식 및 기타상세내용은 반도체설계교육센터 (IDEC)홈페이지(www.idec.or.kr)를 참고해주세요.



* 담당: 최신희(schoi@idec.kaist.ac.kr, 042-350-4045)

2012년 1월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.kaist.ac.kr)를 방문하여 신청하시기 바랍니다.

본 센터 강좌 일정 |

강의일자	강의제목	분류
1월 9-11일	최신 비디오 코덱 기술 이해 및 응용	설계강좌
1월 12-13일	Linux Administration과정 및 Linux보안과정	Tool강좌
1월 16-17일	고성능 ADC 설계를 위한 이론 및 설계기법	설계강좌

- **강좌일 : 1월 9일-11일**
- **강좌 제목 : 최신 비디오 코덱 기술 이해 및 응용**
- **강사 : 김용환 책임(KETI)**

[강좌개요]

비디오 코덱 기술의 중요성은 따로 설명하지 않아도 될 정도로 산업 전반에 걸쳐 중요성이 점점 더 커져가고 있다고 할 수 있다. 왜냐하면 점점 더 많은 정보들이 '영상'을 통해서 전달되고 있기 때문이다. 예를 들면 전통적인 디지털 TV는 물론이고, DMB와 같은 모바일 TV, 3G폰의 영상 통화, UCC, IPTV 등, 세상의 모든 의사 소통이 영상을 중심으로 이루어지고 있다. 그런 영상을 통한 의사 소통의 핵심 기술 중의 하나가 바로 '비디오 코덱' 기술이다. 특히 최근에는 H.264/AVC 비디오 코덱이 보편화되고 있는데, 이러한 최신 코덱을 제대로 이해하고 응용하기 위해서는 비디오의 기초부터 착실히 이해할 필요가 있다. 본 강의는 비디오의 기초와 비디오 코딩의 기초 이론부터 시작해서 MPEG-1/2 비디오와 같은 비디오 코딩의 기초를 다룬 후에, 최근까지 화상 통화와 인터넷 영화(DivX, Xvid)에 주로 이용되는 H.263(+) 및 MPEG-4 코덱 알고리즘을 주로 다룬다. 또한 DMB, DVB, IPTV, 블루레이, 및 DVR 등에 이용되는 H.264/AVC코덱, 동영상 스트리밍에 최적화된 새로운 코덱인 H.264/AVC SVC 코덱과 최신 3D 비디오 코덱인 H.264/AVC MVC 코덱 기술까지 다룬다.
* SVC: Scalable Video Coding, H.264/AVC의 확장으로 2007년에 표준화 완료됨.
* MVC: Multi-view Video Coding, H.264/AVC의 확장으로 2009년에 표준화 완료됨.

[수강대상]

· 전기/전자/컴퓨터 전공 대학원생, 동영상 관련 산업체 엔지니어

[강의수준]

· 초급인 "비디오 코딩의 기초 이론 및 실습"부터, 중급인 "최신 비디오 코덱 이론"을 포함함.

[강의형태]

· 이론+실습

[사전지식, 선수과목]

- 이론 : 전기/전자공학과 학부과정에서 배우는 공학수학 및 신호처리 과목 (신호 및 시스템 등)
- 실습 : 초급 이상의 C/C++ 프로그래밍 기술

- **강좌일 : 1월 12일-13일**
- **강좌 제목 : Linux Administration과정 및 Linux보안과정**
- **강사 : 송상우 차장(유에이테크)**

[강좌개요]

Linux install & Backup & Management에 관련 전반적인 이해를 돕고 보안설정에 대해 이해를 높인다.

[강의수준]

· 초/중급 (리눅스 기본관리자과정)

[강의형태]

· 이론+실습

[사전지식, 선수과목]

리눅스 기본 CMD를 알면 쉽게 접할 수 있음.

- **강좌일 : 1월 16일-17일**
- **강좌 제목 : 고성능 ADC 설계를 위한 이론 및 설계기법**
- **강사 : 류승탁 교수(KAIST)**

[강좌개요]

본 강좌는 Nyquist A/D converter를 중심으로 설계에 관해 기본 원리부터 시작하여 최신 설계 동향까지 다루게 된다. 먼저 ADC의 동작원리와 성능 척도에 대해 소개하고, 여러 형태의 ADC에서 성능저하를 일으키는 요인에 대해 고찰하여 실제 설계에서 고민해야 할 점들을 이야기한다. 또한, 최근 활발히 연구되고 있는 고속 flash, 저전력 pipeline, 고속 SAR ADC 등을 중심으로 고속 저전력 설계기법들을 살펴본다.

[강의수준]

· 아날로그 IC를 전공하는 대학원생, 직장인

[강의형태]

· 이론+실습

[사전지식, 선수과목]

학부수준의 전자회로 지식은 필수로 하고, 대학원 수준의 아날로그회로 설계 지식이 있으면 수강이 용이함.

∞ 문의 : 이승자 (042-350-8536, sjlee@idec.kaist.ac.kr)

제7차 설계경진대회 시상식

서울대학교 SoC설계기술센터(센터장 채수익 서울대 교수)는 2011년 12월 8일 서울대학교 반도체공동연구소 도연홀에서 제7차 SoC 설계 경진대회 시상식을 개최했다.



시상식 기념 사진

시상식은 제7차 SoC 설계 경진대회 수상자들이 전시한 작품을 관람하는 것으로 시작되었다. 그리고 각 수상자의 작품 발표 후 지식경제부장관상을 비롯한 우수상, 장려상을 수여했다.

제7차 SoC 설계 경진대회는 지식경제부의 주최로 SoC설계기술센터와 반도체설계교육센터(소장 경종민)가 공동으로 주관했다. 이번 대회

에는 국내 11개 대학의 14개 연구실에서 21개 팀 55명이 참가하였으며 2011년 4월부터 12월까지 9개월간 진행됐다.

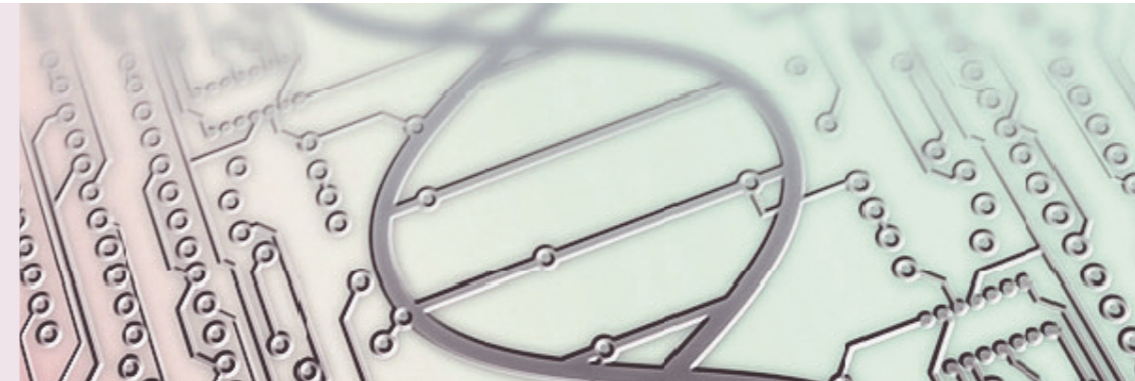
수상명	소속	지도교수	참가학생	작품주제
장관상	동국대	송민규	김다솜	다중 샘플링 기법을 사용한 자체 감마 보정 CMOS 이미지 센서
			김경태	
			김대운	
우수상	성균관대	조준동	김종학	Visual Fatigue Reduction for User Comfort
			박찬오	
			김용한	
장려상	서경대	이광엽	김준서	GP-GPU와 HW Rasterizer 기반의 3D Graphics 파이프라인 구현
			구장서	
			Honey Durga Tiwari	
장려상	건국대	조용범	백강수	하드웨어 및 소프트웨어를 이용한 LDPC 시스템 구현 및 검증
			조항균	
			김낙윤	
우수상	숭실대	문용	방성훈	LTE 적용을 위한 광대역 고속 PLL
			정명호	

* 문의 : 이정문(02-880-5457, lje@soc.snu.ac.kr)

낸드 플래시 메모리 에러정정 및 신호처리



서울대학교 전기컴퓨터공학부
 성원웅 교수
 연구분야 : 신호처리, 병렬처리 컴퓨터, 초고집적 시스템 설계
 E-mail : wysung@snu.ac.kr
 http://msl.snu.ac.kr



이재우

서론

낸드 플래시는 몇 년 전만 해도 USB 메모리나 MP3, 카메라 응용 등 비교적 소용량 저장장치 위주로 쓰였으나, 이제는 스마트폰에서부터 노트북 컴퓨터와 서버 등 대용량 저장장치로 응용분야를 넓혀가고 있다. 컴퓨터용 SSD (Solid State Drive)의 경우 현재 하드디스크와 비교하면 가격이 매우 비싸지만, 매년 약 두 배씩 증가하는 메모리의 집적도 때문에 그 격차는 빠르게 줄어들고 있다. SSD는 하드디스크에 비해서 작고 충격에 강하다는 점 외에도, 속도와 저전력의 면에서 유리하다. SSD를 2년 전 노트북 컴퓨터에 장착한 나의 경험을 보면, 컴퓨터의 부팅 속도가 빨라졌을 뿐만 아니라 전력소모가 줄어서 배터리로 동작 가능한 시간이 약 50% 늘어난 것을 알 수 있었다. 또한, 적은 전력소모 때문인지 보통 2년이면 수명이 다하던 배터리가 아직 좋은 상태를 유지하고 있다. 그러나 낸드 플래시에 이렇게 장밋빛 전망만 있는 것이 아니다.

플래시 메모리는 데이터를 썼다가 읽어보면, 에러정정을 거치지 않았을 때 간혹 비트에러 (bit error)를 발견할 수 있는데, 초기에는 에러가 거의 없다가 쓰기 및 지우기 사이클 (Program-Erase Cycle)이 늘어나면 갑자기 에러의 개수가 증가한다. 이 최대 P/E 사이클은 특히 SSD로 대표되는 컴퓨터 응용에서 문제가 되는데, USB 메모리나 카메라 응용에 비해서, 쓰기 및 지우기 횟수가 월등히 많기 때문이다. 그리고 가장 큰 문제는 이 사용 가능한 최대 P/E 사이클이 낸드 플래시 메모리의 집적도가 증가할수록 작아지고 있는 것이다.

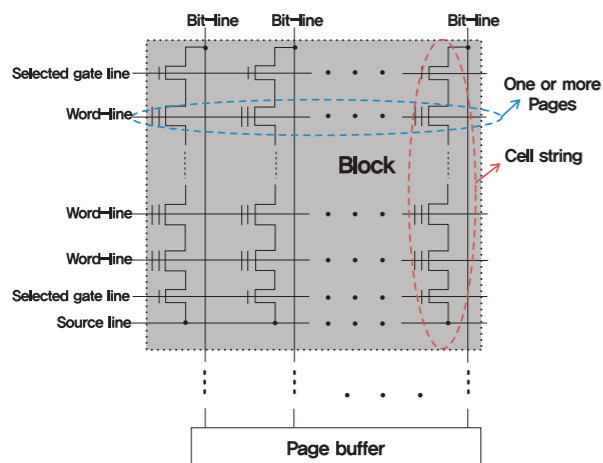


그림 1. 낸드 플래시 메모리 구조

낸드 플래시 메모리는 많은 수의 블록(block)으로 구성되고 하나의 블록은 보통 32 내지 128개의 페이지(page)를 가지고 있으며, 하나의 페이지에는 8Kbyte 정도의 데이터를 저장한다. 낸드 플래시 메모리 하나의 블록은 그림 1과 같이 하나의 수직 줄(열)에 트랜지스터들이 그라운드 콘택트(contact) 없이 직렬로 연결되어 있는데, 이 때문에 높은 밀도를 가지는 것이 가능하다.

이 때 수평으로 같은 워드라인에 달린 트랜지스터들이 보통 홀수와 짝수 두 개의 페이지를 형성한다. 셀들을 저장하는 트랜지스터에는, 그림1의 심볼에 묘사된 바와 같이, 제어 게이트(control gate)와 부동 게이트(floating gate) 두 개가 층으로 쌓여 있다. 플래시 메모리에 데이터를 쓰기 위해서는 우선 메모리 셀들을 다 지워야 하는데, 지우기 동작은 하나의 블록 단위로 수행된다. 쓰기 동작은 페이지 단위로 실행되고 메모리 셀인 각 트랜지스터의 플로팅 게이트(floating-gate)에 전하를 집어넣어서 데이터를 저장한다. 읽을 때는 콘트롤 게이트에 기준(reference) 전압을 가하면서 해당 트랜지스터의 온-오프(on-off)를 판단해서 0 또는 1의 데이터를 얻는다. 따라서 읽기 과정도 페이지 단위로 수행된다.

낸드 플래시 메모리는 비트 에러가 문제가 되고 또 P/E 사이클이 증가하면 그 증상이 더 심해지는 까닭은 여러 가지 원인이 있는데, 첫 번째 이유는 쓰기 과정에서 부동 게이트에 전하를 주입하기 위해 고 전압을 걸기 때문에 생기는 디바이스의 손상이다. 그렇기 때문에 P/E 사이클이 커지면서 에러의 개수가 증가한다. 두 번째는 플로팅 게이트에 갇힌 전하가 시간이 지남에 따라 사라져 버리는 누설 현상이다. 트랜지스터의 소자 크기가 작아질수록 게이트 하나에 저장된 전하의 개수가 작아지기 때문에, 이에 의한 영향이 심해진다. 세 번째는 인접 셀에 저장된 전하에 의한 간섭이다 [1]. 간섭 또한 트랜지스터 사이의 거리에 반비례하니까 공정이 세밀해짐에 따라 계속 더 문제가 된다.

그리고 끝으로, 그렇지만 가장 큰 이유는 몇 년 전부터 칩의 집적도를 높이기 위해서 MLC (Multi-Level Cell) 구조를 많이 채용하기 때문이다. MLC구조는 하나의 메모리 셀에 두 비트를 저장하기 위해서 트랜지스터의 문턱전압을 네 단계로 구별해야 하니까, 당연히 간섭에 취약한 상태가 된다. 또 MLC 구조는 부동 게이트에 좀 더 높은 전압을 저장시켜야 할 필요가 있어서 P/E 사이클에 따른 디바이스의 손상도 더 빠르게 진행이 된다.

이러한 단점에도 불구하고 경제적으로 집적도를 높일 수 있기 때문

에, SSD 응용의 플래시메모리는 거의 모두 MLC 구조를 사용한다. 심지어 읽기 및 쓰기 회수가 적은 응용을 위해서 하나의 셀에 3비트를 저장하는 TLC(Triple-Level Cell) 구조의 낸드 플래시도 출하된다.

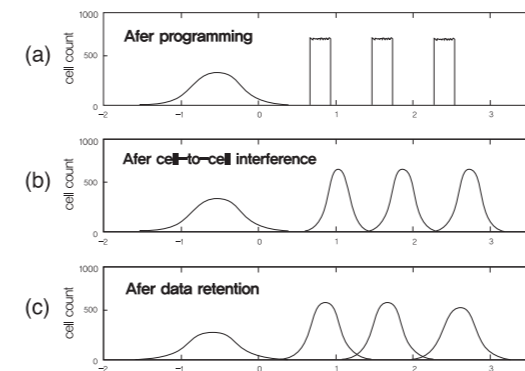


그림 2. 낸드 플래시 메모리의 문턱전압 분포
 (a) 프로그램 후, (b) 인접 셀 프로그램이 끝난 후, (c) 전하누설이 발생 후.

그림 2에는 낸드 플래시 메모리에 저장된 셀을 읽을 때 문턱전압의 분포를 보인다 [2]. 그림 2(a)에는 MLC 낸드 플래시 메모리의 프로그램 수행할 때의 이상적인 문턱전압의 분포를 보이는데, 각각의 레벨이 뚜렷하게 구별이 된다. 그런데 인접 페이지의 프로그램이 끝나면, 이 문턱전압의 분포가 옆의 셀의 간섭과 잡음에 의해서 실제로 읽을 때는 그림 2(b)처럼 분포가 되고, 각 레벨 간에 약간의 중첩이 있을 수 있는데 이것이 에러가 된다. 이 때 간섭에 의해서 문턱전압이 약간 증가한 것처럼 읽힌다. 그리고 이것이 시간이 지나면 그림 2(c)처럼 전하누설에 의해서 문턱전압이 밑으로 이동하고 또 더 벌어진 형태의 문턱전압 분포를 가진다.

국내외의 반도체 회사에서는 낸드 플래시 메모리의 이러한 문제점을 줄이기 위해서 공정과 셀 레이아웃, 프로그램 순서 등 다양한 개선 방법을 도입하고 있다. 그러나 공정의 미세화가 진척될수록 앞에 설명한 이유로 낸드 플래시 메모리의 비트 에러율은 증가하고 허용되는 P/E 사이클은 감소하는 추세이다. 따라서 현재까지는 낸드 플래시 메모리의 신뢰성 향상을 위해서 비교적 간단한 에러정정 알고리즘이 사용됐으나, 향후는 통신회로에 사용하던 복잡한 적응신호처리나 소

프트 에러정정 기술의 채용이 필수 불가결하다. 이러한 방법을 소개하면 아래와 같다.

무빙 리드 (Moving Read)

가장 먼저 고려해야 할 것은 트랜지스터의 플로팅 게이트에 저장된 전하의 누설에 의해서 생기는 문턱 전압의 변화이다. 이 전하의 누설은 보관기간이 길수록, 그 블록의 P/E 사이클 수가 많을 때, 또 보관 온도가 높을 때(bake condition) 증가하고, 이에 의해서 그림 2(c)에 보이는 것과 같이 그 페이지 내 모든 셀의 평균 문턱 전압이 감소하는 방향으로 움직인다. 이렇게 누설전하에 의한 트랜지스터 문턱 전압의 변화를 보상하기 위해서 읽을 때 메모리의 콘트롤 게이트에 가하는 기준 전압을 변화시켜야 한다.

이 때 기준 전압을 바꾸어 가며 최적 기준전압을 찾는 방법을 무빙리드 (moving read)라 한다. 낸드 플래시 메모리에 데이터를 쓸 때 보통 스캔블(scramble, 뒤죽박죽 섞기)을 해서 쓰는데, 이 경우 스캔블 된 데이터는 보통 0과 1의 개수가 비슷하다. 이 때, 읽기 위한 기준전압이 잘 맞지 않으면 한쪽 값으로 데이터가 쏠려서 읽히기 때문에, 한 페이지 내에 쓴 0과 1의 개수가 크게 달라진다. 이를 이용하여 누설을 고려한 최적 기준 전압을 찾을 수 있다. 이 때 어떻게 하면 최소의 회수로 무빙리드를 수행하느냐는 연구대상이다. 이 무빙리드를 위해서 낸드 플래시 메모리의 기준 전압은 컨트롤러에서 보내는 명령으로 바꿀 수 있게 되어 있다.

에러정정

그림 2(c)를 보면 문턱 전압의 분포가 각 레벨의 중심을 기준으로 주변으로 퍼져 있는 것을 관찰할 수 있는데, 이는 잡음과 간섭에 의한 것이다. 따라서 이 경우 설사 기준전압을 잘 맞추어서 읽기를 했어도, 에러가 생긴다. 에러정정은 이렇게 생긴 오류를 고치는 것인데, 보통은 낸드 플래시 메모리 컨트롤러에서 실행한다. 이 때 전방향 오류정정 (forward error correction) 방법을 사용한다. 즉, 데이터를 쓸 때 에러정정 부호화기(encoder)를 이용하여 패리티(parity) 정보를 계산해서 데이터의 뒤에 붙여서 플래시 메모리에 저장한다. 낸드 플래시 메모리에는 이렇게 패리티 정보를 따로 저장할 수 있는 여분의 공간이 있다.

플래시 메모리의 데이터를 읽을 때는 데이터와 패리티를 같이 이용하여 에러를 정정하는데 이를 디코딩(decoding)과정이라 한다. 플래시 메모리에 저장된 데이터에 에러가 많을수록 더 많은 양의 패리티 데이터를 붙여야 하는데, 실제로 사용하는 데이터의 양을 n, 패리티 정

보의 양을 k 라 하면, 메모리에 쓰는 양은 $n+k$ 가 되고, $n/(n+k)$ 를 부호율 (code rate)이라한다. 현재는 부호율이 0.95보다 높은 상태이지만, 앞으로 반도체 공정이 더 미세화되고, 그 결과 에러율이 높아지면 부호율이 점차 떨어져서 조만간 80% 대에 진입할 것으로 예상된다. 부호율이 0.9라면 에러정정을 위한 보험료로 10%를 지급한다는 뜻이다.

에러정정은 크게 두 가지 방법이 있는데, 하나는 0 또는 1의 디지털 데이터를 메모리에서 읽어서 에러를 정정하는 경판정 에러정정(hard decision error correction)이고, 또 다른 하나는 메모리 셀의 문턱 전압을 여러 비트로 (아날로그값으로) 읽어서 에러를 정정하는 연판정 에러정정(soft decision error correction) 이다. 낸드 플래시 메모리가 50nm 대의 공정을 사용할 때는 보통 512바이트 데이터 블록에 4비트 정도의 최대 에러정정능력으로 충분했고 이때는 경판정 방식의 BCH 에러정정 방법을 사용하였다 [3].

경판정 오류정정 방법은 2진의 논리 신호를 다루기 때문에 뒤에 설명하는 연판정 방법과 비교할 때 회로가 간단하다. 최근 플래시 메모리의 에러가 많아짐에 따라 BCH 부호 대신에, 성능이 더 좋은 LDPC(Low Density Parity Check) 부호나 TPC (Turbo Product Code) 등의 연판정 에러정정 부호의 사용을 고려하고 있다.

LDPC코드는 플래시 메모리에서 데이터의 값을 단순히 1 또는 0이 아니라 신뢰도에 따라 여러 비트로 읽고, 이를 메시지 교환 방식을 통해서 반복적으로 신뢰도정보를 향상 시켜서 1 또는 0의 최종값을 결정하는 알고리즘을 사용한다. 따라서 계산과정에 상당히 많은 다중 비트의 연산 동작이 필요하다.

짧은 지면에 설명을 생략하고, 비유하자면 스도쿠게임에서 모르는 값을 결정하는 과정과 비슷하게 알고리즘을 진행시킨다. TPC는 아주 간단한 부호(예를 들면 Hamming code 등)를 이차원 또는 삼차원으로 구성하고 횡 방향 (row direction)과 열 방향 (column direction)의 디코딩을 반복해서 역시 신뢰도를 개선하는 방법이다. LDPC나 TPC 모두 보통 연판정 방법으로 에러정정을 수행하는데, 이는 에러정정 성능은 좋으나 하드웨어의 복잡도가 높아지는 문제가 있다.

그리고 LDPC 코드의 문제는 코드율이 높을수록 하드웨어가 보통 더 복잡하다는 것이다. 즉 통신용의 LDPC 코드는 보통 코드율이 0.75 정도 이내를 사용하고, 이 경우 연결선의 복잡도가 매우 높지는 않지만, 낸드플래시 메모리는 코드율이 상대적으로 높기 때문에 LDPC 코드 구현 시 반도체 회로상의 연결선이 복잡해지는 문제가 있다 [4]. 그렇지만 점차 플래시 메모리 에러정정에서 코드율이 낮아지는 경향을 생각할 때, 향후 LDPC가 경쟁력을 가질 수 있다.

신호처리

낸드 플래시 메모리에서 트랜지스터들이 조밀하게 배치됨에 따라서, 하나의 트랜지스터에 전하를 주입하여 프로그램을 수행하면, 이미 프로그램이 된 인접 트랜지스터에 간섭을 준다. 따라서 설사 어떤 트랜지스터에 정확한 문턱전압을 가지도록 프로그램을 해 놓았어도, 나중

에 쓰는 페이지의 쓰기 결과로 문턱전압이 바뀐 것처럼 읽히게 된다 [2]. 그런데 낸드플래시 메모리 내의 트랜지스터 간의 간섭계수를 구하고, 또 우리가 주변 모든 트랜지스터에 프로그램된 문턱 전압을 다 안다면 그 가운데 있는 트랜지스터에 가해지는 간섭의 양을 계산할 수 있다. 이 때 트랜지스터 간의 간섭계수는 적음 신호처리 방법을 이용하여 구할 수 있다. 그런데 실제 적용에는 문제가 많은데, 보통의 읽기 과정과 다르게 인접 페이지를 모두 읽어야 하기 때문이다. 또 이러한 간섭제거용 계산을 위해서는 플래시메모리의 문턱 값을 정말 하게 읽어야 하는데, 이를 위해서는 많은 센싱과정이 필요하므로 속도가 늦어지는 문제가 있다. 이 분야의 연구는 아직 초기 단계이며, 셀 간의 간섭은 더욱더 중요한 문제가 되어가고 있다.

마모도 평탄화(wear leveling) 및 불량 블록 관리, 조각모음
 끝으로 컴퓨터와 낸드 플래시 메모리 저장장치 간의 인터페이스를 위한 플래시 파일 시스템에서 수행하는 작업이 있는데, 여기에는 마모도 평탄화(wear-leveling), 불량 블록 관리(bad block management), 조각 모음 (garbage collection) 기법 등이 있다. 마모도 평탄화는 SSD 내의 플래시 메모리 블록의 P/E 사이클이 균일하게 되도록 파일을 쓸 때 P/E 사이클이 적은 블록을 골라서 사용하는 것이다. 이를 위한 추가의 매핑작업이 플래시 파일 시스템에서 수행된다. 그리고 불량 블록 관리는 낸드 플래시 메모리의 불량 블록을 여분의 블록으로 대체시켜서 쓰는 것이다.

낸드 플래시 메모리가 하드 디스크보다 결정적으로 불리한 것이 제자리 변경(in-place update)이 가능하지 않고, 또한 지우기가 블록 단위로 밖에는 안 된다는 것이다. 즉 낸드 플래시에서는 하나의 페이지를 읽은 후, 그 데이터를 고쳐서, 다시 그 자리에 쓸 수가 없다. 낸드 플래시는 원래 데이터가 있던 페이지에 무효(invalid)라고 표시를 한 후, 다른 지워진 상태의 페이지를 찾아서 변경된 데이터를 써 놓아야 한다.

따라서 SSD에 읽고 쓰기를 반복하면 중국에는 모든 블록에 데이터가 일부씩만 쓰여 있고, 남아 있는 페이지는 모두 무효(invalid) 마크가 찍혀 있는 상태가 된다. 이 경우 저장된 유효 데이터는 드라이브 용량에 비해서 적지만, 더는 사용 가능한 페이지나 블록(free block)이 없다.

따라서 이 경우는 조각 모음(garbage collection)이라 하여, 무효 표시가 없는 유효 데이터만을 어떤 블록으로 함께 모으고, 원래 블록을 지워서 쓸 수 있는 공간을 확보한다 [5]. 예를 들면, 두 개의 블록이 있고, 각각 하나의 블록에 32개의 페이지만 유효 데이터가 있고, 나머지 32개의 페이지는 모두 무효표시가 있다고 하자 (하나의 블록은 64페이지로 가정). 이 때 두 블록의 유효페이지를 하나의 블록으로 모은 후, 빈 블록을 마련하는 것이 조각 모음이다. 플래시 메모리의 여유 공간이 적을수록 이 조각 모음 작업이 더 많이 필요하므로 P/E 사이클의 횟수를 늘리는 원인이 된다.

결론

지금까지 낸드 플래시 메모리용 에러정정과 신호처리 방법을 간단히 기술하였다. 이 밖에도 복잡한 에러정정과 신호처리를 위해서는 전력

소모가 늘어나기 때문에 이를 고려한 설계가 필요하다. 또 낸드 플래시 메모리는 USB, 카메라, MP3 등의 소용량 제품으로부터, SSD와 같은 대용량 제품, 그리고 서버와 같은 고 읽기 쓰기 응용 등 사용분야가 다양해지고 있다. 응용분야에 따라서 에러정정이나 신호처리의 요구가 다르므로 각 응용에 특화된 컨트롤러의 설계가 필요하다. 향후 낸드플래시 메모리 공정의 미세화가 진전됨에 따라 이 분야의 연구는 필연적으로 더 어려워진다.

그래서 도전의식이 강한 연구자에게는 좋은 연구분야라 생각하지만, 신호처리와 통신, 반도체, VLSI 설계, 컴퓨터 등 다양한 지식이 필요하다. 그리고 나노시스템도 개별 소자의 신뢰성은 상대적으로 낮기 때문에 유사 기술이 필요하다고 본다. 2011년 12월 15일자 뉴스를 보니까 애플이 낸드 플래시메모리 에러정정 및 신호처리 분야의 선두기업인 이스라엘의 Anobit 사를 상당한 금액(약 4~5억 달러)을 주고 인수할 것이라는 (아직은 미확인된) 기사가 났다.

Anobit의 MSP(Memory Signal Processor) 컨트롤러는 이미 애플의 아이폰에 사용되고 있다고 한다. 기술 잡지들은 애플이 Anobit을 인수하면 플래시 메모리 공급 체인에 있어서 매우 유리한 위치를 차지하게 된다고 이구동성으로 긍정적인 평가를 하고 있다. 한국의 반도체 기업들은 최신 반도체 시설과 장비에 대한 투자뿐만 아니라, 공급체인인 길목을 지키는 이러한 요소기술 (enabling technology)의 개발에 더 많은 노력을 기울여야 할 것으로 생각한다.

Reference

- [1] J.D. Lee, S.H. Hur, and J.D. Choi, "Effects of floating-gate interference on NAND flash memory cell operation," IEEE Electron Device Letters, vol. 23, no. 5, pp. 264-266, 2002.
- [2] G. Dong, S. Li, and T. Zhang, "Using data postcompensation and predistortion to tolerate cell-to-cell interference in MLC nand flash memory," IEEE Tr. on Circuits and Systems I: Regular Papers, vol. 57, no. 10, Oct. 2010.
- [3] W. Liu, J. Rho, and W. Sung, "Low-power high-throughput BCH error correction VLSI design for multi-level cell NAND flash memories," in Proc. IEEE Workshop on Signal Processing Systems (SIPS), 2006.
- [4] J. Cho, J. Kim, and W. Sung, "VLSI implementation of a high-throughput soft bit-flipping decoder for geometric LDPC codes," IEEE Tr. on Circuits and Systems I: Regular Papers, vol. 57, no. 5, May 2010.
- [5] J. Kim, J. Kim, S.H. Noh, S.L. Min, and Yookun Cho, "A space-efficient flash translation layer for CompactFlash systems," IEEE Tr. Consumer Electronics, vol. 48, no. 2, May 2002.



아시아 반도체 기술의 최대 축제인 A-SSCC(Asian Solid-State Circuit Conference)가 11월 14일에서 16일까지 3일간 제주도에 열렸다. A-SSCC는 반도체 기술 분야에서 아시아 최고 권위를 가진 학회이며 IEEE Solid-State Circuits Society의 공식 후원을 받는 4개 학회 중의 하나이다.

SPECIAL Column

A-SSCC 2011 참관기

아시아 반도체 기술의 최대 축제인 A-SSCC(Asian Solid-State Circuit Conference)가 11월 14일에서 16일까지 3일간 제주도에 열렸다. A-SSCC는 반도체 기술 분야에서 아시아 최고 권위를 가진 학회이며 IEEE Solid-State Circuits Society의 공식 후원을 받는 4개 학회 중의 하나이다.

A-SSCC는 올해가 7회째로 세계에서 가장 성장률이 높은 아시아를 중심으로 세계 학계 및 산업계의 반도체 분야 전문가들이 최신 연구 성과 및 정보를 교환하고 반도체 산업의 미래와 기술을 의논할 기회를 제공하는 장으로 자리매김하고 있다. 이번에는 "Integrated Circuits for Sustainable Future"라는 주

제로 진행되었으며, 세계 각국에서 총 270편의 논문이 제출되었으며 엄격한 심사를 거쳐 98편이 최종적으로 채택되었다. 학회의 위원회는 한국, 일본, 대만, 중국 등의 학계와 산업계 전문가들로 구성되어 있으며 한국 KAIST의 유희준 교수, 서울대 정덕균 교수, 삼성전자 우남성 사장이 학회 이사회 위원을, 그리고 삼성종합기술원 김기남 사장이 학회의장을 맡고 있으며, 국내 산학계의 24명이 프로그램위원으로 활동하고 있다. 올해 한국에서 채택된 논문은 11편으로 대만, 일본, 미국에 이은 4위에 머물러 지난해보다 1계단 내려갔다.

학회의장이신 삼성의 김기남 사장님께서서는 개회사에서 Mobile, Display, Energy, Bio-medical 등 삼성의 미래기술전망을 소개하여 학회의 참석자들의 많은 호응을 받았다. 4분의 기조연설이 있었으며 Silicon Mitus의 허영 사장님은 "Future Direction of Power Management in Mobile Device"라는 제목으로 프로세서 설계 수준에서의 전력관리와 전력 아날로그 회로 수준에서 PMIC에 대한 내용과 전망에 대해서 연설을 하였고 전력관리 기법에 따른 비교는 아래 표와 같다.

Techniques	Switching Power Reduction	Area Penalty	Design Impact	P&L Impact
Clock Gating	20%	< 2%	Low	Low
MSV	40~50%	< 10%	Medium	Medium
PSO	*	5~15%	High	Medium High
DVFS AVFS	40~70%	< 10%	High	High

표1. 전력관리 기법과 비교

일본 LEAP사의 사장인 Toshiaki Masuhara는 "Challenge of Low Voltage and Low Power IC toward Sustainable Future"라는 주제로 저전압 저전력 IC에 대한 중요성을 이야기하였다. 대만의 National Chiao Tung 대학의 Chung-Yu Wu 교수는 "Medical Electronics - A Challenging Research and Industry Frontier"라는 주제로 의료전자의 도전과 미래에 대해서 이야기 하고, 영국의 Imperial College London의 Christofer Toumazou 교수는 "Disposable Semiconductor Healthcare Devices; From Digital Plasters to DNA Sequencing" 라는 주제로 반도체 기술이 질병의 진단과 치료에 어떻게 사용되는지 소개하였다. 이번 학회에서도 우수한 연구결과가 많이 발표되었으며 그 중 세부분과별로 주목할 만한 논문을 간단히 소개하고자 한다.

Industry 분과에서는 6개의 논문이 발표되었고 삼성에서는 Full HDTV를 위한 Wireless Display Codec SoC, 인텔에서는 2세대 인텔코어인 Multi IA-Core and Processor Graphics Chip, Renesas에서는 Dynamic SIMD/MIMD Mode Switching Processor와 92% 효율을 가지는 On-Chip Boost DC-DC Converter, Rambus에서는 single-ended signal의 제한을 극복할 수 있는 인터페이스, Oracle에서는 40nm CMOS 공정으로 10Gbps, 395fJ/b optical receiver를 소개하였다. 인텔의 SGIC(Second Generation Intel Core)의 구조와 칩 사진은 아래 그림 1, 2와 같다.

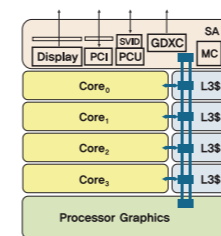


그림 1. SGIC 블록도

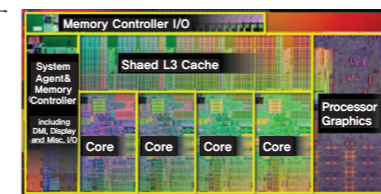


그림 2. SGIC die photo

Data converter 분과에서는 University of Macau에서 "A 35fJ/conv-step 10b 160 MS/s Pipelined-SAR ADC with Self-Embedded Offset Cancellation"이라는 논문을 발표하였다. 이는 고속의 time-interleaved pipelined SAR ADC로 35fJ/conv.-step의 높은 에너지효율을 가지면서 새로운 on-chip offset cancellation 방법을 제시하여 calibration 면적, 전력 및 시간을 크게 감소시켰다. 전체적인 구조와 timing diagram은 그림3과 같다.

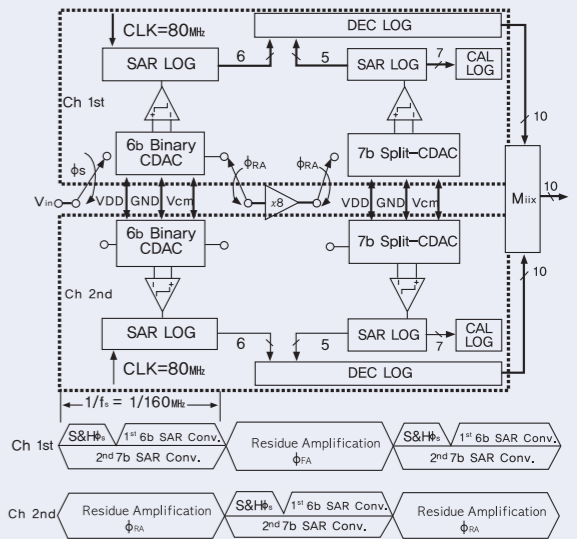


그림 3. Overall ADC architecture and its timing diagram

Analog Circuits and Systems 분과에서 동경대학교 STARC에서는 "A 80-mV Input, 56Times Faster Startup Dual-Mode Boost Converter with Charge-Pumped Pulse Generator for Energy Harvesting"이라는 논문을 발표하였다.

이 논문은 65nm CMOS 공정을 사용하여 낮은 startup 전압과 빠른 startup 이 가능하고 energy harvesting 응용에 사용이 가능하다. Startup에는 전하 펌프대신 boost converter를 사용하여 startup time을 크게 감소시켰고 새로 제안한 CPPG(Charge-Pumped Pulse Generator)는 80mV의 startup 전압이 가능하고, 제안한 threshold-voltage-tuned oscillator with hot-carrier injection은 die-to-die 변화를 보상하고 테스트 시간을 1/20으로 감소시켜 테스트 비용을 감소시킬 수 있다. Boost converter의 구조와 CPPG, VTH-tuned oscillator의 구조를 다음 그림 4, 5, 6에 나타내었다.

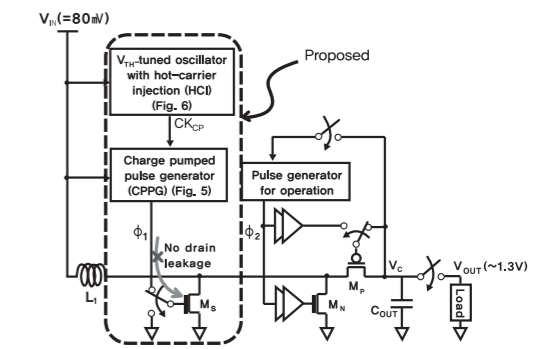


그림 4. 제안된 dual-mode boost converter

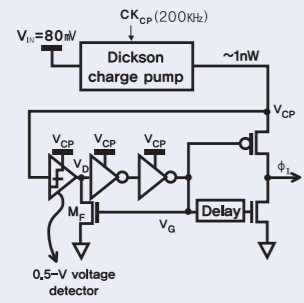


그림 5. 제안된 sub-1nW CPPG (charge-pumped pulse generator)

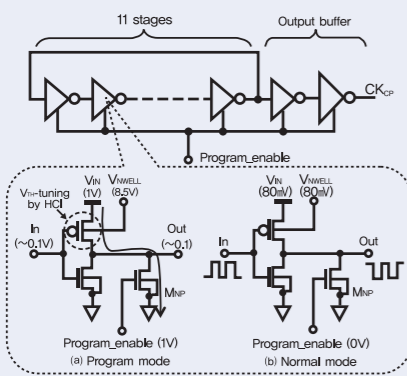


그림 6. Circuit schematic of proposed VTH-tuned oscillator with hot-carrier injection (HCI) for short program time (a) Program mode (b) Normal mode

Digital Circuits and Systems 분야에서 발표된 "An On-Chip Timing Jitter Measurement Circuit Using a Self-Referenced Clock and a Cascaded Time Difference Amplifier with Duty-Cycle Compensation" 은 일본의 Gunma 대학에서 발표하였다. 이 논문은 65nm CMOS 공정을 이용하여 self-reference clock과 cascaded time difference amplifier를 결합하여 reference free, high-resolution 타이밍 지터 측정을 동작속도의 손 해 없이 수행할 수 있도록 하였다.

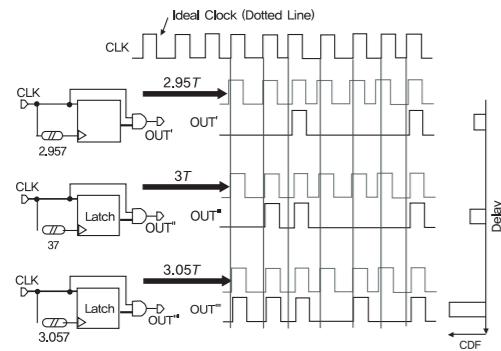


그림 7. 제안하는 지터 측정의 개념

Emerging Technologies and Applications 분야에서 "A Low Energy Crystal-Less Double-FSK Transceiver for Wireless Body-Area-Network"라는 제목의 논문이 KAIST에서 발표되었다. 이 논문은 Wireless body-area-network 용 transceiver를 설계하였으며 injection-locking digitally-controlled oscillator를 사용하여 crystal oscillator를 제거하여 전

력소모와 시스템 비용을 낮추었다. 또한, VCO와 direct digital synthesizer를 사용하지 않아서 0.2nJ/transmitted bit을 구현하였다. 전체적인 구조는 그림 8과 같다.

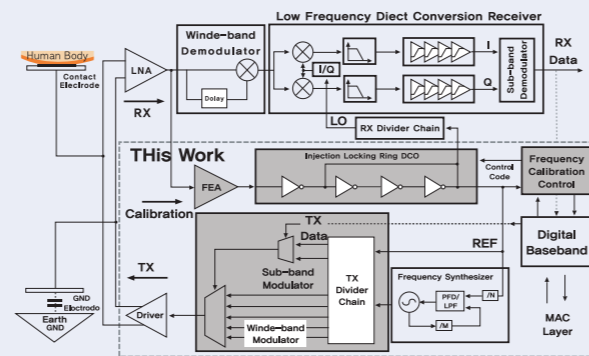


그림 8. 전체 transceiver 구조

Memory 분야에서 발표된 Hynix의 논문도 각광을 받았다. 논문 제목은 "A Low-Power Small-Area Open Loop Digital DLL for 2.2Gb/s/pin 2Gb DDR3 SDRAM"이며 저전력 소면적의 DLL을 구현하기 위해서 open loop 구조를 적용하였다. 44nm DRAM 공정에서 기존의 closed-loop DLL에 비해서 면적과 소비전력이 10% 수준으로 크게 감소하는 결과를 보여주었다. 전체적인 블록도는 그림 9와 같다.

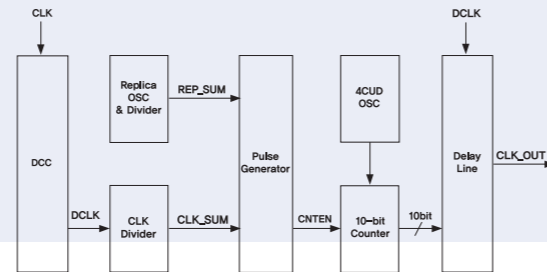


그림 9 제안한 open loop DLL의 블록도

SoC & Signal Processing 분야의 digital communication system에서는 UCLA대학에서 발표한 "A 7Gb/s SC-FDE/OFDM Baseband MMSE Equalizer for 60GHz Wireless Communications"이라는 논문이 주목을 받았다. 이 논문은 65nm CMOS 공정을 사용하여 60GHz 무선통신에 사용하기 위한 equalizer를 설계하였고 1.76GS/s의 샘플링이 가능하고 SC-FDE 또는 OFDM mode에 따라서 148~208mW의 전력을 소모한다. 시스템의 구조는 아래 그림 10과 같다.

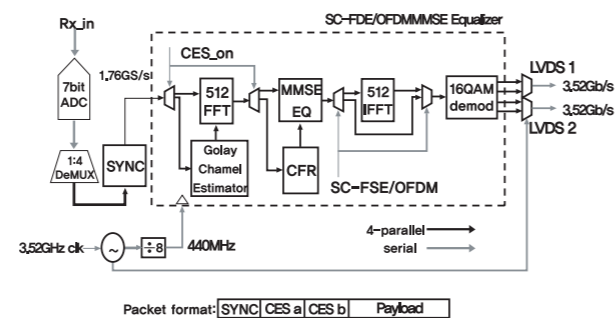


그림 10. Equalizer system Diagram

Wireline & Mixed-signal Circuits 분야에서도 우수한 논문들이 발표되었고 그중에서 AMD에서 발표한 "Extending HyperTransport™ Technology to 8.0Gb/s in 32-nm SOI-CMOS Processors"가 눈길을 끌었다. 이 논문은 32nm SOI-CMOS 프로세서에 집적된 HyperTransport I/O 기술로 전송률이 8Gb/s가 가능하며 고주파지터를 광대역폭의 PLL을 통하여 제거하였다. 또한, 패키지의 온도 제한조건을 만족시키기 위해서 저전력으로 설계하였다. 광대역 clean-up PLL의 구조는 다음 그림 11과 같다.

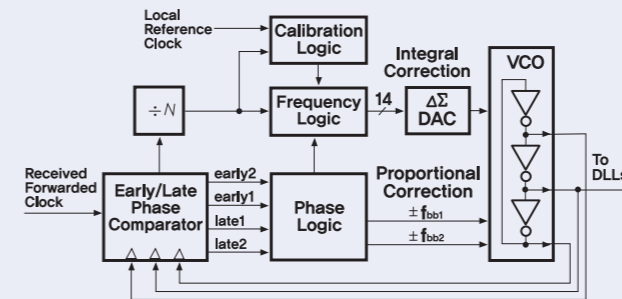


그림 11. 광대역 digital clean-up PLL의 블록도

개회식 전달에는 4개의 튜토리얼이 진행되었고, 대만의 NTU의 Jri Lee는 "Design of Modern CDR Circuits", 일본의 Noriyuki Miura는 "Inductive-Coupling Link Technology for 3D Integration", 충남대의 남병규 교수는 "High-Performance Mobile CPU and GPU Design", 중국 칭화대의 Zhihua Wang 교수는 "CMOS IC Design for Wireless Medical and Health Care"라는 내용으로 강의를 진행하였다. 저녁 만찬 전에는 2가지 패널토론이 진행되었으며 "0.5V and beyond SoC platform: How and who can make it up?"과 "Will medical electronics be the next big engine for semiconductor industry?"라는 2개의 주제로 많은 참석자가 모여서 활발한 의견을 교환하였다.

A-SSCC 학회를 통해서 아시아권을 중심으로 한 반도체 기술의 발전을 살펴 볼 수 있었으며, 본 학회가 점차 핵심적인 교류의 장으로 성장함을 느낄 수 있었다. 앞으로도 많은 연구자분이 본 학회에 관심을 두고 적극적으로 참여할 수 있기를 기대하면서 간단한 참관기를 마치고자 합니다.

송실대학교 정보통신전자공학부

문용 교수
 연구분야 : PLL, RF IC, 저전력회로 등
 E-mail : moony@ssu.ac.kr
 http://mss.ssu.ac.kr



제3세대 이동통신 표준인 WCDMA에 이어서 LTE와 Wibro가 휴대전화기에 사용되기 시작했다. 요즘은 스마트 휴대전화기에 2세대부터 3세대 그리고 4세대 이동통신 표준이 공존해야 하고 여기에 여러 대역의 WLAN, Bluetooth까지 갖춘다. 따라서 한 개의 이동단말기에 많은 수의 RF 송수신기들이 존재하게 된다. 이것들을 어떻게 구현하느냐가 중요한 관심사이고 이것은 무선통신 단말기들이 발전하는 한 계속적인 비즈니스 기회를 제공할 것이다.

「과연, CMOS RF front-end는 이동단말기에서 사용될 것인가?」

제3세대 이동통신 표준인 WCDMA에 이어서 LTE와 Wibro가 휴대전화기에 사용되기 시작했다. 요즘은 스마트 휴대전화기에 2세대부터 3세대 그리고 4세대 이동통신 표준이 공존해야 하고 여기에 여러 대역의 WLAN, Bluetooth까지 갖춘다. 따라서 한 개의 이동단말기에 많은 수의 RF 송수신기들이 존재하게 된다. 이것들을 어떻게 구현하느냐가 중요한 관심사이고 이것은 무선통신 단말기들이 발전하는 한 계속적인 비즈니스기회를 제공할 것이다.

RF 송수신기는 원래 Si Bipolar나 화합물반도체로 이루어졌었다. 그러나 지금

은 스위치와 전력증폭기, 필터들을 제외한 모든 것들이 CMOS 칩으로 집적되어 있다. 약 14년 전만 해도 학회에서 과연 CMOS RF 칩이 가능할 것인가? 라는 주제로 토론을 벌이는 것을 보았으나 지금은 이것을 의심하는 사람은 아무도 없다. 그러면 마지막 남은 비 실리콘 분야인 RF Front-end 즉 filter, 전력증폭기와 스위치는 상황이 어떠한가? 약 7년 전에 RF CMOS 전력증폭기가 가능할 것인가? 라는 주제로 토론을 벌이는 것이 같은 학회에서 똑같이 재현되었다. 항상 CMOS에서는 긍정만이 살아남는 것을 경험한 것을 바탕으로 이러한 연구에 집중할 수 있는 중요한 계기가 되었다.

과연 CMOS RF front-end는 이동단말기에서 사용될 것인가?

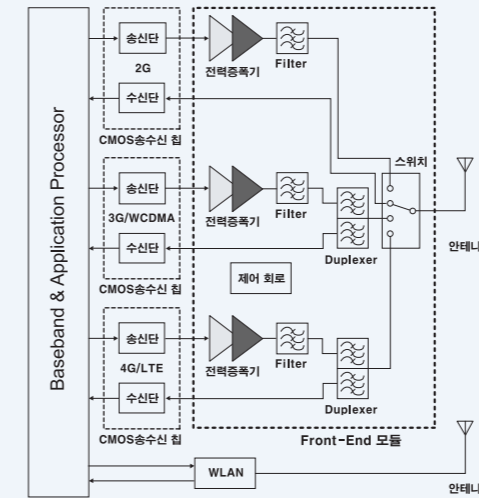


그림 1. front-end 모듈: 스위치, filter, 전력증폭기, 제어 회로들로 구성된 RF front-end module은 CMOS를 이용하여 1개의 칩 혹은 모듈로 집적될 수 있다.

현재 상황은 여러 표준의 구현을 위한 화합물반도체의 전력증폭기, 화합물반도체의 스위치, CMOS 제어 칩, filter 칩의 조합들로 1개의 front-end 모듈이 만들어지고 있으며 (그림 1) 이것을 어떻게 값싸고 작게 만드느냐가 중요한 일로 부각되고 있다. 스위치와 전력증폭기를 화합물 반도체 대신 CMOS로 만들면 1개의 CMOS chip으로 이 모듈을 대체 할 수 있을 것이다. 물론, RF CMOS 송수신 칩에 RF CMOS 전력증폭기를 집적하려고 하는 노력도 이루어지고 있다. 그러나 이것은 약 W급 출력전력이 필요한 전력증폭기는 송신기 칩에는 집적하기가 아직은 어렵다고 판단되며, 더 작은 출력전력이 요구되는 WLAN에서 연구가 활발하며 이미 제품도 출시되었다. 따라서 전력증폭기는 당분간 송신기 칩에 직접 하기보다는 front-end chip에 집적될 것이 예상된다. 더욱 작은 출력이 요구되는 Bluetooth에서는 송수신 chip과의 집적이 이미 잘 이루어지고 있다.

따라서 RF front-end 집적의 핵심은 switch와 전력증폭기의 RF CMOS로의 구현이다. CMOS 제어 칩이나 필터는 이미 가능성이 열려 있다. Filter는 SOI 이면 물론 더욱 좋지만, bulk CMOS에서도 어느 정도 잘 되고 있다. 따라서 위 두 회로가 CMOS로 구현이 가능해지면 스위치에 여러 개의 서로 다른 밴드의 전력증폭기들 그리고 관련 필터들과 제어 칩을 한 개의 Si 기판 위에 집적할 수 있는 간편한 CMOS RF front-end chip이 탄생할 것이다.

그러면 위 두 개 회로의 CMOS로의 구현의 발전상황은 어떠한? RF Switches는 SOI 기술로 이미 시장에 나와 있다. WLAN의 RF 스위치는 bulk CMOS로도 가능하며 화합물반도체와 비슷한 성능을 얻고 있다. 현재 설계 기술로는 GSM과 같이 매우 큰 전력을 handling 하는 스위치는 SOI 공정을 이용해야 하지만 그 외 더 작은 전력을 handling 하는 모든 스위치는 bulk CMOS로도 가능하다.

CMOS 전력증폭기는 WLAN 용은 화합물 반도체의 상용 chip과의 성능이 거의 차이가 없이 발전되었다. 그러면 WCDMA와 LTE 용은 어떠한가? 아직은 성능이 화합물 반도체의 수준에 못 이르렀다고 이야기할 수 있다. 하지만 그 발전속도와 세계적인 관심은 1~2년 이내에 적어도 현재 상용 화합물 반도체 수준은 충분히 가능하다. 이 부분을 연구하는 저로서는 1~2년 내에 좋은 기술이 나올 것으로 생각한다. 따라서 지금 SOI와 bulk CMOS의 CMOS RF front-end chip에 투자하는 것은 매우 시기적절하다고 생각된다. 약 1~2년 내에는 분명히 시장에 출현할 것이 분명하다.

WCDMA와 LTE CMOS PA는 현재 두 가지 발전 가능성이 열려 있다. 첫째는 아날로그 선형화 방법을 도입한 선형증폭기 설계이고, 둘째는 feedback에

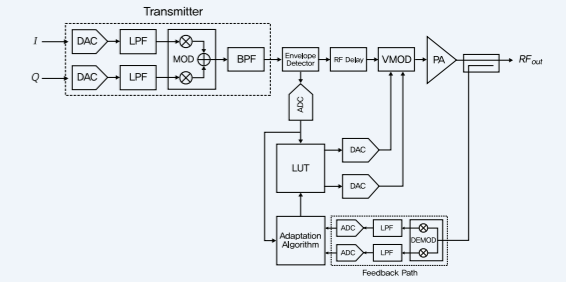


그림 2. feedback에 의한 RF 전치 왜곡 기법

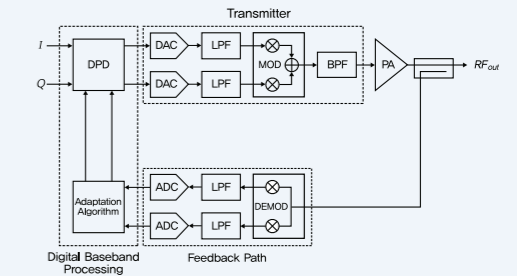


그림 3. feedback에 의한 디지털 전치 왜곡 기법

의한 pre-distortion을 이용한 선형화 방법을 도입한 선형증폭기 설계이다. 첫째 방법으로도 매우 좋은 결과를 얻고 있다. 이 방법은 매우 직접적이고 간단한 선형화 방식이기 때문에 이것에 필요한 전력소모 증가가 거의 없고 종래 전력증폭기 구조와 비슷하므로 앞으로의 약간의 성능개선은 다른 부분의 변화가 없이 곧 상용에 이르게 될 것으로 생각한다. 둘째 방법은 feedback 방식으로 전치왜곡을 시키는 방식인데 RF 전치왜곡 (그림 2)와 디지털 전치왜곡 방식(그림 3)으로 나눌 수 있는데, 두 방식 모두 선형화 때문에 필요한 전력소모 증가가 있을 것이나 그 효과는 매우 크고 사용하기 편리할 것으로 기대된다.

여기서 RF 전치왜곡 방식은 DSP에서의 전력소모가 작고 부가회로가 작아서 매우 기대되는 방법이기도 하다. 또 baseband 부분을 변형할 필요가 없어서 사용이 간단하다. 이러한 feedback 방식을 이용하여 효율과 선형성을 개선한 전력증폭기는 3~4세대에서뿐만 아니라 5세대에서도 매우 중요한 방식으로 자리 잡을 것으로 기대한다.

CMOS PA는 궁극적으로 현재의 DAC처럼 digital 기법이 많이 도입되어서 digital 신호에서 RF 신호로 직접 변환하는 Digital PA로 발전할 것으로 기대된다. 하지만 이 기술은 아직은 많은 어려움이 남아 있는 것으로 보인다. 따라서 아직은 좋은 연구 주제이나 비즈니스 아이템은 아니다. 하지만 CMOS 선형증폭기는 약 2년 후의 RF front-end 시장에 나타날 것으로 생각하고 추후에는 main stream이 될 것이 확실하다. 후발 주자인 다른 미국업체들에서도 발표하는 것처럼 일본회사들에서도 연구하고 있다. 따라서 CMOS 선형증폭기의 개발에의 투자가 꼭 필요하다고 판단된다. 특히 최근 4세대 LTE 휴대단말기의 등장은 새로운 RF front-end 시장을 만들 것이 분명하다.

KAIST 전기 및 전자공학과	
	홍성철 교수
	연구분야 : Microwave, Millimeter wave, Sub-millimeter wave system을 CMOS에 집적, CMOS PA, Radar front-end chips, Sub-millimeter wave chips
	E-mail : schong@ee.kaist.ac.kr
	http://weis.kaist.ac.kr