

International Workshop On IT and Future Society

일시 : 2011년 11월 16일(수)

장소 : 제주도 라마다 호텔

Agenda

- 09:00 - 09:50 Registration
- 09:50 - 10:00 Workshop Opening
- 10:00 - 11:00 **Talk 1** IT for Social Mobility
• Sung-Mo Kang(UC Santa Cruz, USA)
- 11:00 - 12:00 **Talk 2** IT and Future Society, Machine to Machine: Dream or Phantom for IT Industry?
• Liang-Gee Chen
(National Taiwan University, Taiwan)
- 12:00 - 13:30 Lunch
- 13:30 - 14:30 **Talk 3** IT and Society : How Far Into The Future Can We See?
• Andrew B. Kahng
(University of California, USA)
- 14:30 - 15:30 **Talk 4** Nano-tera.ch : Engineering Complex Systems for Health, Security and The Environment
• Giovanni De Micheli
(EPF Lausanne, Switzerland)
- 15:30 - 16:00 Coffee break
- 16:00 - 17:00 **Talk 5** Challenges and Perspective Toward Dependability for Information Society
• Takashi Nanya(Canon Inc, Japan)
- 17:00 - 18:00 **Talk 6** 3DTV : Principles and LG' s R&D Activities
• Seung-Jong Choi
(LG Electronics Inc. Korea)
- 18:00 - 19:30 Dinner

사전등록 : 참가비는 무료이며, 2011.10.31(월)까지 등록해주시기 바랍니다.

상세일정 및 자세한 사항은 홈페이지 http://it_workshop.idec.or.kr를 참고해 주세요.

문의처 : 석은주 TEL : 042-350-8538
E-mail : eunjuseok@idec.kaist.ac.kr

International Workshop On IT and Future Society

깊어가는 가을을 맞아 IDEC에서는 세계 자연유산인 제주도에서 워크샵을 개최합니다. 반도체 시스템 설계관련 분야의 국내외 리더들을 모시고 미래의 반도체 설계 기술과 IT가 나아갈 방향을 찾기 위한 자리입니다.

관련분야 연구원분들과 교수님들께서는 모두 참석해주시기 바랍니다. 이번 Workshop을 통하여 우리의 나아갈 바를 함께 모색하고 후진들에게 확실한 미래의 방향을 가리키게 될 것을 기대합니다.

제주도의 가을은 정말 최고입니다. 짧은 Workshop이지만 즐거운 추억과 새 비전 발견의 시간이 될 것을 확신합니다. 많이 오셔서 즐겨주시고, 감사합니다.

반도체설계교육센터 소장 경 중 민

IDEC Newsletter

IDEC Newsletter | 통권 : 제173호 | 발행일 : 2011년 10월 31일 | 발행인 : 김중민 | 편집인 : 김이선 | 제작 : 푸윌디자인
기획 | 전향기 | 전화 | 042) 350-8535~6 | 팩스 | 042) 350-8540 | <http://idec.or.kr>
E-mail | jhg0929@idec.kaist.ac.kr | 발행처 | 반도체설계교육센터(IDEC)

Vol. 173

2011
November

IDEC NEWS | 02 물체 인식 기술 및 GPU 기반 임베디드 시스템 구현 | 04 탄소배출량 감소를 위한 IT 기반 에너지절약 기술 | 08 Mobile GPGPU(General Purpose GPU) 개발동향 | 12 차세대 메모리용 CMP 공정 및 Slurry | 16

반도체설계교육센터 사업은 지식경제부, 반도체산업협회, 반도체회사(삼성전자, 하이닉스반도체, 매그나칩반도체, 동부하이텍, 엠코테크놀로지코리아, KEC, 세미텍, PowerJazz)의 지원으로 수행되고 있습니다.

물체인식 기술 및 GPU 기반 임베디드 시스템 구현

카메라가 내재한 스마트 임베디드 시스템 대중화로 물체 인식을 통한 응용 분야가 점차 확대되고 있다. 물체 인식은 카메라 또는 각종 센서 정보를 활용하여 일정 범위에서 물체의 존재 여부를 판단하는 기술이다. 이 기술은 최근 많은 응용분야에서 연구되고 있다. 물체 인식 기술은 분류 알고리즘을 사용하여 사전에 학습된 데이터와 카메라로부터 획득한 영상에서 추출한 특징점 데이터와 비교하는 방법이 널리 사용된다. 본 고에서는 물체 인식 기술 및 GPU 기반 임베디드 시스템 구현에 대해서 살펴보고자 한다. (관련기사 P04~07참조)

탄소배출량 감소를 위한 IT 기반 에너지절약 기술

전 세계적으로 기후변화와 에너지 문제 대응을 위한 녹색 시장 성장에 따라 그린 IT 제품 및 서비스가 신성장 동력으로 부상하고 있다. 그린 IT는 환경을 의미하는 녹색(Green)과 정보통신기술(IT)의 합성어로 IT 부분 녹색화(Green of IT)와 IT 융합에 의한 녹색화를 포괄하는 의미이다. 그린 IT는 탄소에너지의 사용을 줄여나가는 부분과 환경오염, 기후 모니터링 등 환경을 개선하는 부분으로 또다시 나눌 수 있다. 본 고에서는 그린 IT 기술 중 에너지를 절감함으로써 탄소배출량을 줄이는 기술에 대해서 살펴보고자 한다. (관련기사 P08~10참조)

Mobile GPGPU 개발 동향

과거에 비교적 간단한 어플리케이션만을 구동시키던 모바일 환경에서 웹서핑, 3D 그래픽, H.264 코덱 등 연산량이 많은 어플리케이션의 구동이 요구되고 있다. 스마트 폰에서는 이런 기능들의 가속을 위해 가속장치가 본격적으로 사용되기 시작하였으며, 스마트 폰을 이전의 PDA와 차별화하는 가장 큰 특징은 모바일 환경에 특화된 임베디드 그래픽 표준인 OpenGL ES가 정의됨에 따라 이를 지원하기 위한 모바일 GPU가 사용되었으며 이로 말미암아 이전의 PDA와는 다르게 강력한 멀티미디어 기능을 함께 가지고 있다는 점이다. 본 고에서는 Mobile GPGPU 개발 동향에 대해서 살펴보고자 한다. (관련기사 P12~P15)

차세대 메모리용 CMP 공정 및 Slurry

20세기에 발명된 트랜지스터는 오늘날의 IT를 가능하게 한 위대한 발명 중의 하나이다. 실리콘은 고품질의 결정성장 기술과 결정표면의 화학적 안정성과 절연성이 뛰어난 산화 실리콘(SiO2)을 용이하게 형성하는 기술의 발전으로 말미암아 오늘날의 고집적화된 ULSI 소자의 발전을 가져왔다. 하지만, 실리콘 기반 소자의 디자인룰이 점점 줄어들어 따라 제조 공정의 한계에 다다르고 있어 실리콘 기반의 기존 DRAM이나 NAND flash 메모리를 대체하기 위한 차세대 비휘발성 메모리에 대한 연구가 이루어지고 있다. 본 고에서는 차세대 메모리용 CMP 공정 및 Slurry에 대해 알아보고자 한다. (관련기사 P16~P19)

IDEC November | 2011 news

MPW (Multi-Project Wafer)									
MPW 신청 현황					MPW 칩 제작 현황				
구분	공정	제작 가능면적 (mm ² x 칩수)	신청 팀수	채택 팀수	설계면적 (mm ² x 칩수)	DB마감	Die-out	비고	
	TJ				5x5mm x 1	2011. 10.10	2012. 1.11	DB 전달	
	0.18 CIS	5x5mm x 2	6	4	5x2.5mm x 1 2.5x2.5mm x 2	2011. 10.10	2012. 1.11	DB 전달	:10.26
105회 (11-08)	동부 0.35 BCD	5x5mm x 3	12	5	5x5mm x 1 5x2.5mm x 4	2011. 10.13	2012. 1.18	DB 전달	:10.26
	동부 0.11	5x15mm x 13	30	29	5x2.5mm x 21 2.5x2.5mm x 8	2011. 10.10	2012. 1.10	DB 전달	:10.26
106회 (11-09)	삼성 0.13	4x4mm x 48	45	45	4x4mm x 44 8x4mm x 1	2011. 11.5	2012. 3.9	DB마감	11.5
					4.5x4mm x 16				
107회 (11-10)	M/H 0.18	4.5x4mm x 20	26	26	4.5x2mm x 6 2.25x2mm x 4	2011. 12.15	2012. 4.10		

* M/H = 매그나칩/하이닉스, TJ = TowerJazz
 * 우선/정규모집에서 마감될 경우 후기모집은 진행되지 않음.
 * Die-out 일정은 Diechip 제작완료 기준임, Package는 Die-out후 3주 이상 소요됨.
 * MPW 참여 일정 및 방법은 홈페이지(http://www.idec.or.kr) 참조
 * 위의 내용은 10/31 기준임.
 * 문의 : 이의숙(042-350-4428 ysllee@idec.or.kr)

Chip Design Contest (CDC)													
● International SoC Design Conference (ISOC) 2011 Chip Design Contest 개최 ** Chip Design Contest(CDC)는 ISOC 2011 프로그램의 한세션으로 진행되나 논문은 프로시딩(Proceedings)에는 포함되지 않음. 1. 일정 및 장소 가. 일 시 : 2011년 11월 17일(목) 나. 장 소 : 제주 라마다호텔 2. Paper 접수 결과		● 제9회 한국반도체학술대회 Chip Design Contest 개최 1. 일정 및 장소 가. 일정 및 장소 1) 일 시 : 2012년 2월 16일(목) ~ 17일(금) 2) 장 소 : 고려대학교 3) CDC 주요일정 <table border="1"> <tr> <th>논문 제출 마감</th> <th>논문 채택 통보</th> <th>Chip Design Contest</th> </tr> <tr> <td>2011. 11. 7</td> <td>2011. 12. 20</td> <td>2012. 2. 16(목)</td> </tr> </table> 나. 논문 제출 대상(MPW 설계팀) : 98회(11-01)~100회(11-03) MPW 참여팀(132개팀) + 2010년 MPW 설계팀 중 미참여팀 다. 논문 제출 분야: ASIC, FPGA(Altera, Xilinx) 라. 논문 작성(2 Page) 2. 시상내역 : ISOC CDC와 동일함		논문 제출 마감	논문 채택 통보	Chip Design Contest	2011. 11. 7	2011. 12. 20	2012. 2. 16(목)				
논문 제출 마감	논문 채택 통보	Chip Design Contest											
2011. 11. 7	2011. 12. 20	2012. 2. 16(목)											
3. 시상내역 <table border="1"> <tr> <th>구분</th> <th>시 상 명</th> <th>내 역</th> </tr> <tr> <td rowspan="3">Best Design Award</td> <td>일반 부문</td> <td>최우수상(1팀) 상장 및 상금 100만원 우수상(2팀) 각 상장 및 상금 50만원</td> </tr> <tr> <td>특별상 부문</td> <td>SSCS 서울캠퍼스(1팀) 상장 및 상금 100만원</td> </tr> <tr> <td>FPGA Award</td> <td>최우수상(1팀)상장 및 상금 50만원 우수상(1팀) 각 상장 및 상금 30만원 * 참여팀 수에 따라 시상팀 수는 조정될 수 있음.</td> </tr> </table>		구분	시 상 명	내 역	Best Design Award	일반 부문	최우수상(1팀) 상장 및 상금 100만원 우수상(2팀) 각 상장 및 상금 50만원	특별상 부문	SSCS 서울캠퍼스(1팀) 상장 및 상금 100만원	FPGA Award	최우수상(1팀)상장 및 상금 50만원 우수상(1팀) 각 상장 및 상금 30만원 * 참여팀 수에 따라 시상팀 수는 조정될 수 있음.	* CDC 참여와 관련한 자세한 사항은 홈페이지(http://idec.or.kr)를 참고해 주시기 바랍니다. * 문의 : 이의숙(042-350-4428 ysllee@idec.or.kr)	
구분	시 상 명	내 역											
Best Design Award	일반 부문	최우수상(1팀) 상장 및 상금 100만원 우수상(2팀) 각 상장 및 상금 50만원											
	특별상 부문	SSCS 서울캠퍼스(1팀) 상장 및 상금 100만원											
	FPGA Award	최우수상(1팀)상장 및 상금 50만원 우수상(1팀) 각 상장 및 상금 30만원 * 참여팀 수에 따라 시상팀 수는 조정될 수 있음.											

MPW Workshop 개최		
가. 공정사(동부하이텍, 매그나칩/하이닉스, TowerJazz), WG 설계 참여(희망자), IDEC 연구원 참석		
나. 일 시 : 2011. 11. 2(수) 09:40 ~ 10:00		
다. 장 소 : 한국과학기술회관 중회의실 2(신관 지하)		
라. 진행일정		
일 시	내 용	강 사
09:40 ~ 10:00	개회사	
10:00 ~ 11:00	최근 동향 세미나 : BCDMOS 활용 및 전망	구용서 교수(단국대학교)
11:20 ~ 12:30	Cadence tool의 현재와 앞으로의 비전	이상길 이사 (Cadence Korea)
12:30 ~ 14:00	점심식사	
14:00 ~ 14:50	동부하이텍	공정사 관계자 (공정사별 공정 등 지원 환경 설명)
15:00 ~ 15:50	매그나칩반도체	
16:00 ~ 16:50	TowerJazz	
17:00 ~ 18:00	공정 진행에 대한 Q&A	설계자, 공정사 관계자 IDEC 연구원
* 문의 : 이의숙(042-350-4428 ysllee@idec.or.kr)		

2012년 MPW 지원내역 및 일정						
가. 2012년 MPW 변경 내역 : ① 65nm 1회 → 2회 지원 확대 ② 동부 0.18um BCDMOS 추가 지원 ③ KEC 공정 지원 중단 나. 지원 공정 내역						
구분	공정 세부내역	Size	ret.	제작 칩수	Package	비고 (전년도 대비)
삼성	65nm 96	4mmx4mm 208pinQFP	2[ret]	40개 PDK서버	208pinQFP	· 1회(20개서버) → 2회 확대지원
동부	0.35um BCDMOS	5mmx5mm	15		144pinQFP	
하이텍	* 0.18um BCDMOS	5mmx5mm		6	미정	· 신규공정 - 2code*3회 진행
매그나칩/하이닉스	0.11um	5mmx5mm	2[ret]	30	IDEC제작 (엠크/세미텍) 208pin QFP	· 15code*2회 진행 · 전년대비(▲6)
	0.35um	5mmx4mm	4[ret]	40		
	0.18um	4.5mmx4mm		80		
TowerJazz	0.18um RF	5mmx5mm		2		· 전년대비(▲2) · 전년대비(▲2)
	0.18um BCD	5mmx5mm		4		
	0.18um CIS	5mmx5mm		2		
	0.18um SiGe	5mmx5mm		1		· 전년대비(▲20)
	합 계			316		
Amkor	MPW 회당 한 종류 PKG 지원 (8회 x 8개칩)			64		전년과 동일
세미텍	PKG 지원(8회)			96		전년과 동일
* 문의 : 이의숙(042-350-4428 ysllee@idec.or.kr)						

2012년 MPW 진행 일정												
구분	공정사	공정	제작칩수	우선모집		정규모집		후기 접수시작 (선착순 마감)	DB 마감 (Tape-out)	DB전달 (Fab-in)	Die-out	Package -out
				신청마감	선정발표	신청마감	선정발표					
	M/H	0.18um	20			11.11.05	11.11.19		12.2.13	12.2.27	12.6.4	12.7.4
	동부	0.35um	3			11.11.05	11.11.19		12.2.22	12.3.7	12.5.30	12.7.2
108회 (12-01)	TJ	0.18um(SiGe)	1			11.11.05	11.11.19		12.2.13	12.2.21	12.6.1	-
	TJ	0.18um(CIS)	1			11.11.05	11.11.19		12.2.20	12.2.27	12.6.27	-
	TJ	0.18um(RF)	1			11.11.05	11.11.19		12.2.27	12.3.5	12.7.5	-
	TJ	0.18um(BCD)	2			11.11.05	11.11.19		12.2.27	12.3.5	12.7.5	-
109회 (12-02)	삼성	0.13um	48			11.11.15	11.11.30		12.3.9	12.3.30	12.7.13	12.8.13
110회 (12-03)	동부	0.11um	15			11.11.15	11.11.30		F/I 3주전	12.4월	12.7월	12.8월
	동부	0.35um	3			11.11.15	11.11.30		12.4.4	12.4.18	12.7.11	12.8.13
111회 (12-04)	M/H	0.18um	20			11.12.5	11.12.20	11.2.1~	12.5.14	12.5.28	12.9.3	12.10.5
	M/H	0.35um	20			11.12.5	11.12.20	11.2.1~	12.5.14	12.5.28	12.9.3	12.10.5
	동부	0.35um	3			11.12.5	11.12.20	11.2.1~	12.5.24	12.6.7	12.8.30	12.10.1
112회 (12-05)	삼성	65nm	20			11.12.20	12.1.5	11.3.1~	12.6.4	12.6.29	12.10.19	12.11.19
	동부	0.18um	2			11.12.20	12.1.5	11.3.1~	12.6.20	12.7.4	12.9.26	12.10.26
113회 (12-06)	동부	0.35um	3			12.1.5	12.1.20	11.3.10~	12.7.4	12.7.18	12.10.10	12.11.12
114회 (12-07)	동부	0.18um	2			12.2.1	12.2.15	12.5.1~	12.8.8	12.8.22	12.11.14	12.12.14
	M/H	0.18um	20	11.11.15	11.11.30	12.2.1	12.2.15	12.5.1~	12.8.13	12.8.27	12.12.3	13.1.3
	삼성	0.13um	48			12.2.1	12.2.15	12.5.1~	12.8.31	12.9.21	13.1.4	12.2.4
115회 (12-08)	동부	0.18um	2			12.3.1	12.3.15	12.6.15~	12.9.26	12.10.10	13.1.4	13.2.4
	TJ(CIS)	0.18um	1			12.4.15	12.4.30	12.7.1~	12.10.15	12.10.22	13.2.22	-
	TJ(RF)	0.18um	1			12.4.15	12.4.30	12.7.1~	12.10.22	12.10.29	13.2.29	-
116회 (12-09)	TJ	0.18um(BCD)	2			12.4.15	12.4.30	12.7.1~	12.10.22	12.10.29	13.2.29	-
	동부	0.35um	3	12.1.20	12.2.5	12.4.15	12.4.30	12.7.1~	12.10.10	12.10.24	13.1.16	13.2.18
	동부	0.11um	15			12.4.15	12.4.30	12.7.1~	F/I 3주전	12.10월	13.1월	13.2월
117회 (12-10)	M/H	0.18um	20			12.5.1	12.5.15	12.8.1~	12.11.12	12.11.26	13.3.4	13.4.4
	M/H	0.35um	20			12.5.1	12.5.15	12.8.1~	12.11.12	12.11.26	13.3.4	13.4.4
	삼성	65nm	20			12.5.1	12.5.15	12.8.1~	12.11.26	12.12.21	13.4.12	13.5.13

* 표기 : 1) 년, 월, 일 2) M/H= 매그나칩/하이닉스 3) TJ= TowerJazz
 * 모집 : 우선(50%), 정규(50%) 모집을 원칙으로 하며, 정규에 마감이 안된 공정에 대해서만 후기모집을 실시함.
 * 위의 일정은 사정에 따라 다소 변경될 수 있음.
 * 설계설명회 우선모집시는 개최되지 않으며, 후기모집도 경우예따라 개최되지 않을 수 있음.
 * 2011년 MPW부터는 참여팀이 1개월 이상 지연되는 경우 지연기간에 따른 일정 비율의 참가비를 환급하여 적립해 드림.

물체 인식 기술 및 GPU 기반 임베디드 시스템 구현



인천대학교 임베디드시스템공학과

조중휘 교수
 연구분야 : 영상시스템, 병렬처리
 E-mail : jcho@incheon.ac.kr



서론

카메라가 내재한 스마트 임베디드 시스템 대중화로 물체 인식을 통한 응용 분야가 점차 확대되고 있다. 물체 인식은 카메라 또는 각종 센서 정보를 활용하여 일정 범위에서 물체의 존재 여부를 판단하는 기술이다. 이 기술은 최근 많은 응용분야에서 연구되고 있다. 대표적인 응용으로는 보행자 인식 및 모바일 기기에 의한 증강현실이며, 최근 불보에는 보행자를 인식하여 자동으로 속도가 제어되는 시스템을 내재하여 더욱 관심을 끌고 있다.

물체 인식 기술은 그림 1과 같이 표현되는데, 분류 알고리즘을 사용하여 사전에 학습된 데이터와 카메라로부터 획득한 영상에서 추출한 특징점 데이터와 비교하는 방법이 널리 사용된다. 특징점을 검출하는 방법에는 SIFT(Scale-Invariant Feature Transform)^[1], HOG(Histogram of Oriented Gradient)^[2] 방법 등이 대표적이다. 분류 알고리즘은 Adaboost(Adaptive boosting)^[3], Neural network^[4]와 SVM(Support Vector Machine)^[5] 등이 있는데 현재는 SVM 또는 Adaboost+SVM 형태가 보편적으로 사용된다.



그림 1. 영상 시스템에서의 물체 인식

그런데 상기 방법들은 많은 연산량이 요구되기 때문에 클라이언트 서버 시스템으로 구성해서 처리하거나 다양한 병렬처리형 SoC로 구성하여야 한다. 최근에는 GP-GPU와 FPGA를 통합 사용하여 연산량 문제를 해결하려는 연구 동향도 나타나고 있다. 병렬처리가 가능한 GP-GPU를 사용하면 다량의 데이터를 한꺼번에 고속 병렬 처리할 수 있어 현재는 슈퍼컴퓨터는 물론 모바일 기기 및 검사 장비 등에도 적용되는 사례가 점차 늘어나고 있다. GP-GPU를 활용하기 위하여 응용하고자 하는 분야에 대한 이해를 기반으로 병렬처리형태의 알고리즘 개발, 사용 GP-GPU 환경에 맞는 병렬처리프로그래밍 구현 기술이 요구된다.

물체 인식 알고리즘 및 구현 방법

물체 인식 기술

최근 증강현실 기술에 대한 관심이 급증하면서 물체 인식 기술을 적

용한 사례가 많아지고 있다. 다양한 종류의 물체를 인식하기 위해서는 많은 양의 학습 데이터가 필요하다. 임베디드 시스템 환경에서는 데이터 저장 공간 제약과 함께 고성능 임베디드 시스템이라도 처리능력의 한계성 및 배터리 용량 제한 등으로 많은 연산량이 요구되는 물체 인식을 수행하기에는 부적합 측면이 있다.

현재는 학습 데이터를 서버에 보관하고 클라이언트 기기로부터 특징점을 받아 학습시켜놓은 데이터와 연산하고 분류 및 판단한 결과를 다시 클라이언트 기기로 전송시키는 클라이언트-서버 형태가 많이 사용되고 있다. 이를 위하여 방대한 특징점 데이터가 서버로 전송되어야 하므로 특징점을 압축과 복원에 대한 기술 또한 요구되었다. 이와 같은 문제를 해결하고자 그림-2와 같은 CHOG(Compressed Histogram of Gradient)가 제시되었다.^[6]

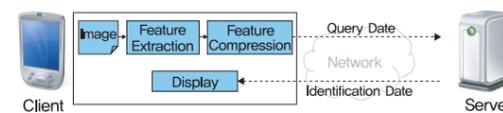


그림 2. CHOG 흐름도

그림-2의 CHOG 시스템에서 특징점 추출 알고리즘으로는 SIFT 방법을 사용하고 데이터 압축은 무손실이어야 하므로 Huffman 알고리즘을 채택하였다. 그림-3은 카메라에서 획득한 영상 전체에 대하여 JPEG으로 압축하는 경우, 추출한 특징점을 압축하지 않는 경우 및 CHOG 기반으로 압축 전송하는 경우를 비교한 것이다.

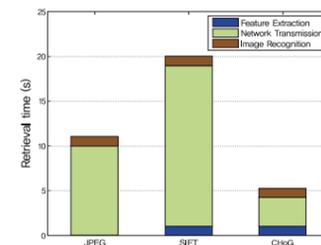


그림 3. JPEG과 CHOG 전송속도 비교

CHOG에서 채택한 SIFT 알고리즘은 Lowe에 의해 제안된 알고리즘으로, 물체 인식 알고리즘 중 가장 널리 쓰이는 특징점 추출 방법이다. SIFT는 비교적 연산이 간단하며 기존의 알고리즘들보다 영상의 노이즈, 크기, 회전에 강점을 보이는데 그림-4과 같이 3단계로 구성

된다. 입력 영상의 DOG(Difference of Gaussian)를 구해서 특징 윤곽선을 검출하고, 윤곽선의 키포인트를 추출한 다음, 키포인트를 기준으로 주변 기울기 값들의 vector를 합하여 최종 특징점을 산출한다.



그림 4. SIFT 알고리즘의 특징점 추출 과정

그러나 SIFT는 성능은 우수하지만, 상업적 사용을 위해서는 비용 지급을 해야 하는 문제점이 있다. 이를 해결하기 위하여 SURF(Speeded Up Robust Features)^[7]가 제안되었다. SURF는 성능 면에서 SIFT와 다소 뒤지거나 유사하지만, 수행 속도 측면에서 향상되어 SURF를 사용한 응용 사례가 점차 증가되고 있다.

보행자 인식 기술

최근 볼보(Volvo)사에서 세계 최초로 보행자 추돌 방지 시스템이 탑재된 볼보 S60을 발표하였는데 보행자 감지 기술은 레이더 장비와 카메라를 사용해서 전방의 물체 및 물체까지의 거리를 파악하고 어떠한 형태의 물체인지 판단하는 기술이다. 보행자 인식 시스템은 그림-5와 같이 크게 3단계로 구성되는데, 입력 영상에서 후보 영역 검출 방법으로 사람 존재 여부를 판단할 위치를 결정하고 특징 벡터 추출 방법을 사용해서 해당 영역의 특징 벡터를 검출하게 된다. 검출된 특징 벡터는 분류알고리즘을 사용하여 사전에 학습된 데이터와 연산 및 비교하는 구조가 사용된다.

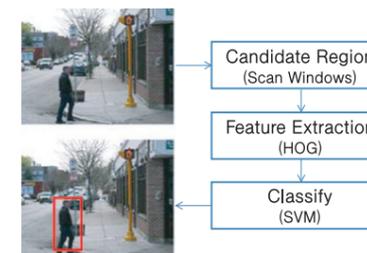


그림 5. 보행자 인식 알고리즘 흐름도

보행자 인식 시스템은 HOG+SVM 구조가 많이 사용되는데 HOG는 N.Dalal에 의해 처음 제안된 방법으로 사람은 머리, 어깨, 팔, 다리

등에 고유한 기울기(Gradient)를 갖고 있다는 점에 착안하여 개발된 알고리즘이다. 영상에서 획득한 일정 영역의 기울기 값을 누적시켜 그 영상의 윤곽선 특징 데이터를 구성하고, 윤곽선 특징 데이터를 SVM이라는 이진 분류기를 이용해 사람 여부를 판단한다.

SVM은 Vapnik에 의하여 제안된 개념으로 원래는 Yes 또는 No 값을 출력하는 이진 분류를 위하여 개발되었지만, 결과 해석이 용이하고 실제 응용에서 인공신경망 수준의 높은 성과를 내며, 적은 학습만으로 신속하게 분별학습을 수행할 수 있기 때문에 현재에는 생물정보학, 문자인식, 필기인식, 얼굴 및 물체인식 등 다양한 분야에서 적용되고 있다. 그림-6은 SVM의 2차원 초평면(Hyperplane) 모습으로 구분선(Decision boundary)을 경계로 해서 양쪽으로 특징 벡터가 놓이게 되고 위치에 따라 Yes 또는 No(Binary)의 출력 값을 갖게 되어 이진 분류가 된다.

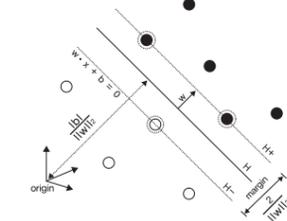


그림 6. SVM 이진 분류 모습

후보 영역 검출을 위하여는 주로 scan windows 기법이 사용되는데 그림-7과 같은데 특정 크기의 window를 일정 간격으로 이동시키면서 특징 벡터를 추출할 영역을 정해주는 방식이다. Scan windows 개수에 의하여 사람 존재 판단에 필요한 연산량이 결정되므로 window 크기와 이동 간격 파라미터 값 설정이 중요하다.



그림 7. Window scanning

그러나 scan windows 기법에서 window 크기와 이동 간격 파라미터 값에 의해 보행자 인식이 변화하기 때문에 파라미터 조절로 줄일 수 있는 연산량은 제한적이다. 현재에는 인식을 어느 수준으로 유지하면서 후보 영역을 최대한 줄이기 위한 연구가 다양하게 진행되고 있다.

후보 영역을 줄이기 위한 방법으로는 영상 전체에 대해서 개략적으로 보행자 여부를 판단한 후 보행자가 있을 가능성이 큰 지점을 세부적으로 검색(Cascade) 방법과 센서(레이더, 적외선, 스테레오 카메라 등) 데이터를 접목하여 후보 영역을 검출하는 방법이 주로 사용되고 있다. 그러나 후보 영역을 줄이는 방법을 사용하지만, 연산량이 여전히 문제가 된다. 현재 실시간(초당 20 프레임 이상)으로 동작하는 보행자 인식 시스템은 보통 320×240 크기의 영상을 사용해서 인식할 수 있는 최대 거리가 제한된다. 현재는 연산량 문제를 GP-GPU 컴퓨팅 기술을 사용해서 해결하려는 연구가 활발히 진행 중이고 640×480 크기의 영상을 초당 30프레임 정도를 처리할 수 있는 수준에 도달했다.^[8]

GP-GPU 구현 환경 소개

GPU는 컴퓨터 그래픽 처리에 요구되는 다량의 연산 처리를 고속화하기 위하여 사용되고 있다. 최근 GPU에서 CPU가 취급했던 응용 프로그램들의 계산을 수행하는 것이 가능해짐에 따라 그 응용 분야는 점차 늘어나고 있다. 그림-8은 CPU와 GPU의 내부 구조를 비교한 것이다.

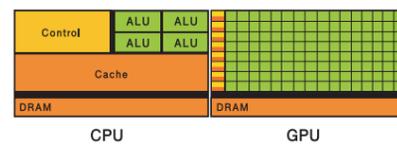


그림 8. CPU와 GPU의 구조 비교

GPU에는 연산을 수행할 수 있는 ALU가 CPU보다 더 많이 구성되어 있기 때문에 다수의 thread를 사용하여 데이터를 병렬 처리하는데 특화되어 있다. GPU의 모든 Thread는 동일한 순차 코드를 실행하지만 서로 다른 데이터를 가지고 연산을 수행하는 SIMD(Single Instruction Multiple Data) 방식으로 동작한다. 그림-9는 각 위치의 배열 값과 같은 위치의 값을 더하고 저장하는 프로그램이다. CPU로 수행했을 경우 총 8번의 iteration이 발생하지만 GPU로 수행하면 1번의 연산만이 수행되어 프로그램의 수행 시간이 감소하게 되는데 이처럼 병렬처리 알고리즘 개발이 요구된다.

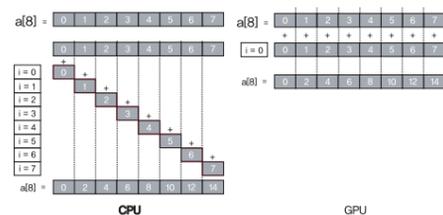


그림 9. CPU와 GPU 프로그램 동작 비교

GPU 플랫폼에 기반을 둔 프로그래밍 언어는 NVIDIA의 CUDA(Compute Unified Device Architecture)와 크로노스 그룹(Khronos Group)의 OpenCL(Open Computing Language)이 널리 사용된다.^[9]

CUDA는 C 언어를 비롯한 산업 표준 언어를 사용하여 GPU에서 수행되는 병렬 처리 알고리즘을 작성할 수 있도록 되어 있다. OpenCL은 이종 컴퓨팅 환경을 위한 병렬 프로그래밍 프레임워크로서 OpenCL과 CUDA는 많은 부분이 유사하다. 그러나 CUDA는 NVIDIA 제품에 최적화된 프로그래밍 환경을 제공하지만 OpenCL의 경우 각 장치 특성에 맞게 프로그래머가 최적화를 시켜야 한다. 현재는 CUDA와 OpenCL로 동일 알고리즘을 프로그래밍하면 CUDA로 작성한 경우가 좀 더 좋은 성능을 보이고 있다. 지금도 OpenCL을 개선하고 최적화하려는 연구가 활발히 진행 중이기 때문에 향후에는 OpenCL의 사용 비중이 좀 더 높아질 것이다.

물체인식구현 사례비교

그림-10은 보행자 인식 알고리즘을 C로 구현하여 기능별 함수들에 대한 연산량을 분석한 것이다.

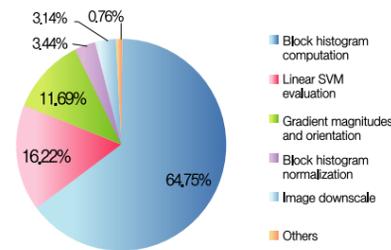


그림 10. HOG-SVM 알고리즘의 수행시간 분석

특징점 데이터를 산출하는 히스토그램 연산 부분이 가장 많은 영역을 차지하고, 그림-11과 같이 이 부분을 FPGA로 구성하여 수행시간을 단축하였다.^[10]

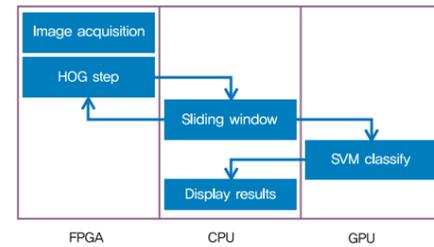


그림 11. FPGA-CPU-GPU 기반 보행자 인식시스템

또한, 최근에는 효율적인 병렬화 작업을 통한 GP-GPU만을 이용한 연구가 활발히 진행 중이다. 그림-12와 같이 후보영역을 줄이는 과정과 병렬구조를 채택하는 Cascade 방식의 HOG를 GP-GPU만을 이용해 빠른 성능을 보이고 있다.^{[11][12]}

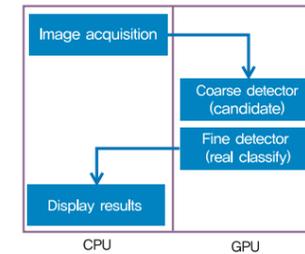


그림 12. GPU를 이용한 Cascade-HOG 구조

표-1은 640×480 이미지에 대하여 GP-GPU를 이용하여 구현한 몇 가지 사례에 대한 수행시간 비교이다. 한편, [10]의 GPU-FPGA를 결합한 구현은 800×600 이미지에 대하여 100ms 수행시간이 필요하였다.

	Prisacariu ^[11]	Tarui ^[12]	본 연구실
GTS 250	157ms	73ms	55ms
GTX 285	80ms	N/A	32ms

표 1. GP-GPU를 이용한 cascade-HOG 수행시간 비교

결론

본 기고에서는 카메라에서 획득한 영상에 기반을 두어 물체 인식을 위한 알고리즘과 구현 방법에 대하여 기술하였다. 물체 인식에 대한 응용 분야가 확대됨에 따라 다양한 알고리즘과 병렬처리 기반의 구현 방법이 개발되었으며 임베디드 영상 시스템에 활용하기 위한 GP-GPU와 FPGA를 사용한 구현 방법을 설명하였다.

이런 추세에 뒤지지 않기 위하여 국내에서도 GPU 개발에 대한 관심이 더욱 확산하여야 하는데 현재는 소수 팹리스 기업에서 자체적인 역량으로 개발하고 있다. NVIDIA, AMD, ARM 등과 경쟁하여 수월성 있는 GPU를 개발하고 이를 활용한 다양한 사례를 만들기 위하여 정부의 지원이 매우 시급하다. 또한, 학계와 관련 산업계가 적극적으로 힘을 모아야 할 것이다.

동시에 다양한 병렬처리가 가능한 신호처리 알고리즘에 대한 알고리즘 개발과 GP-GPU 및 FPGA를 이용한 구현 기술도 매우 중요하므로 이에 대한 지원과 관심도 높아져야 할 것이다.

Reference

- [1] Lowe, D. G., "Distinctive Image Features from Scale-Invariant Keypoints", International Journal of Computer Vision, 60, 2, pp. 91-110, 2004.
- [2] N.Dalal and B.Triggs, "Histograms of Oriented Gradients for Human Detection", IEEE International Conference on Computer Vision and Pattern Recognition (CVPR), 1:886-839, 2005.
- [3] Luo Sheng and Ye Xin-quan, "Efficient Improvement for Adaboost Based Object Detection", Computational Intelligence and Natural Computing (CINC), pp.95-98, 2009.
- [4] Martin T. Hagan, Howard B. Demuth and Mark H. Beale, Neural Network Design, the University of Colorado Bookstore, 2002.
- [5] John Shawe-Taylor and Nello Cristianini, Support Vector Machines and other kernel-based learning methods, Cambridge University Press, 2000.
- [6] V.Chandrasekhar, G.Tackacs and B.Girod "CHoG: Compressed histogram of gradients A low bit-rate feature descriptor", IEEE Conference on Computer Vision and Pattern Recognition, 2009.
- [7] Herbert Bay, Tinne Tuytelaars, and Luc Van, "Speeded up robust features", Proceedings of the ninth European Conference on Computer Vision, May 2006.
- [8] CHEN Yan-ping, LI Shao-zi, and LIN Xian-ming, "Fast Hog Feature Computation Based On CUDA", IEEE International Conference on Computer Science and Automation Engineering (CSAE), pp.748-751, 2011.
- [9] David B. Kirk et al, Programming Massively Parallel Processor -A Hands on Approach-, Morgan Kaufmann, 2010.
- [10] Sebastian Bauer, "FPGA-GPU Architecture for Kernel SVM Pedestrian Detection", IEEE Conference on Computer Vision and Pattern Recognition Workshops (CVPRW), 2010.
- [11] V.A. Prisacariu, "FastHOG-a real-time GPU implementation of HOG", Technical Report No. 2310/09, 2009.
- [12] Kento Tarui, Seiya Kumada, and Hideo Terada, "Cascaded HOG on GPU," GPU Technology Conference(GTC), 2010.



전 세계적으로 기후변화와 에너지 문제 대응을 위한 녹색 시장 성장에 따라 그린 IT 제품 및 서비스가 신성장 동력으로 부상하고 있다. 그린 IT는 환경을 의미하는 녹색(Green)과 정보통신기술(IT)의 합성어로 IT 부분 녹색화(Green of IT)와 IT 융합에 의한 녹색화(Green by IT)를 포괄하는 의미이다. 그린 IT는 탄소에너지의 사용을 줄여 나가는 부분과 환경오염, 기후 모니터링 등 환경을 개선하는 부분으로 또다시 나뉠 수 있다.

SPECIAL Column

탄소배출량 감소를 위한 IT 기반 에너지절약 기술

전 세계적으로 기후변화와 에너지 문제 대응을 위한 녹색 시장 성장에 따라 그린 IT 제품 및 서비스가 신성장 동력으로 부상하고 있다. 그린 IT는 환경을 의미하는 녹색(Green)과 정보통신기술(IT)의 합성어로 IT 부분 녹색화(Green of IT)와 IT 융합에 의한 녹색화(Green by IT)를 포괄하는 의미이다. 그린 IT는 탄소에너지의 사용을 줄여나가는 부분과 환경오염, 기후 모니터링 등 환경을 개선하는 부분으로 또다시 나뉠 수 있다.

본 컬럼에서는 그린 IT 기술 중 에너지를 절감함으로써 탄소배출량을 줄이는 기술에 대해서 살펴보고자 한다. 앞서 언급한 바와 같이 그린 IT는 Green of IT와 Green by IT로 나뉜다. Green of IT는 서버, PC 등 제품과 데이터 센터 등 정보통신 기술 자체의 저전력화를 추구하는 기술이다. 하지만 IT

사용에 따른 탄소배출량은 전 세계적으로 전체의 2%(우리나라는 2.8%, 출처 : 그린 IT 국가전략, 녹색위, 2009)에 불과하여 Green of IT만으로는 세계적인 에너지 절감 흐름을 따라가기 어렵다. 반면 Green by IT는 IT 서비스, 통신 서비스 등을 활용해서 기존 에너지 사용량을 줄이는 것으로 여기서 IT는 타 산업의 에너지 사용량을 줄일 수 있는 수단이 된다. 예로 원격근무, 화상회의, 건물/공장에너지관리, 공급망 사슬 최적화, 탄소 측정 및 관리 시스템, 스마트 그리드, 교통 및 운송 최적화 등이 대표적인 예로 거론되고 있다. 미래에는 Green of IT보다는 Green by IT가 중요해 질 것으로 예상하고 있다. 이에 반도체 인력들이 알아야 할 IT 기반 에너지절약기술의 변화 과정과 국내외 기업 및 공공부문의 구체적인 사례를 통해 현재 어떻게 구현되고, 어떤 성과를 거두고 있는지 정리해본다.

IT 기반 에너지절약사업의 시작과 발전

그린 IT라는 용어는 정보화의 진전, IT기기 보급 확대에 따라 이들의 전력소비가 급증하면서 이를 줄이는 문제가 중요한 이슈로 부각되어 생겨났다. 여기에 포화한 네트워크, 가전 등 시장에서 IT기기 대체 수요가 필요한 제조사 입장이 맞물려 더욱 관심을 받게 된다. 특히 우리나라는 IT 사용에 따른 탄소배출량이 세계 평균보다 높아 IT 자체의 그린화가 국가 및 제조사의 중요한 사안이었다.

하지만 IT에 의한 탄소배출량이 2%뿐이 안 되는 상황에서, 나머지 98%의 탄소를 배출하고 있는 타 산업에 IT 기술을 접목해 에너지사용량을 줄이는 연구가 결실을 보면서 그린 IT의 새로운 패러다임이 등장하게 된다. 그 결과 원격근무/화상회의, 교통물류의 지능화, 건물에너지 최적화, 전력망 최적관리, 제조공정 그린화 등 새로운 IT 기반 에너지절약기술이 대두하기 시작했다. 새로운 IT 기반 에너지절약기술은 Green of IT가 아닌 Green by IT 기술이 대부분이다.

실제로 지금도 전 세계적으로 공공 및 민간 기업 분야에서 다양한 Green by IT가 중심이 되는 차세대 IT 기반 에너지절약기술들이 도입되어 활용되고 있다. 지금부터 국내외 공공 및 민간분야 차세대 IT 기반 에너지절약기술 도입 사례를 살펴해보도록 하겠다.

건물 에너지관리시스템 사례

건물 에너지관리시스템은 BEMS(Building Energy Management System)이라고도 불리며 건물 내 실별, 동별 전기, 가스, 기름 등 에너지 사용량을 실시간으로 모니터링하고 주변 기상정보, 실내 온·습·조도, 사람의 유무 등 정보와 접목하여 최적의 에너지 사용 환경을 마련하는 기술이다. 일본은 1960~70년부터 적용하던 기술로 Triton Square Building, Uchida Yoko 등에 BEMS가 구축되어 연간 28% 이상 에너지를 줄이고 있다. 아일랜드 더블린 대학교도 외부의 밝기와 온도 등의 환경정보를 분석하고 조도 및 온도 제어를 수행하여 연간 10%, 비용으로는 350,000파운드를 절감하고 있다.



그림 1. Uchida Yoko 전경과 주요 BEMS화면
출처 :정보통신산업진흥원, 2011

우리나라는 해외보다 BEMS가 늦게 도입된 편이다. 코엑스는 2003년부터 에너지종류별, 시간별 단가를 관리하여 기간별로 비용이 저렴한 에너지원을 활용하여 냉난방 및 건물 기기를 제어함으로써 에너지를 연간 4~5% 정도 절감하고 있다. 삼성물산은 서초동 삼성타운 건물에 BEMS 시스템을 구축하여 2008년 대비 2009년 운영에너지를 11% 절감하기도 하였다.

이 외에도 지식경제부와 정보통신산업진흥원은 2011년부터 IT 기반 ESCO(Energy Service COmpany) 시범사업의 일환으로 연세 세브란스 병원과 대구교육대, 동국대 경주캠퍼스 등에 BEMS 시범사업을 추진하고 있으며 그 결과는 향후 ESCO가 활용할 수 있도록 가이드라인으로 배포할 예정이다.

1) ESCO(에너지절약전문기업) : 에너지절약시설을 선투자하고 에너지절약비용으로 투자비를 회수하여 이익을 추구하는 기업. 정부에서는 ESCO 대상 자리의 용자금 제도 운영 중

공장 에너지관리시스템 사례

공장 에너지관리시스템(FEMS : Factory Energy Management System)은 BEMS와 에너지 모니터링 및 분석, 제어라는 큰 기능은 유사하지만, 건물과 비교하면 다양한 생산에 관련된 에너지 사용 시설을 모니터링하고 제어한다는 점에서 이와 차별화되는 시스템이다. 공장 에너지관리시스템은 잘못 운영될 때 생산량 저하, 안전사고 등으로 이어질 수 있다는 공장 관계자의 인식으로 아직 사례가 많지는 않다. 해외 사례로는 일본 이케가미 통신의 우츠노미야공장에 IT시스템을 활용한 전력 수요(Demand) 예측 및 전력 모니터링이 구현되어 운영하고 있으며 IBM에서 자사 공장에 적용한 정도가 보고되고 있다.

국내에서는 금호타이어 곡성공장에 지식경제부 지원 사업으로 2009년 FEMS를 구축/운영하고 있으며 평택공장에도 2011년 현재 구축 중이다. 금호타이어 공장에서는 100여 개의 전력사용 생산기기에 스마트 계량기를 모두 부착하고 주요 LNG 관련 시설(보일러 등)에 유량계를 설치하여 세부 공정별 에너지 사용량을 실시간 모니터링 하고 있으며 공정별로 인버터, 댐퍼 등 간단한 생산 시설은 원격/자동으로 제어하면서 에너지를 절감하고 있다.

실제 에너지 절감률은 5% 정도이지만 공장의 연간 에너지 사용량이 100억 원은 넘기 때문에 2~3년 운영 후 에너지 절약비용으로 투자비를 회수할 수 있을 것으로 예상된다. FEMS는 산업분야가 우리나라 전체 에너지 사용량의 60% 내외를 사용한다는 점에서 매우 중요한 기술이며 정부에서는 이 사업 역시 ESCO가 활용할 수 있도록 지속적인 시범사업 지원 및 가이드라인 배포를 수행할 예정이다.



그림 2. 금호타이어 FEMS의 개념도와 에너지모니터링 시스템
출처 :정보통신산업진흥원, 2011

원격근무 사례

원격근무는 모바일단말, PC, 노트북 등으로 원격결재 S/W, 화상회의 등의 시스템을 활용하여 사무실이 아닌 원격지에서 근무할 수 있도록 지원하는 시스템을 말한다. 네덜란드는 전체사업체의 49%가 화상회의, 스마트워크센터 등을 활용하여 원격 근무제도를 운영 중이며, 미국도 워싱턴 DC에 14개의 원격근무센터를 운영 중이다.



그림 3. 네덜란드 스마트워크센터 현황
출처 :한국정보화진흥원, 2010

하지만 우리나라는 '09년 기준으로 원격근무를 시행하는 사업장이 0.6%에 불과하다(NIA 2010). 이에 행안부에서는 분당, 서울 도봉구 등에 원격근무 시스템이 갖춰진 스마트워크센터를 마련하여 2010년부터 운영 중에 있다. 아울러 포스코 등 민간기업에서 스마트폰 기반의 모바일오피스시스템을 구현하여 직원들이 언제 어디서나 결재 등의 업무를 볼 수 있도록 지원하고 있다. 현재 원격근무는 기술적 제약보다는 업무상 불이익을 받을 수 있다는 직원들의 인식, 보안 등이 확산의 장애가 되고 있다. 이에 행안부 및 방통위에서는 원격근무에 대한 직원들의 인식개선, 모바일오피스 사용에 대한 보안 지침 마련을 위해 다양한 정책을 마련하고 있다.



도봉구 스마트워크 센터

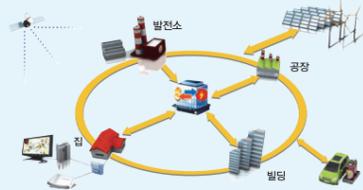


분당 스마트워크 센터

그림 4. 국내 스마트워크 센터 내부 출처 : 한국정보화진흥원, 2010

지능형전력망 관리

스마트그리드라고 불리는 지능형전력망 관리는 전기를 효율적으로 생산, 전달, 사용하도록 IT시스템을 활용하는 기술이다.



기존 전력망(Grid) ○ 공급자 중심 ○ 일방향성 ○ 폐쇄성 ○ 획일성	+	정보통신(Smart) ○ 실시간정보교환	=	스마트그리드 ○ 수요자 중심 ○ 양방향성 ○ 개방성 ○ 다양한 서비스
---	---	---------------------------------	---	---

그림 5. 스마트그리드 개념 출처 : 스마트그리드 국가 로드맵, 지식경제부 2010

우리나라에서는 제주도에 실증단지를 마련하여 태양광, 풍력 등의 1)신재생에너지 생산, IT를 활용하여 최적의 전력전송망을 구현하는 2)지능형 송/배전시스템, 가정 및 건물 내 에너지사용자가 자신의 사용량을 쉽게 파악해서 스스로 절약하도록 해주는 원격검침(AMI), HEMS 기술이 포함된 3)지능형소비자, 전기자동차 및 배터리 충전, 거래 기술이 포함된 4)지능형운송, 마지막으로 소비자가 생산한 전기를 한전에 되팔고, 실시간 수요반응을 통한 에너지를 절약하는 5)지능형서비스로 나누어 스마트그리드서비스를 제공하고 있다. 해외에서는 미국은 '03년부터 Grid 2030 비전을 발표하고 전력망 현대화에 45억 불을 투자하고 있으며 콜로라도 주 볼더시에 스마트그리드 5만 개 및 전기차 600여 대 보급을 하고 있다. 일본은 태양광 발전 계통을 일반 전력망에 연계한 마이크로그리드를 10개 섬을 대상으로 확산하고 있다.

기타 IT기반 에너지절약 기술

기타 지능형 교통시스템, RFID를 활용한 그린 SCM(Supply Chain Management) 보급 확산과 같은 물류/유통 효율화, 그리고 클라우드 서비스 등의 IT 기반 그린 IT 기술도 국내외에서 활발히 활용되고 있다. 교통/물류 효율화는, 포스코, 베이직하우스 등에서 RFID, RTLS 등을 활용하여

SCM을 실시간으로 관리하여 불필요한 물류처리 과정에서 발생하는 운송비 등 에너지를 절감하는 사업을 활발히 진행하고 있다. 또한, 국토부에서는 u-port, RTLS 기반 거점물류 체계를 구축하여 물류 에너지비용 최소화해 힘쓰고 있다. 마지막으로 최근 다양한 클라우드 서비스가 보급 확산하고 있다. SaaS(Software as a Service), DaaS(Desktop as a Service) 등의 클라우드 서비스는 Green of IT에 속하지만, 사용자가 필요로 하는 IT 자원을 인터넷을 통해 서비스 형태로 제공하는 새로운 서비스 형태로 차세대 IT 기반 에너지절약기술의 하나로 보는 경우가 많다. 우리나라에서는 네이버, KT 등에서 N 드라이브, u-클라우드와 같은 다양한 서비스를 SaaS 형태로 제공하고 있으며 군산시에서는 1,700대 규모 PC를 SBC(Server Based Computing) 기반 SaaS 시스템으로 교체하는 작업을 2010년부터 진행하고 있다.

IT기반 에너지절약기술의 발전 방향

IT 기술이 에너지절약에 이바지함은 연구나 실제 사례를 통하여 많이 알려져 있지만, 아직 비즈니스로 자리 잡지 못하고 있다. IT 기반 에너지절약기술이 시장을 키우기 위해서는 기존 에너지절약사업과 접목할 필요가 있다. 세계적으로 에너지절약과 관련된 가장 중요한 시장 중 하나가 ESCO(Energy Service COmpany) 사업이다. ESCO란 기술력과 자금이 부족한 에너지사용자를 대신하여 에너지사용을 진단하고, 에너지절약시설을 설치하여 에너지비용 절감 효과로 투자비를 회수하는 기업을 뜻한다. 우리나라에서는 ESCO가 에너지 절약사업을 하는 경우 2.75(2011년 기준)의 저리로 자금을 융자해 주고 있다. 세계적으로 ESCO 시장은 16조 원에 이르는 것으로 파악되는 등 에너지절약 시장에 큰 부분을 차지한다.



하지만 불행히 아직 ESCO가 IT 기술을 활용해서 에너지절약사업을 수행한 사례는 거의 없다. 이에 우리나라에서는 지식경제부와 정보통신산업진흥원을 통하여 IT 기반 ESCO 시범사업을 2011년부터 추진하고 있다. 2011년도에는 BEMS, FEMS, LED 조명제어 등의 분야를 선정하여 시범사업을 추진 중이다. 이러한 ESCO 시장에 IT 기반 에너지절약기술의 도입이 활성화된다면 IT 기술은 새로운 시장을 얻을 수 있을 뿐만 아니라 ESCO도 새로운 사업 아이템을 확보하여 사업 영역을 확대하는 계기가 될 것이다. 세계적인 차원에서 IT 기반 에너지절약기술을 통하여 더욱 큰 에너지 절약 성과를 얻을 수 있을 것으로 기대된다.

Reference

- [1] 그린 IT 국가전략, 녹색성장위원회, 2009년 5월
- [2] IT 기반 에너지 절약기술진흥 정책 방향에 관한 연구, NIPA 엄창열, 변상익, 통신학회, 2011년 6월
- [3] 에너지 절약의 사업화를 위한 ESCO 산업 활성화방안, 지식경제부, 2010년 10월

부산대학교 전자전기공학부
 남일구 교수
 연구분야 : RF/아날로그/마이크로웨이브 회로, IT융합 회로 및 시스템
 E-mail : nik@pusan.ac.kr
 http://icas.ee.pusan.ac.kr

제27회 육성위원회 개최

시스템반도체설계환경구축지원 및 차세대(SoC)반도체설계인력양성의 기반 환경 구축 및 지원을 위한 「반도체설계인력양성사업」을 지속적으로 추진하고자 지난 10월 20일(목) 오전 10시, 반도체산업협회 세미나실에서 "제27회 반도체설계인력 육성위원회"를 개최했다.



제27회 IDEC 육성위원회 회의 모습

동 위원회에서는 시스템반도체 설계환경구축 지원사업 및 차세대반도체(SoC) 설계인력양성 성과활용(2011년도) 사업실적과 성과보고를 시작으로 2012년 사업의 기업체별 지원 규모와 반도체 산업의 미래를 위해 시스템반도체 산업의 육성 방안 등을 논의했다. 시스템반도체의 핵심인력양성을 위해서는 정부의 지속적인 관심과 지원뿐만 아니라 강력한 산·학·연 네트워크를 통한 자생적 생태계 구축이 필요함에 동의하고 이를 위해 IDEC이 추구하는 IPC(IDEC Platform Center) 사업이 가교 역할을 할 수 있으리라 기대했다.

* 문의 : 최신희 (042-350-4045, shchoi@idec.or.kr)

2011년도 WG Congress 개최

반도체설계교육센터(IDEC, 소장 경종민)는 10월 27일(목) 오후 2시, IDEC 강당에서 "2011년도 IDEC WG Congress"를 개최했다. 이번 Congress에서는 1년 간 IP(설계자산) 등록, 특허 등록, 논문 발표, 교육 분야 등의 우수한 실적을 낸 참여교수 10명과 IDEC MPW 칩 제작 지원 사업을 통해 국제학회에 우수논문을 게재한 24팀에 대한 시상식을 했다.



i-SEDEX 2011 참가 모습

이날 행사는 시상식에 앞서 IDEC이 추구하고자 하는 반도체 설계 플랫폼 특성화 기술간 융합을 위해 운영 중인 IPC(광운대 스마트 TV IPC, 한양대 지능형 차량용 SoC 센터) 소개와 관련 주제로 "스마트 TV 기술동향 및 국내 경쟁력 강화", "지능형 자동차 인식 시스템", 그리고 지식경제부의 '반도체 정책 및 과제 기획 방향 소개' 등의 세미나도 개최 했다.

2011년 WG 우수 참여교수상 수상자

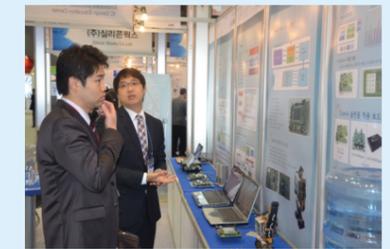
시상명	소속	성명
최우수상	서강대	이승훈
	동국대	송인규
	포항공대	박홍준
	포항공대	신재운
우수상	KAIST	조규형
	인하대	김진규
	한양대	유창식
	건국대	이강운
	연세대	김시훈
	충북대	조경복

* 문의 : 최신희 (042-350-4045, shchoi@idec.or.kr)

반도체설계재산 Core-A

i-SEDEX 2011 참여

특허청(청장 이수원)과 반도체설계교육센터(IDEC, 소장 경종민)은 오는 12일부터 14일까지 일산 KINTEX에서 열리는 국제반도체대전(i-SEDEX 2011)에 참여했다.



i-SEDEX 2011 참가 모습

이번 전시회에서 특허청과 IDEC은 외산에 종속된 임베디드 프로세서의 핵심 기술을 개발하고 '지식재산권화' 함으로써 국내 기술의 경쟁력 강화를 목적으로 지난 2006년부터 시행된 "핵심 반도체배치설계재산권 창출촉진사업"의 일환으로 개발한 공개용 임베디드 프로세서 인 "Core-A"를 소개하고, 활용확산을 위한 교육사업과 이를 활용한 데모보드에 대한 시연을 선보였다.

* 문의 : 최신희 (042-350-4045, shchoi@idec.or.kr)

2011 Core-A 응용경진대회 시상식

- 1. 일시 : 2011. 11. 24(목) 13:00 ~ 16:00
- 2. 장소 : KAIST 대강당 (E15)

1. 행사 내용

- Core-A 응용 경진 대회 시상식
- 데모 전시, 심사, 시상식
- 이벤트
- Core-A 두뇌 보드를 이용한 로봇위 시연
- 추억의 갤러기 게임 (2009 Core-A 응용경진 대회 대상 작품)

3. 상세일정

시 간	장 소	내 용
13:00~14:00	강당	2차 데모 작품 전시 및 발표
14:00~15:00	세미나실 1호	2차 데모 평가
15:00~15:30	강당 세미나실 2호	심사위원 회의
15:30~16:00	강당 세미나실 2호	시상식

- 4. 문의처 반도체설계교육센터 (042-350-8535)
(자세한 내용은 홈페이지 http://core-a.or.kr 을 참조)

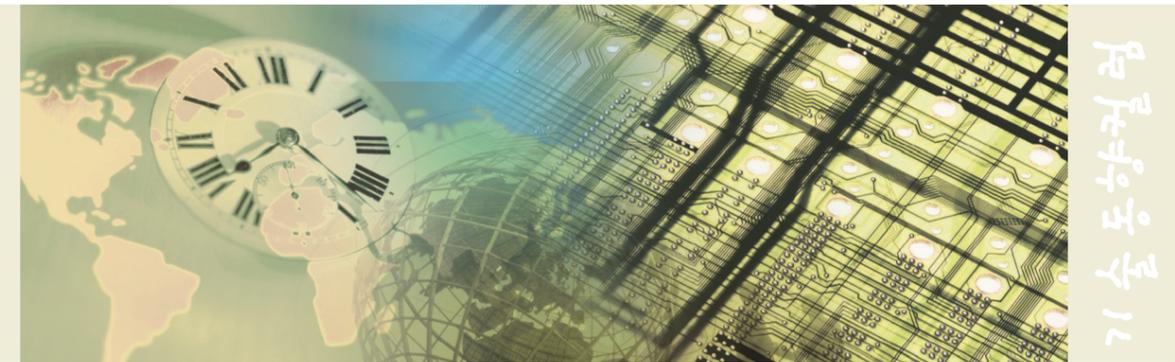
* 본 행사에 오시는 모든 분들께 소정의 기념품을 드립니다.

* 문의 : 최신희 (042-350-4045, shchoi@idec.or.kr)

Mobile GPGPU(General Purpose GPU) 개발동향



서강대학교 컴퓨터공학과
 이광엽 교수
 연구분야 : 임베디드 프로세서, 멀티미디어 시스템, 그래픽 프로세서, SoC
 E-mail : kylee@skuniv.ac.kr
 http://oldwww.skuniv.ac.kr/pd/



이광엽 교수

서론 Mobile GPU(Graphics Processing Unit)의 중요성

과거에 비교적 간단한 어플리케이션만을 구동시키던 모바일 환경에서 웹서핑, 3D 그래픽, H.264 코덱 등 연산량이 많은 어플리케이션의 구동이 요구되고 있다. 스마트 폰에서는 이런 기능들의 가속을 위해 가속장치가 본격적으로 사용되기 시작하였으며, 스마트 폰을 이전의 PDA와 차별화하는 가장 큰 특징은 모바일 환경에 특화된 임베디드 그래픽 표준인 OpenGL ES가 정의됨에 따라 이를 지원하기 위한 모바일 GPU가 사용되었으며 이로 말미암아 이전의 PDA와는 다르게 강력한 멀티미디어 기능을 함께 가지고 있다는 점이다. [1] 가장 많은 어플리케이션을 가지고 있는 애플 앱 스토어의 경우, 전체 아이폰 어플리케이션 중 60%가 게임 카테고리이며, 이 중 70% 이상이 3D 게임이 차지하고 있는 것으로 보고되고 있다. 이는 전체 어플리케이션 중 40% 정도를 차지하는 것으로 스마트 폰에서 GPU와 3D 콘텐츠의 중요성을 보여주고 있다.

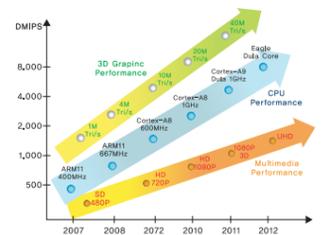


그림 1. 스마트폰 콘텐츠의 성능 요구사항[2]

그림 1은 스마트폰의 콘텐츠 별 성능 요구사항을 나타낸 것이다. 스마트폰의 콘텐츠별 요구 사항 중 가장 높은 성능을 요구하는 콘텐츠가 바로 3D 콘텐츠다. 스마트폰 전체 어플리케이션 중 3D 어플리케이션이 차지하는 비중이 상당하며, 현재의 모바일 CPU로는 3D 요구사항을 충족하기가 매우 어렵다.

3D 어플리케이션의 성능문제를 해결하기 위하여 스마트 폰에서는 표 1에 수록한 것과 같이 각각 ARM의 Mali, Imagination Technologies의 PowerVR, nVidia의 ULP(Ultra Low Power) GeForce, Qualcomm의 Adreno 등이 사용 중이며, 현재 출시된 스마트 폰 중 갤럭시 S2는 Mali-400, Atrix와 옵티머스 2X는 ULP GeForce 3xx를 사용하고, 갤럭시S와 아이폰과 같은 심플 코어 프로세서는 PowerVR과 Adreno 등이 폭넓게 사용되어 현재 스마트 폰이 모바일 GPU의 각축장이 되고 있다.

AP Vendor	AP	GPU Vendor	GPU
Samsung	Exynos	ARM	Mali-400
nVidia	Tegra	nVidia	GeForce ULP
Qualcomm	Snapdragon	Qualcomm	Adreno
TI	OMAP	Imagination	PowerVR
Apple	A4	Imagination	PowerVR

표 1. AP(Application Processor)에 사용된 GPU[3]~[6]

Shader와 GPU의 발전 Shader를 기반으로 한 GPU 구조

셰이더(Shader)[7] 프로세서는 GPU에서 처음으로 프로그래머를 프로세서로써 사용되었으며, GPGPU의 모태가 된다. 완전히 독립적으로 모든 기능을 프로세서에서 구현하는 현재의 GPGPU와는 달리 3D 그래픽 처리 과정 중 정점처리와 픽셀처리 등의 일부 기능을 사용자가 프로그래밍 가능한 제한적인 기능을 가진 프로세서로 시작되었다. 셰이더는 2005년 마이크로소프트사의 DirectX 8.0 API를 통해 보급되었고, 큰 호응으로 1년도 안 돼 DirectX 9.0을 내놓았으며, GPU의 급격한 발전을 이루게 했다. 그림 2와 같이 OpenGL 진영에서도 뒤늦게 셰이더를 확장형식이 아닌 OpenGL 2.0 API에 포함했으며, 모바일을 겨냥해 기존 고정모듈을 없애고 순수 셰이더만을 남겨둔 단순한 형태의 OpenGL ES 2.0 또한 같은 시기에 크로노스 그룹을 통해 등장했다.

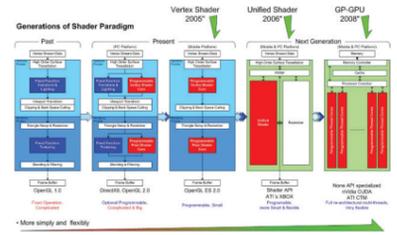


그림 2. Shader 프로세서의 발전 동향

점차 셰이더가 가져다주는 가능성은 정점과 픽셀 처리에 그치지 않고 DirectX 10에서 지오메트리(Geometry) 셰이더, DirectX 11에서 컴퓨트(Compute) 셰이더로 확장하게 되었으며, 하드웨어에서도 병렬 프로세서라는 획기적인 변화를 일으키게 하였고 이를 GPGPU라 부르게 되었다.

Unified Shader에 의한 GPU의 발전

통합 셰이더 개념은 2005년에 ATI에서 처음 특허로 등록된 셰이더 활용 기술로 셰이더의 유휴시간을 없애기 위한 구조이다. 이 개념은 기

존 셰이더의 정점/픽셀 셰이더로 분리된 구조가 비효율적이라는 점에서 착안했다. 그림 3의 왼쪽 그림과 같이 3D 그래픽 처리는 크게 VS > TS > Raster > PS 순으로 진행되는데, 이때 정점 또는 픽셀 셰이더의 부하가 서로 달라서 이 중 하나가 비효율적으로 사용될 수 있다는 점에 착안하여 오른쪽 그림과 같이 VS와 PS를 따로 구분하지 않고 부하가 많은 쪽에 더 많은 셰이더를 배당하는 방법으로 통합 셰이더를 구성한다. 이로써 셰이더 효율이 높아져 전체적인 성능을 향상한다.

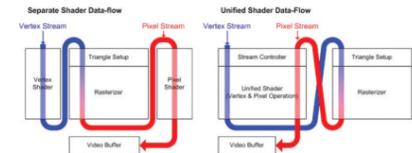


그림 3. 일반 셰이더와 통합 셰이더와의 데이터 흐름 비교

이전의 그래픽 프로세서들은 정점/픽셀 셰이더를 정확히 나누어 설계하였으며, 정점 처리가 픽셀 처리보다 데이터양이 적은 점에 착안하여 일정 수의 셰이더를 배분하는데 있어, 보통 픽셀 셰이더를 정점 셰이더 보다 많이 할당하는 방법을 취하고 있었다. 이 통합 셰이더 설계 방법은 결과적으로 오래가지 못했지만, 3D 하드웨어 개발의 기본이라 인식되었던 기존의 3D 연산의 단방향 스트림 흐름 구조를 프로그래머블 구조를 통해 무너뜨린 셈이 되었으며, 이는 후에 자연스럽게 3D 구조가 GPGPU로 변화하기 위한 초석을 다지는데 큰 몫을 하였다.

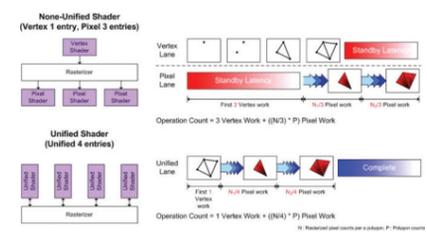


그림 4. 통합 셰이더의 이점

그림 4는 통합 셰이더 설계가 가져다주는 이점을 도식화한 것이다. 여기서 기존 방법에서는 정점 셰이더와 픽셀 셰이더가 서로 유휴시간이 발생하여 비효율적으로 구동할 수가 있으나 통합 셰이더의 경우 이러한 비효율적인 부분이 제거된다. 통합 셰이더에서는 데이터 분배 처리를 위해 셰이더의 데이터 아비터링 방법을 정의하고 있으며 이것은 3D 그래픽에 국한되었다.

GPGPU(General Purpose GPU)의 발전

시기적으로 GPGPU는 통합 셰이더와 비슷한 시기에 등장했다. 처음에는 프로그래머를 프로세서만으로 기존의 셰이더 기반의 구조와 성능상의 비교가 논쟁거리로 부각되기도 했다. 그러나 셰이더 구조의 시스템 파이프라인과의 연계성으로 말미암은 비효율적인 성능과 이에 반해 GPGPU의 수십 개 멀티 코어 구성을 통한 뛰어난 성능으로 GPGPU는 차세대 그래픽 프로세서 자리 잡게 되었다.

CPU를 능가하는 GPU의 연산성능

최근 GPU의 연산 성능은 눈부시게 발전해왔다. 연산속도의 급격한 증가와 더불어 GPU에서 쉽게 사용할 수 있는 고수준의 언어는 기존의 3차원 그래픽스뿐만 아니라 다양한 용도로 GPU 사용을 가능하게 하였으며 GPGPU(General Purpose GPU) 구조로 발전하고 있다. GPGPU의 목적은 대용량 데이터 처리나 복잡한 알고리즘의 처리에서 CPU를 능가한다. 그림 5에서 보듯이 NVIDIA의 CUDA GPU는 Intel Pentium 계열의 CPU보다 훨씬 우수한 부동소수점 연산 능력을 갖추고 있다.

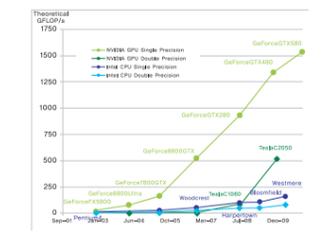


그림 5. Floating-Point operations per Second and Memory Bandwidth for the CPU and GPU(Reference. nVidia, NVIDIA Cuda C Programming Guide version 4.0, 5/6/2011)

GPGPU의 다양한 활용성

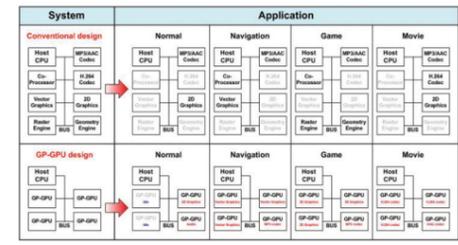


그림 6. GPGPU의 활용

GPGPU는 그 특성상 멀티 코어 구성이 가능하여 코어 개수에 따라 얼마든지 성능을 향상할 수 있다. 그림 6에서 보는 것과 같이 GPGPU는 다양한 활용 가능성을 보이고 있었으며, 한정된 가속 대상을 가지는 기존 셰이더 기반 구조의 단점을 대체하였다. 기존의 GPU들은 3D 또는 2D의 가속이 대부분이었고 해당 API의 버전이 향상되면 고정된 하드웨어로 말미암아 새로운 기능을 하드웨어 변경 없이 지원할 수 없는 단점이 존재했다. 반면 GPGPU 구조는 3D/2D뿐 아니라, 코덱과 2D 벡터 그래픽 가속을 지원할 수 있고 공학과 과학계의 슈퍼컴퓨팅을 요하는 시뮬레이션에서도 활용할 수 있다.

수십 개의 멀티코어와 동시에 처리되는 수백 개의 멀티 스레드를 통하여 GPGPU는 그래픽 이외의 다양한 응용분야에서도 멀티코어 CPU보다 탁월한 연산 성능을 보이기 때문에 차세대 모바일 CPU로도 부각되었지만 멀티 코어를 얼마나 효율적으로 제어하고 멀티 스레드 프로그래밍을 쉽게 할 수 있는지가 현재 GPGPU의 가장 큰 문제이다. 멀티 스레드 프로세서는 입력과 출력, 연산들이 모두 동시에 진행될 수 있어 성능을 대폭 향상 가능하다. 그러나 이를 효율적으로 사용하기 위해서 동작이 매우 복잡해질 수 있으며 프로그램 작성 또한 어려워질 수 있다.

nVidia의 CUDA[8]는 그래픽카드용 프로세서로 설계되었지만 다양한 분야에 사용되고 있다. 이 GPGPU는 많은 수의 스레드 프로세서를 관리하는 스레드 실행 관리자가 별도로 존재한다. CUDA는 여러 스레드가 하나의 명령어에 의해 동시 실행되는 구조이기 때문에 조건 분기와 같은 프로그래밍 구조가 있을 때 실행되지 않는 프로그램 블록도 다른 스레드와 같이 진행되어야 하는 단점이 있다. 이러한 구조는 개별적인 스레드의 효율은 떨어지지만 한번에 처리할 수 있는 스레드를 크게 늘림으로써 단순하고 고정된 함수를 가동할 때에는 크게 성능이 향상할 수 있다.

특히 nVidia는 x86 프로세서와 통합을 시도하는 AMD(ATI)와 다르게 GPGPU의 개발에 가장 힘써왔는데, nVidia의 CUDA는 호스트 프로세서와 GPGPU의 이원화된 프로그래밍 방법을 그림 7과 같이 추상화시켜 단 하나의 프로그래밍으로 CPU와 GPGPU를 제어할 수 있도록 유도하고 있어 다른 GPGPU에 비해 비교적 쉬운 프로그래밍 환경을 조성하였다.

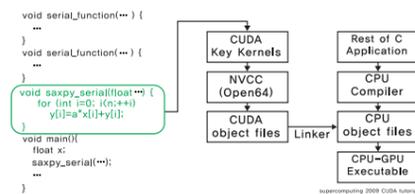


그림 7. nVidia CUDA의 소프트웨어 구조

모바일 GPGPU 개발 동향

자사의 멀티미디어 SoC IP Core가 탑재된 모바일 디바이스가 4억 대를 넘어섰다고 발표한 Imagination Technologies의 PowerVR과 현재 세계적으로 가장 많이 사용되는 모바일 프로세서 아키텍처

설계회사인 ARM의 Mali, 그리고 데스크탑 환경의 대표적 GPU 설계사인 nVidia의 ULP(Ultra Low Power) GeForce 기술에 대해 알아 본다.

PowerVR SGX[9]

POWERVR™ SGX는 POWERVR의 5세대로서 USSE(Universal Scalable Shader Engine)를 사용하여 Vertex Shading 및 Pixel Shading을 수행한다. POWERVR™의 SGX Series의 특징으로는 첫 번째, Shader-driven tile-based deferred rendering (TBDR) architecture를 가진다. Immediate Mode Rendering (IMR) 개념이 사용되는 PC의 그래픽 엔진과 게임 콘솔에 대조적으로 TBDR은 한 이미지를 Rendering 하는데 필요한 처리의 최소화에 초점을 맞추고, 실제로 사용자가 보게 될 픽셀만을 처리하는 것이다.

두 번째, 초기 USSE 셰이더 엔진보다 처리량이 크게 향상된 2세대 USSE2 architecture를 기반으로, 싱글코어는 물론 확장형 멀티프로세서(MP) 솔루션에서 모두 2D, 3D 및 범용(GP-GPU) 처리 작업에 필요한 절전형 고성능을 지원할 수 있는 확장된 아키텍처를 사용한다. 세 번째, 모든 표준 모바일과 데스크탑 API 및 운영체제를 지원한다. 2D/3D API, Khronos API, Microsoft API를 모두 지원하고 Linux, Symbian, WinCE, Vista/XP, RTOS 등 운영체제가 가능하다.

POWERVR™ SGX를 사용하는 기기는 대표적으로 Apple의 iPhone 3GS/4, iPad, iPod 등에 A4 프로세서에 내장되어 있고, Texas Instruments의 OMAP3와 OMAP4 프로세서에 내장되어 여러 안드로이드 폰에도 채용되었다. 최근에는 삼성의 HummingBird SoC에도 내장되어, Galaxy S, Galaxy Tab 등의 안드로이드 기반의 제품에 적극적으로 활용되기도 한다.

ULP GeForce

3D Graphics 처리장치 설계사인 nVidia 역시 PC 환경뿐만 아니라 모바일 환경에서의 3D Graphics 처리를 위한 GPU를 설계하였다. 초절전(Ultra Low Power) GeForce로 불리는 GPU이다. 모바일 디바이스를 위한 nVidia의 SoC인 Tegra에서 사용 중이며 nVidia의 기술인 CUDA 아키텍처를 모바일 환경을 위해 커스터마이징 하였으며 가장 우선하여 고려된 것이 초절전이다.

테그라에 사용되는 ULP GeForce는 8개의 스트림 프로세서를 가지고 있으며 모바일 기기를 위한 OpenGL ES 2.0과 OpenVG 1.1, EGL 1.4 API 표준을 지원한다. 또한, 3D Graphics뿐만 아니라 Adobe Flash의 가속기능으로 Youtube.com, Vimeo.com, Hulu, TV.com과 같은 플래시 플랫폼 기반의 동영상 콘텐츠 사이트 및 플래시가 다수 사용되는 웹 환경에서 뛰어난 성능을 보인다.

ARM Mali[10]

ARM® Mali™ 프로세서는 초기 2007년에 출시된 Mali-55과 Mali-200에서 모바일 3D그래픽 API인 OpenGL ES 1.1과 2D그래픽 API인 OpenVG 1.0을 지원하기 시작하면서 2D/3D 그래픽 가속기로서의 역할을 하기 시작했다.

ARM® Mali™ 프로세서의 특징으로는 첫 번째, Tile-based deferred rendering을 활용한 메모리 대역폭의 오버헤드를 줄이며, 소비 전력이 적은 점이 있다. 둘째는 Rotated grid multi sampling을 통해 전체 화면에 대한 Full Scene Anti-Aliasing이 가능하여 높은 3D 퀄리티를 보여준다. 세 번째는, MMU를 내장시켜 메모리 관리 효율을 월등하게 높여 병목현상 및 오버헤드에 대한 효율적인 관리가 있다. 네 번째는, CPU에서 적용되는 L2 Cache를 모바일 GPU에 적용하여 데이터 전송 효율을 높인 점이다.

Mali의 GPGPU로써 특징은 주변 장치와 별개의 전력관리를 한다는 점이다. GPGPU로써 CPU의 연산 중 일정부분 대체 연산이 가능한 부분을 GPU가 담당하여 처리함으로써 처리 효율을 높이고, GPU가 사용되지 않을 때에는 전력을 최소한으로 차단하여 전력 사용 효율을 높여 모바일 환경에서의 사용에 최적화 되어있다. 최근에는 세계 최초로 OpenGL ES 2.0을 지원하는 멀티코어 GPU인 Mali-400 MP를 출시하였다. 임베디드 그래픽 IP, 비디오 IP를 통한 스마트폰, 전자책, 휴대용 게임기와 1,080p의 해상도를 갖는 Full HDTV에까지 적용되고 있다.

차세대 GPU

지금까지 살펴본 모든 그래픽 프로세서는 스캔 컨버전(scan conversion)을 기반으로 하는 래스터(rasterization) 방식을 채택하고 있다. 이는 지역 조명(local illumination)을 바탕으로 두고 있기 때문에 현실감 있는 영상을 생성하는데 한계가 분명하다. 이와 반대로, 광선 추적 방식은 각 픽셀에 대해서 광선을 생성하여 이에 영향을 미치는 삼각형들을 역 추적하는 방식이기 때문에 전역 조명(global illumination) 효과가 가능하다. 또한, 광선 추적은 영상의 정확도, 콘텐츠 제작의 용이성 등의 다양한 장점을 가지고 있다 [1].

그림 8에서는 래스터 방식과 광선 추적에 대한 영상의 차이를 잘 보여주고 있다. 현재의 표준 3D API인 OpenGL 및 Direct3D는 래스터 방식으로써 이는 지역 조명에 따른 방식이다. 광선 추적 방식은 전역 조명 효과를 얻을 수 있는 방식이다. 이는 다른 물체에서 반사되거나 굴절된 광선도 현재 물체의 영상에 영향을 준다는 것을 의미한다. 이로 말미암아 반사, 굴절, 그림자 효과가 자연스럽게 제공되기 때문에 현실감 있는 3D 영상을 생성할 수 있으며, 현재 고화질 3D 애니메이션 및 특수 효과 등에 사용된다.

광선 추적은 엄청난 양의 계산 및 메모리 대역폭을 요구하기 때문에 과거에는 실시간 처리할 수 없다고 여겨졌다. 반도체 기술의 발전으로 인하여 광선 추적을 실시간으로 처리하고자 하는 연구들이 생겨나고 있으며, 향후에는 광선 추적 방식이 래스터 방식을 대체할 것으로 예상하고 있다.

최근 Intel, Nvidia 등 메인 코어의 등장으로 말미암아 실시간 광선 추적에 대한 연구가 붐몰을 이루고 있다[11]. 또한, Caustic Graphics사(www.caustic.com)가 GPU IP의 선두인 Imagination사로 최근에 인수되어 향후 실시간 광선 추적 GPU IP를 출시할 계획이며, 한국에서는 Siliconarts(www.siliconarts.com)사가 기존 방식들과 차별화된 하드웨어 기술을 발표하였다.

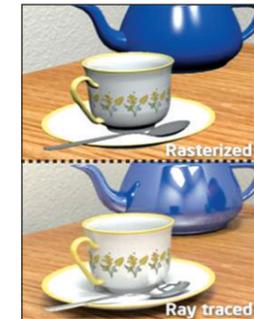


그림 8. 래스터 방식과 광선 추적 방식의 그래픽 이미지 비교

맺음말

데스크탑에서 AMD사와 ATI사의 합병을 통하여 CPU와 GPU가 결합한 새로운 형태의 APU가 탄생하고 스마트폰의 AP에도 GPU가 핵심적으로 자리 잡는 추세에서 우리나라는 어떤 경쟁력을 갖추고 있는지 고심을 해보아야 할 상황이다. GPU는 CPU보다 소프트웨어 환경에서 보다 자유롭기 때문에 우리가 도전해볼 만한 분야이다. 우리나라의 SoC를 한 단계 더 향상하기 위해서는 GPU에 대한 도전이 필수적이라고 생각한다.

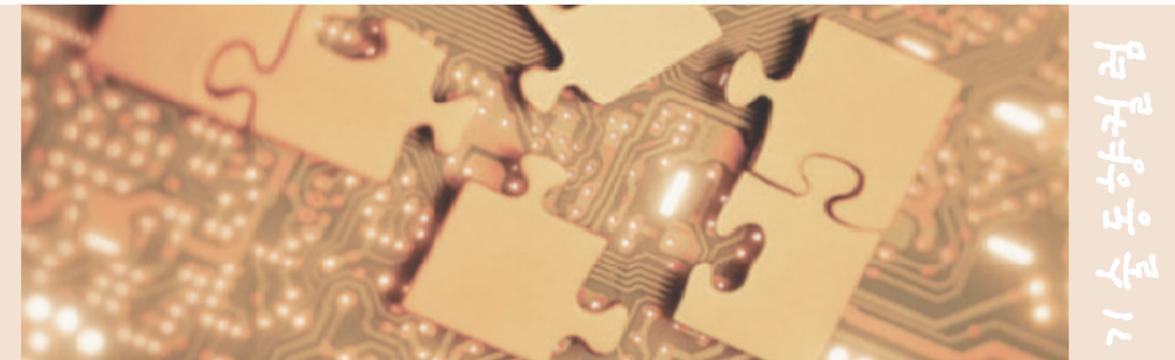
Reference

- [1] 이광엽, 박우찬, "모바일 그래픽 프로세서," 대한전자공학회 전자공학지, 제38권, 5호, 2011년 5월, pp389-395.
- [2] 최재훈, "스마트폰 어플리케이션 프로세서 산업 동향", ITMagazine, September, 2010.
- [3] nVidia, "Bringing High-End Graphics to Handheld Devices", <http://nvidia.com> Whitepaper, January, 2011.
- [4] Qualcomm, "MSM8X60/APQ8060", Product Brochure, 2011.
- [5] Texas Instruments, "OMAP 4 mobile applications platform", Product Bulletin, 2011.
- [6] nVidia, "The Benefits of Multiple CPU Cores in Mobile Devices", Whitepaper, 2010.
- [7] J. S. Ha, H. G. Jeong, S. Y. Kim and K. Y. Lee, Design of a 3D Graphics Geometry Accelerator using the Programmable Vertex Shader, Journal of the Institute of Electronics Engineers of Korea v.43, no.9, 2006, pp.53-58
- [8] NVIDIA CUDA, <http://developer.nvidia.com/object/cuda.html>.
- [9] Imagination, "PowerVR SGC IP Core Family", Product catalog, November 2008
- [10] ARM official, ARM®Mali™ Announce Page, <http://arm.com/products/multimedia/mali-graphics-hardware/index.php>
- [11] D. Pohl, "Experimental Cloud-based Ray Tracing Using Intel®MIC Architecture for Highly Parallel Visual Processing," (<http://software.intel.com/en-us/articles/cloud-based-ray-tracing/>), Mar. 2011.

차세대 메모리용 CMP 공정 및 Slurry



한양대학교 융합전자공학부
박재근 교수
연구분야 : 차세대 반도체/Solid and Organic/소자/공정/재료
E-mail : parkjg1@hanyang.ac.kr
http://asmddc.hanyang.ac.kr/



차세대 메모리용

서론

20세기에 발명된 트랜지스터는 오늘날의 IT를 가능하게 한 위대한 발명 중의 하나이다. 1947년 미국의 벨 연구소에서 발명된 트랜지스터는 전자 기기의 고체 소자화를 가져왔고, 1956년에는 집적회로의 기반이 되는 게르마늄(Ge), 실리콘(Si) 등의 단결정 기판 위에 트랜지스터, 콘덴서, 저항 등을 만들고, 상호 배선 등을 일괄적으로 합친 집적화 된 소자가 고안되었다.

특히 실리콘은 고품질의 결정성장 기술과 결정표면의 화학적 안정성과 절연성이 뛰어난 산화 실리콘(SiO₂)을 용이하게 형성하는 기술의 발전으로 말미암아 오늘날의 고집적화된 ULSI 소자의 발전을 가져왔다. 하지만, 실리콘 기반 소자의 디자인롤이 점점 줄어들어 따라 제조 공정의 한계에 다다르고 있어 실리콘 기반의 기존 dynamic random access memory(DRAM)이나 NAND flash 메모리를 대체하기 위한 차세대 비휘발성 메모리에 대한 연구가 이루어지고 있다. 특히, 연구가 활발하게 진행되고 있는 차세대 메모리 소자로는 phase change random access memory(PRAM), nanofloating gate memory(NFGM), polymer random access memory(PoRAM), resistance random access memory (ReRAM), spin-transfer torque magnetic random access memory(STT-MRAM) 등이 있다. 이러한 차세대 비휘발성 메모리 소자 중, 양산 가능성이 가장 큰 소자로 PRAM과 STT-MRAM이 큰 주목을 받고 있다.

반도체 소자의 고집적화는 수평방향과 수직방향으로 집적화되었다. 먼저, 수평방향의 고집적화, 즉 미세화, 그리고 수직방향의 고집적화, 즉 배선의 다층화를 통해 집적화되었다. 미세화와 다층배선화를 이루기 위해 가장 주요하게 여겨지는 것은 리소그래피(lithography)의 초점심도를 확보하는 것이고, 초점심도 확보를 위해서는 웨이퍼 레벨의 전면 평탄화(global planarization)가 필수적이다. 즉, 절연막이나 배선 금속막 등에 단차가 있으면 리소그래피의 마진 확보가 어려워 초점을 맞추기 어렵고, 미세 패턴을 형성할 수 없기 때문이다.

이러한 평탄화 기술로써 SOG(Spin on Glass), Etch-Back등을 대신하여 실리콘 웨이퍼(wafer) 제조공정에서 경면 연마를 위해 사용하던 "초정밀 polishing" 이 주목받기에 이르렀다. 미국 IBM에서는 평탄화 가공법으로 초정밀 연마 기술의 도입을 검토하고, 1991년 Kaufman 등은 CMP(Chemical Mechanical Polishing)를 발표했다[1]. 이것이 본격적인 집적 소자 평탄화 CMP의 시작이

고, 실리콘 웨이퍼의 평탄화 공정에서 축적된 초정밀 연마 평탄화 CMP 기술은 고성능 ULSI 소자를 실현하기 위한 기술의 열쇠가 되었다. 이 평탄화 CMP는 칩 레벨은 물론 웨이퍼 레벨의 큰 면적의 평탄화가 가능하게 하였고, CMP 공정을 소자 제조공정에 도입함으로써 중간 절연막의 광역 평탄화 및 배선의 평탄화가 가능하게 되어, 현재의 미세 패턴을 형성할 수 있게 되었다. 이러한 미세 패턴 형성을 위해서는 CMP 공정 요소별로 최적화가 이루어져야 되고, 특히 CMP slurry는 가장 중요한 요소 중 하나이다.

CMP slurry는 수계에 연마입자 및 유·무기 첨가제로 구성된다. 연마 입자는 fumed silica, colloidal silica, alumina, ceria 등이 주로 사용되고 있으며, CMP를 하고자 하는 필름에 대해 각기 다른 다양한 첨가제가 첨가되어 slurry가 구성된다. 초창기 CMP 공정은 Fumed 실리카 혹은 alumina slurry에 분산 안정제가 포함된 비교적 단순한 slurry 조합이었다. 하지만 반도체 소자의 디자인 룰이 100nm 이하로 줄어들어 따라 공정에 적용되는 재료의 종류가 다양해지고, 연마율(polishing rate), 연마 선택비(polishing selectivity), 표면결함(surface defect), 평탄도(flatness) 등의 요구 조건이 다양해짐에 따라 첨가제의 종류 또한 복잡해지고 있다. 따라서, 이러한 요구조건에 맞추어 CMP slurry에 대한 연구가 활발하게 진행되고 있다. 2000년 이후에는 STI CMP 공정용으로 SiO₂ 필름 및 Si₃N₄ 필름, 두 가지 필름에 대해 연마 선택비를 가지는 slurry가 개발되었다.

또한, Poly-Si gate 또는 poly-Si plug에 대한 CMP slurry 연구가 진행되어 SiO₂, Si₃N₄, poly-Si 등 세 가지 물질에 대한 서로 다른 연마 선택비를 가지는 slurry도 개발되었다. 금속 배선에 대한 CMP 공정의 적용으로 말미암아 W, Al, Cu, Ti, Ta 등에 대한 slurry도 개발되었으며, 이러한 metal CMP 용 slurry는 복잡한 연마 메커니즘으로 연마되기 때문에 첨가제에 대한 연구가 활발히 이루어지고 있다.

최근, 차세대 비휘발성 메모리의 개발에 따른 PRAM 혹은 STT-MRAM에 대한 CMP 공정 연구가 진행되고 있으며, 이에 따른 PRAM 용 칼코지나이드계 및 STT-MRAM 용 noble metal 등의 재료적 특성에 맞춘 CMP slurry에 대한 연구가 요구되고 있다.

PRAM의 GST CMP 배경

PRAM에 사용되는 상변화 메모리 재료는 주기율표 16족에 속하는 칼

코진(chalcogene) 원소 중 주로 Te 또는 Se를 포함하는 칼코게나이드계 합금으로 구성된다. 그중에서 게르마늄(Ge)-안티몬(Sb)-텔루륨(Te)으로 구성된 GST 합금이 상용화되었으며 상변화 특성에 관한 많은 연구가 진행되었다.

칼코게나이드계 재료는 그림 1에서 도시한 바와 같이 초기 상태에 따른 열에너지의 인가조건에 따라 재료의 상태가 결정질 상태에서 비결정 상태로 또는 비결정 상태에서 결정질 상태로 가역적으로 변화하는 상변화 특성과 함께 이들 상호 간에 광학상수, 비저항 등의 물리적 특성의 차이를 이용해 data의 기록, 소거, 재생에 이용한 것이 PRAM의 동작 특성이다.

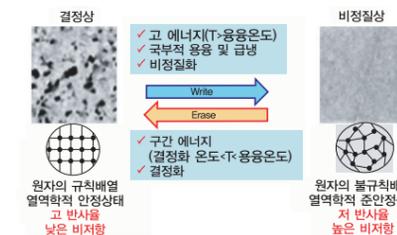


그림 1. 상변화 재료의 결정질 상태와 비결정 상태간의 차이[2]

PRAM은 빠른 write/erase speed, endurance time 및 기존의 CMOS (complementary metal-oxide semiconductor) 공정과 조합을 이룰 수 있는 장점을 가짐으로 기존 NAND flash memory를 대체하는 비휘발성 메모리로 주목받고 있다. 그러나 디자인 룰이 감소함에 따라 90nm 이하의 PRAM 제조 공정에는 전류 밀도 증가에 따른 인접한 셀 간의 열화 간섭(thermal cross-talk)이 문제점으로 나타났다. 이러한 문제점을 해결하기 위해 PRAM의 구조적 설계방안이 제안되었다.

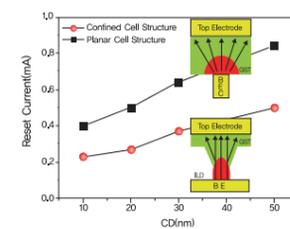


그림 2. 반도체 디자인 룰 감소에 따른 PRAM의 두 가지 구조(T-shape, confined 구조)의 기록전류 경향성 [3]

그림 2는 PRAM 소자의 디자인 룰이 50nm 이하로 감소함에 따른 두 가지 상변화 셀 구조(planar cell structure와 confined cell structure)의 기록 전류 경향성을 보이며, confined GST 셀 구조에서 기록전류 밀도가 50% 감소할 수 있음을 나타낸다.

즉, 디자인 룰이 50nm 이하로 감소함에 따라 PRAM 공정에서 confined GST 셀 구조가 더 적합하다는 것을 의미한다. 이러한 confined GST 셀 구조의 형성에서 etching에 의한 손상을 최소화하고 contact 저항을 낮추기 위해 고평탄도의 GST 막을 구현하기 위해 GST CMP 공정기술은 필수적이다.

PRAM GST CMP

PRAM의 디자인 룰을 30nm 이하로 줄이기 위해서는 수백 uA의 정보를 쓰는데 사용되는 전류의 확보가 가장 중요한 요소이다. 따라서 GST 필름은 고평탄화 된 표면이 요구되고, 작은 pattern hole 안에 confine 되어야 한다. 또한, PRAM 공정에서 공정수율 향상을 위해서는 웨이퍼 내의 광범위한 평탄화도 요구됨에 따라 CMP 공정이 필수적으로 요구된다. 그림 3은 confined GST 구조를 형성하기 위한 PRAM CMP 공정의 모식도이다.

먼저, 하부전극 위에 절연막(SiO₂ 혹은 Si₃N₄)의 증착 및 Photo lithography와 etching을 통한 트랜치를 형성시킨 후 화학기상 증착법(CVD) 또는 원자층 증착법(ALD)을 이용하여 GST 필름을 증착한다. 증착된 GST 필름은 CMP 공정을 통해 제거되고, 최종적으로 confined 셀 안에 GST가 채워지게 된다. 이러한 GST CMP 공정에서는 erosion 및 dishing을 방지하기 위해 GST 필름과 절연막 간의 40:1 이상의 높은 연마 선택비가 요구된다.

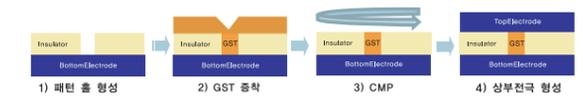


그림 3. PRAM 공정 구조도

또한, 상·하부 전극과의 contact 시 단차가 생기거나, GST 표면의 roughness가 크면 상·하부 전극과 GST 사이의 저항이 높아져 소자의 전류 밀도가 증가하고, 소자의 오작동이 발생할 수 있으며 연마 시 표면 단차나 GST 표면 roughness 제거가 동반되어야 한다. 따라서, GST CMP 공정에서는 Ge, Sb, Te으로 이루어진 삼원계 합금의 재료 특성에 따른 적절한 CMP slurry가 필요하

고, 화학적 및 기계적 연마 조건 최적화를 이루어야 한다. 일반적으로 사용되는 상변화 재료인 GST 합금은 절연막인 SiO₂ 막에 비교에 2~3배 낮은 3~4GPa의 기계적 경도를 가진다. 따라서, 스크래치 발생을 최소화하도록 낮은 연마압력 조건 및 colloidal silica 기반 slurry의 사용이 요구된다.

또한, GST 필름의 연마율 향상을 위한 첨가제가 필요하며, 절연막의 연마율을 낮추기 위한 연마 억제제의 첨가 필요하다. 삼원계 합금인 GST 막은 Ge, Sb, Te 원자간 서로 다른 전기음성도를 가진 집으로 수용액에서 GST 막 표면의 선택적 부식이 쉽게 발생하는 문제점을 가지고 있다.[4]

따라서, GST 합금은 연마 후에 선택적 부식과 연마되는 GST 물질의 표면 재 흡착에 의해 표면 거칠기 증가가 발생하게 된다. 그러므로 GST CMP slurry는 적절한 첨가제를 고려하여 연마입자의 분산성을 향상하고, 재 흡착 방지제 및 선택적 부식 억제제의 선정에 따른 slurry 구성의 최적화에 대한 연구가 요구되고 있다.[5-7]

STT-MRAM의 Top/Bottom electrode CMP 배경

MRAM은 그림 4와 같이 강자성체로 구성된 자유층과 고정층이 터널 배리어로 사용되는 절연층에 의해 분리된 자기터널접합 구조(MTJ: magnetic tunnel junction)를 가진다. MRAM의 소자 특성 구현은 자기터널접합 구조 내의 자유층과 고정층의 자화 배열 방향이 평행, 반평행 상태에 따라서 전자 전도 항상, 즉 저항이 바뀌게 된다. MRAM은 이러한 전도 양상의 차이를 이용하여 평행 상태의 저 저항 상태에서는 '0'의 데이터를, 반평행 상태의 고 저항 상태에서는 '1'의 데이터를 저장하는 메모리 소자로 사용된다.[8]

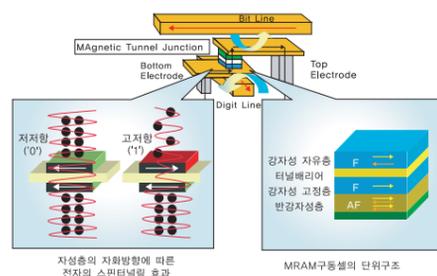


그림 4. MRAM 구동셀의 구조 및 동작원리.

현재까지 MRAM 소자의 데이터를 기록하는 방식으로 자유층에 자화 방향을 변화시키기 위해서 외부 도선에 발생하는 자기장을 이용하여 자화반전을 하는 방식을 이용했다. 하지만 이런 방식은 그림 5에서 볼 수 있듯이, 자기터널접합 셀의 크기가 작아질수록 자화반전 스위칭에 저항하는 힘인 보자력이 향상하게 되어 높은 전류가 발생하기 때문에 MRAM 소자의 직접화에 어려움이 있었다. 또한, 자기장을 이용하여 자화 반전을 하면 두 개의 직교전류라인을 이용하여 자화 반전을 하는데, 이때 두 개의 전류 라인 교차점 근처의 원하지 않는 다른 셀들이 불필요하게 선택되어 자화되는 선택감도의 문제가 발생할 수 있다.[9]

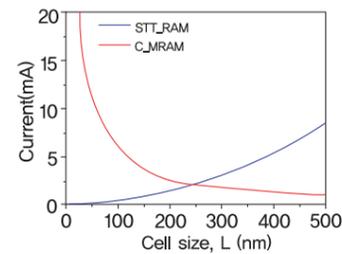


그림 5. MRAM 소자 직접화에 따른 요구 전류의 변화량.

이러한 문제를 해결하기 위해, 자유층의 자화 방향을 외부 자기장을 이용해 변화시키는 방식의 소자구조 (그림 6(a))에서 선택된 셀의 자기터널접합에 직접 전류를 주입하여 자화반전을 유도하는 스핀전달토크 (Spin Transfer Torque, STT) 기록방식 (그림 6(b))이 대두하고 있다. 그림 6(b)에서 보이는 전류구동 자화반전 방식은 자화반전에 필요한 전류가 강자성체의 부피에 비례하기 때문에 그림 5에서 볼 수 있듯이, MRAM 소자 크기가 감소함에 따라서 자화반전 전류의 크기를 줄일 수 있다.

또한, 원하는 셀만 선택하여 전류를 가하기 때문에, 주변 셀이 영향을 받아 오작동을 일으키는 선택감도의 문제도 해결될 수 있다. 이렇게 기존 MRAM에서 STT-MRAM으로 변환 시, 소자의 직접화에 따라서 발생하는 기존의 문제점을 해결할 수 있어 STT-MRAM을 이용한 연구가 활발하게 진행되고 있다.

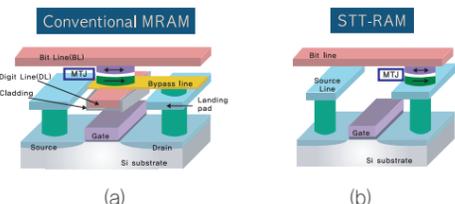


그림 6. Conventional MRAM과 STT-MRAM의 모식도.

STT-MRAM CMP

STT-MRAM의 제조공정에서 상·하부 전극 형성을 위해서는 CMP 공정이 필수적이다. 그림 7과 같이 STT-MRAM은 하부 전극용 CMP 공정(그림 7(a))과 상부 전극용 CMP 공정(그림 7(b))으로 나뉘어 진행된다. 하부 전극은 TiN, W, Cu Ru, Ta 등의 금속들이 사용되고 있으며 이러한 금속 전극들은 주변 절연막인 SiO₂와 경계면에 단차의 발생을 억제하여야 한다. 그러나 기존의 CMP 공정에서 고 선택비 slurry를 사용하는 경우 dishing/erosion 등 원인으로 말미암아 절연막과 하부 전극의 경계면에서 단차가 발생하게 된다. 이러한 문제를 해결하기 위하여 하부 전극 CMP 공정은 two-step CMP 공정이 필요하다.

Two-step CMP 공정에서 1st step CMP 공정은 CMP 공정수율을 향상하기 위해 하부 전극 물질의 높은 연마율을 확보하여야 하며, 2nd step에서는 하부 전극과 절연막(SiO₂)의 낮은 연마 선택비를 확보하여 두 재료 간의 표면 단차를 최소한으로 줄여야 한다. 따

라서, CMP 공정에서 생산 수율을 향상하기 위해서는 1st step에서는 전극 물질의 연마율은 1000 Å/min 이상으로 유지하며, 하부전극/절연막 간의 40:1 이상의 높은 연마 선택비를 가지는 slurry 및 공정 기술이 필요하고, 2nd step에서는 dishing 감소 및 표면 거칠기 제어할 수 있으며, 전극물질과 절연막 사이의 연마 선택비가 대략 1:1로 연마 가능한 slurry 및 공정 기술이 필요하다. 하부 전극 형성과정은 소자 제조과정에서 가장 중요한 공정 중 하나이다. 특히, 자기 터널 접합층의 표면 거칠기가 크면 표면에서의 잔류 자기 모멘트의 영향 때문에 소자의 오작동 가능성이 있기 때문에 1nm 이하의 매우 낮은 표면 거칠기 값이 요구된다.

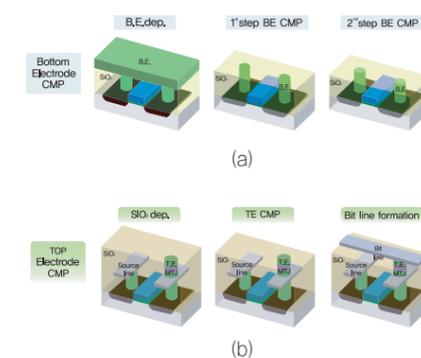


그림 7. STT-MRAM 하부(a) 상부(b) 전극 CMP 공정 순서.

상부 전극은 주로 TiN, Ta, Ru, W 등의 금속들이 사용되고 있으며 CMP 공정 후 상부 전극 물질의 over polishing이 되지 않도록 공정 마진을 확보하는 것이 중요하다. CMP 공정 후, 상부 전극은 두께에 대한 공정 마진이 확보되어야 하부 MTJ에 대한 damage를 최대한 줄일 수 있고 STT-MRAM 생산 수율을 향상할 수 있다. 이러한 상부 전극의 두께 마진을 확보하기 위하여 절연막의 연마율은 2000 Å/min 이상으로 향상하며, 절연막/상부전극 간의 연마선택비 40:1 이상이 되는 고 선택비를 가지는 CMP slurry 최적화에 대한 연구가 요구되고 있다.

CMP 공정의 중요성은 소자의 디자인룰이 줄어들어 따라 점점 커지고 있으며, 그에 따른 slurry의 종류 및 요구조건 또한 다양해지고 있다. 또한, ILD CMP 용 fumed silica slurry와 STI CMP 용 ceria slurry를 제외하고, 대부분의 slurry는 해외에서 수입하고 있다. 메모리 반도체 분야 세계 1위로서, CMP slurry 국산화를 위한 연구개발이 시급한 상황이다.

Reference

- 1) S. Pennington, S. Luce : VMIC Conference, 168, June (1992).
- 2) 이경석, 이택성, 정병기, 물리학과 첨단기술, 12(7/8), 2 (2003)
- 3) J. I. Lee, H. Park, S.L. Cho, Y.L. Park, B.J. Bae, J.H. Park, J. S. Park, H. G. An, J.S. Bae, D.H. Ahn, Y.T. Kim, H. Horii, S. A. Song, J.C. Shin, S.O. Park, H.S. Kim, U-In. Chung, J.T. Moon, and B.I. Ryu, Sump. VLSI Tech Dig., 102-103 (2007)
- 4) F. Q. Liu, C. Ge, K. Xu, M. Ye, Y. Wang, Y. Chen, S. Xia, A. Rosenbusch, A. Duboust, W. Tu, L. Karuppiah, ECS Transactions, 19 (7) 73-79 (2009)
- 5) J. H. Park, J. Y. Cho, H. S. Hwang, U Paik, J.G. Park, Electrochem. Solid-state Lett., 11, 10, 288-291 (2008)
- 6) J. Y. Cho, H. Cui, J. H. Park, S. H. Yi, and J. G. Park, Electrochem. Solid-State Lett., 14, 11, H450-H456 (2011).
- 7) H. Cui, J. Y. Cho, H. S. Hwang, J. H. Lim, J. H. Park, H. S. Park, K. Hong, J. G. Park, J. Electrochem. Soc., 157 (11) 1036-1041 (2010)
- 8) 자기메모리(MRAM) 기술의 동향과 발전전망, 물리학과 첨단기술, (2007.12)
- 9) 스핀전달토크(Spin-Transfer Torque)의 원리 및 응용, 물리학과 첨단기술, (2007.12)