

# International Workshop On IT and Future Society

일시 : 2011년 11월 16일(수)

장소 : 제주도 라마다 호텔

## Agenda

- 09:00 - 09:50 Registration  
 09:50 - 10:00 Workshop Opening  
 10:00 - 11:00 **Talk 1** IT for Social Mobility  
 • Sung-Mo Kang(UC Santa Cruz, USA)  
 11:00 - 12:00 **Talk 2** IT and Future Society, Machine to Machine: Dream or Phantom for IT Industry?  
 • Liang-Gee Chen (National Taiwan University, Taiwan)  
 12:00 - 13:30 Lunch  
 13:30 - 14:30 **Talk 3** IT and Society : How Far Into The Future Can We See?  
 • Andrew B. Kahng (University of California, USA)  
 14:30 - 15:30 **Talk 4** Nano-tera.ch : Engineering Complex Systems for Health, Security and The Environment  
 • Giovanni De Micheli (EPF Lausanne, Switzerland)  
 15:30 - 16:00 Coffee break  
 16:00 - 17:00 **Talk 5** Challenges and Perspective Toward Dependability for Information Society  
 • Takashi Nanya(Canon Inc, Japan)  
 17:00 - 18:00 **Talk 6** 3DTV : Principles and LG' s R&D Activities  
 • Seung-Jong Choi (LG Electronics Inc. Korea)  
 18:00 - 19:30 Dinner

사전등록 : 참가비는 무료이며, 2011.10.31(월)까지 등록해주시기 바랍니다.

상세일정 및 자세한 사항은 홈페이지 [http://it\\_workshop.idec.or.kr](http://it_workshop.idec.or.kr)를 참고해 주세요.

문의처 : 석은주 TEL : 042-350-8538  
 E-mail : eunjuseok@idec.kaist.ac.kr

## International Workshop On IT and Future Society

깊어가는 가을을 맞아 IDEC에서는 세계 자연유산인 제주도에서 워크샵을 개최합니다. 반도체 시스템 설계관련 분야의 국내외 리더들을 모시고 미래의 반도체 설계 기술과 IT가 나아갈 방향을 찾기 위한 자리입니다.

관련분야 연구원분들과 교수님들께서는 모두 참석해주시기 바랍니다. 이번 Workshop을 통하여 우리의 나아갈 바를 함께 모색하고 후진들에게 확실한 미래의 방향을 가리키게 될 것을 기대합니다.

제주도의 가을은 정말 최고입니다. 짧은 Workshop이지만 즐거운 추억과 새 비전 발견의 시간이 될 것을 확신합니다. 많이 오셔서 즐겨주세요. 감사합니다.

반도체설계교육센터 소장 경 중 민

# IDEC Newsletter

IDEC Newsletter | 통권 : 제172호 | 발행일 : 2011년 9월 30일 | 발행인 : 경중민 | 편집인 : 김이섭 | 제작 : 푸울디자인  
 기획 | 전화기 전 화 | 042) 350-8535~6 | 팩 스 | 042) 350-8540 | http | //idec.or.kr  
 E-mail | jhg0929@idec.kaist.ac.kr | 발행처 | 한국과학기술원 반도체설계교육센터(IDEC)

Vol.172

2011  
October

IDEC NEWS | 02 모바일 프로세서용 PMIC 기술동향 | 04 아날로그-디지털 데이터변환기(ADC)의 연구동향 및 전망 | 08 SONOS 비휘발성메모리 (Non-Volatile Memory, NVM) 기술 | 12 국내 스마트 TV 경쟁력을 위한 IDEC Platform Center | 16

반도체설계교육센터 사업은 지식경제부, 반도체산업협회, 반도체회사(삼성전자, 하이닉스반도체, 매그나칩반도체, 동부하이텍, 엠코테크놀로지코리아, KEC, 세미텍, PowerJazz)의 지원으로 수행되고 있습니다.

## 모바일 프로세서용 PMIC 기술 동향

최근 들어 모바일 시장에서는 스마트폰, 태블릿 PC 등과 같은 스마트 디바이스의 보급이 빠른 속도로 증가하고 있다. 이로 말미암아 모바일 디바이스에서의 핵심 부품인 모바일 프로세서의 중요성이 날이 높아지고 있다. 모바일 프로세서를 위한 전력 관리 솔루션은 Power Management IC (PMIC)로 불리는 전력 공급 칩으로 제어하고 있다. 본 고에서는 현재 시장에서 주로 보급되고 있는 PMIC 상용 제품을 중심으로 자세히 살펴보고자 한다. (관련기사 P04~06참조)

## 아날로그-디지털 데이터변환기의 연구동향 및 전망

최근 CMOS 공정의 계속적인 발전으로 말미암아 기존의 마이크로 기술은 나노 공정으로 변화되고 있다. 이에 따라 최신의 고성능 전자 시스템은 대부분 나노 CMOS 공정을 기반으로 설계되며, 특히 낮은 전압전압(V 이하)에서는 구현이 용이한 디지털 신호처리 기법을 기반으로 구현되고 있다. 기계적인 디지털 신호를 인간이 이해하기 위해서는 반드시 디지털 신호처리의 최종단계 및 최종단계에 아날로그 신호로 변환시켜주는 데이터 변환기가 필요하다. 본 고에서는 아날로그-디지털 데이터변환기의 연구동향 및 전망에 대해 다루고자 한다. (관련기사 P08~11참조)

## SONOS 비휘발성 메모리 기술

정보 사회의 기반에는 자기의 고집적, 고성능, 저전력 특성을 갖춘 반도체 부품이 필수적이며 이러한 반도체 부품 기술 중 휴대기기에는 특히 비휘발성 메모리가 핵심 소자라 할 수 있다. 현재 급속도로 성장하고 있는 비휘발성 메모리 소자는 Floating Gate (FG) 구조를 적용한 플래시 메모리이다. FG 플래시메모리에 있어서 항 후 변경되리라 보고 있는 다른 부분으로 Charge trapping (CT)구조를 들 수 있다. CT 구조로 NAND Flash에서 가장 많이 연구되는 소자는 SONOS 구조의 플래시 메모리이다. 본 고에서는 charge trapping 소자인 SONOS 플래시 메모리의 연구 배경과 국내외 기술 개발 동향에 대해서 살펴보고자 한다. (관련기사 P12~P15참조)

## 국내 스마트 TV 경쟁력을 위한 IDEC Platform Center

광운대 스마트 TV IPC는 지식경제부, 정보통신산업진흥원, 반도체설계교육센터의 지원으로 2011년 6월 설립됐다. 스마트TV 분야의 3S(SoC, SW 및 System) 경쟁력 강화를 위해서 교육/연구/산학연 교류영역에서 사용 가능한 플랫폼 기술 개발 및 보급체제를 구축하고 이와 더불어 스마트TV 분야의 창의 인재 및 실무인재 양성을 추진하여 스마트TV산업의 3S 기술혁신 역량을 강화시키고자 한다. 본 고에서는 광운대 스마트 TV IPC의 소개 및 포부를 공진홍 CEO를 통해 들어보고자 한다. (관련기사 P16~P18참조)

# IDEC October | 2011 news

MPW (Multi-Project Wafer)																
MPW 신청 현황 1					MPW 칩 제작 현황 1											
구분	공정	제작 가능면적 (mm <sup>2</sup> x 칩수)	신청 칩수	채택 칩수	설계면적 (mm <sup>2</sup> x 칩수)	DB마감	Die-out	비고	구분	공정	제작 가능면적 (mm <sup>2</sup> x 칩수)	제작 칩수	제작면적 (mm <sup>2</sup> x 칩수)	Die-out 예정일	현재 상태	비고
105회 (11-08)	TJ	5x5mm <sup>2</sup>	6	4	5x5mm <sup>2</sup> x 1	2011. 10.10	2012. 1.11	*5mmx5mm -1개칩은 차기서를 제작	100회 (11-03)	동부	5x5mm <sup>2</sup> x 3	6	5x2.5mm <sup>2</sup> x 6	2011. 7.12	제작 완료	-Die:6,29 -PKG:7,18
	CIS	x 2			2.5x2.5mm <sup>2</sup> x 2			삼성		4x4mm <sup>2</sup> x 48	37	4x4mm <sup>2</sup> x 35	2011. 8.25	제작 완료	-Die:9,6 -PKG:9,20	
	동부	5x5mm <sup>2</sup> x 3	12	5	5x5mm <sup>2</sup> x 1	2011. 10.13	2012. 1.18			TJ RF	5x5mm <sup>2</sup> x 2	8	2.5x2.5mm <sup>2</sup> x 8	2011. 7.19	제작 완료	-Die:8,10
106회 (11-09)	BCD	5x5mm <sup>2</sup> x 3	30	29	5x2.5mm <sup>2</sup> x 4	2011. 10.10	2012. 1.10		101회 (11-04)	M/H	4.5x4mm <sup>2</sup> x 20	20	4.5x4mm <sup>2</sup> x 20	2011. 9.5	제작 완료	-Die:8,24 -PKG:9,8
	동부	5x5mm <sup>2</sup> x 13			5x2.5mm <sup>2</sup> x 8			102회 (11-05)		동부	5x5mm <sup>2</sup> x 3	5	5x2.5mm <sup>2</sup> x 6	2011. 8.31	제작 완료	-Die:8,16 -PKG:8,31
107회 (11-10)	삼성	4x4mm <sup>2</sup> x 48	45	45	4x4mm <sup>2</sup> x 44	2011. 11.5	2012. 3.9		103회 (11-06)	동부	5x5mm <sup>2</sup> x 3	5	5x5mm <sup>2</sup> x 1	2011. 10.12	PKG 제작중	-Die:9,26
	M/H	4.5x4mm <sup>2</sup> x 20	26	26	4.5x2mm <sup>2</sup> x 6	2011. 12.15	2012. 4.10			TJ CIS	5x5mm <sup>2</sup> x 1	4	2.5x2.5mm <sup>2</sup> x 4	2011. 9.21	칩제작중	-Die:10,20예정

\* 2011년 MPW 신청이 모두 마감되었습니다. 2012년 MPW 일정은 11월에 안내할 예정입니다.

\* M/H = 매그나칩/하이닉스, TJ = TowerJazz

\* 우선/정규모집에서 마감될 경우 후기모집은 진행되지 않음.

\* Die-out 일정은 Diechip 제작완료 기준임. Package는 Die-out후 3주 이상 소요됨.

\* MPW 참여 일정 및 방법은 홈페이지(www.idec.or.kr) 참조

\* 위의 내용은 9/29 기준임.

\* 문의 : 이의숙(042-350-4428 ysllee@idec.or.kr)

Chip Design Contest (CDC)																																	
<p>● International SoC Design Conference (ISOCC) 2011 Chip Design Contest 개최</p> <p>** Chip Design Contest(CDC)는 ISOCC 2011 프로그램의 한세션으로 진행되나 논문은 프로시딩(Proceedings)에는 포함되지 않음.</p> <p>1. 일정 및 장소 가. 전체 진행 일정 : 2011년 11월 17일(목) 나. 장 소 : 제주 라마다호텔</p> <p>2. Paper 접수 결과</p> <table border="1"> <tr> <th rowspan="2">구분</th> <th colspan="2">ASIC</th> <th rowspan="2">FPGA</th> <th rowspan="2">합계</th> </tr> <tr> <th>데모</th> <th>패널</th> </tr> <tr> <td>제출편수</td> <td>7</td> <td>137</td> <td>7</td> <td>151</td> </tr> </table> <p>3. 시상내역</p> <table border="1"> <thead> <tr> <th rowspan="2">Best Design Award</th> <th colspan="2">시상명</th> <th rowspan="2">내역</th> </tr> <tr> <th>일반 부문</th> <th>최우수상(1팀)</th> </tr> </thead> <tbody> <tr> <td rowspan="2">FPGA Award</td> <td>특별상 부문</td> <td>SSCS 서울캠퍼스(1팀)</td> <td>상장 및 상금 100만원</td> </tr> <tr> <td></td> <td>최우수상(1팀)</td> <td>상장 및 상금 50만원</td> </tr> <tr> <td></td> <td></td> <td>우수상(1팀)</td> <td>상장 및 상금 30만원</td> </tr> </tbody> </table> <p>* 참여팀 수에 따라 시상팀 수는 조정될 수 있음.</p>					구분	ASIC		FPGA	합계	데모	패널	제출편수	7	137	7	151	Best Design Award	시상명		내역	일반 부문	최우수상(1팀)	FPGA Award	특별상 부문	SSCS 서울캠퍼스(1팀)	상장 및 상금 100만원		최우수상(1팀)	상장 및 상금 50만원			우수상(1팀)	상장 및 상금 30만원
구분	ASIC		FPGA	합계																													
	데모	패널																															
제출편수	7	137	7	151																													
Best Design Award	시상명		내역																														
	일반 부문	최우수상(1팀)																															
FPGA Award	특별상 부문	SSCS 서울캠퍼스(1팀)	상장 및 상금 100만원																														
		최우수상(1팀)	상장 및 상금 50만원																														
		우수상(1팀)	상장 및 상금 30만원																														
<p>4. CDC 주요 일정</p> <table border="1"> <tr> <th>논문 제출 마감</th> <th>논문 채택 통보</th> <th>Chip Design Contest</th> </tr> <tr> <td>2011. 8. 28</td> <td>2011. 10. 5</td> <td>2011. 11. 17</td> </tr> </table> <p>* 일정은 사정에 따라 다소 변경될 수 있습니다.</p> <p>● 제19회 한국반도체학술대회 Chip Design Contest 개최</p> <p>1. 일정 및 장소 가. 전체 진행 일정 : 2012년 2월 16일(목) 나. 장 소 : 고려대학교내 다. CDC 주요 일정</p> <table border="1"> <tr> <th>논문 제출 마감</th> <th>논문 채택 통보</th> <th>Chip Design Contest</th> </tr> <tr> <td>2011. 11. 1</td> <td>2011. 12. 20</td> <td>2012. 2. 16</td> </tr> </table> <p>* 일정은 사정에 따라 다소 변경될 수 있습니다.</p> <p>2. 논문 접수 분야 : ASIC, FPGA(Altera, Xilinx)</p> <p>3. 시상내역 : ISOCC CDC와 동일함.</p> <p>* CDC 참여와 관련한 자세한 사항은 홈페이지(http://idec.or.kr)를 참고해 주시기 바랍니다.</p> <p>* 문의 : 이의숙(042-350-4428 ysllee@idec.or.kr)</p>					논문 제출 마감	논문 채택 통보	Chip Design Contest	2011. 8. 28	2011. 10. 5	2011. 11. 17	논문 제출 마감	논문 채택 통보	Chip Design Contest	2011. 11. 1	2011. 12. 20	2012. 2. 16																	
논문 제출 마감	논문 채택 통보	Chip Design Contest																															
2011. 8. 28	2011. 10. 5	2011. 11. 17																															
논문 제출 마감	논문 채택 통보	Chip Design Contest																															
2011. 11. 1	2011. 12. 20	2012. 2. 16																															

## Call for Papers

# ISCAS 2012

### 2012 IEEE International Symposium on Circuits and Systems

May 20 - 23, 2012 | COEX, Seoul, Korea  
Convergence of BINET (Bio Info Nano Enviro Technology)

**General Chair**  
Myung Hoon Sunwoo, Ajou U., Korea

**General Co-Chair**  
Sung-Mo Kang, U. of Calif., Santa Cruz, USA

**Technical Program Chairs**  
Young Hwan Kim, POSTECH, Korea  
Liang-Gee Chen, National Taiwan U., Taiwan  
Wouter A. Serdijn, TU Delft, Netherlands

**Secretary General**  
Jinsang Kim, Kyung Hee U., Korea  
Hanho Lee, Inha U., Korea

**Finance Chairs**  
Hi-Seok Kim, Chongju U., Korea  
Yunsik Lee, KEI, Korea

**Treasurer**  
Jimwook Burrn, Sogang U., Korea

**Publicity Chairs**  
Jin-Gyun Chung, Chonbuk National U., Korea  
Thanos Stouraitis, U. of Patras, Greece

**Plenary Session Chairs**  
David Alstot, U. of Washington, USA  
Kyoung Choi, Seoul National U., Korea  
Dong S. Ha, Virginia Tech, USA

**Special Session Chairs**  
Andy Liyongliang Chung, Inha U., Korea  
Yong-Lin, National U. of Singapore, Singapore  
Gerald E. Sobelman, U. of Minnesota, USA

**Tutorial Chairs**  
Hang-Geun Jeong, Chonbuk National U., Korea  
Nam Ling, Santa Clara U., USA  
Mohamad Sawan, Polytechnique Montreal, Canada  
Ph. D./Gold Special Session Chairs  
Kyeongsoon Cho, Hankyuk U. of Foreign Studies, Korea  
Paul Ampadu, U. of Rochester, USA  
Chae-Chin Wang, NYSU, Taiwan

**CASS Representative/Advisors**  
Pau Choo Lulial Chung, NCKU, Taiwan  
David Skellern, NICTA, Australia

**Publication Chairs**  
Hyuk-Jae Lee, Seoul National U., Korea  
Yoshifumi Nishio, Tokushima U., Japan  
Gwo Giun (Chris) Lee, NCKU, Taiwan

**Local Arrangement Chairs**  
Jaehyun Kim, Ajou U., Korea  
Dong Kyue Kim, Hanyang U., Korea  
Seungsoo Lee, Soongsil U., Korea

**Exhibit Chairs**  
Sang Bock Cho, U. of Ulsan, Korea  
Yunmo Chung, Kyung Hee U., Korea  
Kwang-Yoon Lee, Konkuk U., Korea

**Poster Session Chairs**  
Shin Il Lim, Seokyeong U., Korea  
Yong Ho Song, Hanyang U., Korea  
Massimo Alioto, U. of Siena, Italy

**Live Demo Special Session Chairs**  
Kyuengrok Cho, Chungbuk National U., Korea  
Tobi Delbruck, U. of Zurich, Switzerland  
Jongsun Park, Korea U., Korea

**WCAS Chairs**  
Pamela Abshire, U. of Maryland, USA  
Hyesook Lim, Ewha Womans U., Korea

**IEEE CAS Society Executive Director**  
Heidi Zaza, USA, h.zaza@ieee.org

**Conference Administration**  
JC Park, JC International, jcpark@jcenter.co.kr

The IEEE International Symposium on Circuits and Systems (ISCAS) is the world's premier networking forum of leading researchers in the highly active fields of theory, design and implementation of circuits and systems. ISCAS 2012, sponsored by the IEEE Circuits and Systems Society and supported by Ajou University, will be held in Seoul, Korea from May 20 to May 23, 2012. The Symposium will focus on circuits and systems that will strongly lead human life revolutions: **Convergence of BINET** (Bio Info Nano Enviro Technology) including ubiquitous health-care, bio-medicals, ubiquitous computing, communications and networks, smart robot applications, smart environment, and energy-aware devices. ISCAS 2012 will include oral and poster sessions, live demo, tutorials, and special sessions, with the aim of complementing the regular program with topics of interest to the circuits and systems community. Prospective authors are invited to submit papers including technical novelties and tutorial overviews on circuits and systems topics including but not limited to:

- Analog Signal Processing
- Biomedical and Life-Science Circuits, Systems and Applications
- Neural Networks and Systems
- Circuits and Systems for Communications
- Computer-Aided Network Design
- Digital Signal Processing
- Education in Circuits and Systems
- Live Demonstrations of Circuits and Systems
- Multimedia Systems and Applications
- Nanoelectronics and Gigascale Systems
- Nonlinear Circuits and Systems
- Power and Energy Circuits and Systems
- Sensory Systems
- Visual Signal Processing and Communications
- VLSI Systems and Applications

● **Paper Submission**  
The potential authors for regular papers, live demos, tutorials, and special sessions, please visit the Symposium website <http://www.iscas2012.org> for details. For regular sessions, authors are invited to submit 4-page Full Papers electronically. Authors of accepted papers should present their papers at the Symposium and at least one author of each paper MUST register at a non-student rate by February 10, 2012.

● **Best Student Paper Contest**  
ISCAS 2012 will sponsor a student paper contest. To qualify, a student or a group of students must be the primary author(s) and the author(s) must clearly indicate the student paper contest at submission.

● **Social Activities**  
Special activities such as tours to Korea's attractions will be available to the Symposium attendees and their guests.

● **Important Dates**

Submission Deadline for Tutorial Proposals	September 9, 2011
Submission Deadline for Special Session Proposals	September 9, 2011
Acceptance Notification of Special Session Proposals	October 2, 2011
Submission Deadline for Full 4-page Papers in Regular Sessions	October 7, 2011
Submission Deadline for Full 4-page Papers in Special Sessions	October 28, 2011
Notification of Paper Acceptance	January 6, 2012
Submission Deadline for FINAL Papers	February 10, 2012
Deadline for Author Registration	February 10, 2012

<http://www.iscas2012.org> IEEE CAS KTOURISM ORGANIZATION

### 2011년 IDEC WG Congress 개최

IDEC에서는 매년 WG 참여교수들과 정보교류를 위하여 WG Congress를 개최하고 있다. 올해에는 IDEC에서 새롭게 운영하고 있는 IPC(IDEC Platform Center)에 대한 소개 및 현 IPC 사업을 수행하고 있는 광운대, 한양대에서 관련 사업을 발표하며 IPC 관련 세미나 개최와 향후 지식경제부의 반도체 정책 및 과제 기획 방향 소개의 시간도 마련 할 예정이다. 그리고 한 해 동안 활발하게 활동하신 참여교수에 대한 시상과 국제학회 우수 논문상도 시상 할 예정이다.

**개최 일정**

- 일시 2011. 10. 27(목), 14:00 ~ 18:00
- 장소 KAIST IDEC

\* 문의 : 김은주(042-350-8533 ejkim@idec.or.kr)

### 국제학회 참여 우수 논문 시상 관련

가. 대상 논문 : 2010. 9. 1 ~ 2011. 8. 31 게재 논문 (MPW 칩 내용으로 작성한 논문인 경우, 동부 IP 및 KEC Analog공모전 포함)

나. 대상 학회 및 기준

학회	상금
A ISSCC, SOVC, CICC, DAC	최대100만원
B ASSCC, ASP-DAC, ESSCIRC	최대50만원
ISLPED, HOTCHIPS	

\* 상금 : 접수일에 따라 상금은 변동될 수 있음.

다. 진행 일정

접수 마감	결과통보	시상
10. 4	10. 10	10,27(WG Congress)

\* 문의 : 이의숙(042-350-4428 ysllee@idec.or.kr)

### IDEC 인사동정

운영위원 위촉!



류승탁 교수(KAIST)  
담당업무 : MPW 관련 업무  
E-mail : stryu@ee.kaist.ac.kr

### 제3기 IDEC 장학금 수여식

반도체설계교육센터(IDEC, 소장 경중민)는 9월 27일(화), 2011년도 제9차 IDEC 운영위원회에 앞서 전자 및 반도체 전공자 중 우수학생을 선발하여 장학금을 지급하는 「반도체설계교육센터 장학금 수여식」을 가졌다.



IDEC 장학금 수여식 모습

「제3기 반도체설계교육센터 장학생」은 김지만 군(인제대 나노시스템공학과 석사과정, 책임교수 : 송한정 교수)과 이동건 군(부산대 컴퓨터공학과 박사과정, 책임교수 : 남일구 교수)이 선발되어 130만 원의 장학금을 각각 받았다.

\* 문의 : 최신희(042-350-4045 shchoi@idec.or.kr)

### MPW Workshop 개최(2011.11.2(수), 한국과학기술회관)

가. 공정사(동부, MH, TJ), WG 설계 참여(희망)자, IDEC 연구원 참석  
나. 진행일정 : 2011. 11. 2(수) 09:40 ~ 10:00

일시	내용	강사
09:40 ~ 10:00	개회사	
10:00 ~ 11:00	최근 동향 세미나 : BCDMOS 활용 및 전망	구용서 교수(단국대학교)
11:20 ~ 12:30	Cadence tool의 현재와 앞으로의 비전	신용석 사장 (Cadence Korea)
12:30 ~ 14:00	점심식사	
14:00 ~ 14:50	동부하이텍	공정사 관계자
15:00 ~ 15:50	매그나칩반도체	(공정사별 공정 등 지원 환경 설명)
16:00 ~ 16:50	TowerJazz	
17:00 ~ 18:00	공정 진행에 대한 Q&A	설계자, 공정사 관계자, IDEC 연구원

\* 문의 : 이의숙(042-350-4428 ysllee@idec.or.kr)

# 모바일 프로세서용 PMIC 기술동향



송실대학교 정보통신전자공학부  
이성수 교수  
연구분야: 멀티미디어 SoC 설계, 저전력 SoC 설계, 배터리 관리 SoC 설계  
E-mail: sslee@ssu.ac.kr  
http://babel.ssu.ac.kr



송실대학교 정보통신전자공학부  
박종식 박사 과정  
연구분야: 멀티미디어 SoC 설계, 배터리 관리 SoC 설계  
E-mail: tudyy@ssu.ac.kr  
http://babel.ssu.ac.kr



박종식 박

## 서론

최근 들어 모바일 시장에서는 스마트폰, 태블릿 PC 등과 같은 스마트 디바이스의 보급이 빠른 속도로 증가하고 있다. 이로 말미암아 모바일 디바이스에서의 핵심 부품인 모바일 프로세서의 중요성이 날이 높아지고 있다. 기존 모바일 디바이스 들은 주로 음성정보의 송, 수신과 멀티미디어 데이터 처리가 주가 되었지만 최근 스마트폰 및 스마트 디바이스 기기들은 HD급의 비디오 재생, Graphic User Interface (GUI) 또는 User Experience (UX)로 불리는 그래픽 기반의 사용자 인터페이스를 지원하는 고사양의 운영체제와 외부에서 다운로드 받아 실행할 수 있는 모바일 앱, 고성능 디스플레이를 기본으로 지원하고 있다. 따라서 스마트폰 및 스마트 디바이스는 강력한 연산 능력을 가진 모바일 프로세서가 필요하며, 이에 따라 모바일 프로세서가 소모하는 전력도 매우 증가하고 있다.

음성 통화를 주목적으로 하는 기존 휴대폰에 비해 스마트폰 및 스마트 디바이스는 무선 인터넷과 모바일 앱의 사용이 빈번하게 일어나기 때문에 기존 휴대폰에 비해 배터리 사용 시간이 크게 짧아지고 있다. 스마트폰이나 스마트 디바이스는 기존 휴대폰에 비해 상대적으로 용량이 큰 배터리를 탑재하고 있음에도 동영상을 감상한다든가 게임을 즐기게 되면 불과 수 시간 만에 배터리가 모두 소진되는 문제점을 가지고 있다.

기존 휴대폰은 3G나 Wi-Fi의 전력 소모가 가장 컸는데 반해, 스마트폰 및 스마트 디바이스는 모바일 앱을 실행하는 모바일 프로세서의 전력 소모가 무선 통신 칩의 전력 소모와 거의 비슷한 수준에 도달하고 있다. 일례로, 완전히 충전된 아이폰 4의 경우, 3G 망을 통한 전화 통화 가능 시간이 6시간 정도인데 반하여 무선 통신을 전혀 사용하지 않는 게임 앱의 실행 가능 시간은 4시간 정도에 불과하다.

또한, 노트북 사용자가 크게 증가하고 사용자층도 전문가에서 일반인으로 확산됨에 따라 화면 크기와 성능을 중시하던 환경에서 점차 휴대에 용이하도록 가볍고 얇은 울트라씬 노트북의 인기가 급격하게 높아지고 있다. 이러한 울트라씬 노트북은 크기가 작아서 대용량 배터리를 장착하기 어려운 반면에, 울트라씬 노트북을 사용하는 사람은 대부분 번거로운 전원 어댑터를 사용하고 싶지 않아 하면서도 웹서핑과 같은 가벼운 작업을 커피숍, 지하철, 자동차 등과 같은 다양한 실내 환경에서 오랫동안 사용하고 싶어하기 때문에 모바일 프로세서의 전력 소모를 크게 줄일 필요가 있다.

모바일 프로세서를 위한 전력 관리 솔루션은 Power Management IC (PMIC)로 불리는 전력 공급 칩으로 제어하고 있다. 스마트폰이나 스마트 디바이스는 그 특성상 카메라, GPS, 가속도 센서, 터치 스크린, 다수의

무선통신 칩 등 다양한 전압을 사용하는 많은 수의 칩이 매우 작은 기기 내에 집적되기 때문에, 모바일 프로세서의 전력 소모를 줄이는 것도 중요하지만 이에 못지않게 많은 수의 칩에 효율적으로 전원을 공급하면서도 전원 공급 칩과 이에 따른 수동 소자의 크기와 개수를 줄인 PMIC 솔루션의 중요성이 더욱 강조된다. 본 고에서는 현재 시장에서 주로 보급되고 있는 PMIC 상용 제품을 중심으로 자세히 살펴보고자 한다.

## 모바일 프로세서를 위한 PMIC

PMIC 회로기술의 주 목적은 한정적인 배터리 전원을 다양한 부하 변동에 능동적으로 대처하여 배터리 전원을 효율적으로 관리하여 배터리 수명을 연장하는데 있다. 스마트폰, 태블릿 PC 등과 같은 스마트 디바이스용 모바일 프로세서를 위해 개발되고 있는 PMIC의 기술 추세는 다음과 같이 요약할 수 있다.

- 배터리 충전 기능 및 프로세서 전력 공급 기능의 단일 칩 집적
- 스마트폰 및 스마트 디바이스의 잔여 동작 가능 시간을 파악하기 위해 배터리 충전 잔량의 정밀 측정
- 스마트폰 및 스마트 디바이스를 구성하는 디스플레이, 메모리, 어플리케이션 프로세서, 햅틱 모터, 카메라 모듈, 플래시 광원 등 다양한 소자를 위해 다수의 독립적인 전압과 전류를 단일 칩으로부터 제공
- 특정 타겟 모바일 프로세서를 위한 맞춤형 PMIC의 설계

이러한 경향에 대하여 최근 개발되어 상용화된 PMIC 제품을 통하여 알아보고자 한다. PMIC 제품군은 각 업체마다 조금씩 다르나 일반적으로 AC-DC converter, isolated DC-DC converter, non-isolated DC-DC converter, power driver, voltage regulator 등으로 크게 나눌 수 있다. non-isolated DC-DC converter는 buck, boost, buck-boost converter로 구성되어 있고, Isolated DC-DC converter는 트랜스포머를 사용한 flyback converter 등으로 구성되어 있다. 모바일 정보 기기에서는 거의 모두 non-isolated DC-DC converter와 AC-DC converter를 사용한다 [1].

2011년 8월 Computex 2011에서의 화두는 단연 태블릿과 소형 모바일 기기였으며 다양한 프로세서 등이 선보였다. 이들 프로세서 모두 전력 소모를 줄이기 위해 부단한 노력을 기울인 것으로 보인다. 이중 Wolfson Microelectronics의 PMIC 솔루션인 WM8321 칩은 앞서 기술한 모바일 프로세서용 PMIC의 기술 경향을 잘 보여주고 있다. WM8321 칩은 싱글 칩 전력 관리 솔루션으로 스마트폰과 e-book, 넷북, 휴대용 미디어 플레이어 제품은 물론 멀티미디어 프로세서를 탑재하는 저전력 휴대용 애플리케이션용으로 설계되었다. 그림 1은 WM8321 칩의 블록도로 폭넓은 범

위의 구동 조건으로 고성능과 고효율을 제공하는 4개의 프로그래머블 DC-DC 동기식 벅 컨버터, 11개의 저전압강하 선형 레귤레이터 (LDO), 그리고 민감한 아날로그 서브시스템을 위해 4개의 저잡음 LDO로 구성된다. 또한, one-time programmable (OTP) 메모리를 내장하여 범용 IO (GPIO)와 시스템 블록의 시퀀싱뿐 아니라 컨버터와 레귤레이터의 스타트업 시퀀싱과 전압을 제어하도록 하였다.

WM8321 칩은 대기모드 시 7uA 미만의 저전력을 소모하고 전압 감지 및 온도 측정과 같은 외부 샘플링뿐만 아니라 내부 샘플링을 위한 폭넓은 애플리케이션을 지원하는 12-비트 보조 ADC를 탑재하고 있다. 이 밖에도 시스템의 안전성을 보장하기 위한 감시기능이 제공되는 동안 저전력 모드에서 시스템을 깨울 수 있는 secure real-time clock (S-RTC)와 알람 기능을 제공하고 있다 [2]. WM8321 칩은 미디어 프로세서 및 플랫폼 기업인 지랩스 (ZiLabs)에 채택되어 최신 안드로이드 래퍼런스 태블릿인 JAGUAR에 전력 관리를 지원한다.

또 다른 예는 Maxim 사의 PMIC 솔루션인 MAX8997 칩이다. 2011년 3월 Mobile World Congress (MWC)에서 발표된 MAX8997 칩은 삼성전자의 듀얼코어 모바일 프로세서인 Exynos4210 칩을 위한 전용 PMIC 칩으로서, MAX8958 칩을 공개할 예정으로 알려져 있다.

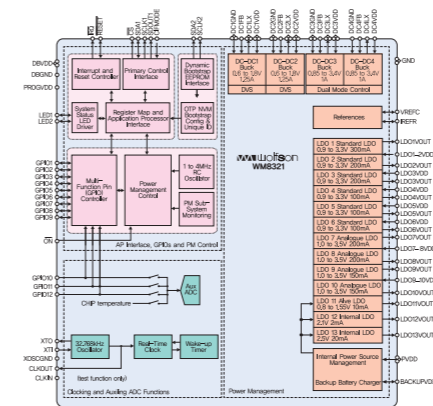


그림 1. WM8321 Block Diagram[3]

전력 공급 관리와 배터리 충전에 필요한 다양한 펌웨어 및 회로와 함께 시스템 로직을 통합하고 있어 스마트폰 및 스마트 디바이스 설계자에게 강력하고 효율적이지만 간편하고 쉽게 시스템을 구성할 수 있는 전력 관리 솔루션을 제공하고 있다.

MAX8997 칩은 7개 고효율 스텝 다운 컨버터, 21개 LDO, 배터리 충전기, micro-USB 인터페이스, 알람 기능이 내장된 RTC, 촉각 피드백 모터 드라이버, 카메라 플래시 LED 드라이버, 12개 GPIO 및 프로그래밍을 위한 I2C 인터페이스를 단일 칩에 통합하여 부품의 크기와 개수를 크게 줄이면서도 모바일 프로세서에 효율적인 전력 공급 및 관리 기능을 제공하고 있다 [4].

또한, Maxim 사는 가까운 시일 내에 Intel의 Atom 프로세서를 위한 PMIC 솔루션인 MAX8958 칩을 공개할 예정으로 알려져 있다. MAX8958 칩은 Intel의 저전력 모바일 프로세서인 Atom Z6xx 칩과 Intel SM35 Express Chip을 위한 전용 PMIC 솔루션으로서, 2개 Quick-PWM 비디오 콘트롤러 전원, 3개 고효율 스텝 다운 컨버터, 13개 LDO, 알람 기능이 달린 S-RTC, 프로세서 플랫폼 사이드밴드 신호, 통신 모듈을 위한 클럭 출력, 백업 배터리 충전기 및 프로그래밍을 위한 SPI 인터페이스를 단일 칩에 통합해 부품의 크기와 개수를 크게 줄이면서도 모바일 프로세서에 효율적인 전력 공급 및 관리 기능을 제공하고 있다 [5]. MAX8997 칩과 MAX8958 칩은 각각 Exynos4210 칩과 Atom Z6xx 칩을 위한 전용 PMIC 솔루션이기 때문에 데이터시트나 블록도가 공개되지는 않았으나, 비슷한 개념으로 개발된 MAX8982 칩의 데이터시트를 보면 스마트폰이나 스마트 디바이스용 모바일 프로세서를 위한 PMIC가 어떠한 기능과 구조를 가져야 하는지를 대략 파악할 수 있다.

MAX8982 칩은 ICERA E400 Platform 전용으로 개발된 PMIC 솔루션으로서 4개 고효율 스텝다운 컨버터, 9개 LDO, 3개 전류 레귤레이터 및 프로그래밍을 위한 I2C 인터페이스를 단일 칩에 통합하였다 [6]. 여기에서 눈여겨보아야 할 것은 4개 고효율 스텝다운 컨버터 중에서 1개는 DVS 지원 기능이 내장되어 있다는 점이다. 이 컨버터는 0.9V에서 1.2A를 공급할 수 있으며, 0.6V에서 1.2V까지 25mV 단위로 전압 제어가 가능하고 slew rate control 기능도 내장되어 있다. 이 컨버터는 효율적인 DVS 지원을 위해 프로그래밍이 가능한 32개의 전압 옵션을 제공한다.

3개 전류 레귤레이터는 디스플레이 등을 점차 어렵게 할 수 있도록 24mA까지 8개 Dimming Current Option을 내장하고 있으며, 이를 위해 Embedded Flash Timer를 가지고 있다.

9개 LDO는 각각 E400 Platform을 구성하는 다양한 칩과 모듈이 필요로 하는 전용 전압과 전류를 공급하도록 설계되었다. MAX8982 칩은 E400 플랫폼을 구성하는 다양한 칩과 모듈을 MAX8982 칩 하나를 통해 전력을 공급하고 있음을 알 수 있다. MAX8982 칩은 배터리 충전 기능이 내장되어 있으며, 점차 모바일 프로세서를 위한 PMIC 솔루션은 배터리 충전

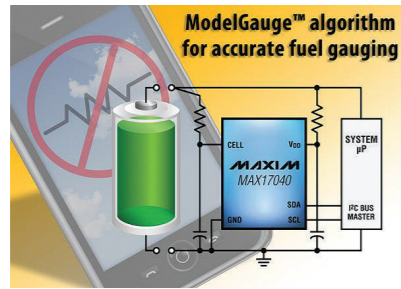


그림 2. Model Gauge 기술 [7]

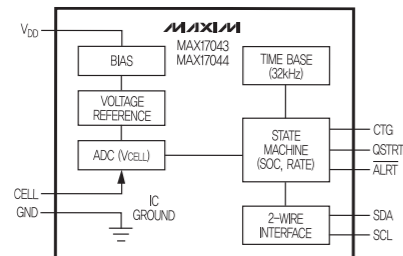
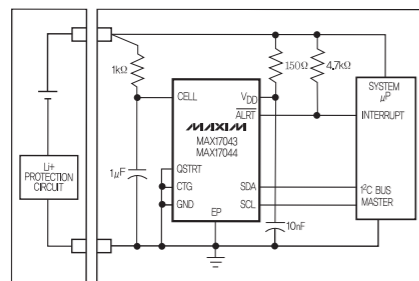


그림 3. MAX17044 칩 [8]

가능 및 프로세서 전력 공급 기능을 단일 칩으로 집적하는 방향으로 나아가고 있음을 알 수 있다. MAX8982 칩은 배터리 충전 기능이 내장되어 있으며, 점차 모바일 프로세서를 위한 PMIC 솔루션은 배터리 충전 기능 및 프로세서 전력 공급 기능을 단일 칩으로 집적하는 방향으로 나아가고 있음을 알 수 있다.

모바일 프로세서를 위한 PMIC 솔루션의 주요 기능 중 하나는 배터리 충전 전량의 정밀 측정이다. Maxim 사가 제공하는 ModelGauge 기술은 그림 2와 같이 배터리에서 공급되는 전류를 측정하기 위한 저항을 제거하고 전압 측정만을 사용하며, 이로부터 발생할 수도 있는 오차를 제거하고 정밀도를 높이기 위해 배터리의 충방전 모델이 칩 내부에 탑재함으로써 기존의 배터리 전량 측정 칩이 필요로 하는 수동 소자의 수를 크게 줄일 수 있다 [7].

Maxim 사의 MAX17044 칩은 단순한 전압 또는 전류 측정 칩이 아니라 그림 3과 같이 배터리 충방전 모델이 state machine의 형태로 내장되어 있으며, I2C를 통해 배터리 전량을 모바일 프로세서에 전송한다 [8].

**결론**

본 고에서는 모바일 프로세서에서 전력 소모를 줄이기 위한 전력 관리 솔루션인 PMIC 에 대하여 살펴보았다.

최근 들어 스마트폰 및 스마트 디바이스가 널리 보급됨에 따라 특정 모바일 프로세서 및 플랫폼을 위한 전용 PMIC도 개발되기 시작했고, 단일 PMIC가 모바일 프로세서 하나뿐만 아니라 플랫폼상의 많은 칩과 부품에 전원을 공급할 수 있도록 다채널 다기능화되어가고 있다. 국내 팹리스 업계의 선두 업체들 상당수가 PMIC 분야에서 두각을 나타내고 있다. 따라서 향후 국내 팹리스 업계에서 모바일 프로세서를 위한 PMIC 분야는 매우 유망할 것으로 생각한다.

**Reference**

- [1] 양일석, "친환경 절전형 PMIC기술 산업동향 및 향후 전망", Silicon TIMES [2010.1.20 제43호]
- [2] "울프슨, 차세대 전력 관리 솔루션 WM8321 출시", KBENCH, <http://www.kbench.com/hardware/?no=86640&sc=1>
- [3] WM8321 Datasheet, "Integrated Power Management Subsystem", wolfson, [http://www.wolfsonmicro.com/products/power\\_management/WM8321/](http://www.wolfsonmicro.com/products/power_management/WM8321/)
- [4] "Maxim introduces a power-management IC solution for Samsung's next-generation application processor", Press Information in Mobile World Congress, Maxim, 2011.3
- [5] "Maxim unveils power-management solution for Intel Atom-based embedded applications", EETimes Europe, 2011.4.12, [http://www.electronics-eetimes.com/en/maxim-unveils-power-management-solution-for-intel-atom-based-embedded-applications.html?cmp\\_id=7&news\\_id=222906854](http://www.electronics-eetimes.com/en/maxim-unveils-power-management-solution-for-intel-atom-based-embedded-applications.html?cmp_id=7&news_id=222906854)
- [6] MAX8982 Datasheet, "Power- Management ICs for ICERA E400 Platform", Maxim, <http://www.maxim-ic.com/datasheet/index.mvp/id/6968>
- [7] "Compact fuel-gauge ICs deliver accurate estimates of Li+ battery state of charge, 2010.7.13, [http://power-eetimes.com/en/compact-fuel-gauge-ics-deliver-accurate-estimates-of-li-battery-state-of-charge.html?cmp\\_id=7&news\\_id=222901193](http://power-eetimes.com/en/compact-fuel-gauge-ics-deliver-accurate-estimates-of-li-battery-state-of-charge.html?cmp_id=7&news_id=222901193)
- [8] MAX17044 Datasheet, "Compact, Low-Cost 1S/2S Fuel Gauges with Low-Battery Alert", Maxim, <http://www.maxim-ic.com/datasheet/index.mvp/id/6546>

**2012년도 IDEC 정기 CAD Tool 수요조사 진행**

IDEC에서는 아래와 같이 2012년 WG 지원을 위한 정기 CAD Tool 수요조사를 진행합니다. WG 여러분의 많은 참여 부탁드립니다.

- 수요조사 기간 : 2011년 10월말~11월초 (\*세부 일정은 추후 공지)
- 수요조사 참여방법 : IDEC 웹페이지를 통해 온라인 신청
- 수요조사 대상 Tool : 총 15 Vendor 28종

No	Vendor	Tool명	비고
1	Actel	Libero	
2	Aldec	Active-HDL	
3	Altera	Quartus	
4	Atrenta	Spyglass	
5	AWR	Microwave Office	
6	Cadence	Cadence	
7	Carbon	Model Studio, SoC Designer plus	
8	Dongilcad System	MultiSIM	
9	Forte	Cynthesizer	
10	Kcdtech	CSIEDA	
11	Mentor	Mentor	
12	Seloco	MyCAD	
13	Silvaco	Expert, SmartSpice, SmartSpiceRF, SmartSpiceRF, SmartView, Accucore, Accucell	
14	Synopsys	Back-end, Front-end, TCAD, Saber, Synplify, Signal Processing Designer, Platform Architect, Processor Designer	
15	Xilinx	ISE	
<b>합 계</b>		<b>총 15 Vendor 28종</b>	

\* 문의 : 석은주(042-350-8538 eunjuseok@idec.or.kr)

**반도체설계재산 Core-A**

**공개용 임베디드 프로세서 기업 워크샵 개최**

특허청(청장 이수원)과 반도체설계교육센터(IDEC, 소장 경종민), 지원센터(에이디칩스, 대표이사 권기홍)는 지난 9월 20일(화), 서울교육문화회관 비파홀에서 공개용 임베디드 프로세서 기업워크샵을 가졌다.



공개용 임베디드 프로세서 기업워크샵 전경

이번 기업워크샵은 공개용 임베디드 프로세서와 관련하여 반도체 분야 의 산·학·연 전문가들을 모시고, 임베디드 동향 및 기술에 관하여 논의하는 자리였다. 또한, 공개용 임베디드 프로세서인 Core-A를 소개하고 기술에 대해 논의하였으며, 국산 IP로서의 잠재적인 경쟁력을 동 분야 전문가들과 함께 의견을 공유, 상호 협력하는 기회의 장이었다. 이번 워크샵에는 산·학·연 전문가 50여명이 참석하여, "Core-A 활용법", "산업체 기술 지원 현황", "Core-A 기업 응용 사례" 등에 대한 세션을 통해 Core-A의 경제력 및 비전을 논의하였다.

IDEC 관계자는 프로세서의 특성상 기술 활용을 위한 지원이 필수적이기 때문에 Core-A가 널리 상용화 되도록 교육사업 및 확산활동 등을 통해 꾸준히 지원할 계획이라고 밝히면서, 앞으로도 이런 자리를 많이 만들어 기업체에서도 Core-A에 관심을 두고 적극적으로 활용할 수 있도록 노력을 약속했다.

2011 시스템반도체 Fair

2011 ISEDEX

국내 유일의 시스템반도체 전문 전시회인 **시스템반도체 Fair 2011** 이 오는 10월 12일(수)부터 14일(금)까지 3일간 KINTEX 에서 개최 됩니다.

실리콘웍스, 실리콘마이스, 사놀시스코리아, 아이엔씨테크놀로지, 어보브반도체, 티엘아이, 한국전자통신연구원 등 30여개 국내의 대표적인 시스템반도체 기업과 기관이 여러분을 기다립니다!

장소 - KINTEX 제1전시장 2층  
 일정 - 2011년 10월 12일(수)~14일(금)  
 주최 - mke 지식경제부  
 주관 - KSJA 한국반도체산업협회 ETRI

문의

한국반도체산업협회 ● 임인영 선임 02-570-5294 bei97@ksia.or.kr  
 ● 성지혜 주임 02-570-5296 hob79@ksia.or.kr

2011 시스템반도체 Fair 서울시 서초구 양재동 107 통일빌딩 5층 (사)한국반도체산업협회 tel : 02)570-5296 / fax : 02)407-9014

Analog Semiconductor Leaders' Forum 2011

Analog Semiconductor Leaders' Forum

**아날로그반도체 리더스 포럼**

"High Performance Analog ICs: Key Enabler of Real World Applications"

· 일시: 2011년 10월 13일(목) 10:00 - 15:30  
 · 장소: 경기도 일산 킨텍스 전시장 2층 204오실

동부하이텍이 세계적인 석학과 업계 전문가를 모시고 아날로그반도체 산업의 시장동향과 기술 트렌드에 대해 토론하는 시간을 가지고자 합니다.

이번 포럼의 주제는 "High Performance Analog ICs: Key Enabler of Real World Applications"이며, 주요 내용은 아날로그반도체 시장현황, SoC에서의 아날로그반도체 기술 트렌드, 테라헤르츠 주파수 영역에서 동작하는 아날로그반도체 기술 트렌드, 아날로그반도체 제조공정기술 트렌드 등입니다.

이번 포럼에서는 올해 호암상 수상자인 토마스 라 스텐포드대학교 교수를 포함하여 반도체 전문 시장조사기관인 세미코리서치 대표인 짐 필드(Jim Fielden), 브로드컴 부사장인 피터 보렌캠프(Peter Vorenkamp), 아시히카세이 마이크로디바이스 최고기술책임자인 코이치 히마시타(Koichi Himeshita) 등 아날로그 반도체 업계의 권위자들이 강연할 예정입니다.

포럼 사전등록은 I-SEDEX 전시회 홈페이지(<http://www.isedex.org>)를 통해 가능하며, 포럼 참가비는 무료입니다.

부디 참석하셔서 자리를 빛내주시기 바랍니다.

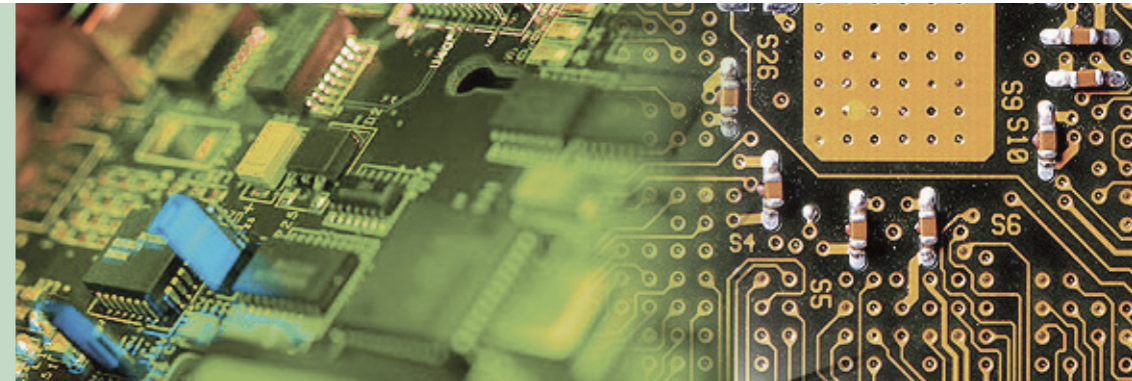
감사합니다.

(주)동부하이텍 대표이사 사장 박용현

# 아날로그-디지털 데이터변환기 (ADC)의 연구동향 및 전망



동국대학교 반도체학과  
 송민규 교수  
 연구분야 : CMOS 아날로그 회로 설계, 저전력 혼성모드 회로 설계, 데이터 변환기 설계  
 E-mail : mksong@dongguk.edu  
 http://www.sidl.co.kr



연구동향 및 전망

## 서론

최근 CMOS 공정의 계속적인 발전으로 말미암아 기존의 마이크로 기술은 나노 공정으로 변화되고 있다. 이에 따라 최신의 고성능 전자 시스템은 대부분 나노 CMOS 공정을 기반으로 설계되며, 특히 낮은 전원전압(1V 이하)에서는 구현이 용이한 디지털 신호처리 기법을 기반으로 구현되고 있다. 그러나 정작 디지털 영역에서 구현되는 전자 시스템을 사용하는 우리 인간은 이러한 디지털 신호를 직접적으로 해석할 수 없다.

인간이 듣고 보고 말하고 느끼고 냄새를 맡는 오감은 자연계 신호인 아날로그 신호이기 때문이다. 따라서 기계어인 디지털 신호를 인간이 이해하기 위해서는 반드시 디지털 신호처리의 최종단계 및 최종단계에 아날로그 신호로 변환시켜주는 데이터 변환기가 필요하다.

일반적으로 데이터 변환기라 하면 온도, 전압, 전류 및 시각적 신호 등과 같은 각종 아날로그 입력 신호를 디지털 출력 비트로 변환시켜주는 아날로그-디지털 데이터변환기(ADC)와 그 반대 역할인 디지털 입력신호를 아날로그 출력신호로 변환하는 디지털-아날로그 데이터변환기(DAC) 두 가지로 구분한다. 종종 이러한 기능 때문에 ADC를 인코더(encoder), DAC를 디코더(decoder)라고 칭하기도 한다<sup>[1]</sup>.

이와 같은 데이터 변환기는 이동통신 단말기, 광대역 모뎀 등과 같은 통신분야를 비롯해 HDTV, 캠코더, Set-Top Box, 스캐너 등과 같은 영상 신호 처리 분야, MRI, CT, 보청기 캡슐 내시경 등의 의료기기 분야, 음성 인식, 비디오 그래픽 제어기 센서 등의 컴퓨터 분야 등 산업 전반에 널리 쓰이고 있다<sup>[2]</sup>. 이러한 다양한 응용분야에 사용되는 데이터 변환기는 각 시스템이 요구하는 변환속도 및 해상도에 따라 다양한 구조로 구현된다.

〈그림 1〉에는 데이터 변환기의 해상도와 변환속도에 따른 세부 응용분야를 정리하였다. 또한, 데이터 변환기는 최근 CMOS 공정의 발달로 바이폴라, SiGe 공정을 필요로 하는 특수한 응용분야를 제외하고는 모두 제작 단가가 낮은 CMOS 공정으로 구현되고 있다. 이에 본 논문에서는 CMOS 공정으로 구현되는 아날로그-디지털 데이터 변환기(ADC)의 구조 및 최신 기술 개발 동향을 살펴보고 이를 바탕으로 앞으로의 아날로그-디지털 데이터 변환기 발전 방향에 대해 전망해보고자 한다.

특히 일반적인 응용시스템에 널리 적용되며 최근 비약적인 기술적 발전을 이루고 있는 6~14비트, 수MHz~수십GHz에 이르는 나이퀴스트(Nyquist) ADC에 대해 초점을 맞춰 기술한다.

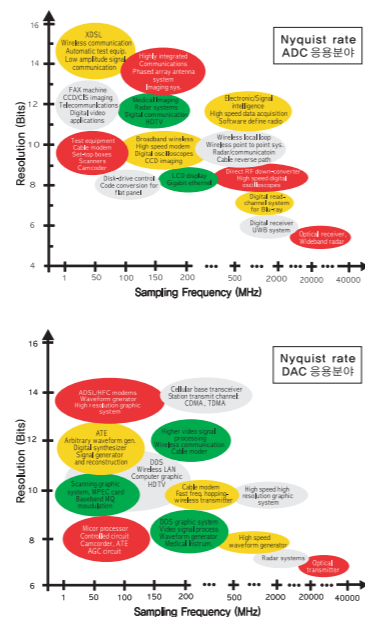


그림 1. 나이퀴스트 데이터변환기(ADC, DAC)의 해상도와 변환속도에 따른 세부 응용분야

## 아날로그-디지털 데이터변환기(ADC)의 용어 및 구조

먼저, 데이터 변환기의 성능사항 및 구조를 이해하기 위해 아래와 같이 주요 용어들을 정리하였다<sup>[3]</sup>.

- Differential Non-Linearity (DNL): 입력측에서 연속하는 두 코드 사이의 차이는 오차가 없는 경우 1LSB나, 실제 이 값보다 크거나 작아질 수 있는데 이를 변화량 중 가장 큰 값을 뜻한다.
- Integral Non-Linearity (INL): 실제 입력측 특성 곡선에서 각 시작점과 끝점을 연결한 직선에서 실제 특성 곡선과의 최대 차이를 뜻한다.
- 옴셋오차(Offset error): 데이터 변환기의 특성 곡선이 아날로그 입력측과 만나는 점에서부터 원점까지의 거리를 뜻한다. 이러한 옴셋오차는 외부에서 적당한 DC를 인가하거나 다른 방법을 통해 제거 가능하다.
- 이득오차(Gain error): 변환기 특성 곡선의 기울기가 에러가 없을 때의 값인 1과 비교했을 때의 차이 값을 뜻한다. 이득오차 역시 옴셋오차와 마찬가지로 신호의 선형특성과 큰 관계가 없기 때문에 변환기의 결정적인 사항은 아니라고 할 수 있다.

- Full Scale (FS): 변환기가 처리할 수 있는 아날로그 신호 크기의 최대 값과 최소값의 차이로써 통상 사용하는 전원전압 및 응용기기에 따라 다른 값을 가진다.
- 해상도 (Resolution): 디지털 코드에 대응하는 서로 다른 입력 수준의 수로써, N-bit 해상도의 변환기는 2<sup>N</sup> 개의 서로 다른 아날로그 수준을 갖는다.
- 정확도 (Accuracy): 데이터 변환기의 정확도는 옴셋오차 및 이득오차를 포함하는 절대적 정확도와 이를 제거한 이후의 상대적 정확도로 구분되며, 특히 해상도와 구분하여 사용함으로써 데이터 변환기의 성능 특성을 가능할 수 있다.
- 안정도 (Stability): 변환기의 성능은 동작 중의 전원전압, 온도 등의 변화에 따라 변화되는데 이러한 전체적 성능이 선형성과 단조도 등을 만족시키는 상태를 뜻한다.
- 단조도 (Monotonicity): 변환기의 전달 특성에서 볼 때, 입력이 증가하는 경우 출력 또한 증가하는 성질을 뜻한다. 구현된 데이터 변환기가 어떠한 내·외부적인 요인으로 말미암아 비단조도 특성을 갖는다면 유효한 변환기라 할 수 없다.

아날로그-디지털 데이터 변환기(ADC)의 구조는 해상도와 동작속도에 따라 매우 다양하다. 일반적으로 낮은 변환속도가 요구되는 응용분야에는 적분형(Integrating), 경사형(Slope), 전하평형(Charge-balancing), 알고리즘(Algorithmic) 또는 연속근사형(Successive approximation) 구조가 적합하며, 높은 변환속도를 위해서는 플래시(Flash), 폴딩(Folding), 서브레인지(Sub-ranging) 또는 파이프라인(Pipeline) 구조가 주로 사용된다. 또한 변환속도를 극대화하기 위해 단일 ADC를 병렬로 나열하여 전체 동작속도를 높이는 time-interleaved 구조는 높은 동작속도를 요구하는 응용분야에 주로 사용된다.

〈그림 2〉는 최근 고속의 영상 및 데이터 신호처리를 요하는 응용분야에 많이 사용되는 폴딩 신호처리 기법을 사용한 전형적인 8b ADC의 구조와 이를 0.18um CMOS 공정으로 구현한 시제품 칩 사진이다. 최대 1GS/s의 변환속도로 동작하는 이 시제품 ADC는 상위(3b) 하위(5b)의 분할구조로 설계되어 200mW 이하의 낮은 전력만을 소비하며 0.18um CMOS 공정으로 구현 시 약 0.72mm<sup>2</sup> 이하의 소면적으로 구현 가능하다. 이와 같이 ADC의 여러 구조는 각 응용분야에서 요구하는 해상도, 동작속도, 전력소모 및 면적특성에 따라 이를 반영할 수 있는 최적화된 구조로 다양하게 구현된다. 그러나 최근에는 ADC의 아날로그 신호 처리를 디지털 주변회로의 도움으로 대체하거나, 새로운 신호처리 개념을 도입하는 등, 각 구조가 가지고 있던 장점을 혼합하여 설계하는 형태로 발전되고 있다. 몇 가지 사례를 제시하면, 낮은 변환속도의 SAR ADC는 병렬처리기법을 통해 최대 수십GHz의 변환속도로 구현이 가능하며, 8b 이하

해상도 구현을 위해 주로 사용되었던 폴딩 ADC는 수GHz의 변환속도를 유지하면서 최대 12b 해상도까지 확장되어 구현되고 있다<sup>[3]</sup>. 이와 관련된 기술적인 사항은 III, IV장에 걸쳐 자세히 논한다.

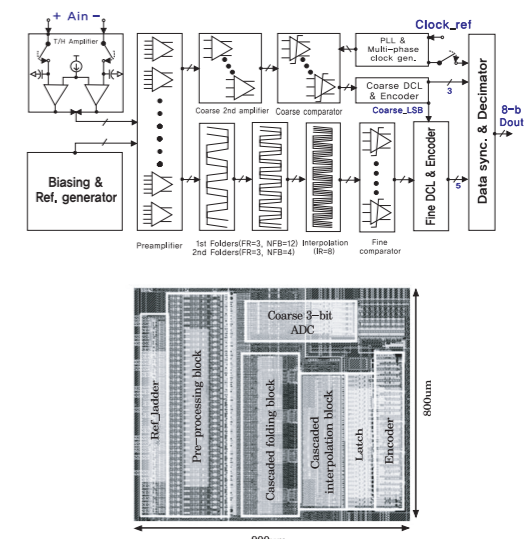


그림 2. 8b 1GS/s 폴딩 ADC의 블록 다이어그램과 0.18um CMOS 공정으로 구현된 시제품 칩 사진

## ADC의 기술개발 동향

최신 ADC의 기술개발 동향을 알기 위해 최근 3년간 유명학회지나 정규 저널에 나온 논문의 내용을 정리하였다. 그 결과 단순한 단일 구조보다는 2-3개의 구조가 복합된 하이브리드 구조가 대부분이었고, ADC의 성능을 높이기 위한 새로운 기법들이 대거 등장하였다. 여기서는 그 중 대표적인 몇 가지에 대해 논한다.

### 고효율 ADC

ADC의 성능을 객관적 지표로 비교하기 위해 주로 FoM(figure of merit)이 사용된다. FoM은 ADC의 변환속도, 전력소모 및 유효비트수로 표현되며 단위는 [J/conversion-step]으로 ADC의 에너지 효율을 가늠할 수 있는 지표가 된다. 식 (1)에 현재 가장 많이 사용되는 FoM 계산법을 나타내었다.

$$FoM = \frac{Power\ diss.}{2^{ENOB} \times 2 \times ERBW} [J/conv-step] \quad (1)$$

ISSCC는 종종 그해 관심이 높은 분야를 지정해 따로 session을 할애할 수가 있는데, 2008년도의 경우 총 8편의 고효율 ADC가 (session 12) 발표되었다. 그 중 4.4fJ/conversion-step의 에너지 효율을 갖는 10b 1MS/s SAR 구조의 ADC는 전하 재분배 기법을 사용한 DAC를 기반으로 1.9pW의 초저전력 소모 특성이 있다. 이처럼 높은 에너지 효율을 갖는 ADC는 모바일 기기를 비롯하여 저전력으로 장시간 구동되어야 하는 시스템에 매우 유용하게 활용되고 있다.

ADC 자가 보정기법(Self Calibration)

서론에 언급한 바와 같이 CMOS 공정의 스케일링 및 1.2V 이하 저전압에서 아날로그 신호처리의 한계로 말미암아 이를 디지털 영역에서 보정하는 설계 기법이 활발히 연구되고 있다. 특히 ADC 출력을 외부에서 모니터링한 후 측정보드 상에서 부가적인 시스템을 사용하여 보정하는 외부 보정 기법보다는 직접 ADC와 온-칩 구현하여 자체적으로 보정을 하는 자가 보정기법이 연구의 주를 이루고 있다. 이는 미세공정 때문에 디지털 회로의 집적도가 높아짐에 따라 가능해진 장점이라 할 수 있다.

(그림 3)(a)은 자가 보정기법이 적용된 7b 800MS/s 폴딩 ADC<sup>[4]</sup>의 칩 사진이다. 이 시제품 ADC에 적용된 자가 보정기법은 zero-crossing을 형성하는 모든 preamp의 offset 오차를 feedback loop를 통해 자체적으로 오차 범위를 분석한 후 이를 보정 할 수 있는 디지털 코드를 선택한 뒤 preamp의 offset를 제어하는 DAC를 조정하여 offset 오차를 보정한다. (그림 3)(b)는 자가 보정회로 동작 전, 후의 측정 비교 결과이다. HD2가 약 15dB 이상 감소하였음을 확인할 수 있으며, 결과적으로 SFDR은 약 10dB 정도 향상되었다.

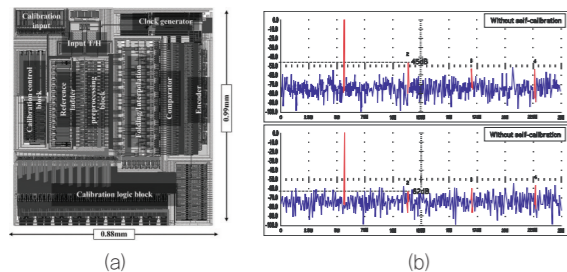


그림 3. (a) 자가보정회로를 포함한 7b ADC의 칩사진  
(b) FFT 스펙트럼 (보정 전(위의 그림), 보정 후(아래의 그림))<sup>[4]</sup>

Parallelism(Time-interleaved)

대부분의 전자회로 설계에서 높은 동작속도를 얻기 위해 병렬신호처리 기법을 사용하듯 ADC 또한 단일 ADC를 병렬로 연결하여 변환속도를 높일 수 있다. 그러나 병렬신호 처리 기법은 각 채널 간 타이밍 부정합, 이득 부정합 그리고 offset 부정합으로 말미암아 성능이 급격히 저하되는 단점을 지닌다. 이에 따라 여러 채널을 갖는 병렬구조에는 반드시 부정합 오차를 감소시키기 위한 보정회로가 필요하다.

(그림 4)는 1.5GS/s의 동작속도를 갖는 단일 6b ADC를 16개 병렬 처리하여 최대 24GS/s의 변환속도를 갖는 ADC<sup>[5]</sup>의 구조이다. 각 채널 간 이득 및 offset 오차를 최소화하기 위한 DAC가 존재하며, 타이밍 부정합을 최소화하기 위해 클럭 발생기 또한 보정회로를 포함한다.

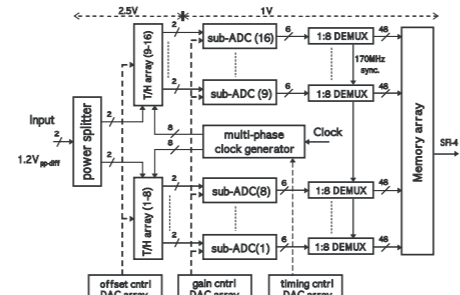


그림 4. 6b 24GS/s ADC (16X Interleaved)<sup>[5]</sup>

SAR ADC

최근 ADC 설계자들에게 가장 큰 관심을 받고 있는 구조는 바로 SAR ADC다. 이를 반영하듯 2010년 ISSCC의 session 21은 총 7편의 고성능 SAR ADC 논문으로 구성되었다. 이 중 18b 12.5MS/s ADC 및 6b 40GS/s ADC는 각각 SAR 구조가 해상도와 변환속도를 얼마만큼이나 확장할 수 있는지 가능성을 보여주었다.

이와 같이 SAR 구조가 최근 각광을 받는 가장 큰 이유는 CMOS 공정의 스케일링에서 오는 손실을 다른 구조보다 덜 민감하게 느낄 수 있는 구조적 이점을 지녔기 때문이다. 대표적인 예로 대부분의 SAR ADC는 높은 전압이득 및 주파수 특성이 있는 고성능 증폭기가 필요하지 않는다.

파이프라인 ADC

앞서 소개한 바와 같이 ADC의 성능향상을 위해 다양한 구조 및 주변회로들이 연구되고 있지만, 여전히 파이프라인 ADC는 10b 이상의 해상도에서 수십~수백 MHz의 동작속도를 얻기 위한 가장 매력적인 구조이다. (그림 5)는 12b의 해상도를 얻기 위해 2.5b(2b) 5단 및 3b 플래시 ADC로 구성된 전형적인 파이프라인 구조의 ADC<sup>[6]</sup>이다. 최근의 파이프라인 ADC는 낮은 전력소모 및 높은 SNR을 얻기 위해 샘플 앤 홀드 증폭기(SHA)를 제거한 구조로 많이 구현되는 추세이다. 다만, 최초 아날로그 입력신호가 SHA를 거치지 않고 직접 첫 단 MDAC 및 플래시 ADC에 인가되기 때문에 (그림 5)와 같은 샘플링 타이밍 오차를 최소화하기 위한 입력단 구성이 필요하다. 또한 최근에는 높은 전력소모를 필요로 하는 증폭기대신 비교기 또는 ZCBC(Zero-crossing based circuit)를 사용하여 MDAC를 구성함으로써 높은 에너지 효율을 기대하는 파이프라인 ADC가 연구되고 있다.

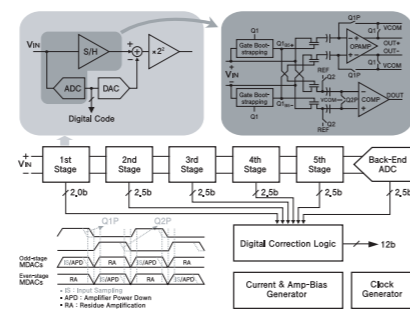


그림 5. 12b 50MS/s Pipelined ADC<sup>[6]</sup>

ADC의 미래기술 전망

ADC의 세부적인 기술 발전 방향을 예측하기는 매우 어려우나, 앞서 정리한 현재의 최신 기술 동향을 파악함으로써 어느 정도의 큰 흐름은 알 수 있다. 그림 6에 최근 미국 Intersil에서 개발한 10/ 12b 500MS/s 및 14b 250MS/s ADC에 대한 블록다이어그램이 나와 있다. 이 제품군은 2003년경 MIT의 대학원생인 Kenet에서 개발된 FemtoCharge<sup>™</sup> 기술이 사용되어 기존 동일 성능의 ADC에 비해 약 3배 낮은 전력만을 필요로 한다. 이와 같은 우수한 성능을 가능하게 한 FemtoCharge<sup>™</sup> 기술은 기존 파이프라인 구조 ADC에 CCD(charge-coupled device) 처럼 전하패킷을 통과하는 기법을 적용하여 많은 전력소모를 유발하는 증폭기를 제거함으로써 가능하다. 이와 같이 기존 데이터 변환기 기술에 다른 분야의 설계 기법을 적용함으로써 지금까지 어려움을 겪고 있던 많은 문제점을 한 번에 해결할 수 있는 기술적 도약을 이룰 수 있다.

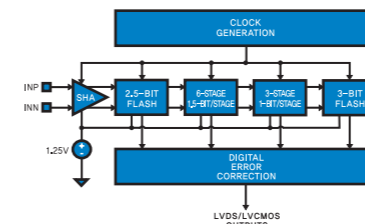


그림 6. Intersil사의 FemtoCharge<sup>™</sup> 기술이 적용된 12-bit 500MS/s ADC<sup>[7]</sup>

ADC의 기술적 도약을 이룬 또 다른 예로 2009년 National Semiconductor사가 ISSCC에 발표한 폴딩 ADC<sup>[3,8]</sup>를 예로 들 수 있다. 그림 7에 도시된 ADC는 폴딩율이 높아질수록 입력대역폭의 제한되고 zero-crossing 오차증가 및 선형성이 저하된다는 고정관념을 깨고 폴딩율을 무려 3<sup>6</sup>(= 729)까지 높여 10b 해상도에 1GS/s (단일채널:500MS/s)의 높은 변환속도를 만족한다. 이와 같이 기존의 관념을 뒤집는 구조는 unified 설계 기법을 도입함으로써 가능해졌다. Unified 구조는 동일한 폴딩율, 폴딩증폭기(개수), 인터플레이션율을 갖는 단일블록을 해상도가 요구하는 만큼 나열하여 구성할 수 있다. 또한 그 구조적 특성상 n-1 블록의 아날로그 출력 신호가 n번째 블록 아날로그 출력신호의 기준이 되어 폴딩율이 높아져도 오차범위 내에서 자동으로 보정된다. 이는 언제나 부분이 전체를 닮는 자기 유사성을 갖는 프랙탈(fractal) 구조와 흡사하다. 또한, 앞서 소개한 FemtoCharge<sup>™</sup> ADC와 마찬가지로 자가 보정기법 및 time-interleaved(2x) 구조로 설계되어 있다.

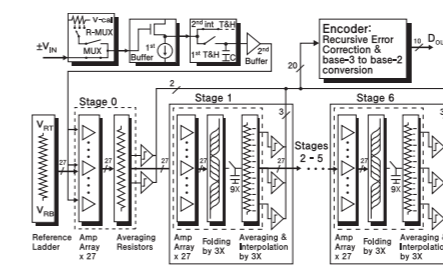


그림 7. NS사의 Unified-Folding-Interpolating 기술이 적용된 10-bit 1.0GS/s ADC<sup>[8]</sup>

이처럼 향후 ADC 설계 기술은 기존 ADC가 갖는 구조적 단점 및 공정 스케일링에 따른 아날로그 신호처리의 손실을 극복하기 위해 디지털 영역에서 오차 보정이 가능한 주변회로가 강화됨과 동시에 구조 간 융·복합을 통해 서로의 장점만을 취한 새로운 구조의 ADC가 속속 등장할 것으로 예상된다. 마지막으로 향후 ADC의 기술 전망 추이는 (그림 8)과 같이 진행될 것으로 예상된다.

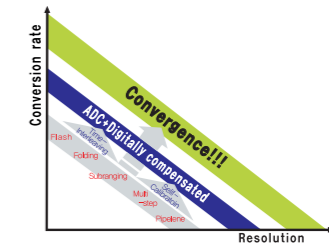


그림 8. ADC 설계 기술의 발전 전망

결론

본 논문에서는 나이퀴스트 아날로그-디지털 데이터 변환기(ADC)를 중심으로 기존의 구조, 현재의 기술동향, 그리고 향후 연구전망에 대해 논하였다. ADC는 기존의 SAR, 플래시, 폴딩, 파이프라인 등의 구조가 중심이 되어 연구가 진행됐다. 그러나 현재는 각 구조의 장점을 혼합한 하이브리드형태의 구조가 계속 연구 중이며, 이러한 연구는 앞으로도 더욱 가속화될 것이다. 또한, 디지털 보정기술이 기본적으로 탑재되어 ADC의 성능을 더욱 향상할 것으로 전망된다.

Reference

- [1] 이승훈, 김범섭, 송민규, 최중호 공저, "CMOS 아날로그 / 혼성모드 집적시스템 설계," 시그마프레스, 1999.
- [2] 조영재, 임신일, 이승훈, "Data Converters (ADC, DAC) IC 설계 기술, 전자공학회지, 제 31권, 제 9호 (통권 제 244호), pp.21-31, 2004년 9월.
- [3] www.national.com/analog/adc/ultra\_high\_speed\_adc
- [4] 김대운, 문준호, 송민규, "Offset Self-Calibration 기법을 적용한 1.2V 7-bit 800MS/s Folding-Interpolation A/D 변환기의 설계," 대한전자공학회지 논문지, 제 47권, SD편, 제 3호, pp.18-27, 2010년 3월.
- [5] Peter Schvan et al., "A 24GS/s 6b ADC in 9nm CMOS," in ISSCC Dig. Tech Papers, Feb., 2008, pp.544-545.
- [6] Y. J. Kim, H. C. Choi, G. C. Ahn and S. H. Lee, "A 12bit 50MS/s CMOS Nyquist A/D Converter With a Fully Differential Class-AB Switched Op- Amp," IEEE J. Solid-State Circuits, Vol.45, No.3, pp.620-628, Mar., 2010.
- [7] www.intersil.com/converters
- [8] R. C. Taft et al., "A 1.8V 1.0GS/s Self-Calibration Unified-Folding-Interpolating ADC with 9.1 ENOB at Nyquist Frequency," in ISSCC Dig. Tech Papers, Feb., 2009, pp.78-79.

# SONOS 비휘발성메모리 (Non-Volatile Memory, NVM) 기술



충남대학교 전자공학과  
 이가원 교수  
 연구분야 : SONOS Memory device, ZnO Thin Film Transistor, 트랩특성화 및 소자 Simulation  
 E-mail : gawon@cnu.ac.kr  
 http://www.cnu.ac.kr/~gawon



박현우 조국

## 서론 Silicon-Oxide-Nitride-Oxide-Silicon(SONOS) 연구 배경

정보 사회의 기반에는 저가의 고집적, 고성능, 저전력 특성을 갖춘 반도체 부품이 필수적이며 이러한 반도체 부품 기술 중 후대기에는 특히 비휘발성 메모리가 핵심 소자라 할 수 있다. 현재 급속도로 성장하고 있는 비휘발성 메모리 소자는 Floating Gate (FG) 구조를 적용한 플래시 메모리이다. 2003년 90nm CMOS 기술을 적용한 2Gb NAND 플래시 메모리 기술이 상용화되기 시작하였고 70nm를 적용한 4Gb 소자에 이어 2006년도에는 32Gb도 개발되었다. 이러한 소자 축소 동향은 꾸준히 진행되면서 2010년 여러 반도체 회사에서 25(20)nm 급의 64Gb를 이미 양산하고 있다. 이대로라면 2014년 경에는 16nm급의 소자를 기대할 수 있으나 16nm 혹은 그 이하로의 진행 시에는 많은 기술적인 난관에 부딪힐 것으로 예측되고 있다.

따라서 이를 극복할 수 있는 비휘발성 메모리 개발의 필요성은 날로 증대되고 있는 상황으로 플래시 메모리 소자 축소에 따른 문제점과 이에 대한 대안으로 현재 활발하게 연구되고 있는 3차원 소자에 대해서는 “3-D NAND Flash Memory 개발 동향” (IDEC 뉴스레터 2011, 165-166호 특집기사, 이승백, 최선준)를 통해 자세하게 소개된 바 있다. 그림 1은 향후 NAND 플래시 개발 동향을 기존의 2차원 소자와 3차원 소자의 경우로 나누어서 보여주고 있다. FG 플래시메모리에 있어서 항 후 변경되리라 보고 있는 다른 부분으로 FG를 대신하는 Charge trapping (CT) 구조를 들 수 있다. 현재의 FG 구조의 경우 계속적인 소자 축소 시 gate coupling ratio를 유지할 수 있는냐는 점과 상호 인접 셀과의 cross talk을 막을 수 있는냐는 것이 큰 관건인데 이를 해결할 수 있는 방안으로 CT 구조의 점진적인 도입이 연구되고 있다 [1]. 표 1은 2010년 개정된 ITRS Flash Technology Requirements 중 중요 부문을 발췌한 것으로 실제로 2012년 이후 양산되는 소자에서는 CT 구조의 적용이 예측되고 있음을 보여준다.

Future NAND Flash Scaling Trend

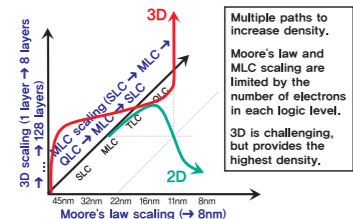


그림1. NAND 플래시 메모리의 소자 축소 전망(R. Liu-Macronix)

Year of production	2010	2011	2012	2013	2014	2015
Poly 1/2 pitch (nm)	26	24	22	20	19	18
Highest density	64G	64G	128G	128G	256G	256G
Cell Type(FG, CT, 3D, etc.)	FG	FG	FG/CT	FG/CT	FG/CT	CT-3D
3D NAND number of memory layer	1	1	1	1	1	4
Maximum number of bits per cell (MLC)	3	3	3	3	3	3
Interpoly dielectric material (Floating gate device)	ONO	ONO	ONO	ONO	ONO	High-K
Control gate material (Floating gate device)	n-poly	n-poly	n-poly	n-poly	n-poly	Metal

표 1. ITRS NAND Flash Technology Requirements (ITRS Roadmap, 2010 updated)

CT 구조로 NAND Flash에서 가장 많이 연구되는 소자는 Silicon-Oxide-Nitride-Oxide-Silicon (SONOS) 구조의 플래시 메모리이다. 그림 2는 FG 구조를 갖는 기존의 플래시 메모리와 SONOS 소자 구조를 나타내고 있다 [2]. FG 구조에서 데이터 저장 공간은 폴리실리콘 플로팅 게이트이지만, SONOS 구조에서는 얇은 실리콘 질화막을 사용한다. FG 구조의 경우 하나의 결함에 포획된 전자는 폴리실리콘의 도통되는 성질 때문에 방전될 가능성이 높으나 SONOS의 경우 포획된 전자가 부도체인 실리콘 질화막 안에 있으므로 방전의 위험이 줄어들게 되어 data retention 특성이 우수하다. 또한 게이트 stack height가 낮아 공정 측면에서 간단하고 비례 축소가 용이하다 [1][3]. 물론 SONOS 외에 폴리실리콘 저장 전극을 나노 크기의 양자점으로 형성하는 Nanocrystal Flash를 비롯하여 Ferroelectric RAM (FeRAM), Magnetic RAM(MRAM), Phase-change RAM(PCRAM), Organic and Polymetric Memory 등 다양한 종류의 비휘발성 메모리들이 연구되고 있으나 아직까지 소자 축소 측면에서의 한계를 극복하고 있지 못한 상황이다. 따라서 집적화 관점에서 SONOS 플래시 메모리는 가장 실현성이 높은 차세대 비휘발성 메모리라 할 수 있다.

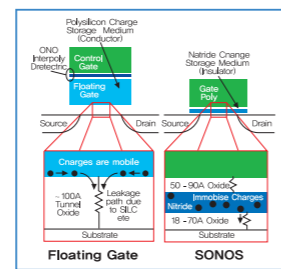


그림 2. FG와 SONOS 플래시 메모리 소자 구조 비교[2]  
 SONOS의 경우 포획된 전자가 실리콘질화막 안에 있으므로 방전의 위험이 줄어들게 되어 data retention 특성이 우수하다.

## SONOS 플래시 메모리 국내외 연구 현황

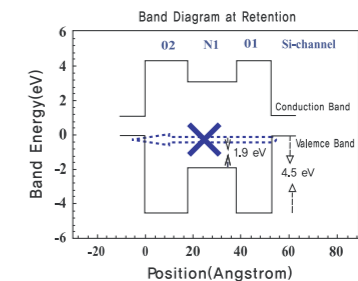
앞 서 언급한 바와 같이 SONOS 플래시 메모리 소자는 차세대 대용량 비휘발성 메모리 소자로서의 가장 실현성이 높은 소자로 주목받고 있지만 아직 해결해야 할 문제점들을 안고 있는 것이 사실이다. 이를 국내외 연구 현황과 함께 정리해보면 다음과 같다.

### Tunneling Oxide Engineering

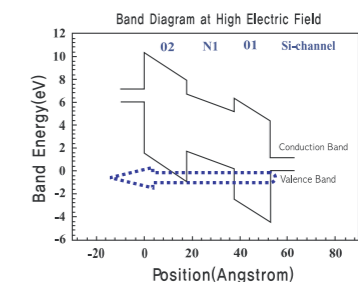
SONOS 구조의 경우 전자들이 charge trapping layer인 nitride에 깊게 포획되기 때문에 detrapping이 어렵다는 문제를 안고 있다. 이로 인해 tunneling oxide의 두께가 3nm 이상 두꺼울 경우 erase speed가 느려지게 된다. Erase voltage를 증가시킬 경우 오히려 gate injection이 증가되어 erase가 어렵게 된다 [4].

따라서 tunnel oxide를 얇게 형성하게 되는데 이 경우 direct tunneling에 의한 누설 전류 증가로 data retention 특성이 열화된다. 따라서 erase speed와 data retention 특성을 모두 확보할 수 있는 tunneling oxide 형성이 매우 중요한 문제가 되어 왔다. 2005년 tunnel oxide를 단일 SiO<sub>2</sub>로 사용하지 않고 SiO<sub>2</sub>-Nitride-SiO<sub>2</sub> 형태로 사용하는 Bandgap-engineered SONOS (BE-SONOS)가 제안되었으며 [5] erase와 retention 특성을 동시에 확보할 수 있는 유용한 방법으로 계속 연구되어지고 있다 (그림 3 참조).

단일 물질을 사용하는 경우 tunneling oxide의 신뢰성 및 cycling endurance를 개선시키기 위해 Oxynitride를 적용한 연구가 선행되고 있으며 이 경우 interface stability가 개선되면서 우수한 특성을 보였으며 [6][7] 이 BE와 Oxynitride의 장점을 취하면서 공정적으로 용이하게 소자 특성 확보를 위한 N2 implant 적용도 발표되었다 [8].



(b)



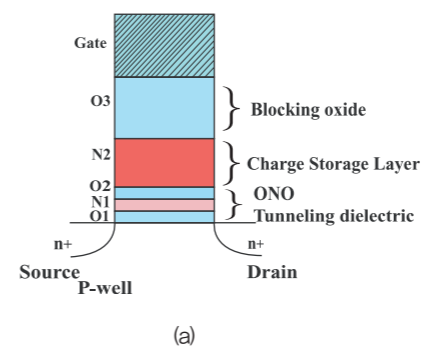
(c)

그림 3. (a) O1N1O2를 tunneling layer로 사용하는 n-channel BE-SONOS 구조  
 (b) zero electric field (retention mode) 와 (c) negative gate bias (erase mode)에서의 O1/N1/O2의 Energy Band diagram. Erase 특성을 열화시키지 않으면서 retention 특성이 개선될 수 있음을 보이고 있다. [5]

### Trapping Layer Engineering

부도체인 Nitride를 trapping layer로 사용한다 하더라도 charge migration, trapping efficiency 등 trapping layer 특성 문제로 인해 data retention 및 endurance 특성이 열화된다. 이를 개선하기 위해 nitride 형성 시 Si/N ratio를 제어하는 방법을 이용하여 그림 4에 도시된 바와 같이 nitride의 bandgap을 조정하는 방법이 보고되었다[9].

Trapping capability를 개선시키는 다른 방법으로 Nitride 보다 trapping layer의 두께를 증가시킬 수 있는 high-k dielectric을 사용하는 연구도 현재 활발하게 진행되고 있다. 특히 high-k dielectric의 경우 MLC 구조 구현을 위해 trapping layer의 trap level을 더 깊은 곳에 만들어주는 방법으로도 연구되어지고 있다 [10].



(a)

그림 5는 Al<sub>2</sub>O<sub>3</sub>와 HfO<sub>2</sub>를 trapping layer로 사용한 SOHOS (Silicon-Oxide-High-k-Oxide-Silicon)의 bandgap diagram을 기존 SONOS 구조와 비교하여 도시한 것으로 Al<sub>2</sub>O<sub>3</sub>는 deep trap 형성, HfO<sub>2</sub>는 tunneling oxide와의 band-offset이 크다는 점이 장점이다. HfO<sub>2</sub>에 Si를 첨가한 HfAlO를 적용함으로써 소자 성능이 더욱 개선될 수 있음이 꾸준히 보고되고 있다 [11].

이 외에 trapping layer를 적용하여 형성하는 연구도 이루어지고 있는데 그림 6은 Trapping layer로 HfAlO/HfO<sub>2</sub> stack을 사용한 MAHOS (Metal-Al<sub>2</sub>O<sub>3</sub>-High-k-Oxide-Silicon)의 band diagram으로 trapping site의 밀도와 energy level을 제어하여 소자 특성을 개선하고자 하고 있다[12].

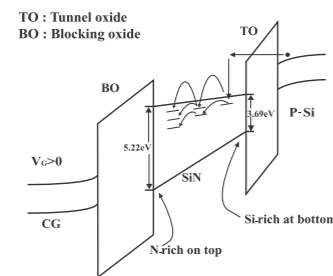


그림 4. Trapping layer인 Nitride의 Bandgap engineering을 통한 Tapered bandgap 형성과 trapping mechanism 모식도[9]

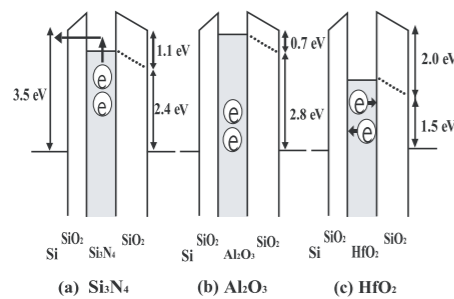


그림 5. (a) Nitride (b) Al<sub>2</sub>O<sub>3</sub> 와 (c) HfO<sub>2</sub> trapping layer를 사용한 SONOS 및 SOHOS(Silicon-Oxide-High k-Oxide-Silicon) band diagram[10].

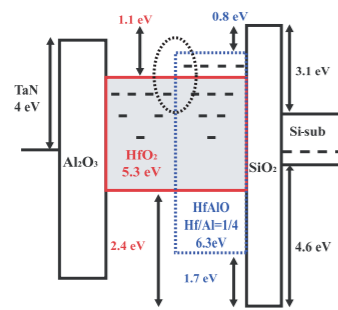


그림 6. Trapping layer로 HfAlO/HfO<sub>2</sub> stack을 사용한 MAHOS (Ta<sub>2</sub>N-Al<sub>2</sub>O<sub>3</sub>-High-k-Oxide-Silicon) band diagram[12]

### Blocking Oxide/Gate Engineering

Erase 동작 시 게이트에 전압을 가할 경우 gate electron injection 현상에 의해 erase saturation 등 erase가 잘 안되는 문제가 발생할 수 있다. 이를 해결하기 위해 동일 게이트 전압에서도 electron injection을 억제할 수 있는 일함수가 큰 metal gate 도입이 연구되고 있으며 이와 함께 gate coupling ratio를 열화시키지 않으면서 blocking Oxide의 두께를 증가시킬 수 있는 방법으로 high-K Oxide 도입이 제안되었다 [13]-[14].

TaN를 게이트 전극으로 사용하고 Al<sub>2</sub>O<sub>3</sub>를 blocking oxide로 사용한 구조를 TaN-Al<sub>2</sub>O<sub>3</sub>-Nitride-SiO<sub>2</sub>-Silicon 구조의 TANOS 플래시 메모리라고 하며 이로 인해 program/erase speed 개선이 가능하다.

그림 7은 SONOS, SANOS, TANOS 소자의 단면도와 erase 동작 시의 SANOS와 TANOS의 bandgap diagram을 보여주고 있다. 특히 게이트 물질로 blocking oxide와의 band-off이 큰 metal을 사용한 TANOS 구조의 경우 gate electron injection을 효과적으로 억제함으로써 program/erase 특성 확보에 보다 유리하다.

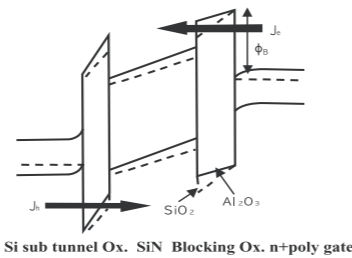
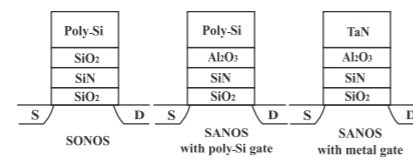


그림 7. (a) SONOS, SANOS 와 TANOS 단면도와 (b) Erase 동작 시의 SANOS와 TANOS의 Bandgap diagram[13].

SANOS와 TANOS의 적용으로 tunneling oxide 두께를 감소시키지 않아도 P/E speed 개선이 가능하다.

### 결론

지금까지 charge trapping 소자인 SONOS 플래시 메모리의 연구 배경과 국내외 기술 개발 동향에 대해서 간단히 살펴보았다. 집적화 관점에서

SONOS 구조는 FG를 대체하는 가장 현실성이 높은 비휘발성 메모리라 할 수 있으며 특성 향상을 위해 gate stack을 이루는 모든 layer에 대하여 다양하게 연구가 이루어지고 있음을 알 수 있었다. 초기 발표된 SONOS 구조의 경우 program/erase 특성을 개선하기 위해 매우 얇은 tunneling oxide와 blocking oxide를 사용하였으나 이로 인해 data retention 및 신뢰성이 크게 저하되는 문제를 안고 있었다. 하지만 BE-SONOS, SOHOS, MANOS/TAHOS, bandgap engineered 혹은 stacked tunneling/trapping/blocking layer 구조 등에 대한 연구를 통해 MLC 구조에도 적용 가능한 우수한 소자들이 계속 개발되고 있다.

SONOS와 같은 Charge-based memory 소자의 한계는 지속적인 소자 축소 시 저장될 수 있는 전자의 수가 감소함으로써 데이터 저장 능력을 잃을 수 있다는 점일 것이다. 이를 해결할 수 있는 방법 중 하나가 바로 3차원 적층 구조로 ITRS에서 예측하는 것처럼 CT-3D 구조는 차세대 비휘발성 메모리의 주류가 될 가능성이 높아 보인다. 하지만 인류가 꿈꾸는 미래 사회의 견인차 노력을 하기 위해 늘 그러했듯이 더 많은 기술적 진보가 끊임없이 이루어질 것으로 믿는다.

## Reference

- [1] K. Kim, IEDM Technical Digest, December 5-7, 2005, pp. 323-326.
- [2] A. Thean and J.-P. Leburton, IEEE Potentials, Oct./Nov. pp. 35-41 (2002).
- [3] K. Kim and J. Choi, Proceedings of the IEEE Non-Volatile Semiconductor Memory Workshop, Monterey, CA, 2006, pp. 9-11.
- [4] H. T. Lue, Y. H. Shih, K. Y. Hsieh, R. Liu, and C. Y. Lu, Proc. IRPS, 2005, pp. 168-174.
- [5] H. T. Lue, S. Y. Wang, E. K. Lai, Y. H. Shih, S. C. Lai, L. W. Yang, K. C. Chen, J. Ku, K. Y. Hsieh, R. Liu, and C. Y. Lu, IEDM Tech. Dig., 2005, pp. 547-550.
- [6] Byungcheul Kim, Joo-Yeon Kim, Kwang-Yell Seo, "Microelectroc Engineering," 77, p.21, 2006
- [7] S. Habermehl, R. D. Nasby, and J. Rightley, Applied Physics Letter, vol. 75, pp.1122-1124, 1999
- [8] Jeong-Gyu Park, Jae-Sub Oh, Seung-Dong Yang, Kwang-Seok Jeong, Yu-Mi Kim, Ho-Jin Yun, Hi-Deok Lee and Gae-Won Lee, 2010 IEEE Nanotechnology Materials and Devices Conference, pp.364-367
- [9] Kuo-Hong Wu, Hua-Ching Chien, Chih-Chiang Chan, Tung-Sheng Chen, Chin-Hsing Kao, IEEE Transactions on Electron Devices, Vol. 52, no 5, pp.987-992, 2005
- [10] T. Sugizaki, M. Kobayashi, M. Ishidao, H. Minakata, M. Yamaguch, Y. Tamura, Y. Sugiyama, T. Nakanishi, H. Tanaka, VLSI Technology 2003, pp.27-29.
- [11] Yan Ny Tan, Wai Kin Chim, Wee Kiong Choi, Moon Sig Joo, Tsu Hau Ng and Byung Jin Cho, IEDM Technical Dig., 2004, pp.889-892
- [12] Ping-Hung Tsai, Kuei-Shu Chang-Liao, Te-Chiang Liu, Tien-Ko Wang, Pei-Jer Tzeng, Cha-Hsin Lin, L. S. Lee, and Ming-Jinn Tsai, IEEE ELECTRON DEVICE LETTERS, Vol. 30, pp.775-777, 2009
- [13] C. H. Lee, K. I. Choi, M. K. Cho, Y. H. Song, K. C. Park, and K. Kim, IEDM Tech. Dig., 2003, pp. 26.5.1-26.5.4.
- [14] C. H. Lee, C. Kang, J. Sim, J. S. Lee, J. Kim, Y. Shin, K. T. Park, S. Jeon, J. Sel, Y. Jeong, B. Choi, V. Kim, W. Jung, C. I. Hyun, J. Choi, and K. Kim, Proc. IEEE NVSMW, 2006, pp. 54-55.





올해 8월 22일 시장조사기관 디스플레이서치의 "세계 TV 시장 보고서"에 따르면 삼성전자와 LG전자가 2분기(4~6월)에도 각각 18.7% 및 15.9% 점유율로 세계 TV 시장 1, 2위 자리를 지켰다. 이어서 일본 업체들이 3~5위를 차지했는데 소니(10.1%), 파나소닉(9.5%) 및 샤프(7.0%)의 점유율을 보였다.

# SPECIAL Column

# 국내 스마트 TV 경쟁력을 위한 IDEC Platform Center

올해 8월 22일 시장조사기관 디스플레이서치의 "세계 TV 시장 보고서"에 따르면 삼성전자와 LG전자가 2분기(4~6월)에도 각각 18.7% 및 15.9% 점유율로 세계 TV 시장 1, 2위 자리를 지켰다. 이어서 일본 업체들이 3~5위를 차지했는데 소니(10.1%), 파나소닉(9.5%) 및 샤프(7.0%)의 점유율을 보였다.

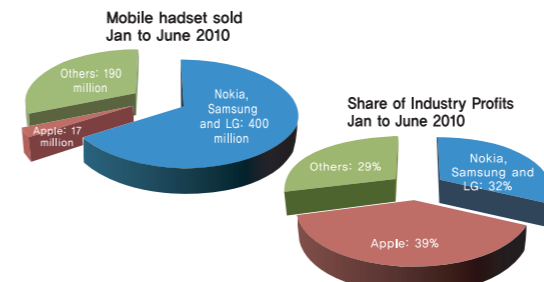
이처럼 TV기기에 대한 삼성, LG의 시장 경쟁력은 2006년부터 현재까지 연속되고 있으며 이 같은 TV기기는 방송 서비스망에 연결되어 동영상 미디어 콘텐츠 및 서비스를 소비자에게 제공하는 단말기 역할을 한다. 최근 TV기기는 인터넷 연결과 컴퓨팅 서비스 제공을 통해서 혁신적으로 진화되고 있다. 방송서비스는 고품질 비디오를 기반으로 한 데이터 방송, 맞춤형 방송 등 새로운 방송시청 환경을 제공하면서, 초고속망을 기반으로 유무선 통합 및 다양한 유무선 네트워크 액세스 환경의 통신서비스와 결합하는 방송통신 융합서비스로 발전하였다.

여기에 HW 성능 고도화 및 개방형 SW 플랫폼을 기반으로 하는 클라우드 인프라는 방송통신 컴퓨팅 융합 서비스를 진화시켜서 콘텐츠/서비스 응용환경을 TV기기에 제공하게 되었다. TV는 과거 "방송서비스 망에 연결된 하드웨어 기기"에서 "인터넷에 접속되어 앱스토어, 웹검색, 게임, SNS 등이 가능한 고성능 PC와 방송시청이 가능한 TV"로 융복합 및 스마트 기기화되고 있는 것이다.

TV의 융복합 및 스마트화는 하드웨어 중심의 산업구조에서 콘텐츠와 플랫폼의 비중이 확대되어, CPTN(콘텐츠(Contents), 플랫폼(Platform), 터미널(Terminal), 네트워크(Network))의 유기적인 스마트 TV를 위한 에코시스템의 전주기적인 구축을 필수적으로 요구하게 되었다.

실제로 에코시스템 구축 경험이 부족한 모바일 폰의 하드웨어/단말 지향적 사업구조의 삼성, LG, 노키아의 총판매량이 67%(400 백만 ea)이고 콘텐츠/소프트웨어 플랫폼 지향적 스마트폰의 사업구조를 가진 애플이 2.8%(17 백만 ea)으로써 삼성, LG, 노키아의 3개 기업이 압도적인 판매량을 차지하였으나, 모바일 기업 순위에서는 애플이 39%이고 삼성, LG, 노키아의 3개 기업의 합이 32%로써 애플의 순위 비중이 3개 기업을 합친 것보다 많은 것을 볼 수 있다.

이것을 통해서 스마트화에서는 실제로 하드웨어/단말 지향적 사업구조를 가진 기업에서 콘텐츠/소프트웨어 플랫폼 지향적 사업구조를 가진 기업으로 산업구조의 중심이 바뀌어 가는 것을 볼 수 있다.



\*참조 : CANACORD Genuity

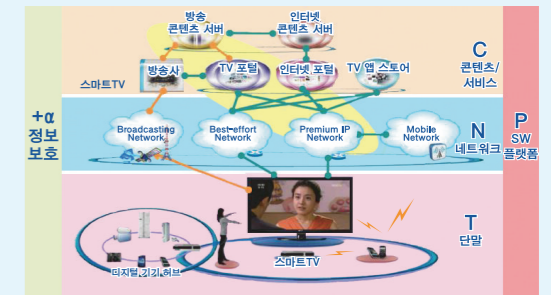
게다가 TV 단말기의 경쟁력 기반에도 많은 변화가 있게 되었는데, 기존에 TV 단말기의 설계 제작기술을 기반으로 하는 하드웨어 제조 경쟁력에서 전용 OS와 같은 소프트웨어 및 방송, 앱/웹브라우저 기반 인터넷 콘텐츠 부분의 플랫폼 경쟁력으로 많은 변화가 있게 되었다.

따라서 현재 TV기기의 주도 기업인 삼성전자와 LG전자가 앞으로 스마트TV 부분에서 웹 및 인터넷 기술의 구글과 스마트 UI/UX 기술의 애플 등과 경쟁하기 위해서는 필수적으로 OS와 웹 인터넷 등의 SW 원천기술 및 플랫폼과 콘텐츠를 포함한 에코시스템 구축 기반기술이 시급하게 필요한 상황이다.

TV 특성	디지털 TV	커넥티드 TV	스마트 TV
콘텐츠	방송	방송 + Widget 기반 Internet Content	방송 + App/웹브라우저 기반 Internet Content
소프트웨어	Low-level 전용 OS	전용 OS(베세방)	전용 OS(개방형)
하드웨어	Tuner, MPEG Decoder, Display, Remoon	디지털TV + LAN	커넥티드 TV + WiFi Direct, Smart Remoon, Gesture Controller
네트워크	RF	RF + Internet	RF + Internet + Mobile Network
주도기업	삼성전자, LG전자	삼성전자, LG전자	Google, Facebook, IT

\*참조 : ETRI 스마트TV사업단

노키아의 CEO Stephen Elop은 "노키아가 Burning Platform 위에 서 있다."라고 했다. "이제 기기의 대결은 지나가고 생태계의 전쟁이 되었습니다. 생태계는 단말기의 하드웨어와 소프트웨어만 의미하는 것이 아니라 개발자들, 애플, 구매 방식, 광고, 검색, 소셜 미디어, 지리정보 서비스, 통합 커뮤니케이션 등 많은 것들을 포함하는 의미입니다. 우리 경쟁자들은 좋은 기기로 우리 시장을 빼앗아 가는 게 아닙니다. 그들은 생태계 전체를 이용하고 있습니다. 이것은 우리도 생태계를 어떻게 건설하고, 촉진하고, 혹은 합류할지 결정해야 한다는 것입니다." 이 같은 언급을 통해서도 스마트 단말기(폰, TV 등)의 글로벌 경쟁력이 전체 생태계 시스템의 구축 경쟁력에 좌우되고 있다는 것을 확인할 수 있다.



\*참조 : ETRI 스마트TV사업단

이러한 생태계 경쟁에서 최근 구글은 모토로라 모바일리티를 인수하여 구글의 플랫폼인 안드로이드 생태계를 강화시켜 나가고 있다. 이제 구글은 모토로라 모바일리티의 휴대폰 사업과 연계하여 SW와 HW 양쪽을 확보하게 되었다. 모토로라 모바일리티는 휴대폰 사업 외에 셋톱박스 등 가정용 영상기기 시장에서 전 세계적으로 점유율 1, 2위를 다투는 글로벌 사업자이며 모토로라 모바일리티의 무선 표준 특허 1만 7천 건과 무선서비스와 관련한 출원특허 7천500건, 스마트TV 시장의 핵심특허도 상당수 확보하고 있으므로, 구글과의 결합은 엄청난 시너지 효과를 불러올 것으로 전망된다.

이 밖에도 구글은 일찍부터 안드로이드, DoubleClick, YouTube, admob, on2, ita SW 등의 여러 SW 및 인터넷 기업들과의 M&A를 통해 모바일 OS부터 온라인 포털과 광고 서비스까지 사업 영역을 확장시켜, 현재는 SW 원천기술을 기반으로 인터넷의 온라인, 오프라인을 넘나들며 강력한 생태계를 갖추고 있다.



\*참조 : ZDNet Korea 구글 M&A 기사

이에 대응하는 국내 스마트TV의 기술경쟁력은 스마트TV 핵심부품인 디스플레이·LED BLU, LCD, 3D 영상 디스플레이 등 하드웨어 기술경쟁력이 세계 최고 수준에 도달해 있다. 이에 반하여 소프트웨어 기술경쟁력은 해외 기업과의 격차가 점차 벌어지고 있다. OS·플랫폼 기술력에서 방송·VoD(Video-On-Demand) 등 범용 서비스 제공을 위한 국내의 기술력이 구글·애플 대비 격차가 미미하나, 스마트TV의 핵심인 플랫폼 분야에서 삼성전자의 바다 등 일부 플랫폼이 있지만, 기술 및 시장지배력에서는 미약한 수준이다.

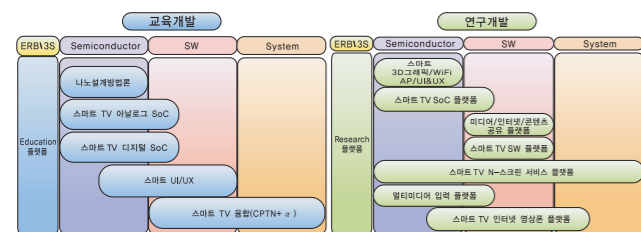
우리나라의 플랫폼 개발역사는 구글·애플 대비 2년가량 뒤쳐져 있으며 개발인력은 1/5 수준에 불과하다. 현재 구글과 애플의 플랫폼 장악력이 글로벌 시장을 주도하고 있으며 그 영향력을 스마트TV에서도 지속·확장시킬 가능성이 크다. 전문 하드웨어 제조업 중심의 국내 IT 산업은 SW 플랫폼 장악력이 미흡하여 향후 글로벌 경쟁우위를 유지하는데 치명적 약점으로 작용할 가능성이 크다. 스마트TV에서 구글 또는 애플의 제조 벤더로 그 위상이 약화되거나 낮은 수익의 악순환 구조를 고착시킬 가능성도 있다. 이에 개방형 SW 플랫폼을 중심으로 스마트TV의 생태계를 강화하는 전략이 필요하다.

한편, 스마트TV는 스마트폰의 경우와 같이 단기간에 TV 시장을 점유해 나가지는 못할 것으로 예상된다. 우선 모바일 단말기와는 달리 TV는 교체주기가 길어서 기존 아날로그 TV에서 디지털 TV로 전환된 이후 향후 상당한 기간이 지난 후에야 교체수요가 발생할 수 있다. 또한, 소비자의 TV 시청방식이 기존의 lean-back 수동적 형태에서 PC처럼 lean-forward 능동적으로 바뀌어야 스마트TV를 효과적으로 활용할 수 있는데, 이를 위해서는 소비자에게 불편함(UI/UX, QoS 등)을 감수하면서 스마트 기술의 필요성을 체감할 수 있도록 스마트TV 단말기를 발전시켜야 하고 소비자들에게 상당한 적응기간이 필요하기 때문이다.

스마트TV의 생태계 시스템 구축에서도 어려움이 예상되는데 무엇보다도 기존의 TV 단말기가 지상파 콘텐츠 중심의 비디오 시청패턴을 기반으로 하지만 스마트TV에서는 지상파 콘텐츠 제공자를 대체할 영향력 있는 콘텐츠 제공자가 단시간에 나타나기 어려운 현재 상황에서 스마트TV 소비자들의 만족도가 제한적인 것도 에코시스템 구축의 어려움을 보이고 있는 것이다. 이외에도 영상 콘텐츠에 대한 저작권문제, 방송의 국가별 국지화, 보안 문제 및 네트워크의 중립성 등 스마트TV 및 서비스에 관한 법적 지위에 대한 해결도 선행되어야 스마트TV의 활성화가 본격적으로 가능할 것이다.

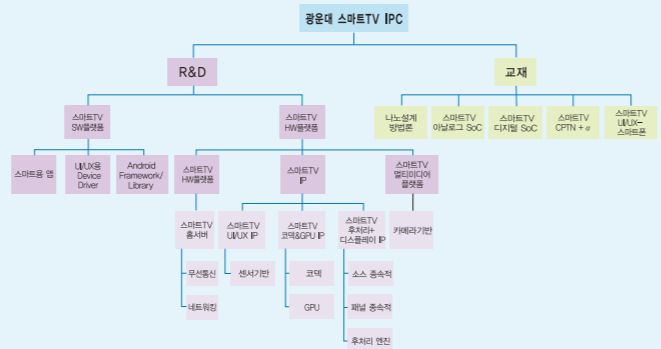
광운대 스마트TV IPC(Platform Center)는 스마트TV 분야의 3S(SoC, SW 및 System) 경쟁력 강화를 위해서 교육/연구/산학연 교류영역에서 사용 가능한 플랫폼 기술 개발 및 보급체제를 구축하고자 한다. 이와 더불어 스마트TV 분야의 창의 인재 및 실무인재 양성을 추진하여 스마트TV산업의 3S 기술혁신 역량을 강화시키고자 한다.

광운대 스마트TV IPC는 이를 위해서 1) (SoC, SW 및 System)의 스마트TV 복합형 기반 구축을 통해서 산학연과의 협력 플랫폼을 구축하고, 2) 시스템 디자인에서 SoC 설계까지 T형 인재양성을 위해서 스마트TV 인력양성(ED)플랫폼을 구축하며, 3) (스마트 OS 및 SoC, 스마트 UI/UX 등) 전략핵심기술 개발을 위한 스마트TV 기술개발(R)플랫폼을 구축하고, 결과적으로 4) 혁신기술 사업화를 위한 효과적 산업네트워킹이 가능한 스마트TV 사업화(B)플랫폼을 사업목표로 하고 있다.



광운대 스마트TV IPC의 협력클러스터는 현재 19개 대학에서 51개의 스마트TV 3S(SoC, SW, System) 관련 교수 연구실과 53개의 산업체 및 연구소들로 구성되어 있다. 스마트 TV 3S 교육(ED)플랫폼에서는 "나노설계방법론", "스마트TV 아날로그 및 디지털 SoC", "스마트TV UI/UX", "스마트TV CPTN+cc" 등 5종의 교재 개발을 14개 대학의 23분 교수님과 2개 산업체의 2분 전문가들이 추진하고 있으며, 스마트TV 3S연구(R)플랫폼에서는 "스마트TV SW/HW 플랫폼", "스마트TV 멀티미디어 플랫폼" 등 3종의 플랫폼 기술개발과 "스마트TV의 기능/기능/인간 친화적 인터페이스" 등 5종의 UI/UX기술개발이 진행되고 있다.

광운대 스마트TV 3S(SoC, SW, System)IPC는 현재 글로벌시장에서 차지하고 있는 국내기업의 TV단말기 경쟁력이 미래의 스마트TV 에코시스템에서도 유지 및 발전할 수 있도록 산학협력/인력양성/연구개발/사업화 플랫폼을 활성화하는 국내기반을 구축할 것이다.

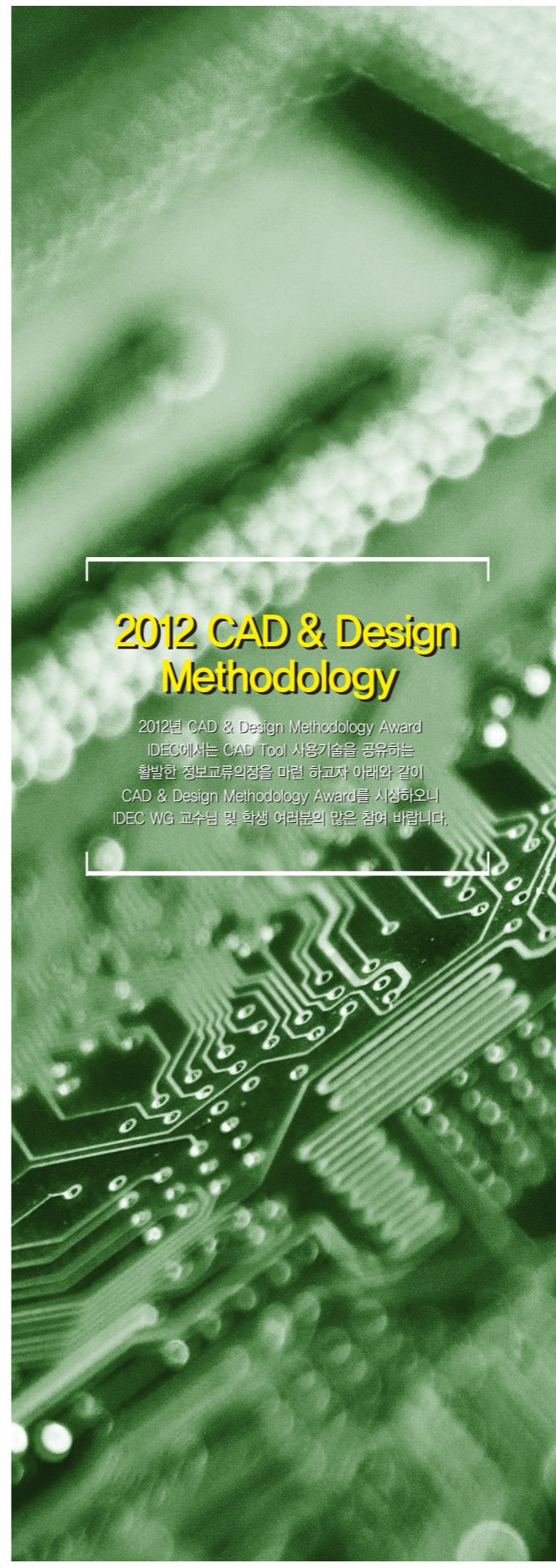


**광운대 스마트 TV IPC**  
(http://idec.kw.ac.kr)

주 소 : 서울시 노원구 월계동 447-1  
광운대학교 화도관 308호

CEO : 공진홍 교수  
kongjh@kw.ac.kr

행정팀 : 손희경 행정원  
idecreg@kw.ac.kr  
02-940-5447



**2012 CAD & Design Methodology**

2012년 CAD & Design Methodology Award  
IDEC에서는 CAD Tool 사용기술을 공유하는  
활발한 정보교류의장을 마련 하고자 아래와 같이  
CAD & Design Methodology Award를 시상하오니  
IDEC WG 교수님 및 학생 여러분의 많은 참여 바랍니다.

- 시상명**  
제19회 한국반도체학술대회 Chip Design Contest(C.D.C)의 CAD & Design Methodology Award
- 시상목적**  
반도체 및 시스템 설계를 위한 효율적 툴사용 및 기술습득을 목적으로 툴사용 관련 기술을 공유하는 활발한 정보교류의 장 마련
- 시상일정 및 장소**  
2012. 02. 16(목), 고려대학교(서울 안암동)
- 시상기준**  
IDEC에서 지원하는 CAD Tool이 적용된 우수 활용(설계)례를 선정하여 시상
- 시상내역**
  - 1) 최우수상 (1팀) : 상장 및 상금 50만원
  - 2) 우수상 (2팀) : 상장 및 상금 각 30만원
  - \* 위 시상내역은 참가팀 수에 따라 조정될 수 있습니다.
  - \* 참가팀에게 소정의 기념품을 드립니다.
- 참여 안내**
  - 1) Paper 접수기간 : 2011. 11. 16(수)~2011. 12. 15(금)
  - 2) 심사 결과 안내 : 2012. 01. 10(수)
  - 3) 시상 및 수상자 Presentation : 2012. 02. 16(목)
- Paper작성 요령**
  - 1) Paper작성 대상 툴 범위 : IDEC에서 지원한 모든 CAD Tool
  - 2) 분량 : 4page 이내 (A4)
  - 3) 작성 언어 : 국, 영문 사용가능
  - 4) 제출 양식 : Template(http://idec.kaist.ac.kr에서 다운로드)
  - 5) 제출 방법 : Word 파일로 작성 후 이메일 제출



관련문의 담당자 : 석은주 042-350-8538 eunjuseok@idec.or.kr