

IDEC Newsletter

IDEC Newsletter | 통권: 제171호 | 발행일: 2011년 8월 30일 | 발행인: 경종민 | 편집인: 김이섭 | 제작: 푸을디자인
기획 | 전화: 042) 350-8535~6 | 팩스: 042) 350-8540 | <http://idec.or.kr>
E-mail: jhg0929@idec.or.kr | 발행처: 반도체설계교육센터(IDEC)

Vol.171

2011
September

IDEC NEWS | 02 자동차 전장용 표준 SW플랫폼 표준화 기술 동향 | 04 신재생 에너지 인버터용 전력반도체 기술 동향 | 10
나노미터 CMOS 기술에서의 파워 게이팅 구조 연구 동향 | 16 SIGMA-SPICE 소개 | 20

반도체설계교육센터 사업은 지식경제부, 반도체산업협회, 반도체회사(삼성전자, 하이닉스반도체, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.

자동차 전장용 표준 SW 플랫폼 표준화 기술 동향

과거 단순한 이동 수단이 목적이었던 자동차는 최근 안전하고 편리한 자동차, 서비스 지향 자동차로 거듭나고 있다. 편리하고 안전한 서비스를 제공하기 위한 전자제어 장치의 장착이 확대되고 전자제어 장치 간의 연동을 통한 서비스 개발이 늘고 있다. 본 고에서는 자동차 서비스의 개발에서 IT 기술들의 집합체라고 할 수 있는 전자제어용 소프트웨어의 표준 플랫폼인 AUTOSAR (AUTomotive Open System Architecture)의 동향과 차량용 멀티미디어 플랫폼인 GENIVI의 표준 동향 및 이슈를 살펴보고자 한다. (관련기사 P04~08참조)

신재생 에너지 인버터용 전력반도체 기술 동향

현대의 전력계통의 신기술들은 전력용 반도체와의 결합을 통하여 창출되고 있으며, 특히 국내에 이미 된 해남-제주 간 HVDC, 2010년경 도입될 것으로 전망되는 제2의 해남-제주 HVDC 및 FACTS, SVC, UPFC 등이 대표적인 전력반도체 기반의 계통기술이다. 전력용 반도체는 콘덴서나 코일과 같은 기존의 전력용 전자부품을 대체하여 전력기술의 효율성과 기능성을 크게 향상시키는 기술이다. 본 고에서는 신재생 에너지 인버터용 전력반도체 기술 동향에 대해 다루고자 한다. (관련기사 P10~15참조)

나노미터 CMOS 기술에서의 파워 게이팅 구조 연구 동향

CMOS 공정기술이 나노 영역으로 진입하면서 전력소모는 VLSI 시스템 설계에서 가장 중요한 요소가 되고 있다. 공정이 미세화될수록 공급전압은 계속 낮아지고 로직의 성능을 유지하기 위해 트랜지스터의 문턱전압은 그에 비례해서 낮아져야 하고 그에 따라 누설 전력은 기하급수적으로 증가한다. 본 고에서는 나노미터 CMOS 기술에서의 파워 게이팅 구조에 대해 알아보고자 한다. (관련기사 P16~P19)

SIGMA-SPICE 소개

SIGMA-SPICE는 U.C. Berkeley SPICE3[1]를 기반으로 한 MS Windows용 회로 시뮬레이션 프로그램으로, 포항공과대학교 Analog IC Systems(AICS) 연구실에서 지난 10년간 그 기능을 개선하여 상용 SPICE 수준으로 개발하였다. 본 고에서는 이러한 SIGMA-SPICE를 소개하는 자리를 마련하였다. (관련기사 P20~23 참조)

2012 CAD & Design Methodology

2012년 CAD & Design Methodology Award
IDEC에서는 CAD Tool 사용기술을 공유하는 활발한 정보교류의장을 마련 하고자 아래와 같이 CAD & Design Methodology Award를 시상하오니 IDEC WG 교수님 및 학생 여러분의 많은 참여 바랍니다.

시상명

제19회 한국반도체학술대회 Chip Design Contest(C.D.C)의 CAD & Design Methodology Award

시상목적

반도체 및 시스템 설계를 위한 효율적 툴사용 및 기술습득을 목적으로 툴사용 관련 기술을 공유하는 활발한 정보교류의 장 마련

시상일정 및 장소

2012. 02. 16(목), 고려대학교(서울 안암동)

시상기준

IDEC에서 지원하는 CAD Tool이 적용된 우수 활용(설계)례를 선정하여 시상

시상내역

- 1) 최우수상 (1팀) : 상장 및 상금 50만원
- 2) 우수상 (2팀) : 상장 및 상금 각 30만원
* 위 시상내역은 참가팀 수에 따라 조정될 수 있습니다.
* 참가팀에게 소정의 기념품을 드립니다.

참여 안내

- 1) Paper 접수기간 : 2011. 11. 16(수)~2011. 12. 15(금)
- 2) 심사 결과 안내 : 2012. 01. 10(수)
- 3) 시상 및 수상자 Presentation : 2012. 02. 16(목)

Paper작성 요령

- 1) Paper작성 대상 툴 범위 : IDEC에서 지원한 모든 CAD Tool
- 2) 분량 : 4page 이내 (A4)
- 3) 작성 언어 : 국, 영문 사용가능
- 4) 제출 양식 : Template(<http://idec.kaist.ac.kr>에서 다운로드)
- 5) 제출 방법 : Word 파일로 작성 후 이메일 제출



관련문의 담당자 : 석은주 042-350-8538
eunjuseok@idec.or.kr

MPW (Multi-Project Wafer)									
설계 공모전 진행 현황					MPW 칩제작 현황				
구분	공정	제작 가능면적 (mm ² x 칩수)	신청 팀수	채택 팀수	설계면적 (mm ² x 칩수)	DB마감	Die-out	비고	
104회 (11-07)	TJ BCD 0.18	5x5mm ² x 1	1	1	5x5mm ² x 1	2011. 8.29	2011. 11.15		
	M/H 0.35	5x4mm ² x 20	20	20	5x4mm ² x 20	2011. 8.29	2011. 12.20		
	M/H 0.18	4.5x4mm ² x 20	22	20	4.5x4mm ² x 20	2011. 8.29	2011. 12.20		
	삼성 65n	20개서버 (4x4mm ² x48)	23	20	4mm ² x 20	2011. 8.19	2012. 1.15	DB 검토중	
105회 (11-08)	TJ 0.18 CIS	5x5mm ² x 2	6	4	5x2.5mm ² x 2	2011. 10.10	2012. 1.11		
	동부 0.35 BCD	5x5mm ² x 3	12	5	5x5mm ² x 1	2011. 10.13	2012. 1.18		
	동부 0.11	5x5mm ² x 13	30	30	5x2.5mm ² x 22	2011. 10.10	2012. 1.10		
	삼성 0.13	4x4mm ² x 48	33-정 13-후	33-정 13-후	4x4mm ² x 45	2011. 11.5	2012. 3.9	후기모집마감	
106회 (11-09)	삼성 0.13	4x4mm ² x 48	33-정 13-후	33-정 13-후	4x4mm ² x 45	2011. 11.5	2012. 3.9	후기모집마감	
107회 (11-10)	M/H 0.18	4.5x4mm ² x 20	26	26	4.5x4mm ² x 16	2011. 12.15	2012. 4.10		

* 2011년 MPW 신청이 모두 마감되었습니다. 2012년 MPW 일정은 11월에 안내될 예정입니다.

* M/H = 매그나칩/하이닉스, TJ = TowerJazz
 * 우선/정규모집에서 마감될 경우 후기모집은 진행되지 않음.
 * Die-out 일정은 Diechip 제작완료 기준임, Package는 Die-out후 3주 이상 소요됨.
 * MPW 참여 일정 및 방법은 홈페이지(www.idec.or.kr) 참조
 * 위의 내용은 8/30 기준임.

* 문의 : 이의숙(042-350-4428, yslee@idec.or.kr)

WG 특성화 플랫폼 제작 및 배포

본 WG 특성화 플랫폼 제작 목적은 WG의 플랫폼 특성화를 지원하고, 국가 프로젝트 기획, 국책과제 지원 또는 산학공동 연구 수행시 연구분야별 grouping을 통한 대학간, 지역간의 연구 협력을 활성화 함으로써 반도체 설계분야의 연구경쟁력을 확보하기 위함이다.

WG 특성화 플랫폼 지도는 WG 참여교수들의 활동 및 전문분야를 표기하여 작성 되었으며, WG 참여교수, 관련 정부기관, 산업체에 배포할 예정이다.

* 문의 : 김은주(042-350-8533, ejkim@idec.or.kr)

2012년 WG 선정 안내

시스템반도체 설계인력 양성과 핵심적인 IP 개발을 위하여 IDEC에서는 2012년 WG를 선정하여 지원하고자 한다. WG 선정 기준은 기존참여교수의 당해연도 활동실적과 차년도 계획, 신규참여교수는 차년도 계획으로 진행되며 선정절차는 아래와 같다.

• 선정 절차

지원신청서 제출 마감	실적결과 조회 및 수정	서류심사	결과 발표	WG Congress
9.30(금)	10.5 ~10.7	10.11~10.18	10.24(월)	10월중 예정

* 상기 일정은 내부 사정으로 변경될 수 있음

- 지원신청서(온라인) 작성 : <http://idec.kaist.ac.kr/wg/wg지원신청>
 * 문의 : 김은주(042-350-8533, ejkim@idec.or.kr)

Chip Design Contest(CDC)

• International SoC Design Conference(ISOCC) 2011 Chip Design Contest 개최

** Chip Design Contest(CDC)는 ISOCC 2011 프로그램의 한 세션으로 진행되나 논문은 프로시딩(Proceedings)에는 포함되지 않음.

1. 일정 및 장소
 가. 전체 진행 일정 : 2011년 11월 17일(목)
 나. 장 소 : 제주 라마다호텔
 다. CDC 주요 일정

논문 접수 마감	논문 채택 통보	Chip Design Contest
2011. 8. 28	2011. 10. 1	2011. 11. 17

* 일정은 사정에 따라 다소 변경될 수 있습니다.

2. Paper 접수 결과

구분	ASIC		FPGA	합계
	데모	패널		
제출편수	6	137	7	150

3. 시상내역

구분	시상명		내역	
	일반 부문	최우수상(1팀)	상장 및 상금 100만원	우수상(1팀)
Best Design Award	특별상부문	SSCS 서울챗터상(1팀)	상장 및 상금 100만원	
		최우수상(1팀)	상장 및 상금 50만원	
FPGA Award		우수상(1팀)	상장 및 상금 30만원	
	* 참여팀 수에 따라 시상팀 수는 조정될 수 있음.			

• 제19회 한국반도체학술대회 Chip Design Contest 개최

1. 일정 및 장소
 가. 전체 진행 일정 : 2012년 2월 16일(목)
 나. 장 소 : 고려대학교내
 다. CDC 주요 일정

논문 접수 마감	논문 채택 통보	Chip Design Contest
2011. 11. 1	2011. 12. 20	2012. 2. 16

* 일정은 사정에 따라 다소 변경될 수 있습니다.

2. 논문 접수 분야 : ASIC, FPGA(Altera, Xilinx)
3. 시상내역 : ISOCC CDC와 동일함.

* CDC 참여와 관련한 자세한 사항은 홈페이지(<http://idec.or.kr>)를 참고해 주시기 바랍니다. (담당:이의숙 yslee@idec.or.kr)

반도체설계교육센터 장학생 2명 선발

반도체설계교육센터(IDEC, 소장 경중민)는 전자 및 반도체 전공자 중 우수학생을 선발하여 장학금을 지급하는 「반도체설계교육센터 장학생」을 2명 선발했다.

제3기 「반도체설계교육센터 장학생」은 김지만 군(인제대 나노시스템공학과 석사과정, 책임교수: 송한정 교수)과 이동건 군(부산대 컴퓨터공학과 박사과정, 책임교수: 남일구 교수)이 선발되어 130만 원의 장학금을 각각 받았다.



김지만 (인제대)



이동건(부산대)

연 2회(학기별) 각 2명을 선발하는 "반도체설계교육센터 장학생"의 선발 기준은 IDEC WG(Working group) 소속 대학교 재학생 또는 입학예정자로서 ▲가정형 편이 곤란하여 학비조달이 어려우며, 학업성적 또는 연구실적이 우수한자, 또는 ▲ 기타 장학금 지급이 필요하다고 인정된 자로서 WG 책임교수의 추천이 필요하다.

* 문의 : 최신희 (042-350-4045, shchoi@idec.or.kr)

KAIST 스마트센서구조연구실에서는 다음분야의 연구원을 모집합니다

KAIST스마트센서구조연구실에서는 향후 9년간 진행될 예정인 '다차원 스마트 IT융합 시스템' 글로벌프론티어사업을 수행하기 위하여 다음 분야의 연구원을 모집합니다.

Smart Sensor Architecture Lab, in pursuing its Global Frontier Project is looking for postdoc and MS/Ph.D. students in the following areas :

1. Energy-aware surveillance camera system design as an optimization problem with energy consumption, data size after compression, noise/error energy as objective function, and remaining memory and battery capacity as constraints. Event detection algorithm/architecture for controlling image compression mode, capture/sampling rate/resolution is needed to achieve the goal. Start with software model and develop into hardware prototype, and finally into 3D IC integration.
2. 3D IC-based energy-aware smart sensor platform design with following aspects : power/energy/thermal management algorithm/ architecture, smart battery, energy harvesting and finding and exploring theoretical limits , modeling of various energy sources.

Each applicant interested in performing above-mentioned research is encouraged to send a letter with a short resume to shema@duo.kaist.ac.kr, or kyung @kaist.ac.kr.

제5회 동부IP설계공모전 참여팀

• 지원 공정

공정	제작 칩수	Chip size	Package 지원
0.1um Mixed-Signal/RF	40	2,35mmx2,35mm	80 pin LQFP
0.35um High Voltage(BD350)	16	2,35mmx2,35mm	80 pin LQFP

• IP별 선정 내역

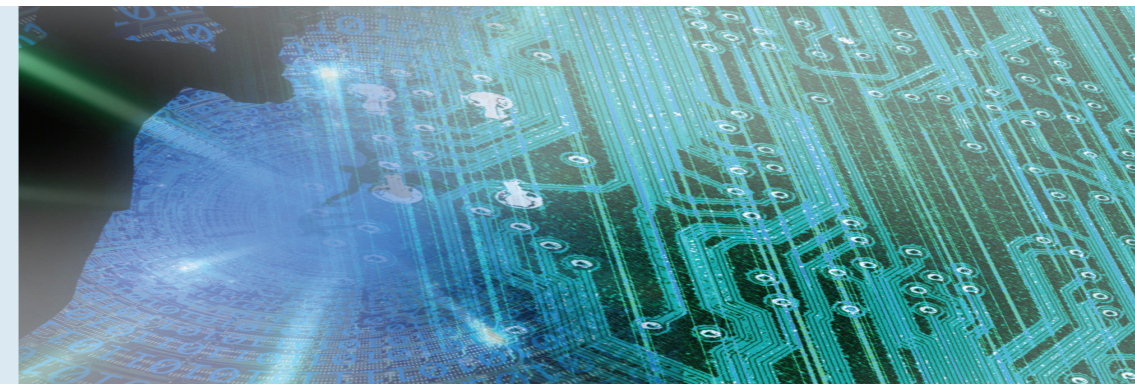
Biz Unit	IP List	참여 팀수	최종 선정 팀수	Target Process
Mixed Foundry	Low Jitter PLL	5	5	0.1um MS
	8 to 10-bit SAR ADC	1	1	
Analog Foundry	Output Power Stage IP for Digital Amp.	1	1	0.35um BCD
	Charge Pump Regulator for LED Driver	5	5	
Display	Spread Spectrum Clock Generator	2	2	0.1um MS
	3Gbps High Speed Transceiver	2	2	
APDC	Wide band LNA for Ultra sound System	2	2	0.1um MS
	50~450MHz Low Jitter Fractional-N PLL	2	2	
	NTSC/PAL (Analog TV)용 DAC/ADC	3	2	0.1um RF
	Sigma-Delta ADC for TV tuner	4	2	
RF Power Amp for Mobile communication	3	2		
합 계		39	30	

* 문의 : 이의숙(042-350-4428, yslee@idec.or.kr)

자동차 전장용 표준 SW플랫폼 표준화 기술 동향



ETRI 자동차융합플랫폼연구팀
 한태만 팀장
 연구분야 : 자동차-IT융합
 E-mail : tmhan@etri.re.kr
 http://www.etri.re.kr



ETRI 연구소

서론

과거 단순한 이동 수단이 목적이었던 자동차는 최근 안전하고 편리한 자동차, 서비스 지향 자동차로 거듭나고 있다. 편리하고 안전한 서비스를 제공하기 위한 전자제어 장치의 장착이 확대되고 전자제어 장치 간의 연동을 통한 서비스 개발이 늘고 있다. 본 고에서는 자동차 서비스의 개발에서 IT 기술들의 집합체라고 할 수 있는 전자장치용 소프트웨어의 표준 플랫폼인 AUTOSAR (AUTomotive Open System Architecture)의 동향과 차량용 멀티미디어 플랫폼인 GENIVI의 표준 동향 및 이슈를 살펴본다.

자동차는 21세기로 접어들어 사시 프레임의 개별 제어, 통합제어 및 자율주행 제어 등의 기술이 개발되며 차량 탑승자에게 안전하고 편리한 새로운 기능들을 제공하고 있다. 이에 따라 자동차 산업은 90년대 부품 모듈의 개별 제어 수준에 머물던 단계에서 점차 통합 모듈 제어 방식으로 진화되고 있으며, 외관과 디자인 위주에서 점차 편의성이나 안전 등의 서비스 개발을 추진하는 단계에 이르렀다. 미래 지능형 자동차는 편의와 안전 위주의 서비스들이 주로 탑재될 전망이며, 향후 차량의 80% 이상의 혁신적인 서비스가 전기전자 시스템을 기반으로 할 것이다[1],[2],[3].

산업 발전에 비취볼 때, 자동차를 생산하는 완성차 업체들은 공통 부품 모듈을 다양한 차량 모델에 적용하고자 하고, 부품 개발업체 입장에서는 다양한 완성차 업체에 유사한 부품 모듈 납품함으로써 제조원가를 낮추려고 하는 것이 자연스러운 현상이다[4]. 이러한 일련의 공통 모듈 재사용이나 차량 별 부품 호환성 등의 문제를 해결하고자 전 세계 완성차 업체, 부품공급회사 및 IT 기술 업체들이 협력하여 자동차 전장 SW의 재사용성과 안전성 및 응용 소프트웨어의 하드웨어 의존성 제거 등을 목표로 전장 SW 플랫폼 AUTOSAR 표준화를 진행하고 있다[5].

AUTOSAR에서는 자동차 도메인을 바디, 사시, 파워트레인, HMI, 멀티미디어/텔레매틱스, 및 안전 분야로 나누고 각 워크 패키지별로 표준화를 단계에 따라 Phase 1, 2, 3으로 나누어 진행 중에 있다[6]. 한편, 최근 스마트폰의 보급 및 활성화에 따라 차량 내 멀티미디어 시스템에 대한 관심도 급격하게 증가하고 있다. 기존에 IVI (In-vehicle Informatinment) 플랫폼으로 MS, QNX, Android 등이 있지만, 각각 장단점을 가지고 있어 GENIVI 등장 이후 그에 대한 관심이 급격하게 늘어나고 있는 상황이다 다음 두 장을 통해서 자동차 전장 소프트웨어의 표준 플랫폼인 AUTOSAR와 멀티미디어 소프트웨어 플랫폼인 GENIVI에 대한 동향과 주요 이슈를 살펴본다.

자동차 전장 SW의 고도화를 위한 표준 현황

자동차 전자제어장치의 발전

자동차의 모습이 점차 다양한 SW를 탑재한 지능형 자동차로 발전하게 됨에 따라 차량 내 전자제어장치의 적용 비중이 높아지고 있다. 제동의 미끄럼 방지를 위한 ABS, 가속 미끄럼 방지용 TCS, 그리고 조향 안전을 제공하는 ESP/ESC 등 탑승자 안전성을 위한 능동적 안전장치, 차내 멀티미디어 장치들을 연결하여 탑승자의 멀티미디어 정보들을 통합·제어할 수 있는 기술, 차량 후방 안전 확보를 위한 후방 카메라 시스템, 앞차와의 거리에 따라 속도를 자율 조절할 수 있는 SCC 및 자율 주차를 제공할 수 있는 APS 등 운전자 편의장치 등이 차량에 탑재되어 출시되고 있다.

또한, 미래 지능형 자동차를 위하여 연구되고 있는 분야로는 바디 통합제어를 위한 BCM, 종축 및 횡축의 특성을 종합할 수 있는 사시 통합 제어 모듈, 기존 IT 분야에서 개발되었던 Ad-hoc 통신기술 및 센터 통신기술 등의 다양한 통신기술들을 차량과 접속시키는 차간 통신 기술(VMC)들이 개발되고 있으며, 차선이탈을 경보 하는 LKS, 사각지대 장애물 인식 시스템, 야간 장애물을 초음파 등을 통해 시각화시켜 알려주는 기술, 차량 내·외부 정보를 통합 제어할 수 있는 통합 제어 게이트웨이 시스템, 텔레매틱스 시스템과 연계된 차량 전자장치 제어 기술 등의 다양한 기술들이 연구되고 있다. 이러한 기술들에는 센서와 제어기 및 구동기로 구분되며, 제어기에는 ECU이라는 핵심 제어장치가 있으며, ECU에 앞서 얘기한 서비스들이 설계되고 실제 ECU에 기록되어 지능형자동차 서비스가 실현된다.서론에서 언급한 바와 같이 이 같은 서비스를 실현하는 모듈을 재사용하는 문제 및 차량통신/메모리 관리/차량진단 등과 같이 서비스에서 공통으로 사용하는 기반 모듈에 대한 표준화의 필요성이 대두하면서 AUTOSAR 표준화 배경이 된다.

AUTOSAR 표준 배경 및 동향

앞서 살펴본 바와 같이 자동차 산업에서 전장에 의한 새로운 가치 창출 비중이 급격하게 높아짐에 따라 전장을 위한 SW 기술에 적극적인 관심과 투자가 집중되고 있다. 이러한 흐름의 일환으로 해외 선진 자동차 업계에서는 자동차 임베디드 시스템의 기술 혁신을 위해 표준 플랫폼 및 개발 방법론의 구축을 위해 노력하고 있다. 대표적인 사례가 AUTOSAR 표준화로서 HW와 SW의 분리를 통하여 SW의 재사용성 및 확장성의 향상을 목표로 한다. 또한, 복잡한 SW를 모델 기반으로 개발할 수 있는 도구 기반의 개발 방법론과

도구 간의 인터페이스를 표준화된 XML 문서로 상호 연동할 수 있도록 하여, 신규 서비스들을 빠르고 신뢰성 있게 개발할 수 있는 방법론과 SW 플랫폼을 표준화시켰다.

AUTOSAR는 2003년 6월 자동차의 전기/전자 아키텍처에 대한 공개 표준 제정을 목표로 유럽, 일본, 미국 등의 자동차 제조 업체들과 부품 제조업체들이 공동으로 참여하는 협력체로 탄생되었다. AUTOSAR 협력체는 3단계의 회원 자격 구조로 이루어져 있으며, 2011년 8월 현재 (그림 1)에서와 같이, 9개의 코어 파트너, 50개의 프리미엄 멤버, 74개의 관련 멤버, 및 16개의 개발 멤버로 구성되어 있다. 국내는 현대기아자동차, 한국전자통신연구원이 프리미엄 멤버로, 대성전기, 만도, 대구경북과학기술연구원이 관련 멤버로 활동 중이다.

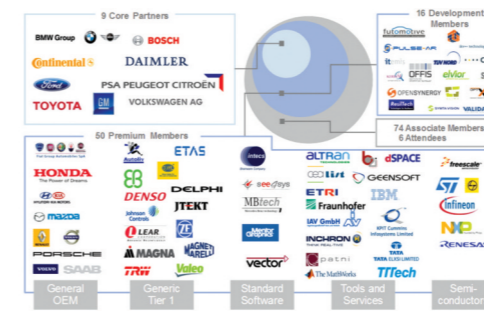


그림 1. AUTOSAR 주요 회원사

연도	활동
2002 Aug	BMW, Bosch, Continental, Daimler Chrysler and Volkswagen의 Initial Discussion
2003 Jul	BMW Group, Daimler Chrysler, Volkswagen의 Bosch, Continental, Siemens VDO 초기 코어 멤버 결성
2003 Nov	Ford Motor 추가 코어 멤버 참여
2003 Dec	Toyota, Peugeot 코어 멤버 참여
2004 Oct	AUTOSAR 개념 정립
2004 Nov	GM 코어 멤버 참여
2005 Jun	Release 1.0 배포(23개 SW 컴포넌트)
2006 May	Release 2.0 배포(42개 컴포넌트 완성)
2007 Dec	Release 3.0 배포(2008-02 Rev-002완성)
2009 Dec	Release 4.0

표 1. AUTOSAR 표준활동

(표 1)에서는 AUTOSAR 표준화 활동 이력을 보여준다. 2003년 AUTOSAR가 결성된 이후 지속적으로 표준을 제정·갱신하고 있다. 앞서 언급했던 바와 같이 표준화는 자동차 도메인 별로 단계적으로 진행 중이다. (그림 2)에서와 같이 AUTOSAR는 Phase 2 (2007년~2009년) 규격화 작업을 완료하고 규격 4.0을 공개했다. 현재 Phase 3(2010년~2012년)을 진행 중이며 멀티코어 프로세서의 지원, 기능 안전성을 위한 기능 추가가 주요 이슈이다.

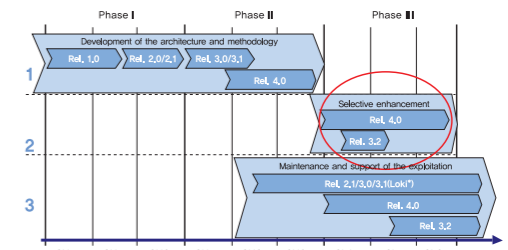


그림 2. AUTOSAR Phase 3 일정

AUTOSAR 표준화 작업을 간단히 살펴보면 표준의 기본 틀을 개발한 후에 안정적인 구조의 방법론을 토대로 선별적인 표준 강화 작업을 진행한다. 이후 시장 상황에 맞추어 각각의 다른 버전의 표준을 지속적으로 유지 보수한다.

일반적인 표준 문서와는 달리 AUTOSAR 표준의 버전은 각기 다른 피처를 포함하는 것이 특징이며, 자동차 회사는 자사의 응용에 맞추어 버전을 선택적으로 사용하는 구조이다. 이와 같은 이유로 Phase 3에서도 여전히 3.x 버전의 표준화 작업이 지속적으로 진행되고 있다.

현재 자동차 완성차 업체에서는 규격이 적용된 자동차를 적용하고 있으며, 선두주자인 BMW가 2006년에 시험 적용한 이후, AUTOSAR의 9개 핵심 멤버들은 자사의 차량에 2012년까지 단계적으로 AUTOSAR 플랫폼을 적용하기로 공표했다.

AUTOSAR SW 개발

AUTOSAR 구조는 크게 AUTOSAR SW-C, RTE, BSW의 3계층으로 나누어지며, 기본 설계는 RTE 개념을 도입하여 응용 SW-C와 HW 관련 SW인 BSW를 분리함으로써, HW에 독립적인 응용 서비스를 개발할 수 있도록 하는 것이다. (그림 3)에서는 AU-

한 진행 방향을 설명한다. 멀티미디어 WG에서는 그래픽 계층에 대한 개요와 계층별 요소들에 대한 설명 및 사용 사례(Use Cases)와 요구사항들에 대한 분석이 이루어지고 있으며, HMI 사용에 계층 간의 결합과 관리 방법론 및 서로 다른 계층 요소들을 관리하고 조정하기 위한 통합 환경의 표준화, 그리고 GENIVI 만의 종속적이고 차별화된 계층 관리 기술이 제안되고 있다.

모바일 오피스 WG에서는 차량 안에서 연결 관리자(Connection Manager)의 필요성과 현재 개발 상태에 대한 점검이 이루어지고 있고, OEM의 요구사항을 받아들여서 검토하고 문서화 하는 작업을 진행하고 있다. 따라서 현재 보완해야 할 문제점과 향후 나아가야 할 방향에 대한 활발한 논의가 진행 중이다.

Automotive WG에서는 자동차 전장신호, 즉 AUTOSAR 진단 신호를 받아 사용자에게 알려주기 위한 DLT 시스템의 응용프로그램 구현되었는데, 좀 더 구체적으로 말해 클라이언트 프로그램에서 진단 신호를 보내고 이를 서버프로그램이 받고 해독하여 GUI 화면에 나타내도록 하는 것이다. 또한, 차량 전장 네트워크 CAN의 사용에 대한 세 가지 아키텍처가 소개되고 있고, 이에 대한 구현상의 문제와 제약사항 및 효과 그리고 필요사항들에 대한 논의가 이루어지고 있다. 시스템 인프라스트럭처 WG에서는 GENIVI 플랫폼의 기반 구조를 지원하는 기술의 표준화를 위한 요구사항들을 검토하고 컴포넌트의 재사용, 기존 오픈 소스 컴포넌트의 적극 활용 등과 IVI 시스템 진입장벽을 낮추기 위한 토론이 이루어지고 있는데, GENIVI 프로젝트에서 프로세스 간 통신을 지원하기 위한 가이드라인을 제시하고 개발전문가 네트워크의 형성을 통해 IPC 메커니즘 간의 비교 벤치마크 및 개발에 대한 의견 수렴을 가능하게 하자는 움직임이 있다.

결론

차량 탑승자의 편의와 안전을 제공하기 위한 다각도의 노력은 전 세계적으로 이루어지고 있으며 이제 차량은 이동 수단만을 의미하지 않고, 개인의 스마트한 하나의 영역이라는 개념이 확산하고 있다. 국내에서도 미래 자동차의 로드맵이 발표되고 산학연을 아울러 관련 연구가 활발하게 추진되고 있어 미래의 무인 자동차, 자동화된 차량 시스템이 현실로 다가오고 있다.

AUTOSAR와 GENIVI에서 제안하는 플랫폼은 이러한 차량 산업계의 흐름에 편승한 여러 기술을 제안하고 있으며, 국내에서도 표준화 작업 및 실제 제품 개발에 활발하게 참여하고 있다. 이와 같은 통일된 SW 플랫폼을 적용하는 부품 모듈들의 조립에 의한 자동차 모델 개발이 가능하게 되며, 재사용성의 증가로 신차 모델의 개발기간 단축과 안전성이 보장되는 부품모듈의 제공으로 서비스 신뢰성 향상이 기대되며, 빠르게 변화하는 지능형 자동차 모습을 앞당길 것으로 예측된다.

약어 정리

- ABS Anti-lock Brake System
- APS Auto Parking System
- BCM Body Control Module
- BSW Basic Software
- EASA European Aviation Safety Agency
- ECU Electronic Control Unit
- ESP Electronic Stability Program
- ESC Electronic Stability Control
- EUROCAE European Organization for Civil Aviation Equipment
- FAA Federal Advisory Committee
- FMEA Failure Mode & Effects Analysis
- LKS Lane Keeping System
- LoC Likelihood of Occurrence per operational hour
- MISRA Motor Industry Software Reliability Association
- MOST Media Oriented System Transport
- RTCA Radio Technical Commission for Aeronautics
- RTE Run-Time Environment
- SCC Smart Cruise Control
- SW-C Software Component
- TCS Traction Control System
- VMC Vehicle Multi-hop Communication
- WG Working Group
- WP Work package

Reference

- [1] 유우석, 박지용, 홍성수, "분산형 실시간 차량제어 시스템을 위한 RTOS, 미들웨어 및 결합 허용성 요소기술 연구," 2006.
- [2] 장승주, "자동차용 임베디드 SW 기술동향," 주간기술동향, 2006.12.
- [3] 장승주, 권오훈, "자동차용 임베디드 운영체제 기술 동향," 주간기술동향, 2007.08.
- [4] 최상원, 선원웅, "자동차 전장기술의 동향과 전망," 한국자동차산업연구소 연구보고서 2005-19, 2005.12.
- [5] Frost & Sullivan, "Strategic Analysis of the European Market for Software in Passenger Cars," M03B-26, 2007.
- [6] AUTOSAR Technical Overview 3.0, AUTOSAR, Dec. 2007.
- [7] IEC 61508 : Functional safety of E/E/PE safety-related systems
- [8] AUTOSAR Main Requirements 3.0, AUTOSAR, Dec. 2007.
- [9] AUTOSAR Layered Software Architecture, AUTOSAR, Dec. 2007.
- [10] GENIVI Wiki, <https://wiki.genivi.org/wiki/bin/view/Genivi/WebHome>

2011년 8월 교육 프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.kaist.ac.kr)를 방문하여 신청하시기 바랍니다.

본 센터 강좌 일정 |

강의 일자	강의 제목	분류
9월 6일-8일	Synopsys Design Compiler를 이용한 synthesis 교육	Tool강좌
9월 9일	Formality Jump Start	Tool강좌
9월 20일-22일	Synopsys Prime Time tool을 이용한 Static timing Analysis 교육	Tool강좌
9월 27일-29일	The next-generation physical design system IC Compiler 교육	Tool강좌

- 강좌일 : 9월 6일-8일
- 강좌 제목 : Synopsys Design Compiler를 이용한 synthesis 교육
- 강사 : 김진호 부장(Synopsys Korea)

[강좌개요]

Synthesize RTL to gates using top-down DC-Ultra techniques. Constrain a complex design for area and timing. Generate output required by physical design tools.

[수강대상]

- ASIC digital designers with little or no Design Compiler experience

[강의수준]

- 초급 + 중급과정

[강의형태]

- 이론 + 실습

[사전지식, 선수과목]

- Basic digital logic design concepts and Unix based text editor

- 강좌일 : 9월 9일
- 강좌 제목 : Formality Jump Start
- 강사 : 김진호 부장(Synopsys Korea)

[강좌개요]

Workshop covers, via lecture and lab, the basics of formal verification. On the first day, students will apply a formal verification flow for : Verifying a design / Debugging a failed design

[수강대상]

- Design or Verification engineers who understand traditional functional verification methods, and who want to perform verification more quickly, without using vectors.

[강의수준]

- 초급

[강의형태]

- 이론 + 실습

[사전지식, 선수과목]

- Basic digital logic design concepts and Unix based text editor

- 강좌일 : 9월 20일-22일
- 강좌 제목 : Synopsys Prime Time tool을 이용한 Static timing Analysis 교육
- 강사 : 권영기 부장(Synopsys Korea)

[강좌개요]

This workshop shows you how to maximize your productivity when using PrimeTime. Topics include preparing for STA on your design, including investigating and analyzing the clocks that dictate STA result; identifying opportunities to improve run time; and performing static timing analysis. This workshop focuses on the SPEF-based flow, but also covers issues relating to SDF back annotation. Hands-on labs follow each training module, allowing you to apply the skills learned in lecture. Most labs apply the command-line interface; one lab gives you the opportunity to explore the Graphical User Interface, which can be a valuable debugging aid.

[수강대상]

- Design or verification engineers who perform STA using PrimeTime

[강의수준]

- 초급 + 중급

[강의형태]

- 이론 + 실습

[사전지식, 선수과목]

- A basic understanding of digital IC design.
- Familiarity with UNIX workstations running X-windows.
- Familiarity with vi, emacs, or other UNIX text editors

- 강좌일 : 9월 27일-29일
- 강좌 제목 : The next-generation physical design system IC Compiler 교육
- 강사 : 염경원 과장(Synopsys Korea)

[강좌개요]

강의를 통하여 Synopsys의 IC compiler overview를 이해하고 필요한 input file 및 각 단계별 key command를 습득한 후, 작은 sample design에 대해 IC compiler를 직접 실행함으로써 real physical design에 적용할 수 있는 능력을 배양하고자 합니다.

[수강대상]

- 석/박사과정 및 기업체 연구원

[강의수준]

- 초급 + 중급

[강의형태]

- 이론 + 실습

[사전지식, 선수과목]

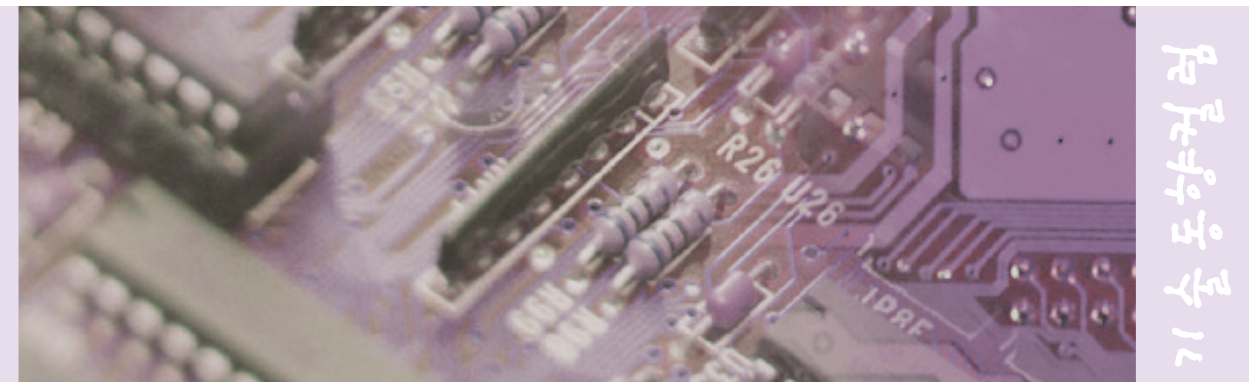
- Synthesis Concept using Design Compiler
- PrimeTime
- Basic physical design, layout or standard cell Place & Route concepts and terms.

* 문의 : 서소현 (042-350-8534, seosh@idec.or.kr)

신재생 에너지 인버터용 전력반도체 기술 동향



극동대학교 태양광공학과
 강이구 교수
 연구분야: VLSI, 반도체소자
 E-mail : keg@kdu.ac.kr



신재생에너지

서론

현대의 전력계통의 신기술들은 전력용 반도체와의 결합을 통하여 창출되고 있으며, 특히 국내에 이미 된 해남-제주 간 HVDC, 2010년경 도입될 것으로 전망되는 제2의 해남-제주 HVDC 및 FACTS, SVC, UPFC 등이 대표적인 전력반도체 기반의 계통기술이다.

력전자 기술 또한 전력용 반도체의 기술발전과 긴밀히 연계되어야만 기술 선도 그룹을 유지할 수 있다. 전력용 반도체 산업은 세계시장규모가 250억 달러(2003년)에 달하는 등 독자적으로 큰 산업분야를 이루고 있으며, 한국의 반도체 산업기반과 인적 기반을 적극적으로 활용할 경우 장기적으로 한국의 먹거리 산업으로 성장할 여력이 충분하다고 판단된다.

기술의 특징

전력반도체는 저압, 저전류의 신호를 다루는 일반적인 반도체와 달리 다소 큰 전압 또는 큰 전류를 원하는 형태로 변환하는 분야에 적용되는 반도체 소자를 말하며 이러한 전력반도체 소자를 사용자의 의도에 따라 다수 또는 주변회로와 함께 하나의 패키지에 집적화한 것을 전력반도체 모듈이라 한다. 최근 에너지가 큰 사회적 문제로 대두하면서, 에너지 문제 해결을 위한 태양광, 풍력, 연료전지 등의 분산 발전과 에너지 절감을 위한 인버터 채택이 급증하고 있으며, 전력용 반도체 모듈은 이러한 분산발전용 전력변환장치 (PCU; Power Conditioning Unit), 산업용 인버터, UPS(Uninterruptible Power Supply), 대용량 Power Supply 등의 핵심 부품으로 최근 시장의 급성장에 따라 수요량이 급격히 증가하고 있다. 아래 그림은 전력 산업과 전력용 반도체의 관계를 표현한 것이다.



그림 1. 전력계통과 전력용 반도체

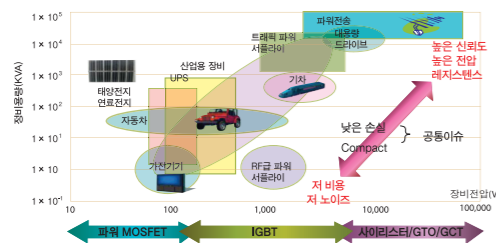


그림 2. 전력용 반도체의 응용에 따른 분류

전력산업에서의 전력용 반도체의 도입은 콘덴서나 코일과 같은 기존의 전력용 전자기부품을 대체하여 전력기술의 효율성과 기능성을 크게 향상 시키므로 전력산업의 경쟁력 강화를 위하여 전력용 반도체 기술개발이 필수적이다. 또한, 전력용 반도체 기술은 전력산업뿐만 아니라 고속전철, 지하철 분야와 같은 수송분야, 산업용 모터 및 공장자동화를 위한 인버터, 가전기기 분야 및 자동차 분야 등 그 응용분야와 중요성이 날이 갈수록 확대되고 있어 반도체 기술 분야의 매우 중요한 영역으로 간주하고 있다. 그러나 전력용 반도체의 전력산업에서의 중요성에도 국내에서는 전력분야 응용을 위한 전력반도체 연구가 전무하였을 뿐만 아니라 전력계통 기술과 연계한 국가적 차원의 연구개발이 없었다고 판단된다. 최근의 전력 전자 기술의 발전은 전력용 반도체 기술과의 선순환 구조로서 이루어져 왔다. 즉 전력용 반도체 기술발전→전력전자 기술발전→새로운 전력반도체 출현→새로운 전력전자 기술 창출 등의 순환 구조로서 전력계통용 전

력반도체 모듈은 위에서 보는 바와 같이 전력변환장치의 주요 핵심부품으로 전력반도체 소자를 전력변환장치에서 사용하기 쉽도록 패키징하여 모듈화한 것으로 여기에는 전력 반도체 소자 선정, 적용 시스템에 적절한 패키지 설계, 모듈 제작을 위한 조립 공정 설계 및 최적화, 조립된 제품의 검증 및 확인 등등의 매우 다양한 기술의 총합이라 할 수 있다.

Multidisciplinary 기술이 요구되는 전력 반도체 모듈의 개발은 전력소자, 파워 IC 및 회로설계, 집적화 모듈 설계 기술, 소재 및 패키징 기술, 모듈 제조 공정 기술의 5가지 핵심기술로 구성되며 이들의 균형 있는 발전과 조화가 이루어져야 하며, 전력 반도체 모듈의 신뢰성을 높이고 안정적인

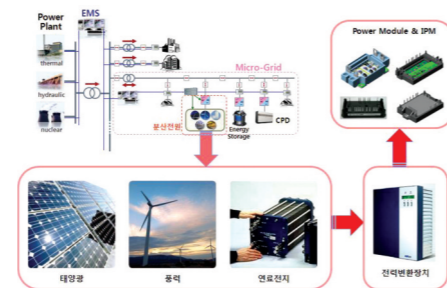


그림 3. 전력산업과 전력용 반도체

동작을 위해서 구동 및 보호용 IC를 내장한 고부가가치를 가지는 지능형 모듈(Intelligent Power Module)의 개발이 가속화되고 있다. 600V/50A 급 이상의 지능형 전력반도체 모듈의 구동·보호기능을 담당하는 파워 IC 및 주변회로에는 High-side floating 전원장치 등과 같이 소용량 소자에 사용하는 일반적인 구동회로를 적용할 수가 없다. 그래서 파워밀도를 높이고 저가실현 및 신뢰성을 향상을 동시에 실현하기 위해서는 고용량 전력소자에 적합한 구동·보호기능부, 상단락 보호회로, 전원장치 블록 등이 현재의 개별소자 및 개별 블록의 구조에서 집적화가 가능한 형태로 변경되고 있으며, 선진사들은 이미 개발완료 또는 진행 중이다. 최근 전력반도체 모듈이 적용되는 시스템들은 좀 더 축소되고 사용하기 편리하며 더 높은 신뢰성이 확보되기를 요구하고 있으며 이에 따라 모듈의 집적도를 높이면서 높은 신뢰성을 확보하기 위한 기술개발이 반드시 필요하며 이와 함께 대량생산이 가능한 기술로 최적화가 이루어져야 한다.

그리고 집적화 모듈 설계기술 개발을 위하여 3D CAD로 설계된 모듈의 형태로부터 전기적 및 열적 모델을 통한 설계뿐만 아니라, 모듈 내에서의 기구적인 스트레스를 분석하고 최소화 설계를 함으로써 모듈의 신뢰성을 크게 향상시킬 수 있다. 따라서 가격경쟁력을 갖춘 신소재의 개발이 가속화되면서 전력소자의 파워밀도가 높아지고 접합(Junction)부의 최고 온도가 175°C 이상으로 고온화됨에 따라 기존의 와이어본딩이나 인터커넥션 방식이 한계에 도달한다. 이에 따른 모듈내부 인터커넥션의 신뢰성을 높이기 위한 기술개발이 활발히 진행되고 있으며, 선진사들은 이미 그러한 기술을 적용하여 제품을 판매하고 있다.

선진사가 이미 개발한 기술들은 고온에서도 수명과 성능을 유지하기 위하여 고압소결을 이용한 부착기술이나 솔더를 사용하지 않고 접촉 압력만으로 연결하는 기술, 또는 고온에서도 열적스트레스를 영향이 적은 소재를 개발하는 등의 다양한 기술을 개발하고 적용하는 중이다. 전력용 반도체의 모듈 집적화 개발 기술은 일반 반도체 Package에 비하여 크고 다양하지만, 메모리와 같은 반도체 투자보다 상대적으로 소규모의 투자로도 구현 가능하고, 현재 축적된 기술을 바탕으로 전력소자 개발기업과 모듈설계 제조업체 그리고 시스템 개발업체가 역량을 모아서 집중 개발한다면 선진업체와 대등한 기술을 축적할 수 있는 분야라고 판단된다.

전력반도체 소자 기술

전력용 반도체는 크게 켜고 끄는 동작(on-off)을 할 수 있는 스위치 소자와 단순히 정류작용을 하는 정류 소자로 크게 구분할 수 있다. 스위치 소자는 크게 사이리스터(thyristor)와 트랜지스터(transistor)로 나뉘며 정류용 소자는 다이오드가 대표적이다. 전력용 스위치 소자는 아래 표와 같이 사이리스터와 트랜지스터의 두 계열로 크게 구분된다.

Thyristors	Transistors
<ul style="list-style-type: none"> ● GTO(Gate Turn-off Thyristor) ● MCT (MOS-Controlled Thyristor) ● FCTh (Field-Controlled Thyristor) ● SiTh (Static Induction Thyristor) ● MTO (MOS Turn-Off Thyristor) ● EST (Emitter-Switched Thyristor) ● IG (Insulated Gate Thyristor) ● IGCT (Integrated Gate- Commutated Thyristor) 	<ul style="list-style-type: none"> ● Bipolar Transistor ● Darlington Transistor ● MOSFET ● FCT (Field Controlled Transistor) ● SIT (Static Induction Transistor) ● IEGT (Injection Enhanced (insulated) Gate Transistor) ● IGT (Insulated Gate Thyristor) ● IGBT (Insulated Gate Bipolar Transistor)

사이리스터는 대용량화에 유리하여 전력산업의 송배전 분야에 사용되는 소자의 대부분을 차지하며 트랜지스터는 고주파 화에 유리한 특성이 산업용, 가전용으로 널리 활용되고 있다. 최근에는 대표적인 트랜지스터인 IGBT가 대용량화가 기술이 개발되어 전력산업 및 전철 등에 도입되기 시작하고 있다. 대전력, 저주파수에서 가장 많이 사용되는 것은 사이리스터 계열인데, 이러한 사이리스터, GTO, GTC등은 전력 분야의 변압기 및 발전기 부문에서 가장 많이 사용되고 있다.

오늘날 괄목할만한 수요증가율을 보이고 있는 인버터 기기의 고주파화와 소형화의 추세에 의해 고속의 스위칭이 가능하고 구동회로의 전력 손실을 감소시킬 수 있는 MOS 구동소자가 주목받고 있다. MOS 구동 트랜지스터인 IGBT에 대한 연구는 1983년에 시작된 이래 놀랄만한 발전을 거듭하여 반도체 시장 점유율 33%에 이르는 성장률을 보이고 있다. 그러나 IGBT는 온-전압과 턴-오프시간의 우수한 트레이드-오프에도 불구하고 고속 스위칭이나 고압용 설계시 전력손실이 증가하는 결과를 가져오고 있다.

이러한 이유로 말미암아 낮은 온 상태 전압 강하 특성과 저전력 손실 구현이 가능한 EST (Emitter Switched Thyristor)나 BRT (Base Resistance Controlled Thyristor)와 같은 MOS 구동 사이리스터에 대한 분석 및 독자적 소자 구조를 연구한 결과가 90년대 이후 들어 해외 선진 회사 및 유수의 대학에 의해 속속 보고되고 있다.

MOS 구동 사이리스터는 게이트에 양(+) 전압 혹은 음(-) 전압의 펄스 형태로 소자의 온, 오프가 가능한 사이리스터 구조로써, 1979년 MOS 구조를 이용하여 턴-오프가 가능한 소자가 제안된 이래, 1984년 GE사에 의해 EST나 BRT와 같은 MCT가 보고된 것을 기점으로 새로운 개념을 도입하거나, 공정 여건을 단순화하면서 사이리스터의 장점을 활용하고자 하는 다양한 연구가 시도되고 있다.

IGBT의 경우 전압 구동 방식을 사용함에 따라서 기존의 사이리스터보다 빠른 스위칭 특성을 확보할 수 있으며, 전압 구동 방식이므로 구동회로도 사이리스터에 비하여 간단하다는 장점이 있다. 또한, bipolar 동작을 하

므로 낮은 도통 전압을 확보할 수 있으므로 아래 그림에서 주어진 바와 같이 IGBT의 응용영역은 점차 증가하는 추세에 있다.

현재 IGBT는 600V, 1,200V의 중전력 인버터 영역에서의 사용뿐만 아니라 1,700V, 2,500V, 3,300V의 대전력 영역에 널리 활용되고 있다. 중전력의 경우에 기존의 molding type의 package를 활용하여 충분히 적용 가능하지만 대전력의 경우에 있어서는 전력반도체 소자의 개발뿐만 아니라 package 개발도 병행 진행되어야 하며, 지속적인 연구 개발이 이루어져야 할 영역이다.

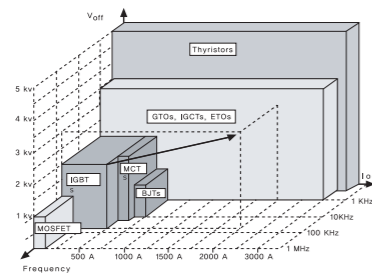


그림 4. 전력반도체소자의 용량별 분류



그림 5. 패키지 형태에 따른 전력용 반도체의 분류

최근에 IGBT는 전력 전자 분야의 주요한 전력용 소자가 되었다. 20여 년 간의 정제를 통해 IGBT는 BJT와 MOSFET과 비교해서 우수한 고전압 고전류 성능을 보이고 매우 낮은 구동 전력을 요구한다. 1세대에서 3세대까지의 IGBT의 특성 개선은 주로 사진 식각공정의 발전에 따른 표면 셀 패턴의 개량이나, 캐리어 활성시간 제어에 의한 발전이었다. 이후 4세대대에 들어서 플라나 게이트의 필연적인 JFET 효과의 저항성분을 제거하여 IGBT의 저항을 크게 줄인 트랜치 게이트를 도입함으로써 IGBT의 특성이 크게 발전하였다.

IGBT의 콜렉터 구조도 많은 발전과 개선이 있었다. 초기의 에피 성장방식에 의한 PT-IGBT (punch through-IGBT)에서 웨이퍼를 얇게 길어내는 thin 웨이퍼 기술의 도입으로 NPT-IGBT와 FS-IGBT가 개발되면서 열저항과 공정효율성을 큰 개선을 가져왔다. 세대를 거듭하면서 IGBT의 특성이 크게 향상되었지만, IGBT가 필연적으로 가지고 있는 순방향 전압강하와 턴-오프 시간의 트레이드 오프 관계는 아직도 해결되지 않는 큰 과제이다. 이런 트레이드 오프 관계의 극복을 위해 그림6에 나타낸 파워 MOSFET의 Super junction 기법을 도입한 Super junction IGBT[3]나 n-드리프트 층의 농도에 변화를 준 CSTBT(Carrier Stored Trench Bipolar Transistor)[4] 등의 차세대 IGBT의 많은 연구개발이 진행되고 있다.

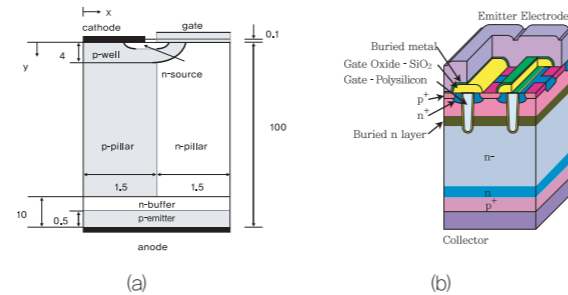


그림 6. (a) Super junction IGBT 와 (b) CSTBT

전력용 반도체 소자의 제조기술은 다음과 같다.

설계 기술	1. 소프트웨어 기술 2. 고내압, 대전류 설계 3. 소자구조설계 4. 패키지 설계	소자설계 및 공정 시뮬레이터 기술 소자패턴 설계, junction termination 불순물 농도 분포, 단위셀 구조 다층 구조설계, 패키지 열해석
공정 기술	1. 청정기술 2. 고내압 공정기술 3. metalization 기술 4. lifetime 제어기술 5. 미세패턴 기술 6. 불순물 확산기술	소자 표면의 청정도 유지 Bevel 기술, 표면보호 기술 대전류에 따른 금속막 두께조절 천이금속 확산, 전자선 및 중성자 조사 대전류에서의 전류집중완화 Al, Ga 등을 이용한 장거리 확산기술
소재 기술	1. 고저항 실리콘 웨이퍼 2. 세라믹 기판 3. 산소재 기술 4. 표면보호 소재 5. Clad metal 6. 외장 및 내부중전체	NTD 웨이퍼 기술, Epitaxial growing 기술 Al ₂ O ₃ , BeO, SiC, AlN 기판기술 SiC, GaN 소자개발 passivation 용 glass, 고분자 Mo 및 Mo 합금, 텅스텐, kovar 등 세라믹 및 고분자 케이스, 예폭시, 중전체
조립 기술	1. 금속화 기술 2. 다중접합 기술 3. 소재표면처리 기술 4. Slack화 기술	DBC 기술, Mo(Mn) 기술 Brazing 및 soldering 기술 도금기술 냉각기술
평가 기술	1. 전기적 특성 2. 열적 특성	DC 특성 : 전류-전압 특성, 포화전압 AC 특성 : 스위칭특성, 열저항

전력반도체 모듈 기술 개요

OS 게이트 소자 컨셉은 IGBT와 IPM(Intelligent Power Module)의 여러 세대를 거친 혁신적인 성과를 통해서 1980년대 말 파워 반도체의 발전에 큰 영향을 미쳤다. IPM은 성능, 신뢰성 그리고 집적화에 의해 시스템 밀집 측면에서 같은 용량의 IGBT 소자보다 뛰어난 성능을 제공하였다. 생산의 진화에 대한 모든 경우에, 정제의 노력으로는 MOS 게이트의 active switching과 관련된 온 저항을 줄이는 것과 높은 전류를 얻는 것, 빠른 스위칭 동작에서 파워 소모를 줄이는 것 그리고 short circuit 스트레스를 견디기 위해 SOA를 늘리는 것 등이 요구된다.

IGBT 성능이 최근 몇 년간 크게 발전하고 소자의 short circuit 성능과 낮은 온 저항 특성이 최근 들어 발전되었지만, 최근의 트렌드가 많은 기능을 집적시키고 더 높은 전력 밀집성을 얻으려는 것이기 때문에 IPM 개념은 여전히 파워 모듈 성능을 향상시키기 위한 우위를 점하고 있다. IGBT와 IPM을 비교하여 그림 7에 요약하였다. IGBT와 IPM의 FOM 차이는 전력 소모와 시스템의 크기에 의해 정해진다. IPM을 적용할 경우 V_{ce,sat}의 감소와 E_{off}의 감소, 전류용량의 증가에 기인하여 효율성이 증가함을

알 수 있다. IPM을 사용할 경우 시스템의 크기는 20% 감소하면서 전력 소모를 10% 감소시킬 수 있는 장점이 있다. 또한, IPM을 적용하여 파워 모듈을 구성할 경우 개발기간과 개발비용을 단축할 수 있다. 이런 장점들로 IPM이 파워 일렉트로닉스 산업의 application에서 차세대 발전방향의 주요 핵심이 되는 것은 의심할 바 없는 사실이다.

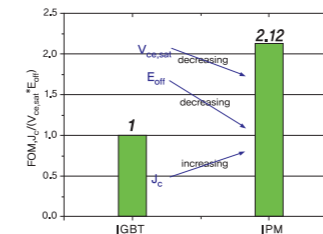


그림 7. IGBT와 IPM의 FOM 비교[5]

국내산업체의 시장 동향 개요

분산 전원용 PCU에 사용되는 전력용 반도체 모듈의 시장 규모는 12억 원에서 2015년에 약 50억 원 규모로 성장할 것으로 예측되며, 산업용 인버터에 소요되는 IGBT 모듈의 국내 시장 규모는 2009년에 약 245억 원 규모로 예상된다. 또한, UPS에 소요되는 IGBT모듈의 국내 시장 규모는 2009년에 16억에서 2015년에 26억 원 규모가 예상되며, 대형 발전설비의 건설입지 확보 및 원자력 발전소 설치의 어려움으로 말미암아 분산 전원에 대한 관심 고조되고 있으며, 풍력, 조력, 열전발전, 태양광, 연료전지 등에 응용할 수 있다. 그리고 대형 인터넷 데이터 센터 등 정보의 집중관리 시스템의 도입 및 소규모 (동사무소, 면사무소 단위) 국가 전산 센터 도입에 따른 무정전전원장치 요구되고 있고 산업설비의 고도화 (유도가열, 개스터빈 시동장치, 용접기, 자동전기 점멸장치, 차단기, 교통신호제어 등)에 따른 배전급 전력반도체 수요 증가하고 있다. 또한, 자기부상열차, 전기자동차 등 수송분야에 사용되는 배전급 설비 수요 발생이 예상된다.

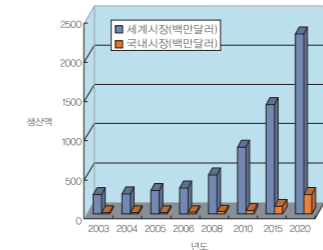


그림 8. 배전급 중·대용량 전력반도체 시장규모 (Frost & Sullivan)

분산전원용 전력반도체 시장

분산 전원용 PCU (Power Control Unit)의 전 세계 시장 규모는 2005년에 3조 원 규모로 예상되며, 이 중 53%가량이 태양광 발전용 PCU, 약 33%가량이 풍력 발전용 PCU, 약 14%가량이 거처용 연료 전지용 PCU 시장으로 예상되며, 분산 전원용 PCU에 사용되는 전력용 반도체 모듈의 세계 시장 규모는 2005년 약 2,000억 원 규모에서 2015년에 1조 8천억 원 규모의 시장으로 성장할 것으로 예측된다. 분산 전원용 PCU의 국내 시장 규모는 2005년에 174억 원 규모로 예상되며, 분산 전원용 PCU에

사용되는 전력용 반도체 모듈의 시장 규모는 12억 원에서 2015년에 약 400억 원 규모로 성장할 것으로 판단된다.

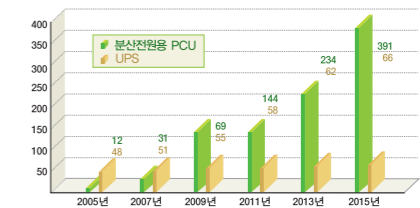


그림 9. 분산전원 전력변환장치 및 UPS용 IGBT 모듈 국내 시장 규모

전력변환장치

다수의 해외 유명 리서치 그룹의 예측에 의하면 인버터 등 하드웨어와 관련 소프트웨어 및 서비스를 포함한 Motor drive의 전세계 시장 규모는 2005년에 19조 천억 원 정도로 예측되며, 연간 약 5.6%의 성장에 예상되고 있고, 전체 Motor drive 시장 중 인버터의 세계 시장 규모는 2005년에 16조 원 정도가 될 것으로 예상하고, 이 중 팬이나 펌프 등 산업용 기기나 상업용 장치에 이용되는 소형 인버터를 제외한 산업용 인버터의 세계 시장 규모는 2005년에 약 9조 5천억 원 정도의 규모가 예상되며, 연평균 성장률(CAGR)은 8.6%로 추정하고 있다.

산업용 인버터에 사용되는 전력용 반도체의 경우 대부분 IGBT가 사용되며, 인버터에 사용되는 전력용 반도체 모듈의 시장 규모는 2005년에 2조 7천억 원 정도가 될 것으로 예측된다. IGBT 칩의 경우 Mitsubishi, Fuji 등의 일본 업체들의 시장 점유가 높은 편이고, 최근 일본의 생산 기지 이동과 선진사들의 아시아 반도체 산업에 대한 투자 증가에 기인한 아시아 및 유럽 업체의 추격이 진행되고 있다.

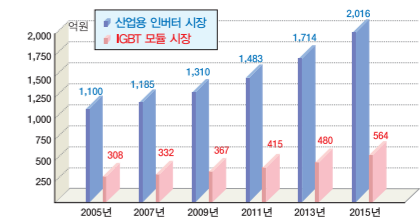


그림 10. 산업용 인버터 및 산업용 인버터용 IGBT 모듈 세계 시장 규모

산업용 인버터의 국내 시장 규모는 2005년에 약 1,100억 원 규모이며, 산업용 인버터에 소요되는 IGBT 모듈의 국내 시장 규모는 약 300억 원 규모로 예상된다.

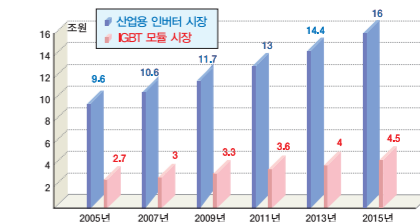


그림 11. 산업용 인버터 및 산업용 인버터용 IGBT 모듈 국내 시장 규모

전 세계 power supply 시장 규모는 2005년 12조 5천억 원 규모로 예측되며, 이 중 48%가량이 PC와 사무용 기기에 사용되고, 34%가량이 통신 장비용 전력공급 장치, 13%가량이 산업용 전력공급 장치에 사용되고 있으며, 분산 전원용 PCU (Power Control Unit)의 전 세계 시장 규모는 2005년에 3조 원 규모로 예상되며, 이 중 53%가량이 태양광 발전용 PCU, 약 33%가량이 풍력 발전용 PCU, 약 14%가량이 저치용 연료 전지용 PCU 시장으로 판단된다.

또한, 분산 전원용 PCU에 사용되는 전력용 반도체 모듈의 세계 시장 규모는 2005년 약 2,000억 원 규모에서 2015년에 1조 8천억 원 규모의 시장으로 성장할 것으로 예측되며, 분산 전원용 PCU의 국내 시장 규모는 2005년에 174억 원 규모로 예상되며, 분산 전원용 PCU에 사용되는 전력용 반도체 모듈의 시장 규모는 12억 원에서 2015년에 약 400억 원 규모로 성장할 것으로 예측된다.

가전 및 디스플레이

전 세계적으로 에너지 절감과 이산화탄소 발생의 환경 문제가 맞물려 가전기기의 대기전력 절감 정책이 추진되고 있으며 일부 선진국에서는 수입 제품에 대해 대기전력 1W 미만의 규제 정책을 시행하고 있다. 현재 대기전력 절감의 방안으로는 전원회로에서의 효율 개선 또는 타이머 스위치, 대기 모드에서의 기능 일부 생략 등의 방법을 사용하고 있으며, 전력용 반도체를 사용하는 경우는 SMPS에서 PWM의 duty cycle 조절에 의한 power factor correction 방식의 IC 기술이 주로 적용되고 있다.

일부 기능을 정지하는 것은 제품의 편의성을 포기하는 것으로 궁극적으로는 제품의 경쟁력에 문제가 있다. 그 외의 방법들은 부품 추가에 따른 비용 상승의 요인을 제외하면 현재의 기술로 대체로 가능하여 이들 부품의 시장규모가 확대되고 있다. 그러나 홈 네트워크가 활성화될 것으로 기대되는 2010년경에는 기기들이 네트워크 대기 기능을 가지므로 타이머 스위치와 같은 기술로는 한계가 있으며 대기회로 또는 네트워크 상에서 on/off 제어가 가능해야 하므로 네트워크 연동 방식의 전력 스위치가 중요하게 될 것이며, 특히 에어컨과 세탁기 같은 동작 소비전력이 큰 기기에서는 제어 가능한 전력 스위치가 필수적이다.

한편, 대기 모드와 동작 모드의 구분이 모호해지는 홈 네트워크 가전기기에서는 전원 회로의 효율 향상만으로는 대기 전력의 관리가 힘들어지며 대기 상태에서의 다양한 기능 구현을 위해서는 더욱 능동적이고 효율적인 전원관리가 필요하고, 이에 따라 이미 IC 업계에서도 동작중지 모드를 지원하는 방향으로 개발이 진행되고 있기는 하지만 수동 소자들이 많이 사용되는 가전 기기들에서는 논리회로에서 쉽게 제어가 가능한 다양한 용량의 전력 스위치가 필요할 것이다. 반면 아직 전력 스위치 반도체들은 동작 제어를 위해 부수적인 부품들이 많이 필요한 상태이다.

송전용 전력변환 시장

대용량(전압×전류용량 1000kVA 이상) 사이리스터 류 소자의 전 세계 시장 규모는 2008년 6억 달러로 예측되고 있으며 국내시장 규모는 3.5%인 2천1백만 달러 규모로 예측되며, 현재 해남-제주 간 직류송전설비가 구축되어 있으며 총 2,000여 개의 사이리스터 소자가 설치되어 있다. 고속철도, 지하철, 전철 등 수송 분야에서의 사용량 점진적 증가 예상되며, 서울 9호선, 대구 2호선, 인천공항 전철, 호남선 고속철도 등에 응용될 수 있을 것으로 판단된다.

선진국의 현황

선진국 기술동향

전력반도체 모듈에 있어서의 선진사들은 유럽의 Infineon, Semikron, Vincotech, 일본의 Mitsubishi, Fuji, 미국의 IXYS, Fairchild 등이며, 이들중 많은 업체가 전력소자를 설계 및 제조하는 능력을 갖추고 있으며, 일부 전력소자를 생산하지 않은 업체는 전력소자 제조업체와 전략적 제휴를 통해 전력소자를 공급받아 모듈만을 제조하기도 한다. 최근 국제적으로 많은 전력반도체의 수요에 의해 신생 모듈 제조업체가 다수 생겨나고 있으며, 이들은 현재 산업계에서 널리 쓰이는 일반모듈을 필두로 선진사의 최근 개발모듈을 대치 가능한 형태로 패키지를 개발하여 생산하고 있다.

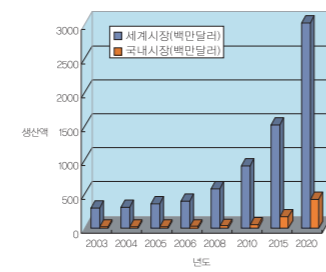


그림 12. 대용량 전력반도체 국내 및 세계시장 규모 (Frost & Sullivan)

전력반도체 소자에서의 최근 기술동향이 저손실화와 부피 축소, 전기적 내량 등과 기존 동작 보증 온도의 고온화로 제품의 수명을 연장하는 것으로 집중되고 있다. 이는 신재생 에너지에 적용되는 전력반환장치의 열악한 환경에 따른 신뢰성 및 수명의 충족, 자동차와 같은 안전성 요구처럼 응용분야에서 요구되고 있기 때문이며, 선진사들은 위와 같은 기술을 10년 이상을 바라보고 연구개발을 진행하고 있으며, 현재도 미래를 위한 기술개발을 위해 지속적인 투자를 하고 있다. 또한, 관련 재료나 부가 기술에도 투자를 계속하여 기술의 완성도를 높이고 있다.

IGBT의 구동회로와 보호회로를 하나의 패키지에 집적하는 Intelligent Power Module(IPM)의 경향이 지속하고 있다. IGBT 소자의 구조 개선을 통한 소형화, LSI 기술이 접목되는 고전압 IC 기술, 패키지 기술의 진보 등으로 더욱 가속화될 전망이다. 고전압, 고성능화 및 다기능화의 관점이 기술적으로 요구되는 분야이다. 파워소자의 특성개선으로 파워밀도가 높아지고 보호회로 및 구동회로를 추가한 인텔리전트화의 추세가 뚜렷하며, 고용량의 전력소자는 입력 커패시터(Ciss) 소용량에 소자보다 큰 값을 가지므로 더 큰 전류 구동능력을 갖춘 파워 IC가 필요하다. 또한, Gate-Drain 간의 기생커패시터의 증가로 스위칭 동작 시 발생할 수 있는 Re-triggering 문제를 해결하기 위해서 단전원이 아닌 양전원이 필요하다.

600V/30A 이하의 민생용 모듈의 경우 레벨 시프트용으로 HVIC를 사용하고 상측단 구동용 IC의 전원은 Bootstrap 방식을 사용하여 저가격화를 실현하고 있으나 전력용 모듈의 경우에는 전력소자의 용량증대에 따른 기술적 문제와 신뢰성에 대한 우려로 트랜스포머를 사용한 전통적인 방식이 널리 사용되고 있으며, 최근에는 상기의 소용량 모듈의 경우는 레벨시프트용의 단점인 래치업 현상을 제거하기 위한 노력이 이루어지고 있으며 일부 제품이 개발되어 판매되고 있다. 일부 고기능 IPM의 경우는

센서 IGBT를 적용하여 정밀한 Fault 검출기능을 가지고, 온도센서를 전력소자 바로 위에 구현하고 파워C에서 온도센서신호를 처리하여 칩의 동작온도를 모니터링하고 동작온도별 SOA(Safe Operating Area)를 다르게 적용하는 등의 고신뢰성을 구현하기 위한 보호회로를 사용하는 중이다. 또한, 전류센서 기능을 집적화하여 인버터 시스템 전체의 모듈화를 시도하고 있다.

선진국 기술수준 및 R&D Program

최근 전력반도체 소자의 고온화에 따라 Thermal Cycle 및 Power Cycle에 의해 와이어 본딩이나, 솔더 등이 영향을 받아 발생하는 마이크로 크랙 등과 같은 손상이 발생하지 않도록 와이어의 재질, 본딩 방법, 솔더 재질이나 솔더링 방법 등 관련 기술이 동시에 개발되고 있다. 구리 등과 같은 재료 등의 가격상승으로 모듈의 성능과 신뢰성을 유지하면서 가격이 상대적으로 높은 Cu Heatsink 등을 사용하지 않는 모듈 등의 개발에도 다양한 기술이 개발되고 있다.

일부 업체는 수명에 영향이 큰 와이어와 솔더를 전혀 사용하지 않고 모듈을 제작하는 기술을 개발하여 시장에 제품을 출시하는 경우도 있다. 이러한 기술들은 태양광 또는 풍력발전, 그리고 자동차와 같은 환경적으로 열악한 부분에서의 신뢰성 및 수명이 집중 조명되는 가운데 개발되어 발표되고 있으며, 선진사 High-end 제품은 고 신뢰성을 확보하여 Thermal cycle 및 Power cycle에 있어서 일반 제품보다 5배 이상 향상되는 것으로 보고되고 있다.

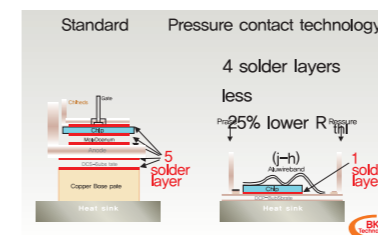


그림 13. SemiKron사의 Solder Free 기술적용

선진사의 기술개발은 향후 10년 이상을 바라보고 꾸준한 연구개발을 지속하고 있다. 특히 유럽은 전력반도체의 기술을 논하는 컨퍼런스로 세계 최대인 PCIM을 매년 개최하여 소자, 모듈, 응용까지 관련 기술을 총망라하고 있으며 관련 연구원 및 학자들의 기술교류의 장을 이루고 있다. 더불어 CIPS와 같은 모듈, 패키지 등을 중점으로 다루는 학술회의도 개최하고 있으며 이러한 학회 등을 통해 산학이 유기적으로 연계되어 기술개발을 진행하고 있다. 전력용 모듈의 기술력은 각 회사의 양산중인 모듈의 최대 내압과 전류를 비교해 보면 그 수준을 쉽게 가늠할 수 있으며, 전력 모듈용 IGBT의 양산 기반이 갖추어지지 않은 국내기술 수준을 고려할 때 선진사와의 기술격차는 매우 크다고 할 수 있다.

아래의 그림은 각 사에서 제공하는 전력용 모듈의 제품군의 영역을 나타내고 있다. Mitsubishi와 Eupec은 최강의 전력소자기술을 바탕으로 600V 소용량에서 6,500V 대용량에 이르기까지 전체 모듈 시장을 주도하고 있으며 Fuji와 IXYS가 중소용량에서 시장을 형성하고 Fairchild는 600V/30A이하의 인버터용 모듈을 생산하고 있다. 전력소자만을 모듈화

한 제품에서부터 보호/구동회로 및 온도센서를 포함한 인텔리전트 제품에 이르기까지 다양한 제품을 선보이고 있다.

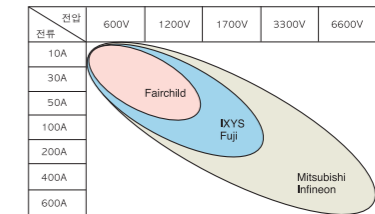


그림 14. 전압 및 전류로 분류해 본 각 기업별 양산중인 전력용 모듈

파워 일렉트로닉스의 미래 기술 동향

IPM의 다른 application 목표는 운송장비와 전기자동차의 에너지원으로서의 이용이다. 1990년대부터 시작된 고내압 IPM(high voltage IPM, HVIPM), 전기 자동차 IPM(electric vehicle IPM, EV-IPM), 하이브리드 자동차 IPM(hybrid-electric vehicle IPM, HEV-IPM) 등의 운송분야 application에서의 이런 급속한 성장으로 인해 IPM의 신뢰성과 견고성이 더욱 요구되고 있다.

미래에는 위의 운송분야 application 처럼 기본 기능의 파워 반도체 소자나 기본 IPM에서 application의 요구에 초점을 맞추어 특화된 형태로 발전될 것이다. 이와 더불어 소자 단위의 발전보다는 자기 보호, 자기 전력수급 등의 기능을 내장한 IPM 모듈 형태에서 기본 기능의 변형으로 더 넓은 범위의 application을 수용할 수 있으면서 고기능화된 IPM 플랫폼의 형태로 발전돼 나갈 것으로 기대된다[5]. 또한, 산업의 요구와 기술의 발전에 따라 실리콘의 한계에 의해 볼륨이 되는 부분이 발생할 것이며, 이 부분은 실리콘의 한계를 극복시킬 수 있는 SiC 등의 새로운 물질이나, 패키징 기술의 발전, IC 기술의 발전 등으로 극복될 것으로 기대되며, IPM의 발전과 함께 궁극적으로 IPM 시스템으로 발전해 나갈 것으로 전망된다.

Reference

- [1] B.Jayant Baliga, "Power semiconductor devices", PWS, 1996
- [2] Friedhelm D. Bauer, "The super junction bipolar transistor: a new silicon power device concept for ultra low loss switching applications at medium to high voltages," Solid-State Electronics Vol 48, p705-714, 2004
- [3] H. Takahashi, et al. "Carrier Stored Trench-Gate Bipolar Transistor (CSTBT) - A Novel Power Device for High Voltage Application" " The 8th International Symposium on Power Semiconductor Devices and ICs 1996
- [4] G.Majumdar, M. Fukunaga, T. Ise., "Trends of Intelligent Power Module", IEEJ Trans, Vol. 2, p143753, 2007.
- [5] "Intelligent power Module", 三菱電機技報, Vol.67, No.9 (1993)
- [6] Michio Nemoto., etc, "An Advanced FWD design concept with superior soft reverse recovery characteristics," Proceedings of ISPSD,1999, (1999)
- [7] V.Szekely, "THERMODEL:A tool for compact dynamic thermal model generation," Microelectronics Journal No. 29, (1996)
- [8] G. Majumdar.,etc, "New generation high performance intelligent power module series," Proceedings of Power Conversion, (1992)

나노미터 CMOS 기술에서의 파워 게이팅 구조 연구 동향

대구대학교 전자공학부
 김경기 교수
 연구분야 : Soc design(low-power and reliable design methodology)
 E-mail : kkkim@daegu.ac.kr
 http://kcms.daegu.ac.kr/user/soclab



서론

CMOS 공정기술이 나노 영역으로 진입하면서 전력소모는 VLSI 시스템 설계에서 가장 중요한 요소가 되고 있다. 공정이 미세화될수록 공급전압은 계속 낮아지고 로직의 성능을 유지하기 위해 트랜지스터의 문턱전압은 그에 비례해서 낮아져야 하고 그에 따라 누설 전력은 기하급수적으로 증가한다. 증가하는 누설 전력은 transistor sizing, transistor stacking, dual/multi- V_{th} cell, body biasing, dynamic voltage scaling, power gating 등의 방법들을 사용하여 줄일 수 있다. 그중에서 파워게이팅 (Power Gating: PG)은 동작 모드 (Active Mode)에서는 고성능을 유지하면서도, 휴면 모드 (Sleep Mode)에서는 회로의 누설 전류를 감소시키는 가장 효과적인 방법으로 알려졌다. 그림 1은 파워 스위치로 불리는 높은 문턱전압을 가지는 header와 footer를 가지는 전형적인 PG 구조를 나타낸다. 일반적으로 header나 footer만으로도 구성된다. [1][2]

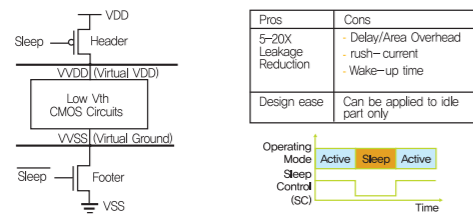


그림 1. Conventional Power Gating Structure

PG 구조에서 고려해야 할 사항으로는 돌입전류 (rush-current), 기상시간(wake-up time), 지연/면적 증가 등의 문제가 있다. 특히, 공정이 미세화될수록 공급전압은 계속 낮아지면서, 전형적인 PG 구조로는 로직의 성능을 유지하기가 어려워지고 있다. 그뿐만 아니라, 신뢰도를 고려한 PG 구조 설계가 요구되고 있으며, 차세대 반도체 물질을 이용한 새로운 PG 구조도 연구가 되고 있다. 이러한 연구 동향을 차례로 살펴보기로 한다.

Rush-Currents와 Wake-up Time

휴면 모드 동안, 파워 게이팅된 논리 회로에서 가장의 전원 레일 (rail)들은 파워 게이팅 되지 않은 공급 전압 레일까지 충전되어서 떠있게 된다. 휴면 모드에서 동작모드로 스위치 되는 순간에 충전된 가장 레일에서 파워 스위치를 통해 흐르는 순시 충전-전류가 갑자기 흐르게 되며, 본딩(bonding)과 패키지(package) 인덕턴스에 의해 야기되는 유도성 노이즈 문제에 의해서 이런 순시 전류가 온-칩 전력 분포 네트워크에 전압 변동을 야기 시킨다 [3]. 이때

전압의 변동이 회로의 노이즈 마진보다 크다면, 회로가 잘못된 값을 전파할 것이다. 반면, PG 회로가 휴면에서 동작모드로 스위치 될 때 가장 접지에 충전된 전압이 파워 스위치를 통해서 방전되기 위해서는 어떤 시간이 필요하며, 이 시간은 휴면 상태의 회로가 정상적인 동작 속도로 작동할 때까지의 시간으로 일반적으로 기상시간으로 불린다. 고성능의 프로세싱을 위해서는 짧은 기상시간이 요구된다. 그림 2는 PG 구조의 턴-온 순서에 따른 가장 접지의 변화와 모델화를 나타내고 있다. 동작모드에서 파워 스위치는 선형 영역에서 동작하고, 휴면모드에서는 컷-오프 영역에서 동작하며, 그리고 기상모드에서는 포화영역에서 동작하게 된다.

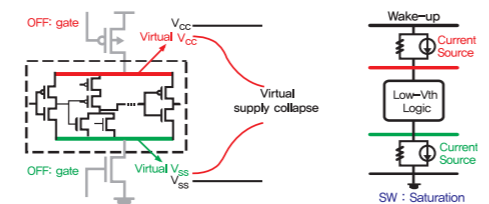


그림 2. Wake-up mode analysis

그림 3은 칩 설계에서 돌입전류와 기상시간에 대한 일반적인 설계 요구를 보여주고 있다. 돌입전류는 전체 방전 전류의 10% 미만을 요구하며, 기상시간은 2~3번의 클럭 사이클보다 작은 시간을 요구한다.

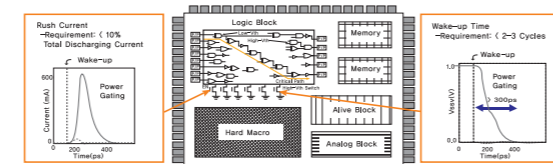


그림 3. Design requirements for rush-current and wake-time

기상모드 동안 돌입전류는 앞에서 언급했듯이 잘못된 논리값을 야기할 수 있으므로, 설계자는 먼저 얼마나 많은 돌입전류를 흐리게 할 것인지 결정하고, 그에 따른 기상시간을 결정을 해야 한다. 기본적으로 돌입전류와 기상시간은 그림 4에서와같이 서로 상보적인 관계이다. 이상의 돌입전류와 기상시간의 문제를 해결하기 위하여 step-wise 턴-온 방식[4], two-pass 파워 스위치 제어[5], multi-mode PG 구조[6] 등이 소개되었다. step-wise 턴-온 방식과 two-pass 파워 스위치 제어 방식은 파워 스위치들의 턴 온 시간을 조절함으로써 돌입전류를 줄이는 방법이며, multi-mode 은 여러 모드를 동작모드와 휴면모드 사이에 두어서 돌입전류와 기

상시간을 줄이는 방법이다. 그 외에도 기상시간을 줄이기 위해서 zigzag PG 방법[7]이 소개되었다.

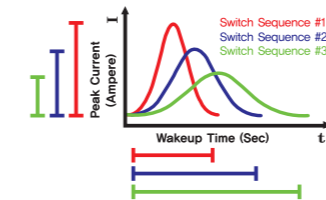


그림 4. Rush Current and Wakeup Time Trade-Off

저 전압에서의 파워게이팅 현재까지 PG 구조는 돌입전류와 기상시간과 같은 문제에 집중되어서 연구되었다. 하지만, 공정이 미세화될수록 공급전압은 계속 낮아지면서 지금까지의 전형적인 PG 구조는 1V 이하의 저 전압영역에서는 더는 효과적인 방법이 될 수가 없다. 왜냐하면, 높은 문턱전압의 파워 스위치는 저 전압영역에서 동작 속도를 급속히 감소시키고, 기상시간도 급속히 증가시키기 때문이다. 이와 같은 문제를 해결하기 위하여 여러 연구가 진행되고 있다.

먼저, 그림 5 (a)의 boosted-gate MOS(BGMOS)[8] 기술은 동작 모드에서 각 footer의 게이트에 V_{dd} 보다 높은 전압을 가하여, 작은 크기의 footer를 사용해서 저 전압에서도 동작하도록 한다. 하지만, 높아진 게이트 전압을 유지하기 위해서 상대적으로 두꺼운 t_{ox} 를 요구함과 동시에 물리적 설계를 복잡하게 만든다. 그림 5 (b)와 같이 낮은 문턱전압을 가지는 footer를 사용한 super-cut-off CMOS (SCC MOS)라는 방식[9]은 0.5~0.8V의 공급전압에서 동작을 가능하게 하고, 휴면 모드에서는 부(-)의 전압을 footer의 게이트 전압에 가하여 누설 전류를 줄이게 된다. 하지만, 게이트 바이어스 회로에 사용되는 추가 회로와 게이트 산화막의 신뢰성 문제를 가지고 있다.

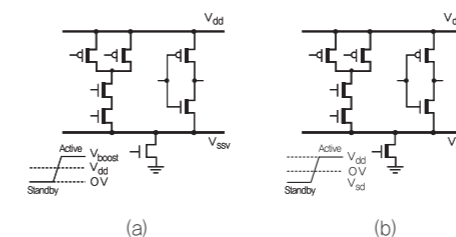


그림 5. (a) BGMOS, (b) SCCMOS power gating techniques

그림 6은 저 문턱전압을 가지는 두 개의 footer를 직렬로 연결한 새로운 PG 구조가 제안되었다 [10]. 제안된 PG 구조는 그림 7 (a)와 (b)에서와 같이 0.6V보다 작은 전압에서 파워 게이팅 되지 않은 일반적인 논리회로와 같이 동작하고 있지만, 전형적인 PG 구조는 0.6V 이하에서는 논리적인 값을 얻을 수 없다.

제안된 PG 구조는 임계 경로와 비임계 경로를 나누어서 첫 번째 가장 접지(V_{vss1})는 비 임계경로에 연결하고, 두 번째 가장 접지 (V_{vss2})는 임계경로에 연결하여 동작 속도를 높임과 동시에 기상 시간도 급감시키고 있다. 뿐만 아니라, 단계적으로 가장 레일의 충전 전압을 방전하여 돌입전류를 줄일 수 있고, 전체 footer의 크기도 전형적인 footer 크기의 1/2 수준으로 줄이고 있다.

뿐만 아니라, M2와 M3의 구조로 footer의 게이트 누설 전류도 더 줄어 줄이고 있다. 제안된 PG 구조는 앞에서 언급한 방식처럼 footer의 게이트 전압을 이용해서 가장 접지의 전압을 결정하지 않고, 아래 수식에 따라서 footer의 크기를 조정함으로써 가장 접지의 전압을 조절할 수 있다.

$$V_{VSS1} = \frac{-V_{th} + 4\eta V_{DD} - S \log_{10} \left(\frac{W_{M1}^2 W_{M2}}{W_{NC}^3 W_C} \right)}{5\eta} \quad (1)$$

$$V_{VSS2} = \frac{-2V_{th} + 3\eta V_{DD} - S \log_{10} \left(\frac{W_{M2}^2}{W_{M1} W_{NC} W_C} \right)}{5\eta} \quad (2)$$

η 는 DIBL 상수, S 은 sub-threshold 기울기, W_{M1} 과 W_{M2} 는 각각 M1과 M2의 폭, 그리고 W_C 와 W_{NC} 는 각각 임계경로와 비 임계경로 상의 회로의 전체 폭이다.

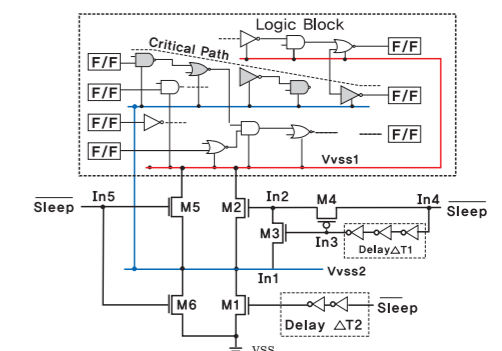


그림 6. Ultra-low voltage power gating

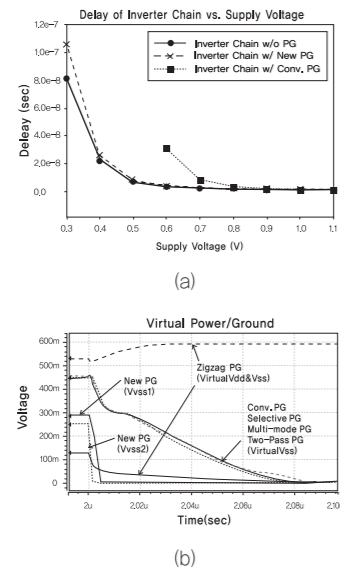


그림 7. Delay and wake-up time of ultra-low voltage power gating structure

More than Leakage Saving

트랜지스터의 크기가 계속 작아짐에 따라서 PVT(process, voltage, temperature) 변화와 노화에 따른 신뢰도(reliability) 등이 심각한 문제로 나타나고 있는 시점에서 PG 구조가 이런 이슈들에 대한 새로운 제어 기술로 제시되고 있다. 일반적으로 디지털 회로에서 발생하는 변화들은 센서회로를 통해서 측정된다. 이렇게 측정된 변화는 PG 구조에서 파워 스위치의 폭이나 게이트 전압 제어에 사용되어서, PVT 나 노화에 따른 변화를 보상하게 된다.

[11]에서 제안된 멀티모드 PG 네트워크는 그림 8 (a)에서 보는 바와 같이 가장 전원 VDDV를 측정하는 전압 센서와 문턱 비교기를 통해서 스위칭 상태 결정 방법을 수행한다. 즉, VDDV의 측정으로부터 스위칭 이벤트들의 완전함을 결정한다. 또, 기존의 임계경로 모방 회로를 대신해서, 슬랙(slack) 측정 블록은 사용되지 않은 슬랙의 존재를 확인하며, 그 정도에 따라서 제어기는 회로의 스피드를 동적으로 제어해서 PG 구조의 모드를 결정한다. 결정된 모드에 따라서 파워 스위치의 폭 (턴-온 트랜지스터의 수)이 정해지며, 이로 인해서 회로의 스피드가 결정된다.

[12]에서는 그림 8 (b)에서 보는 바와 같이 온도 변화와 negative bias temperature instability (NBTI)의 노화 현상을 센싱한 결과를 디지털화 하여 이를 PG 구조의 파워 스위치 폭을 결정하는 데 사용함으로써 온도와 NBTI 변화를 보상하고자 하였다. 파워 게이팅 구조에서 이슈가 되고 있는 기상시간과 돌입전류 등도 PVT 변화나 노화에 영향을 받으므로, 이를 보상하는 기술도 소개가 되었다. 그림 8 (c) 에서 보는 바와 같이 기존의 two-pass PG 구조에서 기상모드에서 턴-온 되는 파워 스위치 수를 센서회로에 의해 발생하는 디지털

신호에 의해서 결정한다[13]. 따라서, 기상시간과 돌입전류의 PVT 또는 노화에 대한 영향을 줄일 수 있게 된다.

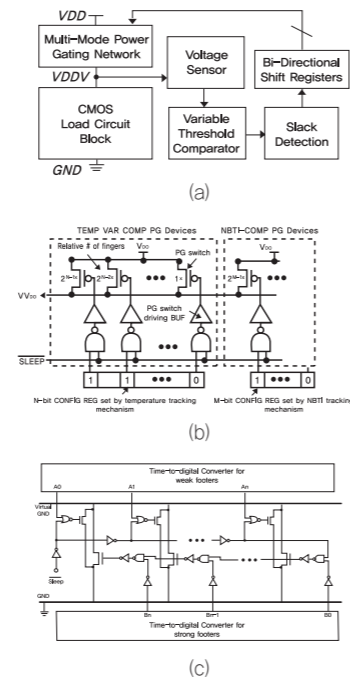


그림 8. Adaptive power gating structure

마지막으로 PG 구조의 CAD 접근에서 회로의 스피드, 전력소모, 크기 이외에도 PVT 변화나 노화에 의한 신뢰도도 하나의 매트릭이 될 수 있음을 보여주는 Exploration Framework가 제안되었다[14].

Future Power Gating

CMOS 공정 기술이 20nm 아래로 계속 작아짐에 따라서 bulk CMOS 기술은 scaling 한계에 가까워지고 있다. 이런 한계를 극복하기 위해서 탄소 나노튜브 MOFET (CNFET)[15]와 실리콘 나노와이어 트랜지스터[16]와 같은 다른 타입의 물질을 이용한 트랜지스터가 개발되고 있다. 하지만, 아직은 불안정성과 비용의 문제로 큰 회로에서는 적용을 못 하고 있는 실정이다. 이런 시점에서 PG 구조는 기존의 bulk CMOS 기술과 새로운 제조 기술을 이어주는 교량 역할을 할 수 있는 최적의 하이브리드 기술 중의 하나가 될 것이다.

하나의 예로써 CNFET 기술로 footer를 구성하고, 다수의 논리회로는 기존의 bulk CMOS를 그대로 사용한 hybrid CMOS/CNFET PG 구조가 제안 되었다[17]. 제안된 구조는 그림 9처럼 링 스타일의 물리적 디자인을 사용해서 하이브리드 구조로 제작될 수 있다. 실험 결과 전체 논리회로의 N-MOSFET 폭 1%의 크기만으로 CNFET의 footer를 만들 수 있으며, 그림 10 (a)(b)에서 보는 바와 같이 기존의 PG 구조와 비교해서 0.5V 이하의 공급전압에서도 빠른 속도와 빠른 기상시간을 가질 수 있음을 보여 주고 있다.

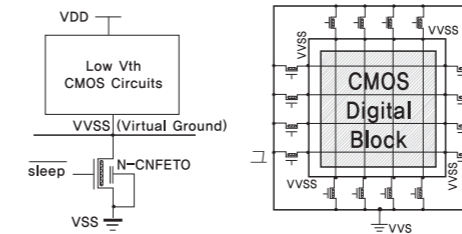


그림 9. Ring style PG implementations

맺은말

이상으로 나노미터 CMOS 회로설계에서의 저 전력 기술 중의 하나인 PG 구조를 기존의 자료를 바탕으로 정리해 보았다. 특히, 매우 낮은 전압영역에서 발생하는 전형적인 PG 구조에서의 성능 저하와 기상시간 증가 등의 문제를 해결할 수 있는 향상된 PG 구조를 소개하였다. 나아가 저 전력 목적 이외의 신뢰도를 고려한 PG 구조에 대해서도 살펴보았고, 마지막으로 미래 새로운 공정기술과 접목될 수 있는 PG 구조도 살펴보았다. PG 기술은 앞으로도 전력소모를 줄이는 최적의 방안으로 사용되겠지만, 발전하는 공정기술과 3D IC 구조, 신뢰성 문제 등에 맞추어 새로운 설계 및 CAD 연구가 지속적으로 이루어져야 할 것이다.

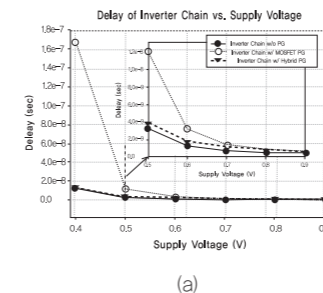


그림 10. Delay and Wake-up time dependence of hybrid PG structure on supply voltage: (a) Delay dependence of PG on Vdd, (b) Wake-up time dependence of PG on Vdd.

Reference

- [1] K. Shi and D. Howard, "Challenges in sleep transistor design and implementation in low-power designs," in Proc. IEEE Design Automation Conf., pp. 113-116, July 2006.
- [2] M. Anis, S. Areibi and M. Elmasry, "Design and optimization of multi-threshold CMOS (MTCMOS) circuits," IEEE Tran, on CAD of Integrated Circuits and Systems, Vol. 22, No. 10, pp. 1324-1242, Oct. 2003.
- [3] S. Kim, C. Choi, D. Jeong, et. al., "Reducing ground-bounce noise and stabilizing the data-retention voltage of power-gating structures," IEEE Tran, on Electron Devices, Vol. 55, No. 1, pp. 197-205, Jan. 2008.
- [4] S. Kim, S. Kosonocky, D. Knebel, "Understanding and minimizing ground bounce during mode transition of power gating structures," IEEE ISLPED, pp. 22-25, Aug. 2003.
- [5] P. Royannez, et. al., "90nm low leakage SoC design techniques for wireless applications," IEEE International Solid-State Circuits Conference, pp. 138-139, Feb. 2005.
- [6] S. Kim, S. Kosonocky, D. Knebel, et. al., "A multi-mode power gating structure for low-voltage deep-submicron CMOS ICs," IEEE Tran, on Circuits and Systems-II, Vol. 54, No. 7, pp. 327-339, July 2007.
- [7] S. Youngsoo Shin, S Paik, et. al., "Semicustom design of zigzag power-gated circuits in standard cell elements," IEEE Tran, on CAD of Integrated Circuits and Systems, Vol. 28, No. 3, pp. 327-339, Mar. 2009.
- [8] T. Inukai, M. Takamiya, et. al., "Boosted gate MOS (BG MOS): device/circuit cooperation scheme to achieve leakage-free gigascale integration," In Proceedings of the Custom Integrated Circuits Conference, pp. 409-412, May 2000
- [9] H. Kawaguchi and T. Sakurai, "A super cut-off-cmos (sccmos) scheme for 0.5V supply voltage with pico-ampere stand-by current," IEEE J. of Solid-State Circuits, Vol. 35, No. 10, pp. 1498-1501, Oct. 2000.
- [10] Kyung Ki Kim, Haiqing Nan, Ken Choi, "Ultralow-voltage power gating structure using low threshold voltage," IEEE Tran, On Circuits and Systems II, Vol. 56, No. 12, pp. 926-930, Dec. 2009.
- [11] Wei-Chih Hsieh, Wei Hwang, "Adaptive power control technique on power-gated circuitries," IEEE Tran, On VLSI Systems, Vol. 19, No. 7, pp. 1167-1180, July 2011.
- [12] Abhishek Sinkar, Nam Sung Kim, "Analyzing and minimizing effects of temperature variation and NBTI on active leakage power of power-gated circuits," IEEE ISQED, pp. 791-796, March 2010.
- [13] Kyung Ki Kim, Haiqing Nan, Ken Choi "Adaptive HCI-aware power gating structure," IEEE ISQED, pp. 219 - 224, March 2010
- [14] Andrea Calimera, Enrico Macii, Massimo Poncino, "Power-gating: More than leakage savings," Ph.D. Research in Microelectronics and Electronics (PRIME), pp. 1-4, July 2010.
- [15] J. Deng, H. -S. Philip Wong, "A compact spice model for carbon-nanotube field-effect transistors including nonidealities and its application," IEEE Tran, on Electron Devices, V. 54, N. 12, Dec. 2007.
- [16] Se Han Lee, Yun Seop Yu, et. al., "A SPICE-compatible new silicon nanowire field-effect transistors(SNWFETs) model," IEEE Tran, On Nanotechnology, Vol. 8, No.5, pp. 643 - 649, Sept. 2009
- [17] Kyung Ki Kim ,Haiqing Nan,Ken Choi," Hybrid MOSFET/CNFET based power gating structure," International SoC Conference, pp. 334-338, Sep. 2010.



SPECIAL Column

SIGMA-SPICE 소개

서론

SIGMA-SPICE는 U.C. Berkeley SPICE3[1]를 기반으로 한 MS Windows용 회로 시뮬레이션 프로그램으로, 포항공과대학교 Analog IC Systems(AICS) 연구실에서 지난 10년간 그 기능을 개선하여 상용 SPICE 수준으로 개발하였다. 이 프로그램은 다음 site에서 다운로드하여 사용할 수 있다.

(<http://analog.postech.ac.kr> → Books → Sigma Spice)
<http://analog.postech.ac.kr/sub.php?code=CA1267600334235>

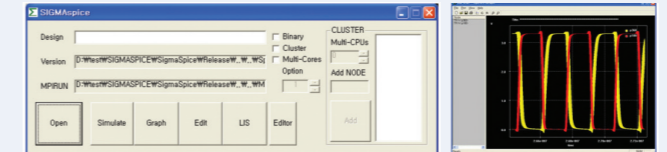
또, SIGMA-SPICE는 포항공과대학교 전자전기공학과 학부수업인 기초전자실험과 대학원수업인 아날로그집적회로 교과목에서 수강생들이 수년간 잘 사용하고 있다.

(<http://analog.postech.ac.kr> → Lecture → Undergraduate Course → Electronics Lab)
<http://analog.postech.ac.kr/sub.php?code=CA1254806203514>
 (<http://analog.postech.ac.kr> → Lecture → Graduate Course → Analog Integrated Circuits)
<http://analog.postech.ac.kr/sub.php?code=CA1254806168346>

SIGMA-SPICE를 상용 레벨로 사용하기 위해서는, 먼저 DC 동작점 계산시의 convergence 문제를 개선해야 하였다. Berkeley SPICE에서는 회로가 조금만 커져도 DC 동작점 계산이 안 되는 단점이 있었다. 그 외 Berkeley SPICE의 불편한 점인 GUI를 대폭 개선하고, 표1에 보인대로 여러 기능을 추가하였다.

SIGMA-SPICE의 주요 기능 추가	연도
DC operating point convergence 문제 개선 [2]	2002
SIGMA-SPICE file I/O 개선 [3]	2006
SIGMA-SPICE GUI 개발 [3]	2006
BSIM3, BSIM4 model 장착 [3]	2006
.param, .inc, .lib, .model 추가 [3]	2006
Mixed-mode simulation [4],[6]	2007
Monte Carlo simulation [6]	2008
Parallel Monte Carlo simulation using PC cluster [6]	2008
Parallel-mode simulation for multi-core CPU [7]	2009

표 1. SIGMA-SPICE의 주요 기능 추가 및 내력



(a) GUI (Graphic User Interface) (b) Graph Tool

그림 1. SIGMA-SPICE

GUI 기능	기능 설명
Open	netlist 파일을 open
Simulate	지정된 netlist 파일을 simulation
Graph	output file을 확인하기 위해 graph tool을 실행
Edit	netlist 파일을 edit
LIS	simulation output의 lis파일을 확인
Editor	netlist 파일을 edit 또는 lis파일을 확인할 때 사용되는 editor 지정
Binary	output을 binary형태로 출력한다.
Cluster	PC Cluster 환경에서의 simulation을 하고자 할 때의 옵션
Multi-core	multi-core CPU일 때, multi-threads를 생성한다.

표 2. SIGMA-SPICE GUI의 주요 기능

기능	기능 설명
New	현재의 data를 초기화한다.
Open	output 파일을 읽어들이는다.
Save	출력된 graph를 excel format으로 저장한다.
Plot	graph를 선택하고 나타낸다.
Grid	Grid On/Off
Set Region	graph를 표시할 영역을 정한다.
Zoom In	graph를 확대한다.
Zoom Out	graph를 원래 크기로 되돌린다.
Plot Point	graph상의 한 point의 좌표값을 표시한다.
Plot P to P	graph상의 두 point의 좌표값과 차이를 표시한다.

표 3. SIGMA-SPICE Graph tool의 주요 기능

그림 1, 표 2, 표 3에 각각 SIGMA-SPICE 화면, GUI 기능과 그래프툴의 기능을 보였다.

DC 동작점 수렴 문제 개선

회로가 점점 커지고 복잡해짐에 따라 회로의 DC 동작점을 결정할 때 어려움을 겪는 경우가 많다. SIGMA-SPICE는 DC 동작점 수렴 문제를 해결하기 위해 표 4의 여러 알고리즘 중에서도 Diag Gmin Stepping 방법을 개선하여 사용하였다[2].

MOSFET의 drain current에 undetermined current multiplier라는 factor를 곱한 후, 이를 조절함과 동시에 Gmin stepping을 사용하여 DC 동작점을 찾을 수 있도록 하였다[2]. 그 결과, 여러 종류의 회로에 대해 기존의 상용 SPICE와 비교 시뮬레이션을 했을 때, 특정 회로에서는 DC 동작점

을 잡기 위한 iteration 횟수가 증가하기도 했지만, 전반적으로 iteration 횟수의 감소 또는 비슷한 성능을 보여준다. (표5)

	Newton-Raphson	일반적인 Newton-Raphson 방법
Basic Algorithms	Basic Gmin Stepping	Gmin stepping 중, nonlinear 반도체 device의 p-n junction에 삽입된 Gmin을 이용한 방법.
	Basic Diag Gmin Stepping	Gmin stepping 중, Sparse Matrix Diagonal에 일괄적으로 더해진 Gmin을 이용하는 방법.
	Basic DC Gmin Stepping	MOSFET의 Drain-Source 사이에 삽입된 conductance인 DC Gmin을 이용하는 방법.
	Basic Source Stepping	Voltage source 또는 Current source를 0에서 출발하여 일정 step, 동일한 값으로 Given value까지 올리면서 회로 방정식을 푸는 방식.
Advanced Algorithms	Conv = 1	stepping 방식만 Basic Gmin Stepping과 다른 알고리즘
	Conv = 2	stepping 방식만 Basic DiagGmin Stepping과 다른 알고리즘
	Conv = 3	stepping 방식만 Basic DC Gmin Stepping과 다른 알고리즘
	Conv = 4	stepping 방식만 Basic Source Stepping과 다른 알고리즘

표 4. DC 동작점 수렴을 위한 여러 알고리즘

Circuit	Tr. #	Circuit equation #	Iteration #		
			SIGMA-SPICE	HSPICE	Smart SPICE
Adaptive Cascode OP Amp	80	118	109	262	385
PLL	131	132	253	118	200
Σ - Δ ADC Modulator	2811	1368	916	862	1059
Pipeline ADC Total Block	3424	1869	139	1181	401
USB Digital part Transceiver	7527	3594	220	140	206
FIFO	1984	992	88	107	42

표 5. 상용 SPICE 와의 iteration 횟수 비교

혼성 모드 시뮬레이션

아날로그 회로와 디지털 회로가 동시에 집적된 혼성 모드 회로에 대해서 기존의 SPICE는 트랜지스터 레벨의 시뮬레이션을 하므로 검증의 정확도는 보장하는 반면에 많은 시간을 소요하게 된다. 설계자의 입장에서는 되도록 짧은 시간에 검증하기를 원하기 때문에 두 회로를 따로 검증하기도 한다. 하지만 이는 적어도 두 개 이상의 시뮬레이터를 필요로 하며, 시뮬레이션에도 각별한 주의가 요구된다.

SIGMA-SPICE의 혼성 모드 시뮬레이션에서는 트랜지스터 레벨의 시뮬레이션과 로직 레벨의 시뮬레이션이 동시에 이루어진다. 아날로그 회로에서는 기존의 SPICE3에 탑재된 시뮬레이션 방법을 사용하며, 디지털 회로에서는 Event-Driven 알고리즘[5]에 기초한 로직 시뮬레이션 방법을 사용함으로써 시뮬레이션이 효율적으로 이루어지도록 한다[4][6]. SIGMA-SPICE는 표 6에 나와 있는 예시 외 총 22가지의 디지털 소자들을 지원하며, 이를 이용해 표 6과 같이 기존의 SPICE와 같은 방법으로 netlist에 소자를 표현하고 회로를 구성할 수 있다. 그리고 표 7과 같이 .model 문법을 통해 각 디지털 소자들의 특성을 정해줄 수 있다.[4]

디지털 소자	각 소자의 netlist 문법
inverter	N1 in out inv
buffer	N2 in out buffer
2-input nand	N3 in1 in2 out nand
2-input nor	N4 in1 in2 out nor
2-input xor	N7 in1 in2 out xor
3-input and	N11 in1 in2 in3 out and3
4-1 mux	N14 in1 in2 in3 in4 s0 s1 mux4
tristate buffer	N15 in en out tristate
d flip-flop	N16 d clk set reset out outb dff
d latch	N18 d clk set reset out outb dlatch
sr latch	N20 s r clk set reset out outb srlatch
atod hybrid	N21 in out atod
dtoa hybrid	N22 in out dtoa

표 6. 지원하는 디지털 소자와 netlist 문법 예시

```

/* inverter model */
.model inv inv rise_delay = 10p fall_delay = 10p input_load = 1.5f
/* nand model */
.model nand nand rise_delay = 20p fall_delay = 20p input_load = 1.5f
/* d flip-flop model */
.model dff dff clk_delay = 10p set_delay = 10p reset_delay = 10p
+ ic = 0 rise_delay = 10p fall_delay = 10p data_load = 2f +clk_load = 2f
+ set_load = 2f reset_load = 2f
    
```

표 7. 디지털 소자의 model parameter 예시

혼성 모드 시뮬레이션의 검증을 위해 PLL 회로(표 8)를 사용하였다. Di-vider ratio가 큰 PLL 회로의 경우 입력 reference clock의 주파수가 VCO의 출력 주파수에 비해 매우 낮기 때문에 내부의 time-step을 충족하게 만든다. 때문에 일반적으로 divider ratio가 클수록 시뮬레이션 시간은 기하급수적으로 길어지며 divider ratio가 너무 클 때에는 검증을 제대로 못 하는 경우가 발생하기도 한다. 이런 경우 그림 2 (b)처럼 divider를 디지털 소자 모델로 구현하여 시뮬레이션하면 그 시간을 충분히 줄일 수 있다. 그림 2의 결과에서 볼 수 있듯이 트랜지스터 레벨의 시뮬레이션이 혼성 모드보다 회로 방정식의 개수가 더 많은 것을 확인할 수 있으며, 시뮬레이션 타임 포인트(time point)는 혼성 모드가 트랜지스터 레벨보다 더 많지만 만들고 계산해야 할 행렬의 크기가 트랜지스터 레벨의 경우가 더 크기 때문에 더 많은 시간이 걸린다. 그리고 그에 따라 전체 시뮬레이션 시간이 더 많이 소요된 것을 확인할 수 있다.

```

*** PLL netlist (mixed-mode simulation) ***
MP49 VSS VDD VSS VSS NCH L=5U W=20U M=49 as=21.0p ad=21.0p
ps=22.1u pd=22.1u
XP48 5 CLKOUT VDD VSS INV2
XP1 DN DNB REF_CLK AA UP UPB VDD VSS PFD
XP39 1 2 3 4 5 A B C D E VDD VSS BUF_S5
XP38 C1 C2 C3 C4 AA BB CC DD VDD VSS BUF_S4
XP37 AA BB CC CLKOUT DD RESET VDD VSS DIV40_PLL
XP27 A B C D E PWRDN VCTRL VDD VSS REGVCO
XP28 DN DNB PWRDN UP UPB VCTRL VDD VSS CHG_PUMP
XP29 VCTRL VSS LF
XP44 REF_CLK BB LOCK PWRDN VDD VSS LOCK
* Structdef name: DIV4_PLL
.SUBCKT DIV4_PLL A B C CLK D RESET VDD VSS
NP10 D CLK NULL RESET A C DFF
NP11 A CLK NULL RESET B D DFF
.ENDS DIV4_PLL

* Structdef name: DIV10_PLL
.SUBCKT DIV10_PLL CLK E RESET VDD VSS
NP16 P16_D CLK NULL RESET P16_Q P17_DB DFF
NP17 P16_Q CLK NULL RESET P18_D P18_DB DFF
NP18 P18_D CLK NULL RESET P19_D P19_DB DFF
NP19 P19_D CLK NULL RESET P20_D P20_DB DFF
NP20 P20_D CLK NULL RESET E P16_D DFF
.ENDS DIV10_PLL

* Structdef name: DIV40_PLL
.SUBCKT DIV40_PLL A B C CLK D RESET VDD VSS
XP11 CLK E RESET VDD VSS DIV10_PLL
XP10 A B C E D RESET VDD VSS DIV4_PLL
.ENDS DIV40_PLL

... 생략 ...
    
```

표 8. 시뮬레이션을 위한 PLL 회로 netlist

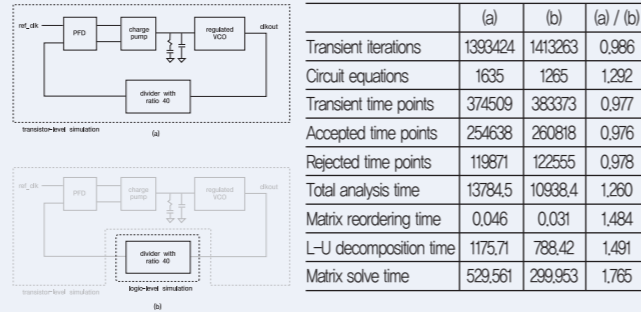


그림 2. 시뮬레이션을 위한 PLL 회로 구성 및 시뮬레이션 비교

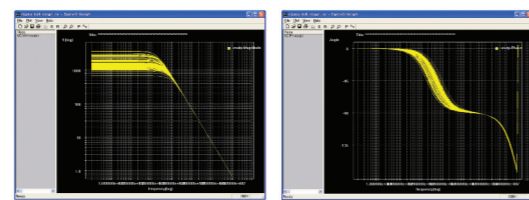
(a) 트랜지스터 레벨 시뮬레이션 (b) 혼성 모드 시뮬레이션

효율적인 통계 시뮬레이터

공정의 크기가 줄어들수록, 변수의 관계가 확실하여 결과 값을 정확하게 예측할 수 있는 확정적 모형(deterministic model)과는 달리, 많은 부분을 정확하게 예측하기 불가능한 확률적 모형(stochastic model)이 요구된다. 때문에 공정 변화(process variation)를 고려한 시뮬레이션은 그 변화를 통계적으로 반영해야 한다. 이는 numerical한 방법을 통해 난수를 반복적으로 발생시켜 시뮬레이션하는 몬테 카를로 분석을 통해 가능하다. SIGMA-SPICE의 몬테 카를로 시뮬레이션 또한 통계학적이고, 무작위의 숫자를 사용하여 이루어진다. 주로 트랜지스터의 크기나 공정 프로세스 값들의 통계적 변화를 고려하기 위해 이용되며, 통계적 변화가 일어나는 변수를 정규분포(normal distribution) 혹은 균등분포(uniform distribution)로 생성된 많은 난수(random number) 값들로 대체하여 시뮬레이션할 수 있다.[6]

몬테 카를로 시뮬레이션은 정확한 통계적 접근을 하지만 많은 경우의 수에 대해서 시뮬레이션을 모두 해보는 것이므로 많은 시간이 소요된다. 때문에 이를 보완하기 위해서 SIGMA-SPICE는 여러 대의 컴퓨터로 구성된 클러스터(cluster)를 이용하여 각 컴퓨터에서 분담해서 몬테 카를로 시뮬레이션을 하는 방법을 통해 효율적인 병렬화를 할 수 있다[6]. 그림 3은 three stage OP-Amp 회로의 AC 몬테 카를로 시뮬레이션 결과이다. 표 9와 같이 입력 트랜지스터의 length를 3sigma 5% 정규분포에 해당하는 변화를 주었고, 몬테 카를로 시뮬레이션 횟수는 100회로 하였다.

결과 데이터는 SIGMA-SPICE 그래프들을 이용해 그렸으며, length 값의 변화에 따른 결과 값의 크기와 위상 변화를 확인할 수 있다. 표 10은 PLL 회로의 몬테카를로 시뮬레이션 결과이다. 속도 비교를 위해 1대의 PC에서와 3대를 연결한 PC 클러스터에서 같은 회로를 구성하여 시뮬레이션하였다. INTEL사의 Core i7 블룸필드 920이 장착된 컴퓨터가 사용되었으며, 몬테 카를로 시뮬레이션 횟수는 80회로 두었다. Core i7 블룸필드 920의 경우 쿼드 코어(Quad-core) CPU이기 때문에 PC 1대에서 코어 1개만을 사용했을 때, 코어 4개를 사용했을 때, 3대의 PC에서 총 코어 12개를 사용했을 때의 3가지 경우에 대해 시뮬레이션이 이루어졌고 대략 8.5배의 성능 개선을 확인할 수 있다.



(a). Magnitude Plot (log scale) (b) Phase plot

그림 3. Three stage OP-Amp AC 몬테 카를로 시뮬레이션

```

*** 3-stage opamp (monte carlo simulation) ***
** 3 sigma, 5% variance input length **
.param linutp = agauss(0.5u, 0.025u, 3)

xi0 vbias_n1 vbias_n2 vbias_p1 vbias_p2 vdd vss BIASCKT

mxp1 net160 vinp voutn vdd pch w=55u l=input m=1
mxp2 net160 vinn voutp vdd pch w=55u l=input m=1
mxp3 vdd vbias_p1 net160 vdd pch w=25.5u l=input m=1
** ac Monte Carlo simulation (100 times) **
.ac dec 10 1 100meg SWEEP MONTE = 100

.subckt BIASCKT vbias_n1 vbias_n2 vbias_p1 vbias_p2 vdd vss
vxv2 net0137 vbias_n1 dc 0
vxv1 vbias_p1 net0200 dc 0
rxr0 net2 vss 1.385k
mxp7 vdd vss net44 vdd pch w=1u l=48u
mxp6 vdd vbias_p2 vbias_n2 vdd pch w=6u l=0.8u
mxp5 net12 vbias_p2 vbias_n2 vdd pch w=24u l=0.8u
mxp4 vdd vbias_p1 net12 vdd pch w=25.5u l=0.5u

... 생략 ...
    
```

표 9. Netlist of 3-stage OP-Amp

	Single PC	Single PC	Cluster
PC #	1	1	3
Core #	1	4	12
Monte Carlo #	80	80	80
Total time (s)	48501	14882	5660

표 10. PLL 회로의 병렬 몬테 카를로 시뮬레이션 결과

멀티 코어(Multi-core) CUP용 병렬 모드(parallel mode) 시뮬레이션

최근의 CPU 산업은 기존과는 달리 여러 개의 core를 한 CPU 속에 장착하여 효율을 높이는 멀티 코어(multi-core) CPU의 형태로 성장하고 있다. 하지만 기존의 소프트웨어는 여전히 1개의 쓰레드를 이용한 순차적 방식으로 구성되어 있으며, 이 경우에는 CPU의 활용도가 떨어질 수밖에 없다. 이 때문에 각종 프로그램의 멀티 코어 지원은 고성능을 위한 기본적인 사항이 되었으며, 이는 회로 시뮬레이터인 SPICE에도 예외는 아니다. SIGMA-SPICE는 마스터 쓰레드(master thread) 즉, 하나의 쓰레드(single thread)로 구성되어 순차적으로 프로그램이 실행되다 병렬로 동작하고자 하는 영역에서만 여러 쓰레드를 생성하는 방법을 통해 멀티 코어 CPU의 점유율을 높여 빠른 시뮬레이션이 이루어질 수 있도록 한다. SIGMA-SPICE의 멀티 코어 기능은 GUI의 옵션을 선택함으로써 사용할 수 있으며, 쓰레드 수도 선택할 수 있다. 코어 수만큼 쓰레드 수를 선택하는 것이 가장 효율적이다. (그림 4) 표 11은 USB 2.0 아날로그 회로를 이용해 시뮬레이션한 결과이다. INTEL사의 쿼드 코어 CPU인 Core2Quad Q6600 모델이 장착된 컴퓨터를 이용하였으며, 가장 효율적인 시뮬레이션을 위해 4개의 쓰레드를 생성하도록 하였다. 표 11에서 볼 수 있듯이 회로 소자를 로딩하는 시간이 약 65%가 단축되어 2.9배가 빨라졌고, 전체 시간은 60%의 시간이 단축되어 2.5배 빨라졌음을 확인할 수 있다.

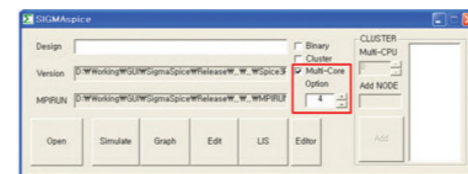


그림 4. SIGMA-SPICE GUI 병렬 모드 옵션

	Single thread	Multi-thread	Efficiency(S/M)
Thread #	1	4	0.25
Circuit equation #	2965	2965	1
Load time (s)	23121	8060	2.87
Total time (s)	25044	9962	2.51

표 11. USB 2.0 아날로그 회로의 병렬 모드 시뮬레이션 결과

Reference

- [1] Quarles, T. et al, "SPICE3 Version 3f3 User's Manual," Dep. EECS., UC, Berkeley, Ca., May 1993
- [2] 이현배, 박홍준, "An improved algorithm of DC operating point computation for CMOS VLSI circuit simulation with an improvement factor between 40% and 80% over commercial SPICE programs," 대한전자공학회 SOC Design Conference, May 2002.
- [3] 김호영, "Nano CMOS 아날로그 회로 시뮬레이션," M.S. thesis, Dep. EE., POSTECH, Pohang, Korea, 2007.
- [4] 엄지용, "SPICE3 기반의 아날로그-디지털 혼성모드 회로 시뮬레이션 프로그램," M.S. thesis, Dep. EE., POSTECH, Pohang, Korea, 2007.
- [5] S. Sundaram, "Distributed logic simulation: Time-First evaluation vs event-driven algorithm," in Proc. Int. Conf. VLSI Design, pp. 307-310, Jan. 1996.
- [6] 엄지용, 이일민, 심재윤, 박홍준 "SIGMA-SPICE : A SPICE3-based mixed-mode and parallel Monte Carlo circuit simulator," SoC 학술대회, May, 2009.
- [7] 이일민, 심재윤, 박홍준 "시그마-SPICE : 멀티 코어 CPU용 병렬 모드 SPICE," 2009 IEEEK 대전충남지부 학술대회, Dec., 2009.

포항공과대학교 전자전기공학과
 박홍준 교수
 연구분야 : 아날로그 IC, 고속 인터페이스 회로, 저전력 아날로그
 E-mail : hjpark@postech.ac.kr
 http://analog.postech.ac.kr

포항공과대학교 전자전기공학과
 이일민 박사 과정
 연구분야 : high-speed link, crosstalk, 3D integrated circuit
 E-mail : yy312@postech.ac.kr
 http://analog.postech.ac.kr