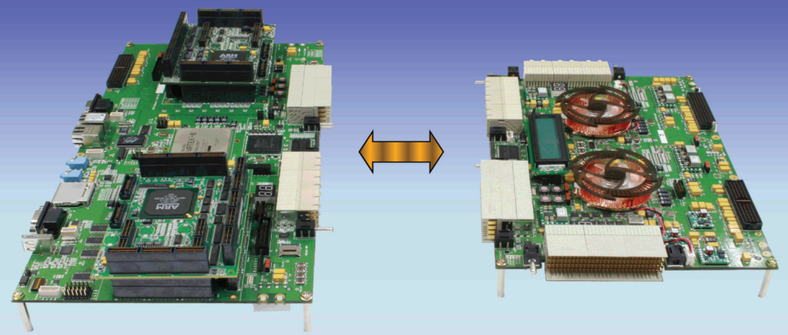
dynalith

Dynalith Systems' New Product DualARM-V6

www.dynalith.com

Dual ARM board: CoreTile x 2

Dual FPGA board: LX760 x 2



❖DualARM-V6
- ❖ARM CoreTile (x 2)
- ❖Xilinx V6 LX760
- ❖DDR3/Ethernet/USB/Audio
- ❖Optional Video (DVI, VGA, Camera IF)

❖DualFPGA-V6
- ❖Xilinx V6 LX760 (x 2)
- ❖High-speed interconnection : Z-PACK

㈜ 다이나릿시스템

본사: 서울시 서초구 양재동, (02)556-0020
연구소: 대전시 유성구 KAIST CHiPS 빌딩
contact@dynalith.com

Cool Value

MAX V 는 최고의 CPLD 가치를 지니고 있습니다.
MAX V CPLD 는 업계 유일의, 비휘발성 구조와 업계에서 가장 큰 로직 집적도를 가진 CPLD 입니다.
MAX V 제품군은

- 보다 낮은 총 시스템 비용
- 경쟁 CPLD 보다 최고 50% 낮은 전력소모
- 견고한 새로운 특성들

을 제공합니다.

Altera 와 함께 필요하신 많은 수량의 부품을 받을 수 있습니다.
지금 양산물량을 주문하세요 !

ALTERA MAX V

MAX V CPLDs:
Cool Value

www.altera.com/maxv

알테라 코리아
전화 : (02)538-6895
팩스 : (02)538-6896

대리점
유니퀘스트(주)
전화 : (031)776-9932/9863
팩스 : (031)708-6596

반도체설계교육센터
IC DESIGN EDUCATION CENTER
305-701 대전광역시 유성구 구성동 373-1
한국과학기술원

IDEC Newsletter

IDEC Newsletter | 통권:제167호 발행일 | 2011년 4월 30일 발행인 | 경종민 편집인 | 김이섭 제 작 | 푸울디자인
기 획 | 전항기 전 화 | 042) 350-8535~6 팩 스 | 042) 350-8540 http | //idec.or.kr
E-mail | jhg0929@idec.kaist.ac.kr 발행처 | 한국과학기술원 반도체설계교육센터(IDEC)

Vol.167

2011
May

IDEC NEWS | 02 적외선 영상 센서 시스템 | 04 Power Supply on Chip (PwrSoC)의 연구동향 및 도전과제 | 08
스마트폰 및 태블릿을 위한 모바일 프로세서 개발 동향 | 12 SoC 설계에서 검증의 문제와 대응방안 | 16

반도체설계교육센터 사업은 지식경제부, 반도체산업협회, 반도체회사(삼성전자, 하이닉스반도체, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.

적외선 영상 센서 시스템

적외선 영상 시스템이란 가시광선보다 파장이 긴 적외선 대역을 통해 이미지를 취득하는 영상 시스템이다. 기존 CMOS 영상 카메라는 주변광에서 발생한 빛에 의존하여 물체에서 반사되어 나온 가시광을 통해 물체의 형상 정보를 취득하지만, 적외선 카메라는 주변광에 의존하지 않고 흑체 복사를 통해 물체 자체에서 방사하는 적외선을 통하여 영상을 취득한다. 본 고에서는 적외선 시스템의 구성 및 회로 등 적외선 영상 센서 시스템에대해 알아보고자 한다. (관련기사 P04~07 참조)

Power Supply on Chip (PwrSoC)의 연구동향 및 도전과제

최근 마이크로프로세서 또는 고집적 SoC의 전력소모량은 칩당 150W 수준으로 증가한 반면 전원전압은 1V 수준으로 감소함에 따라 전류공급의 문제가 심각히 대두하고 있다. 즉, 1V 공급전압에 150W를 사용하는 인텔 i7 마이크로프로세서의 경우, 150A의 대량의 전류를 패키지를 통해 공급해야 하는데, 이는 전원 공급선에 천분의 1옴의 저항성분만 있어도 0.15V 즉 공급전압의 15%에 해당하는 큰 전압강하를 일으키는 등 여러 문제를 일으킬 수 있다. 이와 같은 문제를 해결하기 위해 효율적인 DC-DC 컨버터를 패키지 내부에, 또는 나아가서 칩 내부에 집적시키려는 노력이 활성화되고 있다. 본고에서는 칩내부에서 효율적인 전압 변환을 하는 PwrSoC의 연구동향에 대해 살펴보고자 한다. (관련기사 P08~11 참조)

스마트폰 및 태블릿을 위한 모바일 프로세서 개발 동향

최근 들어 스마트폰을 필두로 하여 태블릿시장 역시 전 세계적으로 크게 확대되면서, 글로벌 IT기기 제조사 간에 희비가 엇갈림과 동시에 전 세계 사용자들의 Life Style이 크게 바뀌고 있다. 특히 Apple의 iPad와 같은 고성능 태블릿의 등장 이후, 컨텐츠의 생산은 넓은 화면과 강력한 x86 CPU를 탑재한 PC에서, 그리고 컨텐츠의 소비는 태블릿 및 스마트폰에서 이루어지는 현상이 더욱 가속화되었다. 본 고에서는 스마트폰 및 태블릿을 위한 모바일 프로세서 개발 동향 대해서 살펴보고자 한다. (관련기사 P12~15 참조)

SoC 설계에서 검증의 문제와 대응방안

반도체 제조기술은 끝없이 발전하여 반도체 집적률의 증가는 아직도 무어의 법칙을 충실히 따르고 있어서 1.5년마다 두 배의 크기로 지속 증가하고 있다. 이러한 반도체 제조기술의 강력한 성장에 힘입어 설계되는 반도체 제품의 규모 역시 증가하여 2011년 멘토사의 발표 자료에 따르면 엔지니어 한 명이 연간 개발해 내는 transistor의 수는 1985년 이래 2009년까지 네자리 수로 증가하여 연평균 57%의 증가율을 보인다고 했다. 이 기간에 엔지니어의 수의 증가는 연간 5% 남짓한데, 과연 이렇게 큰 설계가 가능하도록 설계 기술이 충분히 발전을 했는지는 한 번 생각해 볼 일이다. 본 고에서는 오늘날 SoC 제품의 설계에 있어서 특별히 검증의 입장에서 무엇이 문제인지 살펴보고 몇 가지 대안들을 생각해 보고자 한다. (관련기사 P16~19 참조)

IDEC news

May | 2011

MPW (Multi-Project Wafer)

신청 현황 |

구분	공정	제작가능면적 (mm2 x 칩수)	신청 팀수	채택 팀수	설계면적 (mm2 x 칩수)	DB 마감	Die-out	비고
100회 (11-03)	삼성 0.13	4x4mm² x 48	39	39	4x4mm² x 35	2011. 4.25	2011 8.25	
101회 (11-04)	TJ RF 0.18 M/H 0.18	5x5mm² x 2 4.5x4mm² x 20	8 21	8 20	2.5x2.5mm² x 8 4.5x4mm² x 20	2011. 5.2 2011. 5.13	2011. 7.19 2011. 9.5	
102회 (11-05)	동부 BCD 0.35	5x5mm² x 3	10	6	5x2.5mm² x 6	2011. 5.25	2011. 8.31	
103회 (11-06)	TJ CIS 0.18 동부 BCD 0.35	5x5mm² x 1 5x5mm² x 3	5 9	4 5	2.5x2.5mm² x 4 5x5mm² x 1 5x2.5mm² x 4	2011. 6.21 2011. 7.7	2011. 9.21 2011. 10.12	
104회 (11-07)	TJ BCD 0.18 M/H 0.35 M/H 0.18 삼성 65n	5x5mm² x 2 5x4mm² x 20 4.5x4mm² x 20 20개 서버 (4x4mm² x 48)	1 7 15 23	1 78 15 23[1]	5x5mm² x 1 5x4mm² x 7 4.5x4mm² x 15 4x4mm² x 23	2011. 8.29 2011. 8.29 2011. 8.29 2011. 8.19	2011. 11.15 2011. 12.20 2011. 12.20 2012. 1.15	후기모집 : 5.6~ 선착순 마감
105회 (11-08)	TJ CIS 0.18 동부 BCD 0.35 동부 0.11 KEC 4 KEC 0.5	5x5mm² x 1 5x5mm² x 3 5x5mm² x 13 5x5mm² x 20 5x5mm² x 20	6 12 30 1 –	4 5 30 – –	2.5x2.5mm² x 4 5x5mm² x 1 2.5x2.5mm² x 4 5x2.5mm² x 22 2.5x2.5mm² x 8 – –	2011. 10.10 2011. 10.13 2011. 10.10 2011. 10.14	2012. 1.11 2012. 1.18 2012. 1.10 2012 1.27	동부공정 설계설명회 : 5.17
106회 (11-09)	삼성 0.13	4x4mm² x 48	8	8	4x4mm² x 8	2011 11.5	2012 3.9	정규모집 : ~5.15
107회 (11-10)	M/H 0.18	4.5x4mm² x 20	2	2	4.5x4mm² x 2	2011 12.15	2012 4.10	

* 104~107회는 우선모집 결과임. -전체모집 가능수의 50% 선정

칩제작 현황 |

구분	공정	제작가능면적 (mm2 x 칩수)	제작 칩수	제작면적 (mm2 x 칩수)	Die-out 예정일	현재 상태	비고
제96회 (10-07)	삼성 90n	4x4mm² x 20	15	4x4mm² x 15	2011. 2.20	제작 완료	PKG : 4.5
제97회 (10-08)	M/H 0.18 동부 0.13	4.5x4mm² x 40 5x5mm² x 6	32 18	4.5x4mm² x 32 5x2.5mm² x 6 2.5x2.5mm² x 12	2011. 2.10 2011. 2.25	제작 완료 제작 완료	PKG : 3.11 PKG : 3.30
제98회 (11-01)	TJ SiGe 0.18 M/H 0.35 M/H 0.18	5x5mm² x 1 5x4mm² x 20 4.5x4mm² x 20	3 19 20	5x2.5mm² x 1 2.5x2.5mm² x 2 5x4mm² x 19 4.5x4mm² x 20	2011. 5.24 2011. 6.7 2011. 5.11	칩제작중 칩제작중 칩제작중	
제99회 (11-02)	TJ RF 0.18 동부 BCD 0.35 동부 0.13	5x5mm² x 2 5x5mm² x 3 5x5mm² x 23	5 6 30	5x5mm² x 1 2.5x2.5mm² x 4 5x2.5mm² x 6 5x5mm² x 18 5x2.5mm² x 8 2.5x2.5mm² x 4	2011. 5.11 2011. 6.1 2011. 7.6	칩제작중 칩제작중 칩제작중	
제100회 (10-03)	동부 BCD 0.35	5x5mm² x 3	6	5x2.5mm² x 6	2011. 7.12	칩제작중	

* M/H = 매그나칩/하이닉스, TJ = TowerJazz
* 우선/정규모집에서 마감될 경우 후기모집은 진행되지 않음.
* Die-out 일정은 Diechip 제작완료 기준임. Package는 Die-out후 3주 이상 소요됨.
* 위의 내용은 4/26 기준임.
* 2011년 MPW 참여 일정 및 방법은 홈페이지(www.idec.or.kr) 참조

* 문의 : 이의숙(042-350-4428, yslee@idec.kaist.ac.kr)

채용 안내

● **KAIST 반도체설계교육센터(IDEC)를 이끌어 갈 젊음과 열정을 가진 인재를 찾습니다.**

1. 모집 분야

	연구원	행정원
모집인원	1명(신입 또는 경력)	1명(신입 또는 경력)
자격조건	대졸이상	대졸이상
주요업무	국내 · 외 Fab을 통한 칩 설계, 제작지원 Digital, Analog 칩 테스트 기술지원 EDA tool 교육 및 기술지원	정부과제관리 연구과제관리
우대사항	반도체설계관련 전공자, 영어능통자	연구관리업무 유경험자

2. 제출 서류

- 당사 입사지원서(홈페이지에서 다운로드)
- 성적증명서(대학, 대학원) 각 1부
- 졸업(예정) 증명서 1부
- 경력증명서(해당자) 1부

3. 접수 기간 및 접수처

- 접수기간 : 2011년 5월 15일
- 접 수 처 : (305-701) 대전광역시 유성구 구성동 373-1 한국과학기술원 반도체설계교육센터 104호
- 접수방법 : 우편접수, 이메일 접수
- 문 의 처 : 042-350-4045(이메일: shchoi@idec.kaist.ac.kr)
- 홈페이지 : www.idec.or.kr

4. 기 타

- 접수된 서류는 인비 처리하며 반환하지 않음.

2011년 5월 교육 프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

본 센터 강좌 일정 |

강의 일자	강의 제목	분 류
5월 18-20일	Mentor – Calibre Using nmDRC and nmLVS	Tool
5월 26-27일	Mentor – Calibre xRC	Tool

■ **강좌일 : 5월 18일-20일**
■ **강좌 제목 : Mentor – Calibre Using nmDRC and nmLVS**
■ **강사 : 김봉준 차장(한국멘토)**

[강좌개요]

본 교육은 Mentor Graphics사의 IC Design을 검증할 수 있는 Calibre DRC/LVS Physical Layout Verification Toolset을 사용자가 효율적으로 사용할 수 있도록 만들어진 과정입니다. 본 교육에서는 Calibre의 사용자 환경설정, Calibre Graphical 환경 사용법, DRC Error Debugging, LVS Error Debugging, Calibre 사용상 유용한 Utility들을 강의를 통하여 설명하고, Lab을 통하여 실습할 수 있도록 진행됩니다.

[수강대상]

· Physical Layout 담당자, 설계 담당자, CAD 담당자를 포함한 모든 Calibre DRC/LVS를 적용하는 User

[강의수준]

· 초중급

[강의형태]

· 이론 + 실습

[사전지식, 선수과목]

· Layout 설계 관련 기본적인 지식
· Physical Verification관련 기본적인 지식

* 문의 : 이승자 (042-350-8536, sjlee@idec.kaist.ac.kr)

■ **강좌일 : 5월 26일-27일**
■ **강좌 제목 : Mentor – Calibre xRC**
■ **강사 : 김봉준 차장(한국멘토)**

[강좌개요]

이 교육은 Parasitic 저항 및 커패시터를 추출하는 Calibre xRC의 사용법과 Rule File Generation에 대하여 교육 합니다. 다양한 Design Style에 맞는 Extraction 방법(Transistor Level Extraction, Gate-Level Extraction, Hierarchical Extraction Flow에 대하여 실습 위주로 교육 합니다.

[수강대상]

· Physical Layout 담당자, 설계 담당자, CAD 담당자를 포함한 모든 Calibre DRC/LVS를 적용하는 User

[강의수준]

· 초중급

[강의형태]

· 이론 + 실습

[사전지식, 선수과목]

· Layout 설계 관련 기본적인 지식
· Physical Verification관련 기본적인 지식

제4차 동부하이텍 IP 설계공모전 발표평가 및 시상식 개최

● **동부하이텍(대표 박용인)과 반도체설계교육센터(소장 경종민)은 지난 4월 5일(화) 서울 르네상스 호텔에서 '2011 동부하이텍 IP 설계 공모전 시상식을 개최했다.**

수상팀과의 단체사진

이날 시상식에서는 김훈기(고려대 전자전기공학과)씨가 발표한 'Maximum Power Point Tracking Circuit for Photovoltaic Energy Harvesting System' 논문이 대상을 차지했다. 이 논문은 최근 신재생에너지로 각광받고 있는 태양광 발전의 핵심인 태양전지의 생산전력을 최대화할 수 있는 아날로그반도체를 개발을 골자로 하고 있다.

더불어 이종미(포항공대 전자전기공학과)씨가 발표한 'On-chip Microwave-excited Plasma Power Module for Biomedicine' 논문이 최우수상을 수상했다. 윤성진(강원대 전기전자공학전공)씨의 '온도 보상을 위한 기준전압 조정 방식의 LED 구동 IC', 권민아(동국대 반도체과학과)씨의 '고효율 배터리 관리 시스템을 위한 12-b 2.5MS/s 사이클릭 폴딩 ADC', 민경직(건국대 전자공학과)씨의 '넓은 입력 전압범위를 갖는 고효율 무선 충전용 송수신 IC 설계' 논문 등이 각각 우수상으로 선정됐다.

동부문화재단의 후원으로 동부하이텍과 공동으로 진행된 이번 공모전은 갈수록 경쟁이 치열해지고 있는 세계 반도체 시장에서 대학생을 비롯한 젊은 인재를 육성하여 한국 시스템반도체 산업의 경쟁력을 높이는 데 기여한다는 취지로 진행됐다.

수상	소속	지도교수	설계자	논문명
대 상	고려대	김수원	김훈기, 민영재, 김상진	Maximum Power Point Tracking Circuit for Photovoltaic Energy Harvesting System
최우수	포항공대	심재윤	이종미, 박승진	On-chip Microwave-excited Plasma Power Module for Biomedicine
우 수	강원대	황인철	윤성진, 유진완	온도 보상을 위한 기준전압 조정 방식의 LED 구동 IC
우 수	건국대	이강윤	민경직, 박형구, 김홍진, 박준성	넓은 입력 전압 범위를 갖는 고 효율 무선 충전용 송수신 IC 설계
우 수	동국대	송민규	권민아, 한준범, 김대윤, 문준호	고효율 배터리 관리 시스템을 위한 12-b 2.5MS/s 사이클릭 폴딩 ADC

적외선 영상 센서 시스템

한국과학기술원 전기 및 전자 공학과

이희철 교수
연구분야 : 적외선 영상 시스템, 내방사선 전자부품, Wafer level package, LED
E-mail : hclee@kaist.ac.kr
http://irislab.kaist.ac.kr

서론

적외선 영상 시스템이란 가시광선보다 파장이 긴 적외선 대역을 통해 이미지를 취득하는 영상 시스템이다. 기존 CMOS 영상 카메라는 주변광에서 발생한 빛에 의존하여 물체에서 반사되어 나온 가시광을 통해 물체의 형상 정보를 취득하지만, 적외선 카메라는 주변광에 의존하지 않고 흑체 복사를 통해 물체 자체에서 방사하는 적외선을 통하여 영상을 취득한다.

물체 자체에서 방사되는 적외선은 물체 자신의 온도에 관한 함수이기 때문에 적외선을 통해 얻은 이미지는 물체의 형상 정보뿐만 아니라 온도 정보까지 취득할 수 있다. 이러한 적외선 카메라의 특수성에 의해 적외선 카메라는 다양한 분야에 응용 가능하다. 대표적으로 군용 야시경, 자동차 나이트 비젼, 의료용 열상 카메라, 파이프 균열 감시 카메라, 인공위성의 기상관측용 카메라, 미사일 추적 시스템, 원자로 감시 카메라 등 다양한 분야에 응용되어 사용되고 있다.

현재까지 적외선 카메라는 비교적 비싼 가격 때문에 일반 대중에게 널리 보급되지 않은 상황이다. 그러나 최근에 발표되는 많은 논문을 살펴보면 적외선 카메라의 효율성을 증대시키면서도 제작비용을 낮출 수 있는 기술들이 급속도로 개발되고 있다. 현재 개발되는 기술들을 볼 때 10년 내에 적외선 카메라의 대중화를 기대할 수 있을 것으로 본다. 추후 적외선 카메라의 가격이 저렴해질 경우 일반 자동차에 장착 가능하고 일반 대중들도 의료용 목적이나 보완용 카메라로 사용 가능할 것으로 전망된다.

적외선 시스템의 구성

아래 그림 1은 적외선 영상 시스템의 전체 시스템 구성도를 나타낸다. 적외선 영상 시스템은 광학계, 적외선감응부, 신호취득회로부, 온도안정화부(TEC), 신호처리부(DSP), User interface, 디스플레이부로 구성된다. 먼저 광학계에서는 적외선 렌즈를 통해 물체에서 방사되는 적외선을 IR Focal Plane Array(IRFPA)에 투영시킨다. 투영된 상은 IRFPA에서 전기적 신호로 변환된 후 ADC를 통해 디지털 신호로 변환된다.

디지털 신호로 변환된 데이터는 DSP상에서 offset correction, gain correction 및 기타 특화된 신호처리를 거친 후 LCD 상에 표시된다. 온도안정화부는 IRFPA의 온도가 변하게 되면 동작 특성이 변하고 노이즈가 증가하여 정상적인 적외선 이미지를 얻을 수 없기 때문에 IRFPA가 일정한 온도 하에서 동작할 수 있도록 Thermo Electric Cooler(TEC) 또는 액체 질소를 이용하여 온도를 일정하게 유지시킨다. User interface부는 적외선 이미지를 어떻게 처리할지 유저가 조정할 수 있도록 구현한 부분이다. 이러한 적외선 영상 시스템에서 저가격화 및 고성능화를 위하여 적외선 감응부에서는 적외선 감지소자의 성능 향상 연구를, 신호취득회로부에서 TEC를 사용하지 않으면서 저전력 동작을 위한 신호취득회로 개발 연구가 최근 주로 수행되고 있다.

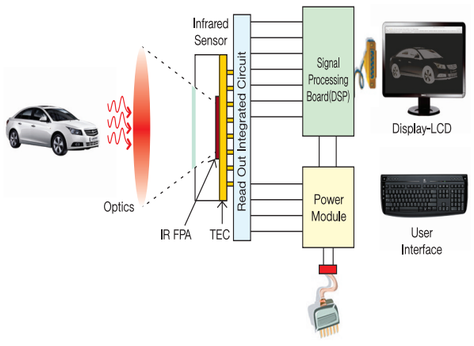


그림 1. 적외선 영상 시스템 구성도

적외선 센서

적외선 센서는 크게 냉각 방식과 비냉각 방식으로 분류된다. 냉각 방식은 적외선이 입사되었을 때 photo diode의 PN junction에서 생성되는 Electron & Hole pair를 전기적인 신호로 취득함으로써 적외선을 감지하는 방식이다. 비냉각 방식은 대표적인 방식으로 Thermal detector type이 있는데, 이 원리는 적외선 감지소자 내의 감지물질이 적외선에 의하여 온도가 변하게 되고, 온도 변화에 따른 저항이나 capacitance 등의 전기적인 신호의 변화를 감지함으로써 적외선이 감지된다.

각각의 방식은 장단점이 있는데, 냉각 방식의 경우 높은 감지도를 가지는 반면 극 저온에서 동작해야 하므로 시스템의 부피가 커지고 가격이 비싸지는 단점이 있다. 따라서 주로 인공위성이나 의료용과 같이 고성능을 요구하고 단가가 크게 문제되는 않는 분야에 활용된다. 비 냉각 방식의 경우, 냉각 방식에 비해 낮은 감지도를 가지지만 상온에서 동작 가능하기 때문에 시스템의 부피가 작으며 낮은 파워 소모, 저렴한 가격의 장점을 가지고 있어 군사용 휴대 야시경, 자동차 나이트 비젼 등의 용도로 개발되고 있다. 그러나 최근에는 비냉각 센서에서도 냉각방식에 버금가는 높은 감지도를 가지는 IRFPA가 개발되고 있다. 따라서 최근 연구 동향은 낮은 가격과 합리적인 성능을 구현하는데 적합한 비냉각 방식의 적외선 감지소자에 초점을 맞추어 연구가 진행되고 있다.

비냉각 방식의 대표적인 방식은 볼로미터 방식인데, 볼로미터의 성능은 입사된 적외선을 외부로 유출시키지 않고 내부에 오래 유지할 수 있는 열 격리 구조체와 볼로미터에 내장된 감지 물질의 열에너지의 전기적 신호로의 변환 효율에 따라 결정된다. 이러한 기본 원리를 바탕으로 bi-material effect를 이용한 micro-cantilever 방식의 적외선 센서 (그림 2) 분야와 새로운 마이크로 볼로미터용 물질 (그림 3) 분야가 연구되고 있다.

IR sensor는 적외선을 흡수하는 흡수체(top floating electrode of the capacitor), 열팽창계수가 서로 다른 두 물질로 이루어진 bi-material leg, 두 개의 하부전극 이렇게 3가지 요소로 구성되어 있다. 흡수체는 입사되는 적외선을 흡수하여 이것을 열에너지로 변환한 다음 bi-material leg로 전송한다. 이때, 흡수된 열에너지에 비례하여 bi-material 다리는 변형을 일으키게 되고 bi-material 한쪽 끝에 연결된 적외선 흡수체가 상부로 움직이게 된다. 이러한 현상은 흡수체와 하부 전극 사이의 커패시턴스 변화시키게 되고, 이 변화 값에 의하여 적외선 신호가 감지된다.

마이크로 볼로미터용 물질 연구 분야에서는 기존의 마이크로 볼로미터에서 사용되고 있는 물질을 대체할 수 있는 고성능의 새로운 물질들을 연구하고 있다. 그 종류로는 실리콘 계열, 유기물 계열과 금속 산화물 계열 등이 있고 현재는 금속 산화물 중에서 니켈 산화막과 연관된 연구(그림 2)를 진행하고 있다.

볼로미터 물질의 주요 성능지수에는 TCR(temperature coefficient of resistance)과 잡음이 있는데 TCR은 값이 클수록, 잡음은 작을수록 성능이 향상된다. 이러한 특성들은 물질의 비저항 값에 따라 크게 달라지는데, 비저항 값이 클 경우 TCR뿐만 아니라 잡음 또한 커지게 된다. 반대로 비저항이 작은 경우에는 TCR과 잡음이 둘 다 작아진다. 서로 상반되는 특성 때문에 두 요소들 간의 최적화가 필요하다. 이와 같은 최적화 조건에 대한 연구와 TCR은 그대로 유지하면서 잡음 특성을 향상시키는 연구들이 활발히 진행되고 있다.

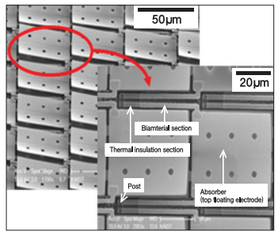


그림 2. Micro-cantilever type Capacitive IR Sensor [1]

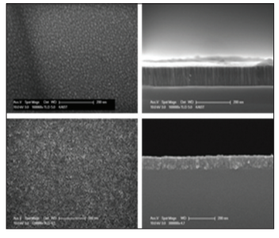


그림 3. Bolometric material (Nickel oxide) [2]

신호취득회로

적외선 센서 신호취득회로는 볼로미터의 저항 변화를 전류 또는 전압 신호로 바꾸어 적분한 후 ADC를 통하여 디지털 신호로 변환시키는 역할을 한다. 아래 그림 4는 가장 기본적인 형태인 Direct Injection 형태의 신호취득회로를 나타낸다. 먼저 입력단에서는 적외선 센서의 안정적인 동작을 위하여 NMOSFET을 사용하여 정전압을 인가해 준다. 정전압이 인가된 센서에서는 감지된 적외선 빛에 상응하는 일정한 전류가 흐르게 되고 이 전류는 정해진 적분 시간 동안 적분 커페시터에 누적된다.

누적된 적분 커페시터의 전압값은 Source Follower를 통해서 ADC로 전달되어 디지털 신호로 변환된다. 그림 5는 IDEC에서 제공하는 0.35um 공정을 통하여 제작된 칩의 측정된 동작 파형을 나타낸다. 먼저 Reset 스위치가 꺼지는 순간 적외선 센서에서 흐르는 신호전류가 적분되기 시작하고 미리 정해진 적분 시간 후에 Readtime

hold 스위치가 꺼지면서 적분된 커페시터의 전압이 일정하게 유지되게 된다. 적분된 신호 전압이 일정하게 유지되는 동안 각 픽셀의 아웃풋 전압은 ADC에 addressing 되어 디지털 신호로 변환되게 된다. 디지털 신호로의 변환이 완료된 후에는 다시 Reset 스위치가 켜져 다음 프레임의 신호취득을 준비한다. 이러한 과정이 한 프레임 동안 이루어지고 계속 반복되게 된다.

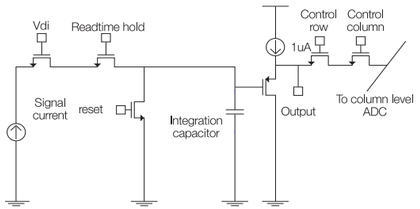


그림 4. Direct Injection 형태의 신호취득회로

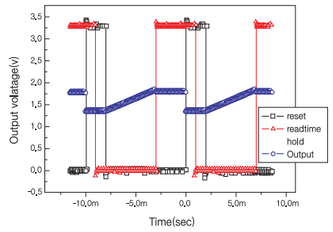


그림 5. Output단의 신호 파형

최근에는 앞서 언급했듯이 TEC 없이 동작 가능한 신호취득 회로 개발이 활발히 연구되고 있다. TEC는 시스템 동작상태에서 약 2~5W 정도의 전력을 소모하며 이는 시스템 전체에서 25%~50% 정도를 차지한다. 이러한 TEC를 제거할 수 있다면 적외선 영상 시스템의 가격을 낮출 수 있으며, 전력소모의 최소화를 통해 휴대성을 극대화할 수 있다.

아래 그림 6에서 볼 수 있듯이 동작 온도가 T0에서 T1으로 변화함에 따라 Offset과 Gain이 모두 변화하는 것을 확인할 수 있다. 이처럼 동작 온도에 따라 Offset과 Gain이 모두 틀어져 버리게 되면 정상적인 신호를 얻을 수 없다. 그림 7은 기존에 개발된 TEC-less 회로를 나타낸다. 이 TEC-less 회로는 앞서 문제시되었던 동작 온도의 변화에 의한 센서의 동작 특성 변화를 보상하는 방식으로 설계되었다.

기존 회로에 적외선 감지 볼로미터와는 별도로 기준 볼로미터(Reference Bolometer)를 추가하여 동작온도 변화에 의한 동작 특성 변화 분을 Offset Correction과 Bias Equalization을 통하여 제거해주었다. 이때 기준 볼로미터는 동작 온도 변화에 의한 변화만을 감지하기 위하여 실제 적외선 감응에 사용되는 센서 볼로미터와는 다르게 적외선에 노출되지 않게 되어 있다. 이렇게 동작 온도 변화에 따른 변화 분을 보상한 신호 전류는 Capacitor transimpedance amplifier를 통하여 증폭된 뒤 최종 아웃풋 단으로 전달되게 된다.

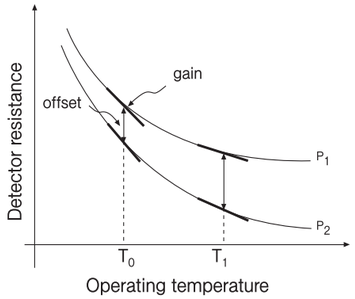


그림 6. 온도 변화에 의한 IR FPA의 동작 특성

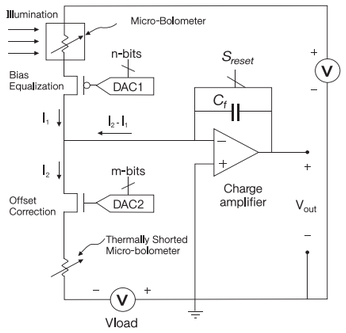


그림 7. TEC-less 회로의 예 [3]

내방사선화

적외선 카메라는 인공위성에 장착되어 구름의 온도 분포 및 대기의 온도 분포 정보를 취득하여 날씨 예보에 활용하고 있다. 인공위성은 우주공간에서 동작하기 때문에 지상과는 다르게 방사선 환경에 노출되게 되는데 이러한 방사선은 전자부품에 여러 문제를 발생시킨다. 작게는 시스템의 오작동을 유발하고 심한 경우에는 시스템 자체의 파괴까지 유발한다. 따라서 적외선 카메라를 인공위성 분야에 활용하기 위해서는 우주방사선에 대한 내방사선 작업이 필요하다.

또한, 인공위성 분야뿐만 아니라 원자로의 감시에 활용되는 적외선 감시 카메라 경우에도 방사선에 노출될 가능성이 있기 때문에 원자로 감시 분야에 활용에도 내방사선 작업이 필요하다. 적외선 카메라의 경우 특히 신호취득회로와 같은 전자 회로부에 대한 내방사선 작업이 필요한데, 이는 단위 MOSFET 단계에서부터 회로레벨까지 각 단계에서 내방사선 작업이 필요하다. 전자부품에서 발생하는 우주방사선 영향은 크게 Single Event Effect(SEE)와 Total Ionizing Dose(TID)로 구분할 수 있는데, SEE는 순간적으로 입사한 방사선 입자에 의해서 발생하는 Electron&Hole Pair(EHP)에 의해 발생하는 과도 전류에 의한 현상이며, TID는 오랜 시간 방사선이 Passivation Oxide에 누적됨으로써 발생하는 현상이다.

그림 8은 TID 영향에 의해서 단위 MOSFET 상에서 발생 가능한 두 가지 누설 전류 경로를 나타내는데, 첫 번째는 단위 MOSFET 상에서 Source와 Drain 사이에 형성되고 두 번째는 소자와 소자 사이에 형성된다. 그림 9는 SEE 영향에 의해서 유기되는 광전류를 나타내는데, 왼쪽 그림에서와같이 방사선 입자가 입사됨에 따라 EHP가 발생하고 발생한 EHP는 오른쪽 그림과 같이 광전류를 유기시킨다.

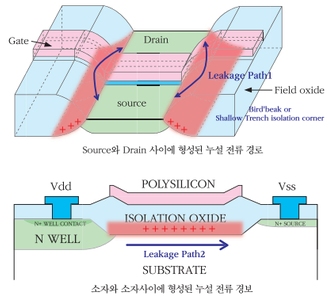


그림 8. TID 영향에 의해 형성되는 두가지 형태의 누설 전류 경로

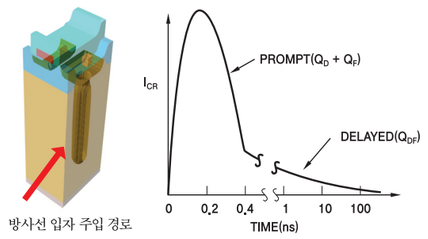


그림 9. SEE 영향에 의해 발생하는 광전류

TID에 대한 내방사선화는 그림 8과 같이 Layout 설계를 변경하여 소자 내에서 발생할 수 있는 누설 전류 경로를 제거함으로써 내방사선화 구현이 가능하다. 기존 NMOSFET 과는 다르게 양 옆에 Dummy gate와 p+ 도핑 영역을 추가하여 그림 8에서 볼 수 있었던 누설 전류 경로를 제거하였다. SEE의 경우에는 회로마다 발생하는 현상이 다르기 때문에 개별적 분석 작업과 그에 따른 내방사선화 작업이 별로로 이루어지고 있다. 일반적으로 주로 디지털 회로를 중심으로 내방사선 작업이 이루어지고 있으며 최근에는 아날로그 회로에 대해서도 개별적인 분석 작업과 내방사선 작업이 이루어지고 있다. 그림 9는 SEE에 의해서 특히 문제시되고 있는 메모리와 관련하여 SRAM에서의 내방사선 예시를 나타낸다. 기존 SRAM cell에 저항과 커페시터를 추가하여 RC 지연을 형성함으로써 방사선 입자에 의해 유기되는 광전류의 최대치를 줄임으로써 내방사선화 하였다.

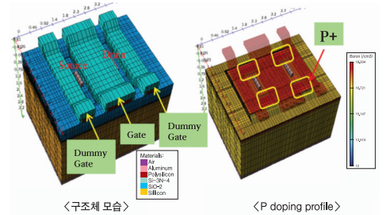


그림 10. TID에 내방사선화 방법
– 발생할 수 있는 누설 전류 경로 제거 [4]

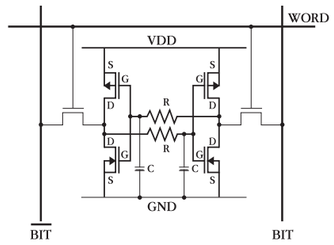


그림 11. SRAM에서의 SEE 내방사선에 대한 내방사선화 [5]

Reference

[1] Il Woong Kwon, "A Cantilever-Type Uncooled Infrared Detector With High Fill-Factor and Low-Noise Characteristic", IEEE Electron Device Letters, Vol.30, No.6, pp.635-637.
[2] Dong Soo Kim, Il Woong Kwon, Chi Ho Hwang, Hee Chul Lee, Yong Soo Lee, "Properties of Reactively Sputtered Nickel Oxide Films as a Microbolometer Sensing Material", Proc. of SPIE Vol. 7660 76601B-1.
[3] William J. Parrish, James T. Woolaway "Improvements in uncooled systems using bias equalization" , Proc of SPIE, 1999, 3698, pp.748-755.
[4] Min Su Lee, Yong Soo Lee, Hee Chul Lee, "Radiation-hardening of Low Noise Readout Integrated Circuit for Infrared Focal Plane Arrays" , Proc. Of SPIE Vol. 7660 76603W-1.
[5] K. Hirose, H. Saito, Y. Kuroda, "SEU Resistance in Advanced SOI-SRAMs Fabricated by Commercial Technology Using a Rad-Hard Circuit Design" , IEEE Transactions on NS, Vol. 49, NO. 6, 2002.

Power Supply on Chip (PwrSoC)의 연구동향 및 도전과제

서울대학교 전기컴퓨터공학부

김재하 교수
연구분야 : 반도체소자 및 집적회로
E-mail : jaeha@snu.ac.kr
http://mics.snu.ac.kr/jaeha

최근 마이크로프로세서 또는 고집적 SoC의 전력소모량은 칩당 150W 수준으로 증가한 반면 전원전압은 1V 수준으로 감소함에 따라 전류공급의 문제가 심각히 대두하고 있다. 즉, 1V 공급전압에 150W를 사용하는 인텔 i7 마이크로프로세서의 경우, 150A의 대량의 전류를 패키지를 통해 공급해야 하는데, 이는 전원 공급선에 천분의 1옴의 저항성분만 있어도 0.15V 즉 공급전압의 15%에 해당하는 큰 전압강하를 일으키는 등 여러 문제를 일으킬 수 있다.

현재 대부분 마이크로프로세서 및 SoC에서는 이를 위해 충분한 수의 패키지 핀을 할당하게 되는데, 앞서 언급한 i7프로세서의 경우, 이 이유 때문에 1,000개의 패키지 핀 중 절반에 해당하는 500개 가량의 핀을 전원공급에 사용하고 있다. 그뿐 아니라 칩 내부에서도 절반 이상의 금속도선을 전원전압을 칩 내부 곳곳에 전압강하 없이 고르게 배분하는데 소모하고 있다 (그림1).

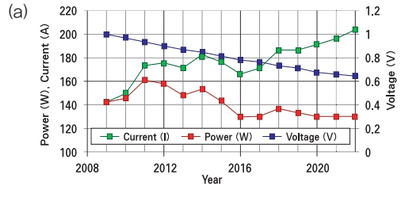


그림 1. (a) 고성능 마이크로프로세서의 소모전력 및 공급 전압과 전류의 변화추세 (2009년 ITRS 자료),
(b) 급격히 증가하는 전류량을 공급하기 위해 대량의 패키지 핀 및 칩 내 도선이 사용되고 있음(출처: 미 버클리대학 Seth Sanders).

이와 같은 문제를 해결하기 위해 효율적인 DC-DC 컨버터를 패키지 내부에, 또는 나아가서 칩 내부에 집적시키려는 노력이 활성화되고 있다. 기본적인 동기는 그림 2에 설명되어 있다. 만약에 150W의 전력을 현재의 1V가 아닌 예를 들어 5V에 공급할 수 있다면, 패키지를 통해 공급하는 전류의 량이 150A에서 30A로 감소하게 되고, 이를 위해 필요한 패키지의 핀 수도 5분의 1로 감소할 수 있게 된다. 1,000개의 핀을 가진 i7 마이크로프로세서의 경우, 전체 핀의 40%의 감소가 가능하게 된다. 이러한 핀 수의 감소는 패키지 크기의 감소뿐만 아니라 비용의 감소에도 도움이 된다. 그러나 이러한 계산의 전제에는 5V로 들어온 전력을 패키지 내부 또는 칩 내부에서 회로의 동작에 필요한 1V로 손실 없이 변환할 수 있다는 가정이 깔려있다. 그러나 이렇게 효율적인 전압 변환기, 즉 DC-DC 컨버터의 구현은 생각보다 해결과제가 많이 남아 있다.

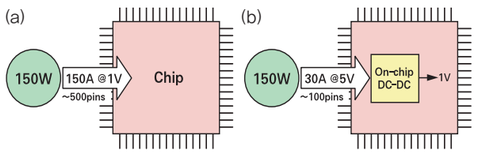


그림 2. (a) 현재의 마이크로프로세서. 150A의 전류를 공급하기 위해 다량의 패키지 핀을 사용하고 있음.
(b) 칩 내장형 DC-DC 컨버터를 사용한 마이크로프로세서. 전력을 1V가 아닌 5V에 공급한다면, 전류량을 5분의 1로 감소시킬 수 있고, 이는 필요한 패키지 수의 감소 및 비용 감소로 이어짐.

그러나 칩 내장형 DC-DC 컨버터를 구현해야 하는 이유가 앞서 설명한 전류 공급의 문제뿐이었다면 이에 대한 관심이 지금처럼 높지는 않았을 것이다. 현재의 마이크로프로세서의 전력소모량이 150W 수준이라고 앞서 언급했는데, 이 자체만으로도 사실 큰 문제이다. 대량의 컴퓨팅 서버를 사용하는 데이터 센터에서 휴대용 스마트 기기에 이르기까지 소비전력을 낮추는 일은 성능을 높이는 일보다도 더 중요한 일이 되었기 때문이다.

데이터 센터의 경우, 프로세서 칩 내부에서 소모하는 전력량은 전체 소비전력량의 3분의 1수준밖에 안 되고, 이러한 전력을 서버에 있는 칩까지 전달하는데 드는 전력이 나머지 3분의 1, 그리고 전력 소모로 말미암아 발생하는 열을 냉각하는데 사용되는 전력이 나머지 3분의 1을 차지한다고 한다. 즉, 칩의 소모전력을 10W만 낮추어도, 전체적인 그림에서는 그의 3배에 해당하는 절감 효과가 있는 셈이다.

칩의 소비전력을 최적화하기 위해, 현재의 많은 프로세서 및 SoC들은 공급전압을 고정하지 않고, 필요에 따라 동적으로 변화시키는 기법을 사용한다. 다시 말해, 빠르게 많은 양의 계산을 요할 때는 전압을 높였다가, 계산량이 줄어들면 전압을 낮추어 소비전력을 낮추는 방법이다. 디지털 시스템의 소비전력량 중 회로의 활동량에 비례하는 동적전력은 전압의 제곱에 비례하므로, 전압을 변화시킴에 따라 얻는 전력 감소의 효과는 매우 크다. 그러나 전압을 얼마나 낮게 할 수 있느냐 하는 것이 항상 제기되는 문제이다. 즉, 원하는 성능을 낼 수 있는 한 최소한으로 낮추는 것이 최적인데, 이 값이 트랜지스터의 성능, 그리고 트랜지스터가 그때그때 처한 온도 등의 외부환경에 따라 변화하는 양이기 때문이다. 이에 대한 답으로 적응적 제어 기법이 제안되었고, 이 또한 많은 시스템에서 사용하고 있다. 즉, 회로의 성능을 계속 모니터링하면서 전력을 최소화할 수 있는 전압을 찾는 기법이다 (그림 3).

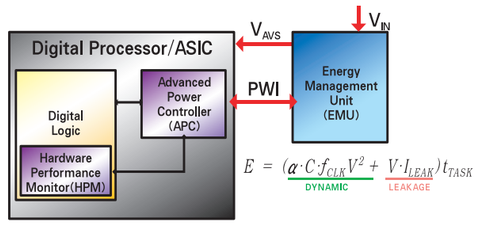
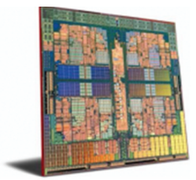


그림 3. 공급전압의 동적 또는 적응적 제어를 통한 SoC 소모전력의 최소화 (출처: A. Vainberg).

그러나 칩 내장형 DC-DC 컨버터가 필요한 이유는 단지 전압을 동적으로 또는 적응적으로 제어하기 위함보다는, 현재 프로세서 및 SoC 대부분을 차지하는 멀티코어 또는 혼합코어 구조에서 각 코어에 최적인 전압을 개별적으로 조절하기 위함이다. 즉, 각 코어의 활동량 또는 동작환경이 다를 수 있는데, 소비전력을 최소한으로 낮추기 위해서는 개별 동적 전압이 필요하다는 것이다 (그림 4).

이렇게 각 블록 또는 코어와 밀착해서 그 특성에 맞추어 전압을 조절 공급하는 방법을 Point-of-Load Regulation이라 하는데, 굳이 동작 전압 제어를 언급하지 않더라도 현재의 모바일 기기처럼 하나의 전원(배터리)에서 다양한 전압들을 생성해 내야 하는 시스템에서 각 사용처에 밀착하여 원하는 전압을 생성해 내는 것도 Point-of-Load Regulation이라 일컫는다. 이처럼, 전압 다수를 생성해 내기 위해서는 다수의 DC-DC 컨버터가 필요한데, 따라서 DC-DC컨버터의 패키지 또는 칩 내장을 통한 소형화가 절실해지는 것이다.



AMD Phenom quad-core processor

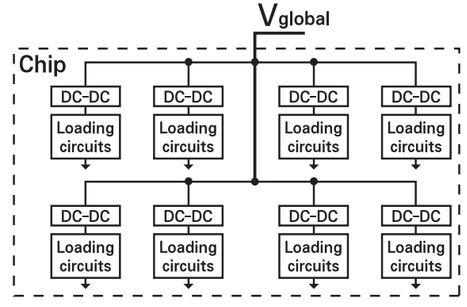


그림 4. 멀티 코어 프로세서와 각 코어에 개별적으로 최적화된 전압을 공급하기 위한 Point-of-Load DC-DC 레귤레이터의 필요성.

그림 5. 소형화된 Point-of-Load DC-DC 컨버터의 현재 응용 분야들 (출처: S. Roy, PwrSoC학회 2011년)

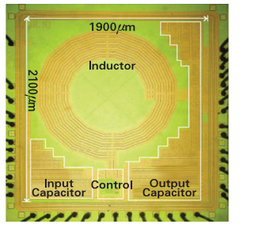
2011년 PwrSoC 학회 (www.pwrsoc.org)에 발표한 A. Alderman의 논문에 의하면, 현재 패키지 내장형 DC-DC 컨버터, 즉 Power Supply in Package (PSiP)의 시장은 약 천억 원 규모라 한다. 그러나 향후 5년간 이 시장이 급성장하여 2020년에는 2조 원 규모가 되고, 그중 반은 PSiP 시장, 나머지 반은 칩 내장형 DC-DC 컨버터 즉 Power Supply on Chip (PwrSoC) 이 차지할 것으로 전망되고 있다. 그리고 그 이후에는 PwrSoC 시장의 규모가 PSiP 시장의 규모를 추월할 것으로 추산하고 있다.

이 Power Supply on Chip (PwrSoC) 연구가 재미있는 것은 기존의 discrete 소자로 구현하던 여러 가지 DC-DC 컨버터에 적용되던 디자인 노하우가 칩안에서도 그대로 적용되지는 않는다는 것이다. 예를 들면, PCB 보드에서 구현하는 discrete 소자 기반의 DC-DC converter에서는 그 비용이 각 부품의 비용 더하기 보드를 조립하는 비용으로 결정된다. 그 중 보드 조립비는 부품의 수에 비례하게 된다. 따라서 부품의 수, 예를 들면 트랜지스터의 수나 인덕터의 수를 줄이는 것이 비용을 절감하는 방법이다.

이와는 반대로 집적회로의 비용은 집적된 부품의 수보다는 전체 칩이 차지하는 면적에 비례하는 특성을 지닌다. 특히 인덕터와 커패시터 같은 수동소자에 비해 매우 작은 면적을 차지하는 트랜지스터의 경우, 그 단위당 비용이 매우 싸다. 그 뜻은 트랜지스터의 수를 줄이기 위해 종전의 DC-DC 컨버터에서 활용하지 못했던 여러 변환 회로 또는 제어, 보상 회로들이 빛을 발할 기회가 된다.

그러나 PwrSoC에 기회만 있는 것은 아니다. 가장 어려운 문제는 에너지를 저장할 수 있는 칩 부의 인덕터와 커패시터의 크기 및 손실이 칩 부의 소자들보다 현저하게 나쁘다는 데에 있다. 이것은 미세공정에 의한 회로의 집적 때문에 작아진 부피 및 금속 도선의 큰 저항 성분에 기인하는데, 인덕터의 예를 들면, 수 uH 단위 또는 그 이상의 인덕턴스도 가능한 외부 소자에 비해, 칩 내부에서는 수십 nH의 인덕턴스도 얻기가 어렵다. 칩 내부에는 평면상에서 코일을 감아 인덕터를 구현하는 방법을 많이 사용하는데 (그림 5), 인덕턴스가 클수록 코일을 감는 도선의 길이도 길어져 직렬 저항 성분이 늘어나고, 전체 DC-DC 컨버터의 효율을 급격히 감소시킨다. 예를 들어, 단위 square 당 저항성분을 비교하면 도선 두께의 차이 때문에 칩 내부의 도선이 칩 외부, 즉 PCB 보드의 도선에 비해 약 10,000배의 값을 가진다.

인덕터와 커패시터의 조합을 사용하여 전압을 변환하는 buck 컨버터의 경우, 인덕턴스의 값이 감소하면, 그에 비례하여 스위칭 주파수가 증가해야 출력전압이 출렁이는 리플의 크기를 작게 유지할 수 있다. 그런데 수십 nH 단위의 인덕터를 사용할 경우, 필요한 스위칭 주파수가 수백 MHz 단위로 매우 높다. 이에 비해 외장인덕터를 사용하는 buck 컨버터의 경우, 수십 kHz에서 수 MHz의 낮은 스위칭 주파수를 가진다. 이렇게 스위칭 주파수가 높아지면, buck 컨버터를 구성하는 스위치의 입력을 구동하는데 쓰이는 전력손실이 증가하고 효율이 감소하게 된다. 따라서, 인덕터의 직렬 저항 성분, 그리고 높은 주파수로 스위칭할 때의 손실 때문에 칩 내장형 buck컨버터의 효율이 아직은 70~80%로 낮은 수준이며, 이것은 보통 95% 이상의 높은 효율을 갖는 외장형 DC-DC 컨버터보다 현저하게 낮은 수치이다 (그림 6).



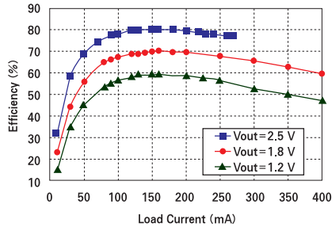


그림 6. 칩 내장형 buck 컨버터의 예 (출처: B. Liu, PwrSoC 2010). CMOS 130나노 공정에서 제작되었으며 인덕터는 10.5nH, 커패시터는 3.6nF, 스위칭 주파수는 250MHz이었다. 3.3V 입력전압시 최대 효율은 80%임.

아직은 현저하게 낮은 칩 내장형 DC-DC 컨버터의 효율을 개선하기 위해 회로, 소자, 공정 면에서 다양한 노력이 이루어지고 있다. 회로 측면에서는, 앞서 언급했듯이 트랜지스터 같은 능동소자를 그 수에 구애받지 않고 자유롭게 활용할 수 있다는 점을 이용하여 효율을 개선하려는 노력이 이루어지고 있다. 예를 들면, buck converter의 입력(gate)을 스위칭하는 손실을 줄이기 위해 그 에너지를 재활용하는 방법이 많이 사용되는데, 외장형 DC-DC 컨버터에서는 주로 수동소자들의 공진을 활용한 에너지 재활용이 주로 이루어지나, 내장형 DC-DC 컨버터에서는 수동소자보다는 트랜지스터와 같은 능동소자를 활용한 회로들이 더 많이 사용되는 경향을 보인다.

또한, 본문에서는 자세히 소개하고 있지 않지만, 전압을 변환하는 방식에는 buck, boost 이외에도 커패시터만을 스위칭하는 switched-capacitor 방식, 전압을 변환하지 않고, 오히려 회로를 수직으로 쌓아서 한 전압을 나눠쓰는 voltage-stacking 방식 등 다양한 방식이 있는데, 이들을 적절히 조합하여 각각의 장점만을 취하는 식의 논문도 많이 발표되고 있다. 한가지 예는 올해 ISSCC에서 하버드 대학의 김원영 외 3인이 발표한 하이브리드 방식 DC-DC 컨버터인데, buck 컨버터와 switched-capacitor 컨버터 방식을 적절히 조합한 형태를 보이고 있다 (그림 7).

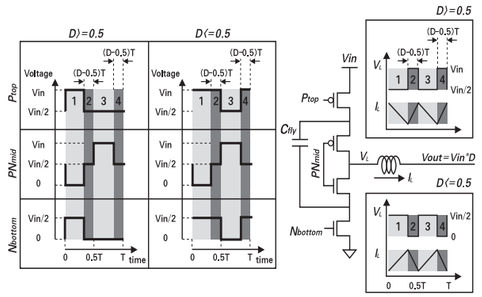


그림 7. Buck 컨버터와 switched-capacitor 컨버터를 조합한 칩 내장형 DC-DC converter의 예 (출처: Wonyoung Kim, et al. Harvard University). 정격전압의 두 배에 해당하는 전압을 들여와서 switched-capacitor 컨버터 동작에 의해 반으로 변환하고, buck 컨버터 동작에 의해 보다 미세한 전압 조절을 하는 방식을 채택함. Thick-oxide 트랜지스터 대신 Thin-oxide 트랜지스터를 직렬로 연결하여 사용함으로써 입력 노드의 스위칭 손실을 줄이는 효과도 함께 얻었음.

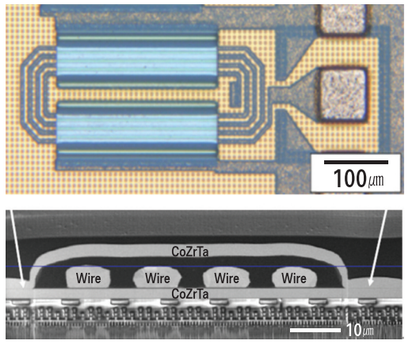


그림 8. 자성 물질을 반도체 공정 과정 중에 집적하여 인덕턴스 값의 향상을 얻은 예 (출처: D. Gardner, PwrSoc 2011년).

칩 내장형 DC-DC 컨버터가 가지는 여러 문제는 수동소자인 인덕터와 커패시터의 문제에서 기인한 면이 큰데, 따라서 칩 또는 패키지 안에 내장될 수 있는 수동소자들을 개선하려는 노력도 함께 진행되고 있다. 예를 들어, 인텔사에서는 반도체 공정에서 도선을 증착하는 backend 과정 중에 permeability가 큰 자성물질을 함께 집적하여, 마그네틱 코어를 지닌 인덕터를 칩 안에서 구현할 수 있음을 보였다 (그림 8). 이렇게 구현한 인덕터는 종래의 칩 내장형 인덕터에 비해 약 25~30배 큰 인덕턴스를 가진다. 증가한 인덕턴스는 상대적으로 작은 크기를 가능케 하여 직렬 저항 성분을 줄이거나, 같은 리플 대비 스위칭 주파수를 감소시키는 효과를 가진다. 둘 다 DC-DC 컨버터의 손실을 줄이고 효율을 개선하는데 큰 도움이 된다.

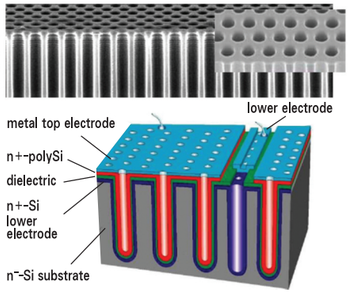


그림 9. IPDiA 사의 Passive Integrated Connecting Substrate (PICS)에서 제공하는 trench 커패시터.

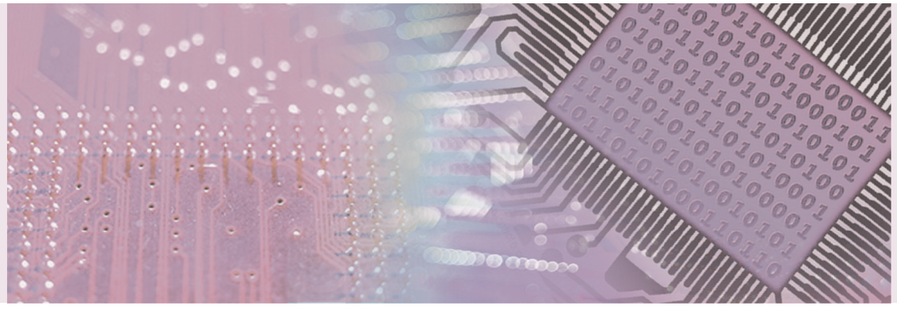
커패시터의 경우에도 단위 면적당 커패시턴스를 증가시키려는 노력이 계속되고 있다. IPDiA (Philips 및 NXP에서 분사하였음)에서는 PICS 라 불리는 수동소자에 특화된 IC 공정을 선보이고 있어 눈길을 끈다. 즉, 수동소자들을 능동소자들과 같은 칩 상에 집적하기보다는 더 좋은 공정을 사용하여 별도의 칩으로 구현하고, 칩과 칩을 3D IC 공정을 이용해 시스템을 구성한다는 생각이다. 이 PICS 공정에서는 과거 DRAM에서 많이 사용되는 trench 커패시터를 제공하는데, 각 trench는 45um 깊이를 가고 단위 mm2당 250nF의 높은 커패시턴스 밀도를 가진다 (그림 9). 또한, 최근에 주목받고 있는 수퍼커패시터의 연구도 칩 내장형 DC-DC 컨버터에의 활용도에 관심이 쏠리고 있다.

정리하면, 칩내부에서 효율적인 전압 변환을 하는 PwrSoC는 앞으로 고성능 마이크로프로세서 및 SoC의 전원 공급 문제를 해결하고, point-of-load regulation을 통해 소비전력을 최소화하기 위해한 필수적인 기술로 전망된다. 인덕터 및 커패시터 등의 에너지 저장 소자의 한계, 그리고 높은 전압에서 동작하는 트랜지스터의 한계 등으로 인해 그 효율 및 구현에 현재 많은 문제점이 있지만, 집적회로 및 공정의 장점을 활용해 극복할 수 있는 여지도 많이 있어, 앞으로 활발한 연구와 함께 시장의 활성화가 크게 기대되는 분야이다.

스마트폰 및 태블릿을 위한 모바일 프로세서 개발 동향

충남대학교 전자공학과

김지훈 교수
연구분야 : 이동통신 모뎀, Multi-Core
E-mail : jihoonkim@cnu.ac.kr
http://www.cnu.ac.kr/~jhkim



서론

최근 들어 스마트폰을 필두로 하여 태블릿시장 역시 전 세계적으로 크게 확대되면서, 글로벌 IT기기 제조사 간에 희비가 엇갈림과 동시에 전 세계 사용자들의 Life Style이 크게 바뀌고 있다. 특히 Apple의 iPad와 같은 고성능 태블릿의 등장 이후, 컨텐츠의 생산은 넓은 화면과 강력한 x86 CPU를 탑재한 PC에서, 그리고 컨텐츠의 소비는 태블릿 및 스마트폰에서 이루어지는 현상이 더욱 가속화되었다. 이와 같은 '제2의 IT 혁명'의 배경에는 3G/4G 및 WiFi를 통한 고속의 데이터 통신과 고성능 모바일 프로세서의 개발이 있다.

특히, Qualcomm, TI, Nvidia, Marvell, Broadcom, ST-Ericsson 및 Samsung과 같이 반도체 업계를 이끄는 다양한 회사들이 서로 앞다투어 자신들의 모바일 프로세서 개발 로드맵을 발표하는 등, 향후 이들 간의 경쟁에 귀추가 주목된다. 본 컬럼에서는 최근 스마트폰 및 태블릿에 채용된, 그리고 개발 중인 모바일 프로세서의 특징들에 대해서 살펴본다.

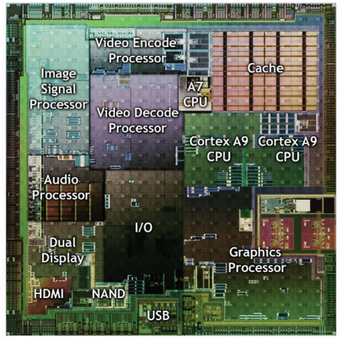


그림 1. 현재 많은 태블릿에 탑재된 Tegra 2d의 Die photo [1]

기술 및 동향 분석

표 1에 나와 있는 것과 같이 현재 스마트폰 및 태블릿에 탑재된 대다수의 모바일 프로세서들은 ARM 아키텍쳐에 기본을 두고 있다. 또한, PC 시장에서와 마찬가지로 이미 대부분 single-core가 아닌 multi-core의 형태를 보이고 있음을 알 수 있다. ARM은 Cortex-A 라인업을 통해 복잡한 OS 및 다양한 user application을 구동시킬 수 있는 고성능의 'Application Processor'군을 발표하고 있으며, 많은 모바일 프로세서들이 이와 같은 Cortex-A 라인업 중 single-core형태의 Cortex-A8을 탑재하여 초창기 스마트폰 및 태블릿 시장을 이끌었다고 해도 과언이 아니다. 이와 같은 흐름은 표 1에 나타난 것과 같이 더욱 높은 성능을 지니는 dual-core형태의 Cortex-A9을 탑재한 제품들의 등장으로 이어졌고, 다수의 업체가 이와 같은 dual-core형태의 모바일 프로세서를 통해서 더욱 고성능의 스마트폰 및 태블릿 기기를 내놓고 있다.

	Apple A5	Nvidia Tegra 2	Samsung Exynos 4210	TI OMAP 4430	Marvell Armada 628	Qualcomm MSM8x60
프로세서 Core	ARM Cortex-A9	ARM Cortex-A9	ARM Cortex-A9	ARM Cortex-A9	Sheeva PJ4	Scorpion
Core 개수	2	2	2	2	3	2
GPU	PowerVR SGX 543	ULP GeForce (In-house)	ARM Mali-400	PowerVR SGX 540	Vivante GC2000	Adreno 220 (In-house)
베이스밴드 지원	Standalone	Standalone	Standalone	Standalone	Standalone	Integrated

표 1. 최신 모바일 프로세서 비교 [2]

1985년 Acorn Computer Group의 RISC 프로세서로부터 그 역사를 시작하여 1990년에 설립된 ARM은, 간단한 구조를 통한 저전력소모라는 특징을 통해 하는 포터블 기기를 대상으로 그 영향력을 확대해 나갔다. 1993년 발표된 ARM7 Core를 기점으로 큰 성장세를 보였으며, 그 이후 단순 프로세서 IP 제공자가 아닌 System-on-Chip (SoC)를 설계하는데 있어서 필요한 모든 것을 제공할 수 있는 업체로의 발전을 이루었다. 특히, ARM은 AMBA on-chip bus를 시작으로 PrimeCell등 SoC Integration을 위한 많은 system design IP를 보유하고 있으며, Physical IP 전문 업체인 Artisan의 인수를 통해서 embedded processor, embedded memory, peripheral core, system-interface PHY components, 그리고 standard-library cell 등 deep-submicron 공정에서의 우수한 전력특성을 보이는 IP 설계능력까지 갖추고 있다.

이와 같은 기술력을 바탕으로 설계된 Cortex-A9는 ARMv7-A 아키텍쳐를 지원하며, 마이크로아키텍쳐는 그림. 2에 나타난 것과 같다. Dynamic length, multi-issue superscalar, out-of-order, speculating 8-stage pipeline의 구조를 통해 높은 성능을 보여주며, 내부적으로 파이프라인화 된 FPU(Floating-Point Unit) 혹은 SIMD(Single-Instruction Multiple-Data) 형태의 NEON 엔진을 포함할 수 있기에 보다 효율적으로 2D/3D 영상 등을 포함한 미디어 신호 처리를 수행 할 수 있다 [3]. 이와 같은 Cortex-A9 core는 그림 3에 나타난 것과 같이 최대 4개까지 구성할 수 있으며, 이와 동시에 외부 accelerator와의 효율적인 integration을 위한 ACP(Accelerator Coherence Port) 및 core들 간의 coherency를 위한 SCU (Snoop Control Unit)을 포함하고 있다 [3]. 이상에서 알 수 있듯이 현재 대다수의 모바일 프로세서들이 그 방법에서 약간의 차이는 있지만, 기본적으로 ARM 아키텍쳐에 기본을 두고 있다. 그리고 각자 자신들의 특성에 맞게 프로세서 core 및 GPU(Graphics Processing Unit), 그리고 이동통신 베이스밴드 모뎀의 탑재 등을 통해 차별화를 두어 자신들만의 모바일 프로세서를 설계하며, 미세공정에 최적화 되도록 프로세서 IP를 재설계하는 경우도 있다.

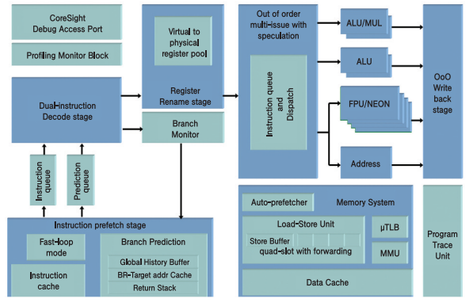


그림 2. Cortex-A9 프로세서 core의 마이크로아키텍쳐

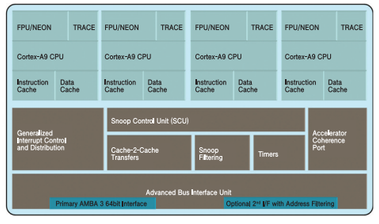


그림 3. Cortex-A9 MPcore 아키텍쳐

■ 자체 프로세서 core의 개발

ARM의 프로세서 core를 그대로 사용하는 TI, Nvidia 및 Samsung과는 다르게 Qualcomm과 Marvell은 ARM의 아키텍쳐 라이선스를 통해서 ARMv7-A 명령어를 사용하는 자신들만의 독자 프로세서 core를 개발하여 모바일 프로세서에 탑재하였다. 많은 업체가 사용하는 ARM Cortex-A9 dual-core의 경우, 2개의 core가 항상 같은 동작주파수와 동작 전압을 가져야 하는 것에 비해 Qualcomm의 MSM8x60은 asynchronous symmetric-multiprocessor(aSMP) 아키텍쳐를 통해 자체 제작한 각각의 Scorpion core가 서로 독립적인 동작주파수 및 동작전압을 가질 수 있고 이를 통해 더욱 전력관리를 효율적으로 할 수 있다는 장점이 있다.

ARM 호환 프로세서를 개발하던 ASICA와 Intel의 ARM-호환 XScale CPU팀을 인수했던 Marvell 역시 자체 설계한 Sheeva PJ4 core를 사용함으로써 타 업체와의 차별성을 가진다. Marvell은 Armada 628에 기존의 업체들이 dual-core를 사용한 것과는 다르게 1.5GHz로 동작하는 2개의 core와 624MHz로 동작하는 1개의 core를 함께 탑재하였다. 이는 상대적으로 가벼운 task는 624MHz로 동작하는 저전력 core를 통해서 처리하고, 더 큰 처리능력이 요구되는 경우에는 추가로 1.5GHz로 동작하는 2개의 SMP 형태의 core가 함께 동작하는 형태를 통해서 효율적인 전력관리를 이루기 위함이다.

이처럼 자체적으로 프로세서 core를 설계하는 경우, 개발에 많은 투자와 시간이 소요된다는 단점이 있지만 다른 업체들과는 다른 형태의 모바일 프로세서를 생산할 수 있다는 장점을 통해서 다른 모바일 프로세서와의 차별화에 큰 역할을 할 것으로 보인다. 최근에는 Nvidia 역시 ARM의 아키텍쳐 라이선스를 통해 자신들만의 새로운 프로세서 core개발에 박차를 가하고 있다.

■ 베이스밴드 모뎀 탑재 여부

모바일 프로세서를 구분 짓는 요소 중의 하나는 고속 데이터 통신을 위한 3G 및 LTE 베이스밴드 모뎀의 탑재 여부이다. Qualcomm의 경우 모뎀 설계에서의 우위를 바탕으로 베이스밴드 모뎀이 탑재된 모바일 프로세서를 주로 시장에 내놓았다. 하지만, 최근 대다수의 업체가 베이스밴드 모뎀이 포함되지 않은 standalone 형태의 모바일 프로세서를 내놓고 있으며, Qualcomm 또한 베이스밴드를 제외한 형태의 모바일 프로세서를 출시할 계획이다. 이는 스마트폰과 같은 모바일 handset 시장과 태블릿 시장의 특징에 따른 현상으로, 태블릿 제조사들이 서로 독립적인 모바일 프로세서와 베이스밴드 모뎀을 사용함으로써 cellular 버전과 non-cellular 버전을 동시에 손쉽게 개발할

수 있기 때문이다. 또한, 태블릿은 스마트폰에 비해서 보다 고성능의 프로세서 core 및 GPU, 그리고 상이한 interface를 갖출 수 있기 때문에 태블릿을 위한 모바일 프로세서의 특징 자체가 기존의 스마트폰과 그 차이를 나타낼 것으로 예상한다.

		2010 units (million)	2010 market share (%)	2015 units (million)	2015 market share (%)
Non-Smartphone	Baseband Only	1,200	66	1,500	39
Smartphone	Baseband Only	270	15	750	19
	Standalone Mobile Processor	270	15	750	19
	Integrated Mobile Processor	30	2	500	13
Tablet	Baseband Only	18	1	170	4
	Standalone Mobile Processor	18	1	170	4
	Integrated Mobile Processor	0	0	50	1
Total	Baseband Only	1,488	82	2,420	62
	Standalone Mobile Processor	288	16	920	24
	Integrated Mobile Processor	30	2	550	14
		1,806	100	3,890	100

표 2. 2010년 및 2015년 모바일 프로세서 시장 규모 [4]

하지만, 표 2에서 볼 수 있듯이, 베이스밴드를 포함하는 형태의 모바일 프로세서가 하이엔드급 기기를 제외한 시장에서 충분한 시장성을 가지고 있기 때문에 앞으로도 Qualcomm, ST-Ericsson, 그리고 Broadcom 등은 standalone 형태의 모바일 프로세서의 개발과 함께 베이스밴드를 탑재한 모바일 프로세서 역시 지속적으로 개발할 것으로 예상한다. 이와 같은 베이스밴드 모뎀에는 프로토콜 처리를 위하여 주로 ARM의 Cortex-R 시리즈가 사용된다.

■ 우수한 3D Graphic 및 Video 처리 능력

최근 소비자가 소비하는 컨텐츠에서 멀티미디어의 비중이 크게 높아짐에 따라, 모바일 기기에서도 고성능의 그래픽 처리능력이 요구되고 있다. 특히, 지원하는 기기의 화면크기가 점점 증가하고 해당 컨텐츠의 복잡도도 함께 증가함에 따라서 PC 시장과 마찬가지로 추가적인 GPU를 모바일 프로세서 SoC 안에 함께 탑재하는 흐름을 가지고 있다. 이에 따라, 많은 모바일 프로세서들이 2D/3D 데이터와 게임, 그리고 풍부한 user interface (UI)와 같은 영상 처리를 위해서 GPU에 큰 비중을 두고 있으며, 모바일 프로세서에 함께 탑재되고 있다. 표 1은 현재 탑재된 대표적인 GPU들을 보여주고 있다. Nvidia 및 Imagination Technologies, 그리고 Vivante Corporation은 이전부터 자체적으로 GPU를 개발해 왔으며 ARM과 Qualcomm은 인수를 통해서 관련 기술들을 발전시켜 오고 있다.

이와 같은 그래픽 처리 능력은 태블릿 시장의 확대와 함께 더욱 크게 요구될 것으로 보이며, 업체들도 프로세서 core의 발전 로드맵과 함께 GPU의 로드맵을 함께 발표하고 있다. 특히, 프로세서의 확고한 우위를 점하고 있는 ARM이 Mali로 대표되는 GPU군을 지속적으로 발표하면서 새로이 GPU 시장에서의 영향력을 증가시키고 있다는 점과 전통적으로 GPU를 연구/개발해온 Nvidia가 'Project Denver'라는 이름으로 새롭게 ARM 아키텍쳐 라이선스를 통해서 개발 중인 프로세서는 CPU와 GPU의 통합된 형태를 지향할 것으로 알려져 있기에 더욱 큰 관심을 끌고 있다 [5].

또한, 비디오와 관련해서 기본적으로 1080p지원 기능이 탑재되고 있다. 가장 먼저 시장에 선을 보인 dual-core탑재 모바일 프로세서 Tegra2의 경우 H.264 Baseline Profile(BP)만 지원했지만, OMAP4, Exynos4210 및 A5 모두 H.264 High Profile(HP)를 지원하며 강화된 비디오 처리 능력을 보여주고 있고, 이와 같은 흐름은 더욱 강화될 것이다.

■ Multi-core로의 진화

초창기 스마트폰 및 태블릿이 single-core인 Cortex-A8 기반으로 생산되었고, 2011년 현재 Nvidia의 Tegra2를 기점으로 Cortex-A9 기반의 dual-core 형태의 프로세서가 채택되기 시작했다. 또한, 대부분 업체들이 ARM의 프로세서 로드맵에 발맞추어 자신들의 모바일 프로세서 로드맵을 공개하였는데 가장 눈에 띄는 것은 역시 지속적인 multi-core로의 흐름이다. 가장 발 빠르게 dual-core 모바일 프로세서를 시장에 내놓았던 Nvidia는 'Kal-El'이라 불리는 Cortex-A9 기반의 quad-core 프로세서의 샘플칩을 내놓았다. Qualcomm 역시 자체적으로 quad-core까지 지원하는 프로세서인 'krait'를 개발 중에 있으며, 이를 추후 standalone 모바일 프로세서뿐 아니라 베이스밴드를 포함하는 모바일 프로세서에도 탑재할 계획이다.

TI는 OMAP5에 대한 계획을 발표하면서, ARM의 차세대 프로세서인 Cortex-A15를 dual-core 형태로 탑재할 것임을 밝혔다. Cortex-A15은 서버급 프로세서에서 주로 지원하는 hardware virtualization 기능 지원을 기존의 ARMv7-A 아키텍쳐에 추가하여, core의 개수에 따라 그 지원 대상이 스마트폰부터 넷북, 노트북, 그리고 서버까지 다양해질 것으로 예상한다 [6]. 이에 따라서 기존의 Intel과 AMD가 점유하고 있던 시장까지 다양한 모바일 프로세서 벤더들이 진입할 것으로 예상하며, 업체들 간의 더욱 치열한 경쟁이 예상된다.

결론

최근 Microsoft는 차세대 OS인 Windows 8을 Intel 및 AMD가 생산하는 x86 프로세서들뿐만 아니라, ARM 기반의 프로세서도 지원하겠다고 공식적으로 발표하며 Nvidia, Qualcomm, 및 TI의 프로세서를 우선 언급하였다. 이와 함께, 많은 모바일 프로세서 업체들은 ARM Cortex-A15에 기반을 둔 더욱 고성능의 프로세서 개발 로드맵을 내놓으며 스마트폰 및 태블릿 시장을 넘어서는 모바일 프로세서 시장에서의 춘추전국시대를 예고하고 있다.

특히, 예전 x86기반의 프로세서 시장에서의 업체들 간의 경쟁과는 달리, 이제는 진정한 SoC 시장에서의 경쟁인 만큼 보다 다양한 변수로 말미암아 더욱 치열한 경쟁이 예상된다. 또한, 성공적인 모바일 프로세서를 위해서는 소프트웨어 개발과 저전력 고성능의 반도체 설계, 그리고 파운드리의 미세공정기술이 모두 함께 고려되어야 한다는 점은 현재 시스템반도체의 최신 트렌드를 정확히 보여준다. 따라서 다양한 분야를 융복합적으로 이해하고 주요 결정을 내릴 수 있는 System Architect의 역할이 향후 모바일 프로세서 개발에서 더욱 중요해질 것이다.

Reference

[1] http://anandtech.com
[2] "Mobile Processors Multiply at MWC," Microprocessor Report, Mar. 7, 2011
[3] http://www.arm.com
[4] http://www.digitimes.com
[5] http://www.nvidia.com
[6] Roberto Mijat, "Hardware Assisted Virtualization in the ARM Architecture," ARM Connected Community Technical Symposium 2010

FAIRCHILD SEMICONDUCTOR®
The Right Technology for Your Success™

제6회 페어차일드코리아반도체
대학[원]생 논문공모전

주요일정
접 수 기 간 : 9월5일(월)~10월16일(일)
1 차 심 사 : 10월17일(월)~11월10일(목)
2 차 심 사 : 11월 17일(목)
수상작 발표 : 11월 25일(금) 개별통보
시 상 식 : 12월 2일(금) 당사 Conference Hall

시상내역
대상 1편(1천만원), 금상 1편(5백만원), 은상 1편(3백만원)
동상 3편(각 1백만원), 최다 논문제출 Lab 1팀(3백만원)

For more information, please contact:
E-mail : Jongmook.Cho@fairchildsemi.com
Tel : 032-680-1019/1071
Homepage : www.facebook.com/fairchildkorea.urs
http://twitter.com/fairchildpaper

SPECIAL Column

반도체 제조기술은 끝없이 발전하여 반도체 집적률의 증가는 아직도 무어의 법칙을 충실히 따르고 있어서 1.5년마다 두 배의 크기로 지속 증가하고 있다. 이러한 반도체 제조기술의 강력한 성장에 힘입어 설계되는 반도체 제품의 규모 역시 증가하여 2011년 멘토사의 발표 자료에 따르면 엔지니어 한 명이 연간 개발해 내는 transistor의 수는 1985년 이래 2009년까지 네자리 수로 증가하여 연평균 57%의 증가율을 보인다고 했다. 이 기간에 엔지니어의 수의 증가는 연간 5% 남짓한데, 과연 이렇게 큰 설계가 가능하도록 설계 기술이 충분히 발전을 했는지는 한 번 생각해 볼 일이다. 본 고에서는 오늘날 SoC 제품의 설계에 있어서 특별히 검증의 입장에서 무엇이 문제인지 살펴보고 몇 가지 대안들을 생각해 보고자 한다.

SoC 설계에서 검증의 문제와 대응방안

Verification Crisis

반도체 제조기술은 끝없이 발전하여 반도체 집적률의 증가는 아직도 무어의 법칙을 충실히 따르고 있어서 1.5년마다 두 배의 크기로 지속 증가하고 있다. 이러한 반도체 제조기술의 강력한 성장에 힘입어 설계되는 반도체 제품의 규모 역시 증가하여 2011년 멘토사의 발표 자료에 따르면 엔지니어 한 명이 연간 개발해 내는 transistor의 수는 1985년 이래 2009년까지 네자리 수로 증가하여 연평균 57%의 증가율을 보인다고 했다.

이 기간에 엔지니어의 수의 증가는 연간 5% 남짓한데, 과연 이렇게 큰 설계가 가능하도록 설계 기술이 충분히 발전을 했는지는 한 번 생각해 볼 일이다. 본 고에서는 오늘날 SoC 제품의 설계에 있어서 특별히 검증의 입장에서 무엇이 문제인지 살펴보고 몇 가지 대안들을 생각해 보고자 한다.

일반적으로 SoC 설계의 복잡도가 급증하게 된 이유는 고객에게 있다. 더 좋은 것과 더 편리한 것을 원하는 고객들의 요구는 너무도 당연하여 이제는 손안에 쥘 수 있는 기기의 기능이 전화는 물론 거의 모든 종류의 커뮤니케이션과 엔터테인먼트 그리고 일상의 업무를 처리할 수 있는 완벽한 컴퓨터이기를 바라게 되었고, 설계자는 이런 수요를 충실히 따라주어야만 시장에서 살아남을 수 있는 시대가 된 것이다. 이 정도의 SoC 제품을 만드는데 소요되는 비용이 곧 일억 달러를 넘게 된다는 사실 이전에 설계자로서 우리는 과연 이런 고성능 대규모 제품을 어떻게 잘 설계해 낼 수 있을 것인가를 먼저 염려하게 되는 것이다.

반도체 설계자가 어떤 기능에 대한 설계를 완료하면 일정 수순에 따라 그것이 주어진 스펙을 따라 올바르고 충실하게 구현된 것인지 확인하는 검증이라는 과정을 거치게 된다. 2011년 DVCon keynote 자료에 의하면 검증에 많은 인력과 시간을 들이고 여러 툴들과 방법론을 적용하지만, 설계 오류로 말미암은 mask revision 횟수는 쉽게 줄어들지 않고 있다. 또한, 엔지니어들이 경험하는 중요한 검증의 문제는 logic/function, clocking, low power, analog 검증 등인데, 이 중 logic/function 검증의 문제는 50% 이상이 경험하는 major problem이었다.

검증의 툴로서 code/functional coverage, assertions, hardware assisted acceleration/emulation 등은 지난 3년간 적용률이 두 배 가량 증가하였고, design이나 testbench의 reuse가 증가하여 더 많은 노력을 들여 검증을 하고 있는 것으로 나타났다. 인텔의 예를 들면, 2004년 DAC에서 발표하기를 새로운 microprocessor를 개발할 때마다 발견되는 design error의 수는 기하급수적으로 증가하고 있고, 이는 transistor 개수의 증가율에 정확히 비례한다고 하였다.

사실 그들은 다른 회사에 비하여 가장 강력한 검증 그룹과 툴들을 가지고 있는데, 이를 통하지 않고는 도무지 찾아낼 수 없었을 그런 잠재 error를, 아니 실제로 더욱 많이 발생하고 있는 error들을 성공적으로 찾아내고 있다고 보아야 할 것이다. 검증 활동의 급격한 증가는 앞서 분석한 설계 복잡도의 증가에 따른 당연한 결과이기는 하나, 그럼에도 불구하고 mask revision을 근본적으로 개선하지 못하고 있음은 검증의 위기로 보아야 할 것이다.

이제까지 큰 문제가 없이 잘 지내왔다고 해서 다음 과제에서도 문제가 없을 수 있을까? 예전에는 설계 플로우의 윗단부터 아래까지 모두를 잘 수행할 수 있는 유능한 엔지니어(tall-and-thin engineer)가 문제를 해결하였지만, 이제는 더 이상 이런 사람이 존재할 수조차 없는 상황이 되었으며, 한 번 사용하여 문제가 없던 IP를 믿고 재사용하면서 약간의 smart idea로 다량의 logic simulation에 의지하는 검증 방식은 이제 직면하고 있는 제품의 복잡성과 시장의 요구를 만족시킬 수 없게 되었다. 설계에서는 대규모 reuse와 상위 레벨 언어를 사용하여 설계 효율을 높이고 있듯이, 검증에서도 효율성을 크게 개선하는 방향으로 현 검증의 수준을 높이지 않으면 검증은 SoC 설계에서 real bottleneck으로 남아 있을 수밖에 없다.

이렇게 된 원인 중의 하나는 검증 방법론의 발전이 다른 chip implementation 분야에 비하여 늦어진 것과 다른 하나는 사람의 문제로서 전문 검증인을 설계자만큼 육성하지 못한 결과라고 하겠다. 설계가 완벽하여 더 이상의 오류는 없음을 밝히는 일은 원래부터 어려운 일이나, 검증의 행위, 즉 설계가 익히 알려진 동작이나 주어진 property에 부합하는지의 여부를 밝히는 일은 가능할 수 있다.

검증의 대상인 설계 의도가 문장으로 쓰이는 것 이상으로 실행 가능할 만큼 정형화될 방법이나, 검증의 완성도를 측정할 객관적 척도(metric)가 아직 존재하지 않아 검증의 완성 여부나 진척도를 측정하기 어렵다. 검증의 시나리오는 주관적이라서 경험에 많이 의지하며 과부족을 논하기 어렵다. 그러므로 검증의 툴들은 주로 performance를 개선하는 방향으로 개선이 있었으며, 보다 근본적인 설계 오류를 다루는 방법은 진전을 보이지 못하고 있다.

일반적으로 전문 검증 환경을 구현하려면 software의 고급 feature들, 즉 object-orient programming construct, 그리고 reuse를 높이기 위한 modular design, configuration control 등이 필요하고, 검증의 요소들을 잘 파악하고 신속한 문제 분석을 위해서 높은 수준의 hardware 설계 경험을 필요로 하나, 전문 검증자가 되는 일은 관리자에게도 실 엔지니어들에게도 그다지 높은 우선순위를 갖지 못한 것이 우리의 현실이다.

Solutions to the Verification Crisis

앞에서 살펴본 바와 같이 검증이 SoC 설계의 real bottleneck이 되어 있는 것이 현실이나, 그래도 검증은 SoC의 성공 여부를 좌우할 가장 큰 요인임에 틀림이 없으며, 아직도 System LSI business에서 blue ocean으로 남아 있는 매력 있는 분야라고 할 수 있다. 검증의 성공적 수행을 위해서, 혹은 성공적인 전문 검증자가 되기 위해서 생각해 볼 수 있는 것들을 아래에 정리하였다.

복잡한 SoC 설계를 잘하려면 먼저 검증에 대한 생각을 바꿔야 한다. 설계자들은 자신이 하고 있는 설계 업무의 긴급성으로 인해 새롭게 검증을 시작하는 일이 어렵다고 한다. 설계자는 물론 어느 정도의 검증을 스스로 수행해야 하지만, 설계가 점차 어려워짐과 같은 이치로 검증도 전문 검증자에 의해서 수행하지 않으면 안 될 만큼 설계가 복잡하게 되었다. 또한, 설계와 검증은 cross check의 개념이어서 설계자 자신에 의한 검증으로는 완벽성을 기대하기 어렵다.

설계자의 역할은 주어진 spec을 어떻게 잘 구현하는 것이 관심 사항이라면, 검증자의 역할은 주어진 설계가 spec과 같이 동작하지 확인하는 것이므로 기본 관점과 skill set이 다르다. 관리자는 검증을 전담하는 일에 career path를 제시하고 적극적인 권한 이양을 통해 검증 전문가 육성에 힘써야 한다.

설계나 검증의 abstraction level을 높여야 한다. 설계에서는 상위 수준의 언어를 사용하여 코드의 양을 줄이고 이는 곧 simulation이나 디버깅 속도의 향상을 가져다주어 개념적 설계를 용이하게 하고 있다.

RTL이나 gate level의 회로는 자동 합성기를 이용하고 상위 수준의 설계와는 equivalence checker를 사용하여 동일성을 확보한다. Platform을 기반으로 하는 설계를 수행하고 반복되는 설계 업무를 자동화하여 설계 업무를 효율화한다. 검증에서도 개별 신호 단위로 작업하던 것을 transaction 단위로 높여서 작업하고 상위 수준으로 설계된 것에 대한 검증의 수준도 개선해야 할 것이다.

또 하나 중요한 것은 시스템적 사고이다. 서방 국가들은 구성원들이 다양한 민족으로 이루어져 일찍이 개인적 사고를 중시하는 문화가 형성되었고, 시간 공간적으로 함께 일할 수 없는 상황에서 설계를 진행하므로 그들 간에 약속이 매우 중요하게 여겨져 왔고, 어떤 일을 하더라도 가이드와 절차를 중요시하는 문화가 형성되었다. 이에 반하여 우리의 경우는 서로가 가까이 모여서 일하므로 비공식 접촉이 빈번하고, 모든 것이 융통성 있게 해결되는 것에 더 가치를 두어 왔다고 할 수 있다. 그러나 이제 우리가 처한 환경은 언제 어디서든 다양한 내부 또는 외부 그룹과 소통해야만 하는 글로발 환경이 되었다.

글로발 환경에서는 효율적인 communication이 중요 인자이고, 과제의 규모상 설계 과정에서 발생하는 여러 가지 transaction들이 체계적으로 모이고 검토되지 않으면 성공하기 어렵다. 그러므로 일련의 설계 과정들을 효율적으로 연계시켜주고, 각 업무가 객관적으로 완성도를 유지하면서 흘러갈 수 있고 언제든지 추적(traceability)이 가능한 시스템, 각 단위 업무가 잘 define 되고, 문서화되고, 점검할 내용들이 꼼꼼하게 기술되고 검토되어 전체적으로 객관적 데이터와 자료에 근거하여 결론을 만들어 갈 수 있는 그런 시스템이 필요한 것이다.

설계 검증이라고 하면 언듯 testbench를 생각할 것인데, 이것은 이해되고 정리된 사실을 확인하기 위해서 input stimulus를 어떻게 효율적으로 만들고 관리하느냐 하는 문제이고, 어떤 것을 점검해 보아야 하는지를 꼼꼼하게 잘 정의하는 일과, 상호 cross checking을 잘 하는 것, 나 이후의 다른 사람이 내 결과를 믿고 사용할 수 있도록 일의 완성도와 상호 호환적 결과를 내는 일 등이 또한 중요하다고 볼 수 있다. 설계자 개인의 입장에서 본다면, 업무를 추진하는 약속을 잘 정하고 그것을 충실하게 지키는 것이 가장 중요하다.

검증은 이런 면에서 하나의 완성된 프로세스이어야 한다. 운동선수가 잘 짜인 훈련 스케줄을 가지고 끝없는 반복 훈련을 통해서 완벽한 폼을 습득하게 되고 그래야만 정확한 결과를 내는 것처럼, 검증 업무도 잘 만들어진 시스템하에서 모두가 정해진 약속에 따라 충실하게 일하는 것이 습관화될 때 검증의 완성도를 높일 수 있게 되는 것이다. 이런 의미에서 검증은 습관이고 우리 문화의 일부가 되어야 한다.

검증을 실행할 때는 반드시 측정 기준 (metric, or coverage)에 의거하도록 노력해야 한다. 측정 기준은 검증 quality의 정도를 말해주고, 언제 검증 활동을 종료할 것인지를 알 수 있게 해준다. Code coverage는 대상이 RTL code로 정해져 있어 coverage 100%의 의미가 확실하지만, function coverage는 모수의 선정에 객관적 기준이 없어 coverage 100%의 의미가 상대적일 수밖에 없다. 그러므로 검증 시나리오와 function coverage를 정하는 작업을 최대한 세분화하고 구조화하여 coverage data의 객관성을 높여야 한다.

검증은 주어진 인력과 시간이 유한하기 때문에 모든 경우를 다 살펴볼 수는 없다. 이 경우 coverage metric은 검증을 종료할 수 있는 기준을 제공한다. 또한, error의 발생을 기록하고 일별 발생 trace를 만들면 검증의 완료 시기를 결정하는 좋은 참고 자료로 활용할 수도 있다. 설계에서 small and/or large block reuse는 증가된 설계 복잡도 대비 설계 생산성을 따라 잡는데 가장 큰 역할을 한 것으로 ITRS는 평가하고 있다.

IP별로 아무리 설계가 잘 되어 있다고 해도, 해당 IP가 다른 시스템에 재사용하게 되는 경우 다른 IP들과 설계 기준이나 설계 환경이 잘 맞지 않는다면 재사용의 장점을 충분히 살리기 어렵게 된다. 검증에서도 verification reuse는 동일한 이유로 매우 중요하다. IP level에서의 검증 환경은 이것이 top level에서도 사용될 것을 고려하여 적절히 설계하여야 한다.

한 번 정의된 동작 모니터나 coverage definition들은 top 환경에서 쉽게 접근이 가능하도록 구조적으로 고려해야 한다. Testbench의 구성도 signal 수준의 동작들을 모아 단위 동작으로 만들고 가능한 이들을 transaction화하여 tesebench coding 효율을 높여야 한다. 설계나 검증 IP가 얼마나 reuse를 대비하여 만들어졌는지를 평가하는 metric을 준비하는 것도 유용하다. IP reuse를 위하여 국제적으로 통용되는 metric은 아직 없으나, 현재 IP 유통 측면에서 일부 벤더에 의한 제안이 나와 있는 상황이다.

이미 발표된 좋은 검증 방법론을 사용하는 것이 중요하다. Testbench를 구성하는 일은 directed 방식인 하고 싶은 일들을 하나씩 단순 나열하는 방식보다는 task를 object로 정의하고 이들을 묶어서 sequence로 만들어 검증 task를 단계화하고 필요에 따라 쉽게 re-configuration하여 재사용할 수 있도록 변수 관리가 용이해야 한다.

반복되는 일의 자동화나 재사용을 용이하게 하는 약속된 구조가 있어야 하며, 이미 만들어진 결과들을 잘 활용하고 관리하는 regression 환경이나 분석 시스템 등이 필요하다. 이러한 모든 구조는 기존에 발표된 방법론에 잘 반영되어 있다. SystemVerilog의 경우 Synopsys사에서 제시한 VMM, Cadence/Mentor사가 제시한 OVM, 또는 최근에 Accellera를 중심으로 각 사가 합의한 UVM (Universal Verification Methodology) 등이 있다.

쉽게 plug-and-play 할 수 있는 다수의 검증 IP가 이러한 방식에 의거하여 제작되어 상용화되어 있는 등 검증 생태계도 점차 만들어지고 있다. 이러한 검증 방법론에 입각한 testbench는 처음 배우고 구축하는 데 시간이 소요되나, 한 번 만들어지면 검증의 구조화나 재사용성이 현저히 개선되며, 추가적인 자동화 구축이 용이하게 되어 검증의 효율을 크게 높일 수 있는 장점이 있다.

하나의 툴을 익숙하게 잘 사용하는 것도 중요하지만, 다양한 검증 툴을 사용하는 것도 매우 유익하다. 혹자는 검증을 carpet 청소하는 일에 비유하기도 한다. 청소기를 종으로 횡으로 잘 사용하여야 carpet을 깨끗하게 청소할 수 있기 때문이다. 마찬가지로 일부 기능에 대한 검증 작업이 겹치더라도 다양한 시도를 통하면 찾기 어려운 오류가 쉽게 드러나는 경우가 있다.

현재는 특정 기능에 주목하여 하나씩 test case를 만들어 사용하는 directed 방식의 simulation이 주류를 이루고 있는데, 이 방식은 사용하기는 매우 쉽지만 아주 찾기 어려운 오류를 발견하는 데는 한계가 있으므로 가능한 HVL(hardware verification language)를 사용하여 random으로 test를 시행하거나, formal verification과 같이 simulation 없이 static analysis만으로도 검증을 수행하는 기법들을 사용하고, hardware emulation이나 transactor를 활용하여 검증을 가속하고, assertion을 활용하면 simulation과 formal tool에서 좀 더 쉽게 동작 여부를 파악할 수 있다.

그 외에도 coverage goal을 신속히 달성시켜주는 intelligent testbench 기법, CDC(clock domain check), Automatic property checker, Symbolic simulation, software와 연동한 HW-SW co-verification 등 다양한 툴을 선택하여 사용하도록 한다.

Further Works in Functional Verification

검증의 역사가 오래되어 검증을 수행하는 면에서는 상당한 발전이 있는 것이 사실이나, 좀 더 본질적으로 검증의 문제를 양적 질적으로 모델링하고 검증의 영역을 확대하는 일은 아직도 연구 중인 과제가 많다. ITRS 보고서에 나타난 것을 중심으로 검증에 있어서 더 해결해야 할 문제들에 대해서 살펴보기로 하자.

■ Executable Specification

본문의 앞에서도 지적한 바와 같이 스펙은 아직 문장 형태로만 존재한다. Assertion과 같이 실행 가능한 표현 방식이 있기는 하지만, 이것 역시 아직은 표현이 자유롭지 못하다. 스펙을 기술하는 사람이나 스펙을 받아들이는 사람 누구나 동일한 의미로서 이해할 수 있고, 기술된 스펙은 곧 설계자에게는 컴퓨터로 실행 가능한 input이 되고, 나아가 설계 결과물에 대한 판단과 직접적으로 연동할 수 있는 새로운 언어가 필요하다. 이 또한 상당한 연구가 필요한 분야이다.

■ Verification Metrics

앞서도 지적한 대로 검증 coverage나 error를 modeling 하는 방법, spec으로부터 자동으로 coverage object, error model, monitor 등을 만들어 주는 일 등은 시급히 해결되어야 할 문제이다. Metric을 사용하여 testbench 간의 우열을 가리는 방법도 아직은 연구 대상이다.

■ Design-for-Verifiability (DFV)

검증에 대한 이해가 높아지면서 어떠한 것이 검증하기 쉽거나 어렵다든지, 어떻게 설계 오류가 발생하는가가 밝혀지면 실제로 검증하기 쉬운 설계를 만들기 위해서는 어떻게 가이드 해야 할 지가 정리될 것이다. 앞으로는 일억 게이트급 이상의 설계로 가면서 DFV는 검증의 문제를 경감시킬 수 있는 방안이 될 것이나, 이 부분은 아직도 연구 중이다.

■ Formal Verification의 확장성

현재까지의 formal verification 기술은 일정 규모의 회로에서는 잘 동작하지만, full chip 수준의 대규모 회로에서는 문제없이 동작하기 어려우며, 어떤 환경에서 해결된 검증의 문제가 다른 환경에서 동일한 방식으로 해결될 것을 기대하기 어렵다. 전통적으로 검증의 형태는 simulation 위주의 dynamic 환경에서 분석 위주의 static 환경으로 이전해 가는 것이 추세이므로, formal 검증은 검증 수단이 궁극적으로 목표하는 바이다. 그러나 회로의 다양성과 복잡성이 기계적인 분석 작업을 어렵게 하고 있으며, 이를 위한 더 많은 연구가 있어야 하겠다.

■ Specialized Verification Methodology

AMBA와 같이 표준화된 버스 시스템을 사용하는 SoC의 검증은 자동화 수준이 상당히 진전하였으나, multi-core를 사용하는 설계에서 cache coherence와 multi-threading같이 극히 복잡한 문제에 대한 효율적인 검증 방법, analog와 digital이 혼재한 설계에서 특성과 성능을 검증하는 일, operating system과 함께 SW와 연동하여 hardware를 검증하는 방법론의 전개, MEMS나 electro-optical 장치가 혼재하는 heterogeneous system의 interface와 동작을 모델링 하는 방법 등 검증의 영역을 확장하는 방향으로 연구할 과제들의 리스트는 끝이 없다.

Conclusion

본 고에서는 SoC 설계에 있어서 검증의 문제점들과 개선 방향에 대하여 생각해 보았다. 오늘날 극도로 복잡한 SoC 설계를 성공적으로 완수하기 위하여 많은 검증의 노력이 들어가고 있으나, 올바른 설계를 확보하는데 보다 효과적이고 시간과 노력에 있어 보다 효율적인 방법이 없을까를 고민하였다. 제시된 몇 가지 제안들은 일면 새로울 것은 없어 보이지만, 우리의 검증 현실에서 간과하기 쉬운, 그러나 검증을 적용하면서 경험으로 느낀 매우 효과적이라 느껴지는 현실적인 대안들이다. 국내에서는 이제서야 검증이라는 분야가 별도의 job position으로 자리를 잡아가고 있는 상황에서 아직도 검증은 System LSI 산업에서 매력 있는 일로 남아 있음을 확신한다. 앞으로의 설계 발전에 대비하여 학계나 업계에서 검증 분야에 대한 연구가 더욱 활성화되기를 기대해 본다.

삼성전자 Infrastructure Design Center
민병언 마스터
연구분야 : Design verification methodology
Platform-based design methodology
System-level design methodology
E-mail : byeong.min@samsung.com
http://www.samsung.com/sec