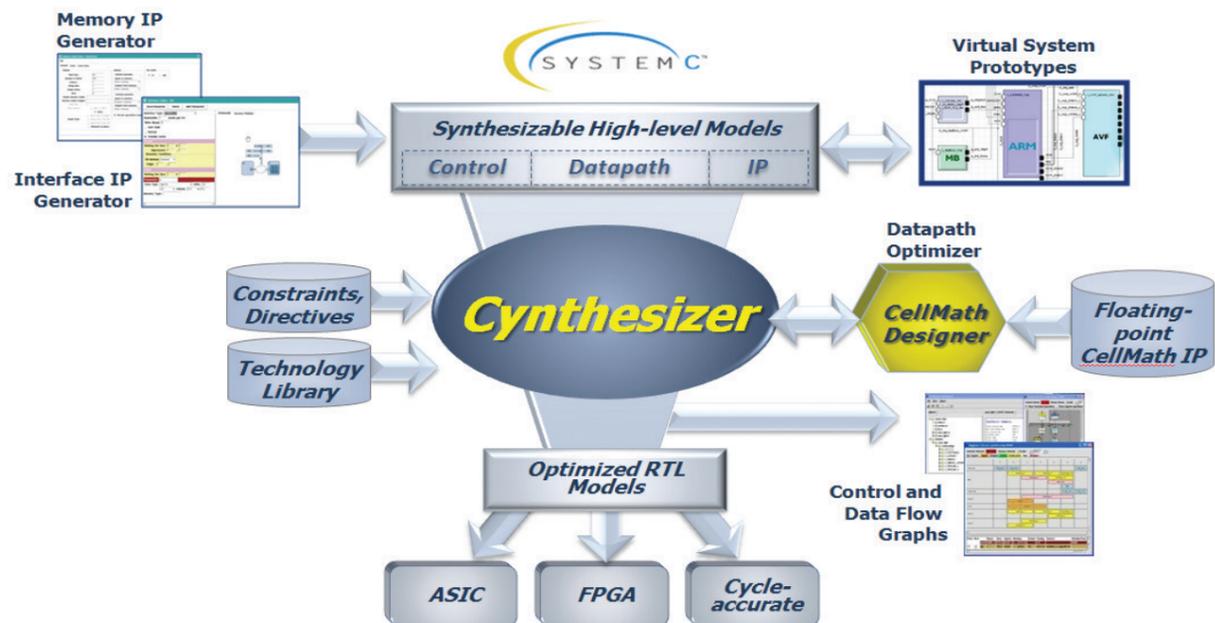


Cynthesizer Ultra™

The Industry Standard For SystemC Synthesis



Forte Design Systems Korea <http://www.forteds.com> Phone:02-2058-1232 Email: korea@forteds.com

IDEC Newsletter

IDEC Newsletter | 통권: 제164호 발행일 | 2011년 1월 31일 발행인 | 경중민 편집인 | 김이섭 제 작 | 김은희 디자인
기획 | 전향기 전화 | 042) 350-8535~6 팩스 | 042) 350-8540 <http://idec.or.kr>
E-mail | jhg0929@idec.kaist.ac.kr 발행처 | 한국과학기술원 반도체설계교육센터(IDEC)

Vol.164

2011
February

IDEC NEWS | 02 PCM 이해 및 기술 동향 | 04 저전력, 고속 직접 디지털 주파수 합성기 기술 동향 | 08 3D IC Workshop 2011 참가후기 | 12 FreeRTOS 실시간 커널과 Core-A 프로세서 (4) | 14

반도체설계교육센터 사업은 지식경제부, 반도체산업협회, 반도체회사(삼성전자, 하이닉스반도체, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.

PCM 이해 및 기술 동향

메모리 개발에서 메모리 집적도를 높이고 데이터 용량을 늘리며, 생산 단가를 줄이는 역할을 하는 스케일링 기술은 매우 중요하다. 현재 DRAM이나 Flash 메모리의 스케일링 능력은 기술적 한계에 도달하였다. 이를 극복하기 위해 전하량을 제어하는 Charge 메모리 방식에서 저항성의 변화를 이용한 Resistive 메모리 방식으로 전환하려는 연구가 진행되고 있다. 본 고에서는 저항특성을 가진 메모리 중에서 Phase Change Memory(PCM)에 대한 기술적 이해 및 기술 동향을 살펴보고자 한다. (관련기사 P04~06 참조)

저전력, 고속 직접 디지털 주파수 합성기 기술 동향

주파수 합성을 위한 다양한 회로 중에서 DDFS(Direct Digital Frequency Synthesizer)는 넓은 주파수 대역과 정밀한 주파수 해상도 특성이 있으며, 빠른 주파수 및 위상의 전이가 가능하기에 레이더 등과 같은 군사용 장비 및 디지털 통신 시스템에서 주로 사용된다. DDFS는 디지털 연산을 통하여 주파수를 합성하는 회로로써 기존 클럭 주파수의 최대 1/2에 해당하는 사인파를 합성한다. 본 고에서는 저전력, 고속 직접 디지털 주파수 합성기(DDFS) 기술동향 대해 알아보고자 한다. (관련기사 P08~11 참조)

3D IC Workshop 2011 참가후기

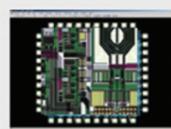
3D IC Workshop 2011은 지식경제부 한국 산업기술평가위원회의 지원을 받아 연구 중인 "웨이퍼 3D IC 설계 및 직접 기술"을 공개하기 위한 자리다. 이번 Workshop에서는 국내에서 가장 활발히 연구가 진행되고 있는 여러 기관으로부터 3D IC 공정 기술과 설계 기술들을 소개받고 또한 이를 함께 공유하는 기회가 되었다. 본 고에서는 이번 Workshop에 참가한 KAIST 박사과정 중인 김주희님의 시선으로 이번 동 Workshop의 모습을 살펴보고자 한다. (관련기사 P12~P13 참조)

FreeRTOS 실시간 커널과 Core-A 프로세서 (4)

FreeRTOS는 원천 코드가 공개되어 있고, 무료로 사용할 수 있는 실시간 커널이며 ARM, AVR, MSP430, PIC, 8051 등 8-비트부터 32-비트까지 다양한 프로세서에 이식되어 사용되고 있다. 특히 코드의 양이 비교적 적고 대부분 C 언어로 작성되어 있으며 프로세서 의존적인 부분이 최소화되어 있어 매우 제한된 부분만 어셈블리로 구현하면 쉽게 새로운 프로세서에 이식 할 수 있다. 본 고에서는 총 4회에 걸쳐 "FreeRTOS 실시간 커널과 Core-A 프로세서"란 주제를 다루는 마지막 시간으로 FreeRTOS가 이식된 Core-A 개발 보드에서 몇 가지 멀티 태스킹 예제를 실행해 보고자 한다. (관련기사 P14~P18 참조)

MyChip Station Pro™

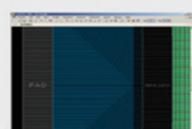
- LayEd Pro : Full-Custom IC Layout Editor
- MyDRC Pro : Hierarchical Design Rule Checker
- LayNet Pro : Hierarchical SPICE Netlist Extractor & ERC
- MyLVS Pro : Hierarchical Layout V, Schematic Netlist Comparator
- CIFGDS Pro : CIF / GDSII / DXF Translator(Database Converter)



IC Layout



MEMS-Gear



Auto Wiring



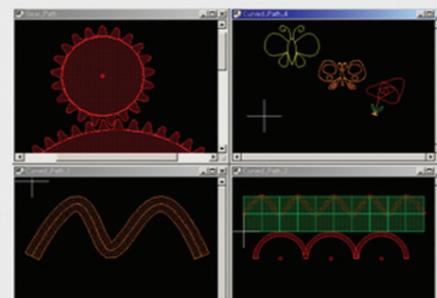
Cross-section



MEMS-Comb



Pixel Array



Curved Path

서울시 송파구 송파동 27-12 대건빌딩 4층 Tel : 02-3433-0033
Email : mycad@seloco.com <http://www.mycad.com>



MPW (Multi-Project Wafer)

신청 현황 |

구분	공정	제작가능면적 (mm2 x 칩수)	신청 칩수	채택 칩수	설계면적 (mm2 x 칩수)	DB 마감	Die-out	비고
제98회 (11-01)	TJ SiGe 0.18 M/H 0.35 M/H 0.18	5x5mm ² x 1	5	4	2.5x2.5mm ² x 4	2011. 2.11	2011. 5.24	DB 마감 : 2.11
	TJ RF 0.18 동부 BCD 0.35	5x4mm ² x 20	19	19	5x4mm ² x 19	2011. 2.11	2011. 6.7	
	동부 0.13	4.5x4mm ² x 20	21	20	4.5x4mm ² x 20	2011. 2.11	2011. 6.7	
제99회 (11-02)	TJ RF 0.18 동부 BCD 0.35	5x5mm ² x 2	5	5	5x5mm ² x 1 2.5x2.5mm ² x 4	2011. 2.21	2011. 5.11	
	동부 0.13	5x5mm ² x 3	6	6	5x2.5mm ² x 6	2011. 2.22	2011. 6.1	
100회 (11-03)	동부 BCD 0.35 삼성 0.13	5x5mm ² x 3	7	6	5x2.5mm ² x 6	2011. 4.7	2011. 7.12	
	TJ RF 0.18 M/H 0.18	4x4mm ² x 48	40	40	4x4mm ² x 40	2011. 4.8	2011. 8.10	
101회 (11-04)	TJ RF 0.18 M/H 0.18	5x5mm ² x 2	8	8	2.5x2.5mm ² x 8	2011. 5.2	2011. 7.19	설계설명회 : 1.27 후기모집 : 2.1 ~
	동부 BCD 0.35	4.5x4mm ² x 20	15	15	4.5x4mm ² x 15	2011. 5.13	2011. 9.5	
102회 (11-05)	동부 BCD 0.35	5x5mm ² x 3	10	6	5x2.5mm ² x 6	2011. 5.25	2011. 8.31	
103회 (11-06)	TJ CIS 0.18 동부 BCD 0.35	5x5mm ² x 1	3	2	우선모집결과 2.5x2.5mm ² x 2	2011. 6.21	2011. 9.21	정규모집 : ~ 2.6
	동부 BCD 0.35	5x5mm ² x 3	2	2	우선모집결과 5x5mm ² x 1 2.5x2.5mm ² x 1	2011. 7.7	2011. 10.12	
104회 (11-07)	TJ BCD 0.18 M/H 0.35 M/H 0.18 삼성 65n	5x5mm ² x 2	0	0	-	2011. 8.29	2011. 11.15	
	M/H 0.35	5x4mm ² x 20	3	3	5x4mm ² x 3	2011. 8.29	2011. 12.20	
	M/H 0.18 삼성 65n	4.5x4mm ² x 20	1	1	4.5x4mm ² x 1	2011. 8.29	2011. 12.20	

MPW 칩제작 현황 |

구분	공정	제작가능면적 (mm2 x 칩수)	제작 칩수	제작면적 (mm2 x 칩수)	Die-out 예정일	현재 상태	비고
제94회 (10-05)	삼성 0.13	4x4mm ² x 48	42	4x4mm ² x 42	2010. 12.5	제작 완료	PKG : 12.30
제95회 (10-06)	TJ SiGe 0.18	5x5mm ² x 1	3	5x2.5mm ² x 1 2.5x2.5mm ² x 2	2010. 12.6	제작 완료	Die : 12.28
	TJ CIS 0.18	5x5mm ² x 1	1	5x5mm ² x 1	2010. 12.30	제작 완료	Die : 1.3
제96회 (10-07)	동부 BCD 0.35	5x5mm ² x 2	4	5x2.5mm ² x 4	2010. 12.30	제작 완료	PKG : 12.30
	삼성 90n	4x4mm ² x 20	15	4x4mm ² x 15	2011. 2.20	칩제작 중	Die : 2.20 예정
제97회 (10-08)	M/H 0.18	4.5x4mm ² x 40	32	4.5x4mm ² x 32	2011. 23.10	칩제작 중	Die : 1.25
	동부 BCD 0.35	5x5mm ² x 2	4	5x2.5mm ² x 4	2011. 2.1	제작 완료	Die : 12.10 PKG : 1.10
제4회 동부IP (10-08)	동부 BCD 0.13	5x5mm ² x 6	18	5x2.5mm ² x 6 2.5x2.5mm ² x 12	2011. 2.25	칩제작 중	칩제작 지연
	동부 BCD 0.35	5x5mm ² x 16	14	5x5mm ² x 14	2011. 1.20	PKG 제작중	Die : 1.10 PKG : 1.25

- M/H = 매그니칩/하이닉스, TJ = TowerJazz
- 우선/정규모집에서 마감될 경우 후기모집은 진행되지 않음.
- Die-out 일정은 Diechip 제작완료 기준임. Package는 Die-out후 3주 이상 소요됨.
- 위의 내용은 1/25 기준임.
- 2011년 MPW 참여 일정 및 방법은 홈페이지(www.idec.or.kr) 참조

* 문의 : 이의숙(042-350-4428, yslee@idec.kaist.ac.kr)

2011년 1월 교육 프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

본 센터 강좌 일정 |

강의 일자	강의 제목	분류
2월 8-11일	RF IC 설계 교육	설계
2월 21-23일	Cadence - AMS Designer	Tool
2월 24-25일	Cadence - VLE Training	Tool

- 강좌일 : 2월 8일 11일
- 강좌 제목 : RF IC 설계 교육

[강좌개요]

RF 시스템 개요 - 유형준 교수(KAIST)
본 강좌에서는 직접변환송수신기(Direct Conversion Transceiver), 헤테로다인송수신기(Heterodyne Transceiver), 폴라송신기(Polar Transmitter) 등 최근의 디지털 무선통신 시스템에 사용되는 RF 송수신기의 기본적인 구조와 원리에 대해서 배운다.

- CMOS to Millimeter wave CMOS 능/수동소자 최적설계 및 집적화 기술 - 김천수 박사(ETRI)

RF/Millimeter-wave CMOS IC의 설계는 능동소자(n/p MOSFET) 및 수동소자(spiral inductor, Transmission line, MIM capacitor, varactor)들의 성능이 RF/Millimeter-wave IC의 성능을 좌우하며, 특히 CMOS 능/수동소자의 특성은 layout에 따른 성능의 변화가 심해 성능의 최적화가 중요하다. 또한 소자간의 RF coupling 현상은 집적화시 성능을 저해하며, 단일칩 RF IC 구현을 위해서 해결해야 하는 어려운 난제이다.

본 세미나에서는 CMOS 능/수동소자의 RF 성능을 최대화(저잡음/고이득)하기 위한 Layout방법, RF coupling을 줄여 집적도를 높이는 설계방법, EDS셀 관련기술 등에 대해서 자세하게 소개하고, 또한 최근 Millimeter wave CMOS 회로기술에 대응, 그 응용영역을 Millimeter-wave까지 확장해 소개한다.

- LNA 및 Mixer 설계 - 이상국 교수(KAIST)

CMOS 기술을 기반으로 하는 LNA 및 Mixer 설계에 대한 기본 원리, 각종 성능의 최적화 기법, 선형성 개선방안, 저전력 설계, 광대역 설계 등에 대한 이론 및 사례를 소개하고, LNA에 한정하여 상용용 설계 툴을 이용한 설계실습 교육을 제공

- PPL/VCO 설계 이론 - 박병하 상무(삼성전자)

VCO 설계 이론 및 PLL 설계 이론을 교육한다. VCO 및 PLL에 기본 개념 및 주요 설계 사양을 다룬 후 설계 예를 통해 실제 설계방법론을 다룬다

- RF Power Amplifier - 이동호 교수(한밭대)

RF 전력증폭기는 무선 단말기에서 가장 전력 소모가 많은 부품이자 송신기의 마지막단으로써 높은 선형성이 요구되는 블록이다. 전력증폭기는 동작 범위가 대신호이고 모델이 잘 맞지 않아서 설계 접근 방법이 다른 부품들과 다르고, 실제 제작시 테스트에 많은 시간을 쓰게 되는 까다로운 부품이다. 현재 단말기 시장은 GaAs HBT 기술로 제작된 전력증폭기가 장악하고 있으나 일부 저가 제품과 WLAN 시장에서는 CMOS 전력증폭기가 등장하고 있다.

본 교육에서는 RF 전력증폭기와 송신기 구조의 기본과 분류로부터 여러 가지 전력증폭기와 성능 개선 방안을 소개한다. GaAs HBT 전력증폭기와 CMOS 전력증폭기의 다양한 예와 특징, 최신 동향을 소개한다. Agilent ADS를 이용한 설계예를 실습으로 다룬다.

[강의수준]

초중급

[강의형태]

이론 + 실습

[사전지식, 선수과목]

- RF 시스템 개요 - 유형준 교수(KAIST)
디지털 통신시스템, 전자회로 등에 대한 학부 수준의 지식이면 가능
- CMOS to Millimeter wave CMOS 능/수동소자 최적설계 및 집적화 기술 - 김천수 박사(ETRI)
학부 수준의 전자회로 설계, 물리전자, RF/Microwave 회로설계
- LNA 및 Mixer 설계 - 이상국 교수(KAIST)
전자회로, 약간의 초고주파이론
- PPL/VCO 설계 이론 - 박병하 상무(삼성전자)
전자회로 및 IC 설계
- RF Power Amplifier - 이동호 교수(한밭대)
전자회로, 고주파 회로

- 강좌일 : 2월 21-23일

- 강좌 제목 : Cadence - AMS Designer
- 강사 : 이길재 차장 (Cadence Korea)

[강좌개요]

서로 다른 위상을 나타내는 Analog회로와 Digital회로로 구성되는 A/MS를 Cadence의 Virtuoso AMSD는 기존의 Co-simulation환경과 차별화된 solution으로 검증한다.

[수강대상]

Analog/Mixed signal design 검증을 필요로 하는 대학원생과 기업체 engineer

[강의수준]

중급

[강의형태]

이론 + 실습

[사전지식, 선수과목]

- 필 Cadence VSE(Composer), ADE 교육 이수자
- Verilog-HDL
- Cadence INCISIV or NC-SIM

- 강좌일 : 2월 24-25일

- 강좌 제목 : Cadence - VLE Training
- 강사 : 오윤석 부장 (Cadence Korea)

[강좌개요]

Cadence Virtuoso Layout Editor 을 사용한 Interactive Layout Design 방법, Technology File 와 PCell 에대한 이해 및 Virtuoso Layout Editor Turbo 을 이용한 Layout 자동화 방법을 배운다

[수강대상]

Physical Layout Designer

[강의수준]

초급

[강의형태]

이론 + 실습

[사전지식, 선수과목]

Basic Unix Commands, vi Editor, Physical Layout Design의 이해

* 문의 : 이승자 (042-350-8536, sjlee@idec.kaist.ac.kr)



NDA가 체결된 Design Data 유출 금지 안내

IDEC의 MPW 참가를 통해 전달받은 Design Data 일체는 NDA를 통해서 법적인 구속력을 가지며, 관리 소홀로 인한 외부로의 공개 또는 유출 시 개인뿐만 아니라 개인이 속해 있는 WG에 자격 박탈과 같은 강력한 규제가 가해질 수 있습니다. 협약에 의해, 형사상 책임을 물을 수 있음을 알려 드립니다. MPW 참여자 분들은 Design Data 및 관련 자료의 관리를 철저히 하시어 불이익을 당하는 일이 없도록 거듭 당부 드립니다.

NDA 체결 후 수령한 Design Kit 일체는 IDEC에 칩 수령 후 2개월 이내에 반드시 삭제하고, NDA 폐기 확인서를 제출하여 제3자에 의한 공개 및 유출이 일어나지 않도록 주의 바랍니다.

Phase Change Memory(PCM) 이해 및 기술 동향

 <p>이승구 교수 연구분야 : 무선센서 네트워크, 무선 애드 혹 네트워크, 병렬 및 분산 처리, 실시간 컴퓨팅, 결합 포용 컴퓨팅 E-mail : slee@postech.ac.kr http://esa.postech.ac.kr</p>	 <p>최운섭 연구분야 : 메모리 테스트 E-mail : wschoi@postech.ac.kr http://esa.postech.ac.kr</p>
---	--



서론

메모리 개발에서 메모리 집적도를 높이고 데이터 용량을 늘리며, 생산 단가를 줄이는 역할을 하는 스케일링(Scaling) 기술은 매우 중요하다. 현재 DRAM이나 Flash 메모리의 스케일링 능력은 기술적 한계치에 도달하였다. 이를 극복하기 위해 전하량을 제어하는 Charge 메모리 방식에서 저항성의 변화를 이용한 Resistive 메모리 방식으로 전환하려는 연구가 진행되고 있다.

Charge 메모리는 DRAM과 Flash 메모리가 대표적이고 Resistive 메모리는 Phase Change Memory(PCM), Spin-Torque Transfer Magneto-resistive RAM(STT-MRAM), Ferroelectric RAM(FerRAM), Resistive RAM ReRAM) 등이 있다[1]. 본 고에서는 저항특성을 가진 (Resistive) 메모리 중에서 Phase Change Memory(PCM)에 대한 기술적 이해 및 기술 동향을 살펴보겠다.

본론

PCM은 DRAM의 40nm 이하 스케일링에 대한 기술적 당면 문제를 해결할 수 있는 수준의 차세대 스케일링 기술이 소개되어 있고[1], 이 기술을 통하여 20nm Prototype Device 개발 및 9nm Project Device가 연구되고 있다[2]. PCM은 Flash 메모리 대비 빠른 읽기/쓰기 속도와 Program 전 Erase 동작이 필요 없다는 장점이 있다. 또한, Flash와 마찬가지로 비휘발성 메모리이고, 누설 문제(Leakage Problem)가 없는 장점도 있다. 하지만, DRAM 대비 쓰기 속도가 늦고, 쓸 때 많은 에너지가 소모되며, 내구성(Endurance)을 개선해야 하는 문제점을 가지고 있다.

1966년 미국 ECD사의 S.R. Ovshinsky는 비정질 Chalcogenide 재료에서 전기적 메모리 성질을 발견하게 된다. 그 후 1970년 9월 ECD사의 R. Neal과 Intel사의 G. Moore가 이 재료의 메모리 스위칭 특성을 이용한 비 휘발성 상 변화 메모리 원리와 연구용 칩에 관한 논문을 발표한다.

일본 Matsushita사에서 1987년에 특성이 우수한 GeSbTe계 화합물 합금을 개발하였고, 1996년 ECD사에서 PCM의 전기/열/상 변화에 관한 모델링을 발표하고, 2002년 1012번 반복 기록이 가능한 최초의 4Mbit PCM 시제품이 출시된다[3]. 이후, 상용 제품 개발이 가속화되면서 2010년 Samsung에서 MCP 제품에 들어가는 512Mbit PCM을 출시하였고, Numonyx사에서 Nor Flash와 EEPROM의 기술적 장점을 하나로 결합한 128Mbit PCM을 출시하였다.

PCM 성능은 표1. 예서와 같이 집적도는 DRAM 대비 2배에서 4배 정도 우수하고, 가격경쟁 및 전력 소비 측면에도 효율적이다. 또한, 내구성은 Flash 대비 10⁴~10⁶배 우수하다[4].

	DRAM	PCM	Nor Flash	Nand Flash
Density	1X	2X~4X	0.25X	4X
Read Latency	60ns	200ns~300ns	300ns	25μs
Write Speed	~1Gbps	~100MB/s	0.5MB/s	2.4MB/s
Endurance	∞	1E5~1E9	1E5	1E4
Retention	64ms	>10yrs	>10yrs	>10yrs

표 1. 메모리 종류별 비교 ([4]에서 인용)

셀 구조는 그림1과 같이 Word Line, Bit Line, Access Transistor와 Resistive Storage로 구성된다. DRAM의 셀 구조와 유사하나 큰차이점은 저장장치에 있다. DRAM의 저장장치는 전하 저장장치(Capacitor)로서 전하 방전(Discharge)문제 해결을 위해 큰 크기의 축전기(Capacitor)가 필요하고, 이로 말미암아 스케일링의 어려움이 발생한다.

그에 비해 PCM은 작은 크기의 저항특성이 있는 저장장치(Resistive Storage)를 적용하여 효과적인 스케일링을 할 수 있다. 스위치(Switch)역할을 하는 Access Transistor는 Field Effect Transistor(FET), Bipolar Junction Transistor(BJT), Diode등을 이용할 수 있다. 저항특성이 있는 저장장치는 히터와 상 변화 물질, 전극, 절연체이며, 상 변화 물질은 Ge2Sb2Te5(GST)가 주로 사용된다[1,2].

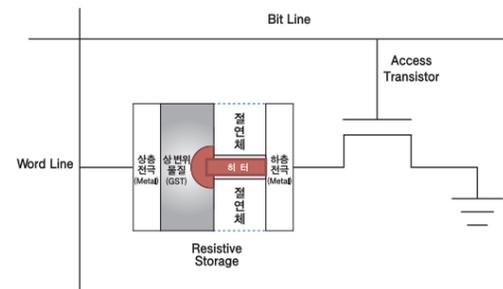


그림 1. PCM의 셀 구조

메모리 방식은 저항특성을 이용한 메모리 방식은 그림 2의 (a)와 같이 저항치가 높은 영역(비 결정 상태)과 그림 2의 (b)와 같이 저항치가 낮은 영역(결정상태)의 물질 특성을 이용하며, 이 두 상태를 제어하여 로직 "1"과 로직 "0"을 기록하는 방식이다.

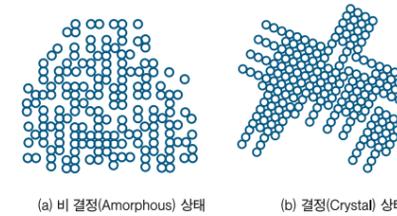


그림 2. 상 변화 물질의 결정 구조

쓰기 동작은 그림1의 저항특성이 있는 저장장치에 Logic "1"(Reset)과 Logic "0"(Set)을 쓰는 작업으로서 쓰기 "1"은 그림 1의 상 변화 물질에 인가된 전류로 히터에 의해 Joule 열(650 ° C)을 발생시켜 비결정상태로 만들어서 높은 저항상태를 유지하는 동작이며, 쓰기 "0"은 비결정상태를 냉각하여 결정상태로 만들어 낮은 저항상태를 유지하는 동작이다.

또한, 그림 3의 (a)와 같이 온도 변화에 의한 상 변화의 특성을 이용하여 단일 레벨 정보(Single Level Cell)뿐만 아니라 2bit 이상의 여러 bit 으로 변환할 수 있는 다중 레벨 셀(Multi Level Cell) 기술도 적용이 가능하다[4,8,9]. 읽기 동작은 셀의 양단 전극에 전압을 인가하여 흐르는 전류의 량에 의해 Logic "1"과 Logic "0"을 구분할 수 있다.

읽기 "1"은 높은 저항상태인 비결정구조(Reset)의 양단에 전압을 인가하여 낮은 전류 값이 흐르는 것을 감지하는 동작이며, 읽기 "0"은 낮은 저항상태인 결정구조(Set)에 전압을 인가하여 높은 전류 값이 흐르는 것을 감지하는 동작이다. 쓰기 동작에 있어서 로직 "1"은 40ns, 로직 "0"은 150ns의 시간이 소요되며(그림 3.(a)), 소비 전력은 로직 "0"은 90μW, 로직 "1"은 480μW이다(그림 3.(b))[2].

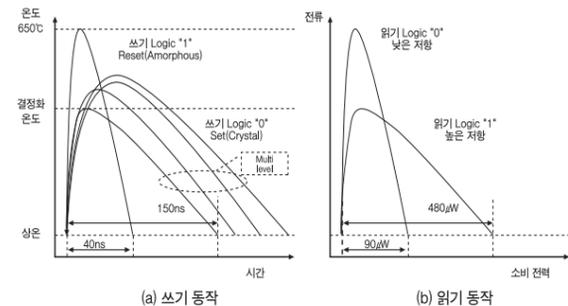


그림 3. 쓰기/읽기 동작

PCM의 셀 배열과 동작은 그림4와 같이 DRAM Array 구성과 동작이 유사하다. 쓰기 동작은 WL을 통해 특정 셀이 정해 지면, BL을 통해 논리 값 "1"(Reset)과 논리 값 "0"(Set) 조건에 맞는 전류량과 시간에 의해 Resistive Storage에 써야 할 논리 값이 쓰여지고, 읽기 동작은 WL을 통해 특정 Cell이 정해 지면, BL을 통해 흐르는 전류(Low/High current)량이 Sense Amplifier(SA)에서 증폭된다.

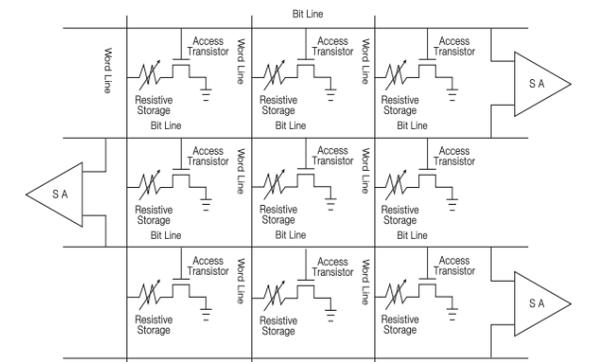


그림 4. PCM의 셀 배열

2009년 기준으로 90nm 제조공정하에서 PCM의 Array 크기는 512Mb이고, 각 Cell의 크기는 9.0~12.0μm²이다. 제품 특성으로 읽기 시간(Read Time)은 48ns이고, 셋 시간(Set Time)은 150ns, 리셋 시간(Reset time)은 40ns, 셋 전력(Set Power)은 90μW, 리셋 전력(Rset Power)은 480μW이고, 내구성(Endurance)은 10⁸회 수준이다. 아직도 DRAM 대비 내구성 및 쓰기 속도와 쓰기에 필요한 에너지 성능 개선이 필요하다[2].

결론

지금까지 PCM에 대한 간략한 내용과 최신 동향에 대해 살펴보았다. PCM은 차세대 메모리로서 DRAM뿐만 아니라 Flash Memory 시장 까지 대체할 수 있는 촉망 받는 소자로서 현재 다양한 연구 및 상용화를 위한 노력이 계속되고 있다. 이러한 추세로 앞으로 더욱 활발한 연구가 진행될 것으로 예상된다.

Year	[5]	[6]	[7]	[10]	[11]	[12]	[13]	[8]	[14]	[2]
Year	2003	2004	2005	2006		2008		2009		
Process (nm, F)	X	120	180	120	90	X	100	90	90	90
Array Size(Mb)	X	64	8	64	X	X	256	256	512	512
Material	GST, N-d	GST, N-d	GST	GST	GST	GST, N-d	GST	GST	GST	GST, N-d
Cell Size (μm)	X	20.1	9.0	X	12.0	X	16.6	12.0	5.8	9.0 ~ 12.0
Access Device	X	X	BJT	FET	BJT	X	FET	BJT	Diode	BJT
Read T (ns)	X	70	48	68	X	X	62	X	55	48
Read I (uA)	X	X	40	X	X	X	X	X	X	40
Read V (V)	X	3.0	1.0	1.8	1.6	X	1.8	X	1.8	1.0
Read P (uW)	X	X	40	X	X	X	X	X	X	40
Read E (pJ)	X	X	2.0	X	X	X	X	X	X	2.0
Set T (ns)	100	150	150	180	X	80	300	X	400	150
Set I (uA)	200	X	300	200	X	55	X	X	X	150
Set V (V)	X	X	2.0	X	X	1.25	X	X	X	1.2
Set P (uW)	X	X	300	X	X	34.4	X	X	X	90
Set E (pJ)	X	X	45	X	X	2.8	X	X	X	13.5
Reset T (ns)	50	10	40	10	X	60	50	X	50	40
Reset I (uA)	600	600	600	600	400	90	600	300	600	300
Reset V (V)	X	X	2.7	X	1.8	1.6	X	1.6	X	1.6
Reset P (uW)	X	X	1620	X	X	80.4	X	X	X	480
Reset E (pJ)	X	X	64.8	X	X	4.8	X	X	X	19.2
Write Endurance	1E+07	1E+09	1E+06	X	1E+08	1E+04	X	1E+05	1E+05	1E+08

표 2. PCM Technology Survey, X는 내용 없음. ([2]에서 인용)

Reference

- [1] B. Lee, P. Zhou, J. Yang, Y. Zhang, B. Zhao, E. Ipek, O. Mutlu, and D. Burger, "Phase change technology and the future of main memory," IEEE Trans. MICRO, Vol. 30, No. 1, pp.131-141, Jan, 2010.
- [2] B. Lee, E. Ipek, O. Mutlu and D. Burger, "Architecting phase change memory as a scalable DRAM alternative," Proc. 36th Ann. Int' l Symp. Computer Architecture, pp. 2-13, Jun, 2009.
- [3] 정병기, 이정석, 김대희, "상 변화 메모리 소자설계용 요소기술 개발에 대한 연구," 과학기술부 연구보고서, 2003년 1월.
- [4] M.K. Qureshi, V. Srinivasan and J.A. Rivers, "Scalable high

performance main memory system using phase change memory technology," Proc. 36th Ann. Int' l Symp. Computer Architecture, Vol. 37, No. 3, pp. 24-33, Jun, 2009.

- [5] H. Horii, J.H. Yi, J.H. Park, Y.H. Ha, I.G. Baek, S.O. Park, Y.N. Hwang, S.H. Lee, S.H. Kim, Y.T. K.H. Lee, U-In Chung and J.T. Moon, "a novel cell technology using N-doped GeSbTe films for phase change RAM," Int' l Symp. on VLSI Thechnology, pp. 177-178, Jun, 2003.
- [6] Y.J. Song, C.W. Jeong, J.M. Shin, Y. Fai, Y.N. Hwang, S.H. Lee, K.C. Ryoo, S.Y. Lee, J.H. Park, H. Horii, Y.H. Ha, J.H. Yi, B.J. Kuh, G.H. Koh, G.T. Jeong, H.S. Jeong, K.N. Kim and B.I. Ryu, "highly manufacturable high density phase change memory of 64Mb and beyond," International Electron Devices Meeting, pp. 907-910, Dec, 2004.
- [7] F. Bedeschi, C. Resta, O. Khouri, E. Buda, L. Costa, M. Ferraro, F. Pellizzer, F. Ottogalli, A. Pirovano, M.Tosi, R. Bez, R. Gastaldi and G. Casagrande, "an 8Mb demonstrator for high-density 1.8V phase-change memories," Int' l Symp. on VLSI Circuits, pp. 442-445, Jun, 2004.
- [8] F. Bedeschi, R. Fackenthal, C. Resta, E.M. Donze, M. Jagasivamani, E. Buda, F. Pellizzer, D. Chow, A. Cabrini, G.M.A. Calvi, R. Faravelli, A. Fantini, G. Torelli, Duane Mills, R. Gastaldi and G. Casagrande, "a multi-level-cell bipolar-selected phase-change memory". Solid-State Circuits Conference, pp. 428-625, Feb, 2008.
- [9] T. Nirschl, J.B. Phipp, T.D. Happ, G.W. Burr, B. Rajendran, M.-H. Lee, A. Schrott, M. Yang, M. Breitwisch, C.-F. Chen, E. Joseph, M. Lamorey, R. Cheek, S.-H. Chen, S. Zaidi, S. Raoux, Y.C. Chen, Y. Zhu, R. Bergmann, H.-L. Lung and C. Lam, "Write strategies for 2 and 4-bit multi-level phase-change memory," Electron Devices Meeting(IEDM2007), pp. 461-464, Dec, 2008.
- [10] H.R. On, B.H. Cho, W.Y. Cho, S.B. Kang, B.G. Choi, H.J. Kim, K.S. Kim, D.E. Kim, C.K. Kwak, H.G. Byun, G.T. Jeong, H.S. Jeong and K.N. Kim, "Enhanced write performance of a 64mb phase-change random access memory," Solid State Circuits Conference, Vol. 41, No. 1, pp. 122 - 126, Jan, 2006.
- [11] F. Pellizzer, A. Benvenuti, B. Gleixner, Y. Kim, B. Johnson, M. Magistretti, T. Marangon, A. Pirovano, R. Bez and G. Atwood, "a 90nm phase change memory technology for stand-alone non-volatile memory applications," Int' l Symp. on VLSI Circuits, pp. 122-123, 2006.
- [12] Y.C. Chen, C.T. Rettner, S. Raoux, G.W. Burr, S.H. Chen, R.M. Shelby, M. Salinga, W.P. Risk, T.D. Happ, G.M. McClelland, M. Breitwisch, A. Schrott, J.B. Philipp, M.H. Lee, R. Cheek, T. Nirschl, M. Lamorey, C.F. Chen, E. Joseph, S. Zaidi, B. Yee, H.L. Lung, R. Bergman and C. Lam, "ultra-thin phase-change bridge memory device using GeSb," International Electron Devices Meeting, pp. 1- 4, Dec, 2006.
- [13] S.B. Kang, W.Y. Cho, B.H. Cho, K.J. Lee, C.S. Lee, H.R. Oh, B.G. Choi, Q. Wang, H.J. Kim, M.H. Park, Y.H. Ro, S.Y. Kim, D.E. Kim, K.S. Cho, C.D. Ha, Y.R. Kim, K.S. Kim, C.R. Hwang, C.K. Kwak, H.G. Byun and Y.S. Shin, "a 0.1um 1.8V 256Mb 66MHz synchronous burst PRAM," Solid State Circuits Conference, pp. 487-496, 2006.
- [14] K.J. Lee, B.H. Cho, W.Y. Cho, S.B. Kang, B.G. Choi, H.R. Oh, C.S. Lee, H.J. Kim, J.M. Park, Q. Wang, M.H. Park, Y.H. Ro, J.Y. Choi, K.S. Kim, Y.R. Kim, I.C. Shin, K.W. Lim, H.K. Cho, C.H. Choi, W.R. Chung, D.E. Kim, Y.J. Yoon, K.S. Yu, G.T. Jeong, H.S. Jeong, C.K. Kwak, C.H. Kim, K.N. Kim, "a 90nm 1.8V 512Mb diode-switch PRAM with 266 MB/s read throughput," Solid State Circuits, Vol. 43, No. 1, pp. 150-162, Jan, 2008.

Chip Design Contest (CDC)

● 제18회 한국반도체학술대회 CDC, 동아리설계경진대회 개최

1. 일정 및 장소

- 가. 일 사: 2011년 2월 17일(목), 10:30 ~ 16:00
- 나. 장 소: 제주 해비치호텔(다이아몬드홀, B1)

2. 데모/패널 전시팀

구분	논문제출		타학회 논문 기제출팀 데모/패널만 참여 (논문미제출)	합계
	ASIC	FPGA		
최종참여팀	43	4	14	61
Demo/Panel 전시	Demo : 13 Panel : 30	Demo : 4	Demo : 1 Panel : 13	Demo : 18 (ASIC:14, FPGA:4) Panel : 43

3. 진행일정

구분	시간	장소
데모/패널 전시	10:00 ~ 16:00	다이아몬드홀(지하1층)
시상식	17:30 ~ 19:00	만찬-그랜드볼룸(1층)

4. 시상 내역

시 상 명	내 역		
	일반 부문	최우수상(1팀) 우수상(2팀)	상장 및 상금 100만원 각 상장 및 상금 50만원
Best Design Award	특별상 부문	SSCS 서울캡터상(1팀)	상장 및 상금 100만원
	FPGA Award	최우수상(1팀) 우수상(1팀)	상장 및 상금 50만원 상장 및 상금 30만원

* 수상팀 수는 조정될 수 있음.

* CDC 참여와 관련한 자세한 사항은 홈페이지(www.idec.or.kr)를 참고해 주시기 바랍니다.

* 문의 : 이의숙(042-350-4428, ylslee@idec.kaist.ac.kr)

채용 안내

● KAIST 반도체설계교육센터(IDEC)를 이끌어 갈 젊음과 열정을 가진 인재를 찾습니다.

1. 모집 분야

- 모집인원 : 연구직 (신입 · 경력), 0명
- 자격조건 : 대학 이상. 반도체설계 관련 전공자. 영어 능통자 우대.
- 주요업무 : - 국 · 내외 Fab을 통한 칩 설계, 제작 지원
- Digital, Analog 칩 TEST기술 지원
- EDA tool 교육 및 기술 지원

2. 제출 서류

- 당사 입사지원서(홈페이지에서 다운로드)
- 최종학교 성적증명서 1부
- 졸업(예정) 증명서 1부

3. 접수 기간 및 접수처

- 접수기간 : 2011년 2월 28일(월)
- 접 수 처 : (305-701) 대전광역시 유성구 구성동 373-1 한국과학기술원
반도체설계교육센터 104호
- 접수방법 : 우편접수, 이메일 접수
- 문 의 처 : 042-350-4045, shchoi@idec.kaist.ac.kr
- 홈페이지 : www.idec.or.kr

4. 기 타

- 기타 자세한 사항은 홈페이지(www.idec.or.kr) 참조
- 접수된 서류는 인비 처리하며 반환하지 않음.

2011년도 IDEC Platform Center (IPC) 공모

● 2011년도 IDEC Platform Center (IPC) 공모를 아래와 같이 공고하오니 신청하여 주시기 바랍니다.

1. 사업개요

- (1) 사업목적
 - ◆ 전략적 육성이 필요한 미래지향적 정보·전자분야반도체설계 플랫폼 특성화 기술단 융합의 공동연구 수행을 통해 지식 및 경쟁력을 창출
 - ◆ 시스템 반도체 육성을 위한 정부정책 및 산업체 Needs에 의거, IT 및 융합 기술의 핵심영역에서의 학·연·산 협업을 통한 융복합형 인력양성
- 대학의 교육과 연구 현장이 함께 연동하여 혁신력 있는 인재양성을 위한 교육과 연구환경을 플랫폼 영역에 맞게 내실화
 - ◆ 지역적 그룹을 떠난 기술적 대표성을 가지는 플랫폼 그룹(IPC)의 발전
 - ◆ 칩 설계, embedded SW 설계, 시스템 설계의 세 영역 간의 시너지를 극대화
- (2) 신규센터 선정
 - ◆ 신규센터 선정은 자유공모로 함.

2. 지원규모 및 기간

지원 규모	8.5억원내 지원 예정(2011년 센터당 2억원 내외) ◆ 평가 결과에 따라 사업비 차등 지원
지원 기간	평가결과에 따라 계속 지원여부 결정 2012년부터 예산 확대 지원
지원 분야	IPC 기술영역 ① Bio/health, ② Ubiquitous including Energy harvesting/delivery ③ Vehicular, ④ Mobile/broadband/network ⑤ Multi-media including 3D TV, smart TV ⑥ Nano technology including device, process, material ⑦ 기타 (2010 반도체설계 플랫폼 특성화 기술도 참조)

3. 신청절차 및 방법

사업설명회 참석	계획서 제출	서류평가	발표평가	최종평가 후 선정
IPC 사업 설명회	계획서 작성 후 우편 및 온라인 제출	계획서 제출한 대상자에 한해 평가	서류평가에서 선정된자에 한해 평가	평가위원회에서 최종 심의 후 선정
IDEC	총괄책임자	총괄책임자	총괄책임자 및 기술책임자	IDEC

(1) 사업설명회

- ◆ 일시 : 2011. 2. 15(화) 14:00
- ◆ 장소 : 반도체설계교육센터 강당

(2) 계획서 제출

- ◆ 신청방법 : 총괄책임자가 계획서를 작성한 후 우편 및 담당자 E-mail을 통해 제출
- ◆ 제출기간 : 2011. 3. 1(화) ~ 2011. 3. 28(월) 18:00
- ◆ 주소 : 대전광역시 유성구 과학로 335번지 한국과학기술원
반도체설계교육센터(N26) 104호
- ◆ E-mail : ejkim@idec.kaist.ac.kr

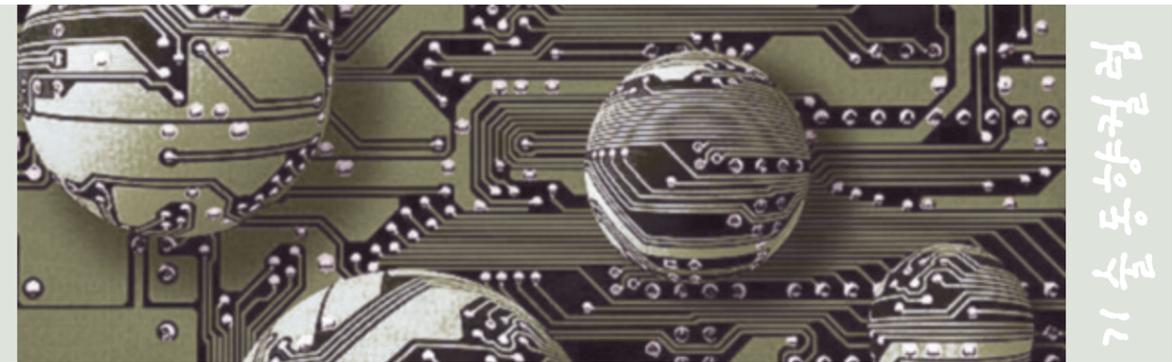
* 신청서 양식 및 기타 자세한 사항은 반도체설계교육센터 홈페이지(http://www.idec.or.kr) 참조

* 문의 : 김은주(042-350-8533), 최신희(042-350-4045)

저전력, 고속 직접 디지털 주파수 합성기 (Direct Digital Frequency Synthesizer) 기술 동향



중앙대학교 전자전기공학부
백광현 교수
연구분야 : 반도체 집적회로 및 시스템 설계
E-mail : kbaek@cau.ac.kr
http://midas.cau.ac.kr



서론

주파수 합성을 위한 다양한 회로 중에서 DDFS(Direct Digital Frequency Synthesizer)는 넓은 주파수 대역과 정밀한 주파수 해상도 특성이 있으며 빠른 주파수 및 위상의 천이가 가능하기에 레이더 등과 같은 군사용 장비 및 디지털 통신 시스템에서 주로 사용된다.

DDFS는 디지털 연산을 통하여 주파수를 합성하는 회로로서 기준 클럭 주파수의 최대 1/2에 해당하는 사인파를 합성한다. 그림 1은 일반적인 DDFS의 구조를 나타낸다.

DDFS는 PACC(Phase accumulator)와 P2AM(Phase to Amplitude Mapper)으로 구성되어 있는 NCO (Numerically-Controlled Oscillator)와 DAC(Digital to Analog Converter)로 구성된다. NCO는 사인파의 값을 가지는 디지털 데이터를 생성하는 역할을 한다.

여기서 PACC는 NCO의 입력 값인 FCW (Frequency Control Word)를 반복적으로 더해가며 계단 형태의 데이터를 출력한다. 이는 합성되는 파형의 위상 증가를 나타내고 곧 P2AM을 통해 진폭으로 변환된다.

최종단의 DAC는 NCO의 디지털 출력을 아날로그로 변환한다. DDFS는 대부분의 주파수 합성 과정이 디지털 연산으로 진행되므로 피드백 루프를 가지는 PLL에 비해 주파수 천이 속도가 굉장히 빠를 뿐 아니라 FCW bit 수가 크면 1Hz 미만의 단위의 주파수 조절도 가능하다.

복잡한 디지털 연산으로 말미암은 많은 전력소모는 DDFS가 다양한 응용분야에 적용되는데 제약으로 작용해왔다. 보통 P2AM은 복잡한 연산과 더불어 고속의 동작이 필요하므로 DDFS에서 가장 많은 전력을 소모한다. PACC의 전력소모는 일반적으로 크지 않지만, 고속 동작을 위해 다단의 파이프라인 구조를 사용하게 될 때 그 영향을 무시할 수 없다.

본 고에서는 P2AM과 DAC의 조합으로 구성되는 매핑방법의 종류들을 소개하고 비교해 보도록 하겠다.

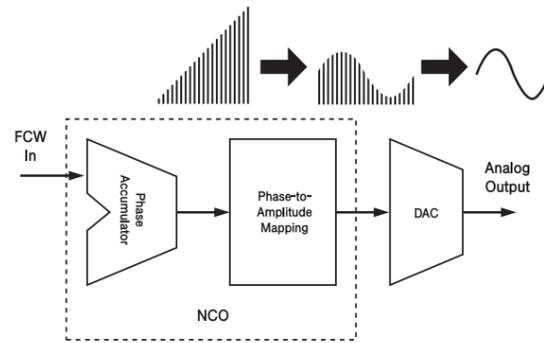


그림 1. 일반적인 DDFS의 구조

본론 : 매핑 기법의 분류

■ 디지털 방식의 매핑 방법

디지털 방식의 매핑 방법 중 가장 간편한 구조는 ROM을 사용하는 방법이다. 이는 위상 정보에 상응하는 진폭 정보를 ROM에 저장하고 위상 누적기의 출력을 일대일로 변환하는 방법이다.

하지만, 이 방법은 1-bit의 해상도를 증가시킬 때마다 2배의 ROM이 필요하게 되고 이는 면적 및 전력소모의 증가와 속도의 저하를 수반하게 된다. 이러한 단점을 해결하기 위해 종래의 ROM에 비해 적은 크기를 가지고도 향상된 성능을 가지는 회로를 향한 다양한 노력이 시도되어왔다.

ROM의 크기를 줄이는 방법 중 가장 기본적으로 사용되는 방식은 quarter compression 방식이다. 이는 한 주기의 사인파의 각 사분면이 서로 대칭되는 성질을 이용한 방법이다. 그림 2와 같이 ROM에는 하나의 사분면에 해당하는 데이터(Q1)만을 저장한 후 디지털 연산을 거치면 한 주기의 사인파를 생성할 수 있다.

Nicolas[1] 방식과 Sunderland[2] 방식은 이 중 가장 널리 응용되는 방식들이다. 최근에 디지털 연산 기법을 통하여 더욱 향상된 동작 속도를 얻을 수 있는 구조가 제안되었지만, ROM을 기초로 하는 구조의 특성상 동작속도가 수백 MHz에서 머물고 있다. Quarter compression 방법은 ROM을 사용한 구조뿐 아니라 다른 구조의 매핑회로에도 사용될 수 있다.

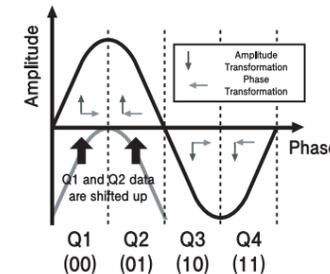


그림 2. quarter compression 방식을 통한 사인파 합성

Circular mode CORDIC[3] 방법은 몇 개의 덧셈기와 작은 크기의 ROM만을 사용하기 때문에 P2AM의 크기를 줄일 수 있다. 이는 미리 정해진 회전각을 선택하는 방식을 통해 구현되며 순차적으로 반복되는 구조를 가지기에 일반적으로 속도가 느리다.

이는 파이프라인 구조를 적용하여 극복할 수 있지만 정밀한 동작을 원할수록 반복되는 연산횟수가 늘어나게 되고 추가적인 덧셈기를 필요로 한다. Circular mode CORDIC 알고리즘이 가지는 가장 큰 장점은 사인파와 코사인파를 동시에 생성할 수 있다는 점이다.

Piecewise linear approximation[4] 방식은 사인파에 가까운 파형을 합성하는 또 다른 기법이다. 그림 3은 piecewise linear approximation 방법이 적용된 1/4 사인파를 보여준다. 사인파를 base라 불리는 특정 coarse영역으로 분해하고 이러한 base사이를 slope라 하는 값으로 이어 근사화하는 방식이다. 이 방법은 Circular mode CORDIC 방식보다 단순한 구조이지만 base와 slope의 디코딩에는 여전히 많은 수의 하드웨어가 필요하게 된다.

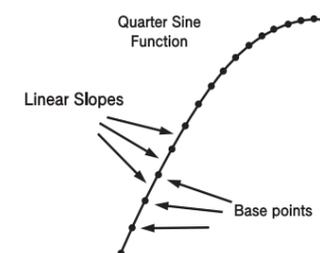


그림 3. piecewise linear approximation 방법이 적용된 1/4 사인파

■ 아날로그 방식의 매핑 방법

그림 4는 아날로그 매핑을 사용한 DDFS의 구조를 보여준다. 아날로그 매핑 방법은 위상정보를 진폭으로 변환하는 과정을 디지털이 아닌 아날로그 방식으로 구현한다. 이는 디지털방식의 P2AM이 존재하지 않기 때문에 상대적으로 면적과 전력소모가 적다는 장점이 있다.

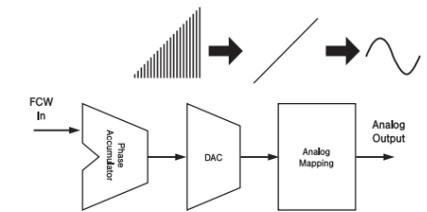


그림 4. Analog 매핑 방식을 이용한 DDFS

첫 번째로 소개할 방식은 differential amplifier의 hyperbolic tangent 특성이 있는 전달함수를 이용한 방법이다[5]. 그림 5와 같이 differential amp에 선형 신호를 입력으로 주게 되면 출력되는 값은 곡선의 형태를 보이게 되는데, 이를 이용하여 사인파를 근사화시키게 된다. 일반적인 DDFS의 동적성능(dynamic performance)이 FCW의 변화에 따라 추세를 가지며 변하는 반면에 이러한 방식은 FCW의 변화에 따라 동적성능(dynamic performance)이 급격하게 증감하는 특징을 가진다.

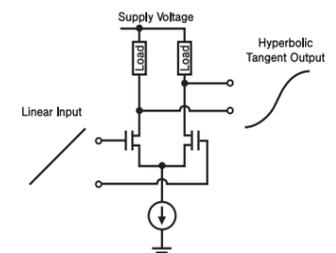


그림 5. Hyperbolic tangent 특성을 이용한 매핑 [5]

두 번째로 소개할 방식은 아날로그 보간법을 이용한 방법[6]이다. 아날로그 ramp 신호를 구간화 한 후 이를 다수의 전류원을 사용하여 구간에 맞게 진폭을 증가 또는 감소시켜 최종적으로 사인파에 근접한 파형을 생성하는 방식이다. 그림 6과 같이 전압화 된 위상정보(Vin)는 서로 다른 6종류의 기준전압(Vrep1~6)과 비교되어 출력전류(Iout)의 양을

조절하는 역할을 한다. 이 방법은 간단한 회로의 구성으로 구현 가능 한데 반해 전류원에 사용되는 기준전압(Vbias)에 따라 성능이 급격 하게 변하는 단점을 가지고 있다.

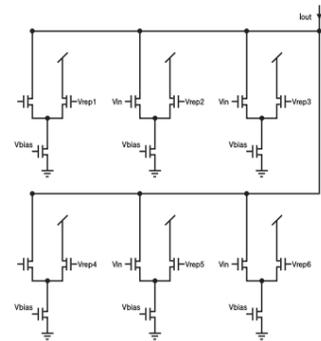


그림 6. 아날로그 보간법을 사용한 매핑회로 [6]

위에서 소개한 아날로그 방식의 매핑 기법들은 면적 및 전류소모 측면에서 상당한 이점을 가지지만 아날로그 블록의 특성상 온도, 전압, 공정 등의 다양한 변수들에 의해 성능이 민감하게 변하는 단점을 가진다.

■ 비선형 DAC를 활용한 매핑 방법

비선형 DAC를 사용한 매핑방법은 그림 7과 같이 사인파형의 가중치가 적용된 비선형 DAC를 사용하여 P2AM 없이 사인파를 합성하는 방법이다. 이는 P2AM을 사용하지 않기 때문에 상당히 낮은 전력을 소모하면서 고속의 동작이 가능하다. 일반적인 비선형 DAC는 단조 증가 형태를 보이는 온도계 코드 (thermometer code) 를 입력으로 사용하고 각 코드에 대한 가중치를 다르게 분포시켜 입력과 출력의 비선형 관계를 얻을 수 있게 구성되어 있다.

한 주기의 사인파는 진폭의 증가와 감소가 반복하는 형태를 보이기에 단조증가성을 보이는 일반적인 비선형 DAC로는 바로 구현하기 어렵다. 따라서 quarter compression 등과 같은 방법이 주로 사용된다.

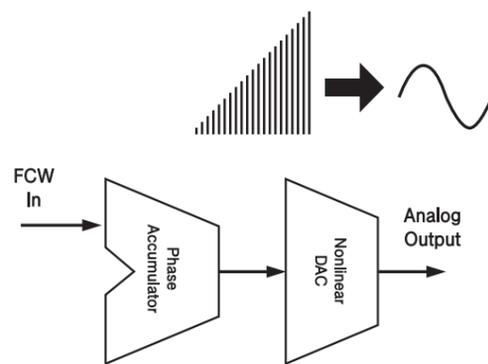


그림 7. 비선형 DAC를 사용하는 DDFS

비선형 DAC를 구현하기 위해 사용되는 온도계 코드 출력의 개수는 DDFS의 진폭의 해상도가 증가함에 따라, 지수적으로 증가하기 때문에 보통 6-bit 이하의 해상도를 가진다. 이는 높은 진폭 해상도를 갖는 DDFS를 설계하는데 제약이 될 수 있다. 따라서 진폭 해상도의 확장을 위해 coarse와 fine 구간으로 분할된(segmented) 구조를 사용하는 다양한 연구가 진행되어왔다. 한 개의 사분면을 합성할 수 있게 설계된 비선형 DAC는 X-bit의 coarse 구간과 Y-bit의 fine 구간을 가진다.

비선형 가중치를 갖는 각 Coarse 구간은 상당히 큰 가중치를 갖고 시작하며 점차 줄어드는 형태를 보인다. Fine 구간은 각 coarse 구간을 조밀하게 이어주는 역할을 한다. 실제 설계에서 coarse와 fine구간으로 분할된 구조를 사용하는 것은 각 구간의 비선형성 및 각기 다른 가중치로 말미암아 그 적용이 단순하지 않다.

분할된 구조의 DAC를 사용하는 방법에는 삼각함수의 전개를 통해 하나의 사인파를 여러 개의 사인파로 분리하는 방법[7]과 Vernier DAC[8]를 사용하는 방법 등 다양한 방법이 제안되어왔다.

■ 하이브리드 DAC를 활용한 매핑 방법

최근 소개된 하이브리드 DAC를 사용한 DDFS[9]는 그림 8와 같이 비선형 DAC와 선형 DAC를 조합하여 적은 면적을 사용하면서도 높은 진폭 해상도를 얻을 수 있는 구조로 되어 있다. 하이브리드 DDFS는 기본적으로 quarter compression 구조를 가지며, fine 영역의 구현을 위해 piecewise linear approximation 기법을 사용 하였다.

Coarse 부분에 사용되는 비선형 DAC는 일반적으로 사용하는 사인 가중치가 반영되어 있으며 fine 영역에 사용되는 DAC는 R2R 구조의 선형 DAC가 사용되었다. 하이브리드 DDFS는 분할되지 않은 비선형 DAC의 구조보다 디지털 회로의 복잡도 및 스위치의 개수가 적다. 또한, 분할된 DAC를 사용하는 구조인 삼각함수의 전개를 통한 방법 및 Vernier DAC를 사용한 방법보다 적은 스위치를 사용하고도 동일한 진폭 해상도를 얻을 수 있다.

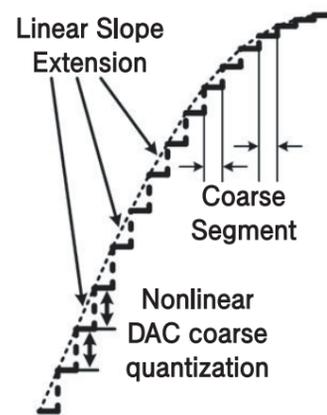


그림 8. 하이브리드 기법이 적용된 1/4사인파

결론

지금까지 소개된 방법들을 비교하여 표 1에 정리하였다. DDFS에서 주파수를 합성하는 방식은 설계의 목적과 환경에 맞게 다양하게 분포 되어 있으며 현재도 끊임없이 새로운 구조의 DDFS가 개발되고 있다. 지속적인 연구개발을 통해 DDFS가 가지는 특징을 부각시키고 전력 소모를 줄인다면 기존의 주파수 합성기들을 대체하며 응용분야를 더욱 확대할 예상된다.

Topologies	Advantages	Disadvantages
DDFS with digital P2AM	<ul style="list-style-type: none"> High conversion accuracy ROM-based designs are simple to implement 	<ul style="list-style-type: none"> Medium to low conversion speed High complexity Low power efficiency at high speed
DDFS with analog mapping	<ul style="list-style-type: none"> Low complexity High operating speed Very high power efficiency 	<ul style="list-style-type: none"> Medium to low conversion accuracy Conversion accuracy not consistent with FCW Susceptible to PVT variations
DDFS with nonlinear DAC	<ul style="list-style-type: none"> High operating speed Medium to low complexity 	<ul style="list-style-type: none"> Medium to low conversion accuracy
DDFS with hybrid DAC	<ul style="list-style-type: none"> High operating speed High conversion accuracy 	<ul style="list-style-type: none"> Medium complexity

표 1. DDFS에 사용되는 매핑 방법들의 비교

Reference

- [1] H.T. Nicholas and H. Samueli, "A 150-MHz direct digital frequency synthesizer in 1.25-micron CMOS with -90 dBc spurious performance," IEEE Journal of Solid-State Circuits, vol.26, no.12, pp.1959-1969, Dec.1991.
- [2] D. Sunderland, R. Strauch, S. Wharfield, H. Peterson, and C. Cole, "CMOS/SOS frequency synthesizer LSI circuit for spread spectrum communication," IEEE Journal of Solid-State Circuit, vol.19, no.8, pp.497505, Aug.1984.
- [3] C. Y. Kang and E. E. Swartzlander, Jr., "Digit-pipelined direct digital frequency synthesis based on differential CORDIC," IEEE Transactions on Circuits Syst. I, vol. 53, pp. 1035-1044, May. 2006.
- [4] K.-H. Baek, E. Merlo, M. J. Choe, A. Yen, and M. Sahrling, "A 1.7GHz 3V direct digital frequency synthesizer with an on-chip DAC in 0.35um SiGe BiCMOS," ISSCC Dig.Tech. Papers, 2005, pp.114?587.
- [5] S.Thuries, E.Tournier, A.Cathelin, S.Godet and J.Gaffeuil, "A 6-GHz Low-Power BiCMOS SiGe:C 0.25 um Direct Digital Synthesizer," IEEE Microwave and Wireless Components Letter, vol.18, pp.46-48, Jan.2008.
- [6] A. McEwan and S. Collins, "Direct Digital-Frequency Synthesis by Analog Interpolation," IEEE Transactions on Circuits and Systems II, vol.53, issue11, pp.1294-1298, Nov.2006
- [7] J.Jiang and E.K.F. Lee "A low-power segmented nonlinear DAC-based direct digital frequency synthesizer," IEEE Journal of Solid-State Circuits, vol.37, pp.1326, Oct.2002.
- [8] Z. Zhou and G.S. La Rue, "A 12-Bit Nonlinear DAC for Direct Digital Frequency Synthesis," IEEE Transactions on Circuits and Systems I, vol.55, issue9, pp. 2459-2468, Oct.2008.
- [9] H.C. Yeoh, J.H. Jung, Y.H. Jung, K.H. Baek, "A 1.3GHz 350mW Hybrid Direct Digital Frequency Synthesizer in 90nm CMOS," IEEE J. Solid State Circuits, vol.45, pp.1845-1855, Sept.2010.



올해 1월에 KAIST KI 빌딩에서 진행된 '3D IC 워크숍 2011'을 참가하였다. 이는 지식경제부 한국 산업기술평가관리원의 지원을 받아 연구 중인 "웨이퍼레벨 3D IC 설계 및 집적 기술"을 공개하기 위한 자리였다. 3D IC 기술은 이차원적인 칩 집적의 한계를 뛰어넘기 위하여 다수의 반도체 칩과 수동소자를 한 개의 패키지에 집적해 시스템 성능을 개선하고 한층 유기적으로 시스템을 설계할 수 있게 시스템 신뢰성을 높인다는 강점으로 세계적으로도 크게 주목받고 있는 기술 분야이다. 국내뿐만이 아닌 해외에서도 관통 실리콘 바이(Through-Silicon Via, TSV)가 풀려 있는 칩들이 삼차원적으로 쌓인 시스템이 실제 생산되는 등 활발하게 연구가 진행되고 있지만, 학술지나 학회 이외에는 3D IC 기술에 대한 트렌드와 3D IC를 구현하는 구체적인 기술에 대한 심도 있는 고민을 나눌 기회가 많이 없었다. 하지만, 이번 워크숍에서는 국내에서 가장 활발히 연구가 진행되고 있는 여러 기관으로부터 3D IC 공정 기술과 설계 기술들을 소개 받고 또한 이를 함께 공유하여 3D IC라는 그림을 함께 그려보며 고민할 좋은 기회가 되었다.

SPECIAL Column

3D IC Workshop 2011 참가후기

이번 워크숍은 특히 하나의 과제 아래 진행되고 있는 연구 결과들을 함께 교류하는 시간이어서 그런지 3D IC를 구현하는데 필요한 다양한 공정 및 설계 기술을 연구한 결과들이 한 맥락으로 정리되어, 앞으로 3D IC 기술이 어떠한 방향으로 발전되어 나갈지, 또한 어떠한 기술들이 이러한 발전을 가속해줄지에 대하여 생각해 볼 수 있는 시간이었다. 그리고 이번 워크숍을 통해 국내에서 진행되고 있는 3D IC 공정 기술 뿐만이 아니라 엔지니어 측면에서의 설계에 대한 연구들이 굉장히 탄탄히 진행되고 있는 것을 보았고, 실제 국내에서의 활발한 기술 연구가 진행되고 있으며, 이를 통해 3D IC 가능성도 함께 확인할 수 있었던 시간이었다.

이번 워크숍은 여러 연사의 발표들과 포스터 세션을 포함하여 하루 간의 일정으로 진행되었다. 국내에서 3D IC와 관련하여 활발한 연구를 진행 중인 여러 연구기관, 회사들 그리고 KAIST에서의 발표가 준비되어 있었다. 인상 깊었던 점은 3D IC라는 하나의 key word를 가지고 다양한 기관들의 연구와 협력, 그리고 여러 다양한 기술개발들이 있기에 최종의 목표인 고성능, 고집적의 3D IC가 완성될 수 있겠구나 하는 것을 느낄 수 있었다.

기술 경쟁과 3D IC 및 TSV 기술에 대한 다양한 이슈들은 AMKOR, 삼성전자, 동부하이텍, Hynix에서의 발표를 통해 파악해볼 수 있었다. 아무래도 가장 이슈가 되는 것은 TSV를 사용한 3D IC가 과연 반도체 시장에서 얼마나 경쟁력이 있는가 하는 것이었다. 성능 측면에서는 이차원적인 집적보다 훨씬 개선된 면이 있으나 그만큼 성능을 얻기 위하여 다양한 기반 기술들이 개발 및 생산에 적지 않은 비용이 투자되어야 한다는 것이 이슈였다. 이러한 분석은 사실상 엔지니어로서의 불가피한 고민이며 반도체 시장에서 살아남기 위한 중요한 고민이며, 결국은 실제 공정 기술이나 설계 기술을 연구 및 개발이 cost와 직접적으로 영향을 미친다는 것을 새삼 느껴 매우 흥미로웠다.

또한, 3D IC와 TSV가 Image sensor/MEMS뿐만이 아닌 소형화를 추구하는 모바일, 메모리 분야에서도 상당히 강력한 market driver가 될 수 있기 때문에 이에 대한 시장 경쟁력과 발전 가능성을 본다면, 3D IC 기반 기술에 대한 투자는 그만큼 충분한 가치가 있다는 생각이 들었다.

공정 측면에서는 KETI와 ETRI, 나노종합연구소 등의 발표가 있었다. 해외 학회나 학술지에서 3D IC 공정 기술에 대한 자료를 접해본 적은 있으나, 이번 워크숍의 발표를 보면서 공정 분야에서도 다양한 아이디어와 기술 개발이 필요한 것을 느꼈다. 기존의 반도체 기술과는 다르게 삼차원적으로 실리콘 칩에 구멍을 뚫고, 얇은 칩들을 핸들링하여 수직적으로 쌓아 올려야하기 때문에 공정 단계 하나하나가 모두 연구대상이며 그 과정 하나가 잘못되면 결국은 생산율이 급격히 떨어지게 된다는 점에서 공정 기반 기술 개발의 중요성을 다시금 크게 깨달을 수 있었던 시간이었다.

또한, 충북대학교에서는 3D IC에서 발생할 수 있는 열 문제에 대하여 연구를 진행하고 있었는데, 이 발표를 들으며 열이 3D IC에서 큰 이슈임을 다시금 깨달았다. 칩이 삼차원적으로 쌓이면서 또한 이 때문에 신호 전송이 고속화됨에 따라 칩의 발열량이 기하급수적으로 증가할 수 있고, 이는 직접적으로 시스템 성능의 신뢰도를 심히 떨어뜨릴 수 있는 요인이 되는 만큼 그 중요성은 크다고 볼 수 있다. 그래서 이러한 열 문제를 해결하기 위하여 다양한 아이디어들이 많이 나와서 신뢰성 있는 3D IC가 잘 구현되었으면 하는 생각이 들었다. 또한, 기존의 이차원적인 패키지에서의 쿨링 방법과는 다른 다양한 방법들이 소개되어서 매우 흥미로웠다.

3D IC의 전기적인 설계 분야에서는 KAIST 교수님들의 발표가 진행되었다. 3D IC가 결국은 다양한 기능의 칩들을 하나의 패키지에 집적시키는 기술이므로 매우 다양한 설계 접근과 방법들이 필요하다. 시스템 아키텍처 측면, TSV 설계 측면, 동종 혹은 이종 칩 간의 배선, 혹은 칩 간의 삼차원적인 집적 방법 등 다양한 설계들을 통하여 전체 시스템의 전기적인 특성이 결정되는 만큼 다양한 연구실에서 각자의 분야에 해당하는 기술들에 대한 연구결과들을 한눈에 볼 수 있어서 매우 흥미로웠다. 특히 TSV가 기존의 인터커넥션과는 다른 실리콘을 관통하는 구조이기 때문에 전기적인 특성에 대한 연구결과들은 매우 흥미로웠으며, 아키텍처 측면에서도 이러한 수직적인 인터커넥션 때문에 다양한 아이디어를 적용시켜서 전력 소모 측면이나 시스템의 성능 측면에서 많은 부분을 개선할 수 있었던 연구 결과들도 또한 흥미로웠다.

TSV의 모델링 연구 결과에서는 분석적인 모델링이 진행되어 있어서 설계상에서 TSV의 전기적인 특성에 대한 이해가 더욱 수월하였고, 이는 실제 3D IC를 설계할 때에 바로 적용할 수 있다는 게 큰 장점으로 보였다. 그리고 전기적인 특성 분석을 굉장히 다양한 방법과 접근으로 할 수 있다는 것에도 매우 흥미로웠다. 성능을 평가하는 데에는 신호 전송 측면뿐만이 아닌 칩에 파워를 공급해주는 네트워크, 그리고 노이즈 측면 등을 모두 함께 고려하여 설계해야하고, 다양한 성능 평가 기준에서의 trade-off를 고려하는 것은 전기적인 설계 측면에서는 매우 중요하다는 것을 새삼스레 깨달을 수 있었다.

그리고 마지막 발표로는 3D IC를 설계할 때 매우 중요한 통합 시뮬레이션 툴을 개발하는 Polliwog의 발표가 있었다. 시뮬레이션 툴은 다양한 기술들을 하나의 3D IC에 적용시켜 설계할 수 있게 도와주는 없어서는 안 될 중요한 징검다리의 역할을 하게 된다. 결국, 다양한 공정 library와 시뮬레이션 기법들을 통하여 전기적인 특성을 평가하기 위한 통합 시뮬레이션 툴 개발 또한 3D IC 기술 개발과 발전에 있어 더없이 중요한 부분임을 느꼈다.

이번 워크숍에서 3D IC 기술의 전체적인 개요에서부터 구체적인 공정 기술들과 전기적인 특성 분석 결과들, 그리고 이로부터 얻어진 다양한 아이디어들을 함께 나눌 수 있는 시간을 보내어 매우 즐거웠다. 또한, 워크숍에서 서로 질문하고 다양한 분야 사람들이 서로 다른 분야에 대하여 알아가는 모습을 보면서 이러한 기술 교류 시간이 상당히 의미 있는 시간임을 느꼈다. 특히 3D IC 기술은 특정 한 분야가 아닌 다양한 여러 기술 분야의 발전이 요구되는 만큼, 다양한 분야 간, 이해의 시간을 자주 가질수록 3D IC 기술은 더욱 빠른 속도로 발전할 수 있지 않을까 하는 것을 느꼈다. 이번 워크숍을 통해 3D IC의 폭넓은 기술 분야의 활발한 연구결과들과 각 분야에서의 심도 있는 고민을 들을 수 있어서 매우 뿌듯했다. 국내에서 3D IC 분야의 더욱 활발한 연구와 기술 교류가 진행되어, 앞으로 3D IC 기술이 국내뿐만이 아닌 해외의 반도체 시장에서도 당당히 앞서나갈 수 있게 발전되었으면 한다.

KAIST 전기 및 전자공학전공 박사과정



김주희
 연구분야: TSV-based 3D IC
 E-mail : joohee@eeinfo.kaist.ac.kr
 http://tera.kaist.ac.kr



집 트립 기 사

FreeRTOS 실시간 커널과 Core-A 프로세서(4) FreeRTOS 응용 프로그램

Core-A 프로세서를 사용한 플랫폼에 FreeRTOS 실시간 커널을 이식하고 Core-A 개발 보드에서 실행해 본다. FreeRTOS에 대해 살펴보고, Core-A 기반 플랫폼에 이식하는데 필요한 주요 코드와 응용 프로그램을 개발 할 때 사용하는 API에 대해 살펴 보았다.

마지막으로 FreeRTOS가 이식된 Core-A 개발 보드에서 몇 가지 멀티 태스킹 예제를 실행시켜 본다.

FreeRTOS 활용 Core-A 응용 프로그램

FreeRTOS를 이식한 Core-A 프로세서 기반 플랫폼에 비교적 간단하지만 가장 핵심적인 예제 프로그램 몇 가지를 실행하여 본다. 첫 번째 프로그램은 여러 태스크를 생성하고, 각 태스크가 일정 시간 간격으로 실행되는 것을 확인해 본다. 이 예제를 통해 실시간 특성을 어떻게 지키는지 등을 확인해 볼 수 있다. 두 번째 프로그램은 여러 태스크 사이에 정보를 메시지 큐를 통해 전달하는 것을 확인해 본다. 예제를 통해 여러 태스크로 나누어 일할 때 처리할 데이터를 어떻게 받고, 처리한 결과 데이터를 어떻게 전달하는 것인지 확인해 본다. 세 번째 프로그램은 뮤텁스를 이용하여 배타적으로 실행하는 경우를 살펴본다.

■ Core-A platform

Core-A에 관한 상세한 내용은 참고자료 [1]를 참조하고, Core-A 프로세서에서 실행될 프로그램을 컴파일하기 위한 크로스 컴파일 환경은 참고자료 [2]와 [3]를 참조한다.

[그림 1]에 FreeRTOS를 실행하는 환경을 개략적으로 보였다. Core-A 개발 보드[4]에 장착된 FPGA에 하드웨어를 iCON-USB를 통해 구성한다. FreeRTOS 응용 프로그램을 컴파일하고, 그 결과를 iCON-USB와 BFM(Bus Functional Model)을 통해 메모리에 다운로드 한 후, Core-A가 해당 프로그램을 실행하도록 한다. Core-A가 프로그램을 실행하는 과정에서 출력하는 결과는 직렬통신 포트를 통해 문자 출력 모니터에 출력된다. [그림 1]에서 설명한 하드웨어와 이후 설명한 여러 예제를 컴파일 하고 실행하는 방법의 상세한 것은 참고 자료 [7]을 참조한다.

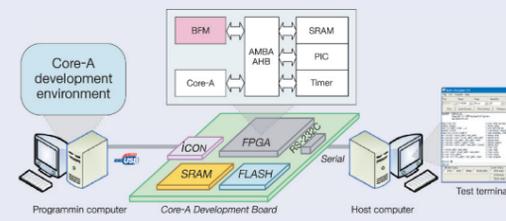


그림 1. FreeRTOS를 실행하는 환경

■ 멀티 태스킹 예제

이 예제 프로그램은 정해진 문자열을 출력하는 태스크를 세 개 생성한다. 각 태스크에는 0, 1, 2로 우선순위를 지정하고, 우선 순위가 0인 태스크는 3초, 1인 태스크는 2초, 3인 태스크는 1초씩 기다린 후, 문자열 출력을 반복한다.

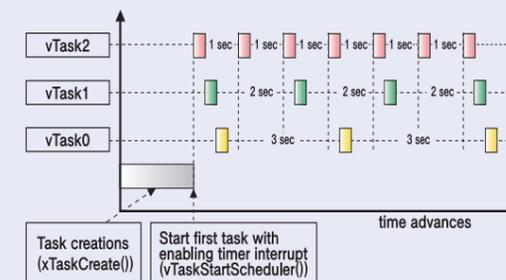


그림 2. 멀티 태스킹의 실행 일례

[그림 2]에서와 같이 'vTaskStartScheduler()'를 호출하여 멀티 태스킹을 시작하면, 'vTask2'는 매 1초마다 실행되고, 'vTask1'은 매 2초마다 실행되며, 'vTask0'은 매 3초마다 실행 된다. 두 개 이상의 태스크가 동시에 실행되는 시점에는 우선 순위가 높은 태스크가 먼저 실행되므로, 다음 순서로 실행된다.

```
(vTask2, vTask1, vTask0) - (vTask2) - (vTask2, vTask1) - (vTask2, vTask0) - (vTask2, vTask1, vTask0) - ...
```

다음은 이 예제의 메인 루틴이며, 'prvSetupHardware()'를 호출하여 하드웨어를 초기화하고, 'xTaskCreate()' 루틴을 통해 태스크(vTask())를 세 개 생성한 후, 'vTaskStartScheduler()'를 호출하여 멀티 태스킹을 시작한다. 태스크를 생성할 때 각 태스크에서 다른 우선순위를 지정하고, 딜레이 시간을 파라미터로 전달 한다.

```
#include "includes.h"
static void prvSetupHardware(void);
void vTask(void *pvParameters);
int main(void) {
    portBASE_TYPE delay[3] = {3000, 2000, 1000}; // delay in msec
    prvSetupHardware();
    uart_put_string("FreeRTOS on Core-A\r\n");
    uart_put_string("DynaLith Systems (www.dynalith.com)\r\n");
    xTaskCreate(vTask, (signed char*)"vTask0", 100,
        (void*)&delay[0], 0, (xTaskHandle*)NULL);
    xTaskCreate(vTask, (signed char*)"vTask1", 100,
        (void*)&delay[1], 1, (xTaskHandle*)NULL);
    xTaskCreate(vTask, (signed char*)"vTask2", 100,
        (void*)&delay[2], 2, (xTaskHandle*)NULL);
    vTaskStartScheduler();
    return 0;
}
```

다음은 태스크 코드인데, 자신의 우선순위를 'uxTaskPriorityGet()'으로 확인하고, 파라미터로 전달받은 딜레이를 확인한다. 이후 무한 루프를 수행하는데, 내부에서 정해진 문자열을 출력하고, 우선 순위를 출력하고, 현재의 틱 카운터 값을 출력한 후, 'vTaskDelay()'를 호출하여 일정 시간 기다린다.

```
void vTask(void *pvParameters) {
    unsigned portBASE_TYPE priority = uxTaskPriorityGet(NULL);
    portTickType delay = *(portTickType*)pvParameters;
    while (1) {
        portENTER_CRITICAL();
        uart_put_string("vTask"); uart_put_int(priority); uart_put_char(' ');
        uart_put_int(xTaskGetTickCount()); uart_put_string("\r\n");
        portEXIT_CRITICAL();
        vTaskDelay(delay/portTICK_RATE_MS); // wait ms
    }
}
```

위 코드에서 사용한 'uart_put_strin()'과 'uart_put_int()' 그리고 'uart_put_char()'는 UART를 통해 문자열과 수 그리고 문자를 출력하는 루틴이다. 위 태스크 코드에서 'portENTER_CRITICAL()'과 'portEXIT_CRITICAL()'을 통해 하드웨어를 참조하는 코드를 배타적으로 실행할 수 있도록 하고, 딜레이를 'portTICK_RATE_MS'로 나누어 절대 시간을 계산하여 사용하였다.

다음은 앞에서 설명한 멀티 태스킹 예제의 실행 결과인데, 틱 카운터가 0일 때 모든 태스크가 실행되었음을 확인할 수 있고, 이때 우선순위에 따라 실행된 것을 알 수 있다. 이후, 매 1초 (즉, 1msec 타이머 인터럽트에서 1,000개 틱 카운터)마다 'vTask2'가 실행되고 있고, 매 2초마다 'vTask1'이 실행되고 있고, 매 3초마다 'vTask0'이 실행된다.

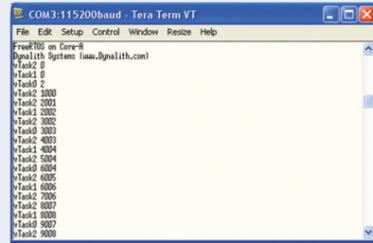


그림 3. FreeRTOS 멀티 태스크 예제 실행 결과

이 예제에서는 'vTaskDelay()'를 사용했는데, 'vTask2'가 '0', '1000', '2001', '3002', '4003' 등과 같이 정확하게 1000 틱 타이머 간격을 유지하지 못한다. 따라서 태스크가 정확한 시간 간격으로 실행되기 위해서는 'xTaskDelayUntil()'을 이용하는 것이 필요하다.

■ 큐를 활용한 태스크 사이 통신 예제

[그림 4]에 FreeRTOS의 큐(queue)를 이용한 태스크 사이의 통신을 이용한 예제의 동작을 개념적으로 표현하였다. 'vTaskSnd()' 태스크는 큐에 빈 방이 생기면 새로운 메시지를 만들어 채운다. 'vTaskRcv0()/vTaskRcv1()/vTaskRcv2()'는 큐에 메시지가 도착하면 읽고, 메시지에 전달된 내용을 출력한 후, 그 내용에 따라 일정 시간 기다린다. 여러 태스크가 큐에서 메시지를 동시에 읽는 경우를 방지하는 기능이 'xQueueReceive()'에 구현되어 있다.

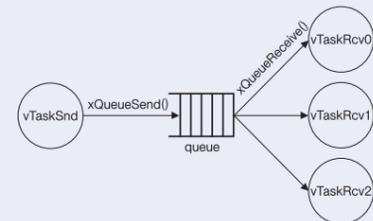


그림 4. 메시지큐를 이용한 태스크간 통신

다음 코드에서 보인 바와 같이, 'main()'에서 'prvSetupHardware()'를 호출하여 하드웨어를 초기화 하고, 이후 'xQueueCreate()'를 호출하여 사용할 큐를 준비하고 이때 만들어진 큐 핸들러는 이후 큐를 구별할 때 사용한다. 'vTaskCreate()'로 태스크 들을 생성하는데, 'TASK_CREATE()' 매크로를 이용하여 좀 더 용이하게 태스크를 생성했다. 이후 'vTaskStartScheduler()'를 호출하여 멀티 태스킹을 시작한다.

```
#include "includes.h"
xQueueHandle xQh;
static void prvSetupHardware(void);
void vTaskSnd (void *pvParameters);
void vTaskRcv (void *pvParameters);
#define TASK_CREATE(func_name,stack,priority)
if (xTaskCreate( (func), (signed char*)(name)
, stack, (void*)(name), priority
, (xTaskHandle*)NULL)!=pdPASS) {}
uart_put_string(name); uart_put_string(" not created\r\n");
return 1;
}
int main(void) {
prvSetupHardware();
uart_put_string("FreeRTOS on Core-A\r\n");
```

```
uart_put_string("Dynalith Systems (www.Dynalith.com)\r\n");
xQh = xQueueCreate(10, sizeof(long));
TASK_CREATE(vTaskSnd,"vTaskSnd",100,1)
TASK_CREATE(vTaskRcv,"vTaskRcv0",100,1)
TASK_CREATE(vTaskRcv,"vTaskRcv1",100,1)
TASK_CREATE(vTaskRcv,"vTaskRcv2",100,1)
vTaskStartScheduler();
return 0;
}
```

다음 코드는 큐에 메시지를 채우는 태스크인데, 난수 생성 함수를 통해 수를 만든 후 큐를 통해 다른 태스크로 전달한다. 메시지에 전달되는 수는 해당 메시지를 받은 태스크가 몇 초를 기다릴 것인지를 정한다.

```
void vTaskSnd(void *pvParameters) {
long msg;
char *name = (char *)pvParameters;
portENTER_CRITICAL();
uart_put_string(name); uart_put_string(" started\r\n");
portEXIT_CRITICAL();
while (1) {
msg = (rand())%5; msg = (msg==0) ? 1 : msg;
xQueueSend(xQh, (void*)&msg, portMAX_DELAY);
}
}
```

다음 코드는 큐에서 메시지를 읽어서 그 내용에 따라 문자열을 출력하고 일정 시간 기다리는 태스크이다.

```
void vTaskRcv(void *pvParameters)
{
long msg;
char *name = (char *)pvParameters;
portENTER_CRITICAL();
uart_put_string(name); uart_put_string(" started\r\n");
portEXIT_CRITICAL();
while (1) {
xQueueReceive(xQh, (void*)&msg, portMAX_DELAY);
portENTER_CRITICAL();
uart_put_string(name); uart_put_string(" got ");
uart_put_int(msg); uart_put_string("\r\n");
portEXIT_CRITICAL();
vTaskDelay((portTickType)(msg*1000/portTICK_RATE_MS));
}
}
```

[그림 5]에 이제까지 설명한 응용 프로그램이 실행된 결과를 보였다.

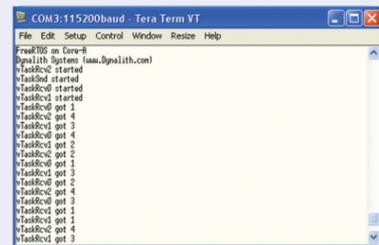


그림 5. FreeRTOS 큐를 이용한 태스크간 통신 결과

■ 뮤텡스를 이용한 예제

여러 태스크가 실행되는 환경에서 공유 자원을 참조하거나 이와 관련된 코드를 실행할 때 특정 코드를 방해 없이 수행할 필요가 생긴다.

앞 예제들에서 문자열을 출력할 때 'portENTER_CRITICAL()'와 'portEXIT_CRITICAL()'을 사용했다. 이 예제에서는 FreeRTOS에서 제공하는 뮤텡스를 이용한다.

다음 여러 태스크 사이의 동기화를 위해 사용할 뮤텡스를 생성하고, 비교적 긴 문자열을 출력하는 세 개 태스크를 생성하는 코드이다. 각 태스크에는 우선순위가 다르게 지정되어 선점형 스케줄링에서 우선순위가 높은 태스크가 낮은 우선순위의 태스크가 실행 중이라도 프로세서를 선점할 수 있도록 한다.

```
#include "includes.h"
static void prvPrintTask( void *pvParameters );
int main( void ) {
prvSetupHardware();
xMutex = xSemaphoreCreateMutex();
xTaskCreate( prvPrintTask, (signed char*)"Print1", 1000
, "Task 1 *****\r\n"
, 1, NULL );
xTaskCreate( prvPrintTask, (signed char*)"Print2", 1000
, "Task 2 ----- \r\n"
, 2, NULL );
xTaskCreate( prvPrintTask, (signed char*)"Print3", 1000
, "Task 3 ||||| \r\n"
, 3, NULL );
vTaskStartScheduler();
return 0;
}
```

다음은 파라미터로 전달받은 비교적 긴 문자열을 출력하는 태스크인데, 문자열을 완전하게 출력할 때까지 해당 코드 부분을 배타적으로 실행할 수 있도록 한다.

```
static void prvPrintTask( void *pvParameters ) {
char *pcStringToPrint;
pcStringToPrint = ( char * ) pvParameters;
for( ;; ) {
xSemaphoreTake( xMutex, portMAX_DELAY );
uart_put_string(char*pcStringToPrint);
xSemaphoreGive( xMutex );
vTaskDelay( ( rand() & 0xFF ) );
}
}
```

위 코드에서 'xSemaphoreTake()'에서부터 'xSemaphoreGive()'사이의 코드는 다른 태스크의 방해 없이 실행할 수 있도록 보장한다. 만약 이들 두 루틴이 없다면, 우선순위가 높은 태스크가 중간에 문맥 교환을 통해 끼어들 수가 있다.

[그림 6]은 뮤텡스 예제를 실행한 결과인데, 왼쪽 쪽은 뮤텡스를 사용한 경우이고, 오른쪽은 뮤텡스를 사용하지 않은 경우이다. 그림에서 알 수 있듯이 뮤텡스를 사용하지 않은 경우, 우선순위가 높은 Task2가 우선 순위가 낮은 Task1이 실행 중인 중간에 끼어들어서 출력 결과가 예상과 다르게 나올 수 있다.



그림 6. 뮤텡스 예제의 결과 (왼쪽이 뮤텡스를 사용한 경우)

▶ 우선 순위 반전과 승계

뮤텡스를 사용할 경우, 선점형 스케줄링과정에 순수한 우선순위에 따라 태스크의 실행 순서가 결정되지 않을 수 있다. [그림 7]에 우선순위가 반전되는 경우를 보였다.

태스크 'vTaskHP'는 가장 우선순위가 높고, 태스크 'vTaskLP'는 가장 우선순위가 낮다. 그 중간에 태스크 'vTaskMP'가 있다. 'vTaskHP'와 'vTaskLP'는 상호 배타적으로 실행해야 할 코드가 있어 뮤텡스를 사용하고, 'vTaskMP'는 해당 뮤텡스를 사용하지 않는다.

(1)vTaskLP가 우선순위가 낮음에도 시간상으로 먼저 실행되어 vTaskHP 보다 먼저 뮤텡스를 차지하고 배타적 코드를 수행하고 있다. (2)vTaskMP가 실행하게 되어 우선순위에 따라 vTaskLP를 선점하지만 뮤텡스를 얻지 못해 곧 문맥 교환이 되어 뮤텡스가 가용할 때까지 기다린다.

(3)vTaskLP가 뮤텡스를 내 놓기 전에 이 보다 우선순위가 높은 vTaskMP가 vTaskLP를 선점한다. 여기서 vTaksMP는 뮤텡스와 무관하므로 자신의 일을 마칠 때까지 실행된다. (4)vTaksMP가 문맥 교환되어 vTaskLP가 실행된다. 이때까지 가장 높은 우선순위의 vTaskHP는 뮤텡스를 기다리고 있다. (5)vTaskLP가 뮤텡스를 내 놓으면 곧바로 vTaskHP가 재개된다. 이 과정에서 vTaksMP는 자신보다 우선순위가 높은 vTaskHP보다 먼저 실행되며, 이것을 우선순위 반전(priority inversion)이라 한다.

여기서는 세 개 태스크만을 고려했지만 vTaskHP보다 우선순위가 낮고 vTaskLP보다 우선순위가 높은 태스크가 여럿 존재하면 우선순위 반전 구간이 오래 지속할 수 있다. 이는 시간 제약을 반드시 지켜야 할 실시간 응용에 심각한 문제가 된다.

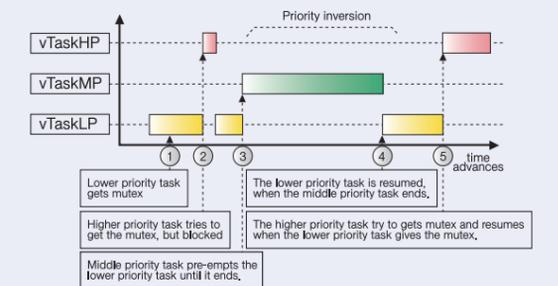


그림 7. 우선 순위 반전의 일례

우선순위 반전 문제를 해결하는 방법으로 FreeRTOS는 우선 순위 승계(priority inheritance) 기법을 사용한다. [그림 7]에서 (2)번 과정에서 vTaskLP가 vTaskHP의 우선순위를 승계하여 뮤텡스를 되돌려 줄 때까지 vTaskHP보다 낮은 우선순위의 태스크가 중간에 실행될 수 없도록 한다.

종합

시스템집적 반도체와 내장형 시스템에 사용할 목적으로 개발된 32-비트 RISC 프로세서인 Core-A를 실시간 응용에 적용하기 위해, 실시간 특성이 있고 멀티 태스킹을 지원하는 소프트웨어 실행 환경이 필요하다. 여기서는 FreeRTOS 실시간 커널을 Core-A에 이식하는 과정과 Core-A 개발 보드에서 실행하는 것을 다루었다.

FreeRTOS는 우선순위 기반 스케줄러 기법을 사용하며, 같은 우선순위에 대해서는 순환 순서(round-robin)를 사용한다. 스케줄러는 선점형(preemptive)과 비선점형 중 하나를 선택할 수 있다. 선점형인 경우, 높은 우선 순위의 태스크가 언제든 프로세서를 선점한다. 태스크(task)와 더불어 코루틴(co-routine)도 지원한다. 태스크 간 통신과 동기를 위해 큐(queue), 세마포(semaphore), 뮤텍스(mutex) 등을 제공한다.

특히 큐는 태스크 간뿐 아니고 인터럽트 서비스 루틴과 태스크 간의 정보 전달에도 사용할 수 있다. 비교적 단순한 동적 메모리 할당 기법을 제공한다. 태스크를 관리하기 위해 TCB(Task Control Block) 자료 구조를 사용하고, 필요에 따라 기능 대부분과 그 기능에 관련된 코드들을 선택적으로 사용할 수 있어서 코드를 쓰기 면에서 최적화하는데 적합하다.

FreeRTOS는 원천 코드가 공개되어 있고, 사용료가 없으며, 상용으로도 활용할 수 있고 프로세서 의존적인 부분이 매우 제한적이라 새 프로세서에 이식하는데 큰 어려움이 없다. Core-A는 간단한 협약을 통해 원천 코드를 받을 수 있고, 사용료도 없으며, 하드웨어와 소프트웨어 개발 환경이 준비되어 있어서 새로운 시스템을 구성하기 용이하다. 이들 둘을 조합하여 실시간 응용에 적합한 시스템을 구현하는데, 본 고가 다른 내용이 도움되었기를 바라며, 지면이 제한된 관계로 상세하게 다루지 못한 부분이 있지만, 독자들이 큰 어려움 없이 이해할 수 있을 것이라 기대한다.

1 RMS(Rate Monotonic Scheduling, 비율 단조 스케줄링): 자주 처리해야 될 태스크에 높은 우선 순위를 지정하는 방식

저작권과 라이선싱

- Core-A는 무상으로 사용할 수 있지만, Core-A 개발자와 협약을 맺어야 한다. (www.Core-A.com)
- FreeRTOS는 공개코드 소프트웨어이며 무상으로 상용 제품에도 사용할 수 있다. (www.FreeRTOS.org)
- 본고에서 다루는 내용과 코드 중, FreeRTOS를 Core-A에 이식하기 위해 추가된 FreeRTOS와 분리된 코드는 교육용인 경우에 한하여 자유롭게 사용할 수 있지만, 정부과제나 기업과제 그리고 제품에 사용할 경우 개발자와 협의하여야 한다. (www.Dynalith.com, corea@dynalith.com)

Reference

- [1] 박인철, Core-A Computer Architecture and Design, 홍릉과학출판사, 2009.10.
- [2] 기안도, Core-A 프로세서를 활용한 플랫폼 설계, 홍릉과학출판사, 2010.3.
- [3] 이종열, Core-A 프로그래머 가이드, 홍릉과학출판사, 2009.11.
- [4] Core-A 개발 보드 사용자 매뉴얼, 다이나릿시스템, 2009.
- [5] 기안도, Core-A 프로세서와 실시간 커널 MicroC/OS-II, IDEC Newsletter 155호, 156호, 157호, 2010.5~7.
- [6] Richard M. Stallman et. al., Using the GNU Compiler Collection, GNU Press.
- [7] Ando Ki, FreeRTOS Port for Core-A Platform, Application Note, DS-AN-2010-10-001, Dynalith Systems.



(주)다이나릿시스템

기안도 박사
 연구분야 : 시스템집적반도체 설계와 검증
 E-mail : adki@dynalith.com
 http://dynalith.com



MPW(Multi-Project Wafer) Design Contest

2011 IDEC MPW 설계공모전

IDEC MPW 설계공모전을 통하여
 자신이 설계한 IC를 국내 최고의 Foundry 업체에서 제작할 수 있습니다.
 여러분이 주인공이 되어 생각을 현실로 구현해 보십시오.

2011년 MPW 공정 지원 내역

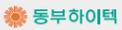
공정지원사	공정(μm)	공정내역	size	칩수	Package
삼성	0.13μm	CMOS 1-poly 6-metal	4mm x 4mm	96	208pin QFP
	65nm(*)	CMOS 1-poly 8-metal (RF지연, Option(HRI, Inductor, MIM))	미정	20	208pin QFP
메그나칩/하이닉스	0.35μm	CMOS 2-poly 4-metal (Optional layer (DNW, HRI, BJT, CPOLY) 추가)	5mm x 4mm	40	Design 144pin Package 208pin QFP
	0.18μm	CMOS 1-poly 6-metal (6metal을 Thick metal로 합 사용가능 /Optional layer(DNW, HRI, BJT, MIM) 추가)	4.5mm x 4mm	80	Design 200pin Package 208pin QFP
동부하이텍	0.13μm	CMOS 1-poly 8-metal (RFCMOS, Top : UTM)	5mm x 5mm	23	208pin QFP
	0.11μm(*)	CMOS 1-poly 6-metal (RFCMOS, Top : UTM)	5mm x 5mm	13	208pin QFP
TowerJazz	0.25μm BCDMOS	CMOS 2-poly 4-metal	5mm x 5mm	15	144pin QFP
	0.18μm CIS	CMOS 1-poly 4-metal	5mm x 5mm	2	지원하지 않음
	0.18μm(*) BCDMOS	CMOS 1-poly 3-metal(MT)	5mm x 5mm	2	
	0.18μm RFCMOS	RFCMOS 1-poly 6-metal	5mm x 5mm	4	
0.18μm SiGe	SiGe BiCOMOS 1-poly 6-metal	5mm x 5mm	1		
KEC	0.5μm	CMOS 1-poly 2-metal	3mm x 3mm	20	28pin ceramic
	4μm BJT	BJT 1-poly 2-metal	3mm x 3mm	20	28pin ceramic

2011년 MPW 진행 일정

구분	공정사	공정	제작칩수	우선모집		정규모집		후기	DB미강 (Tape-Out)	DB전달 (Fab-In)	Chip-out	Package-out
				신청마감	신청발표	신청마감	신청발표					
98회 (11-1)	TowerJazz	0.18μm (SiGe)	1			10,10,31	10,11,15		11,02,11	11,02,22	11,05,24	11,06,24
	메그나칩/하이닉스	0.35μm	20			10,10,31	10,11,15		11,02,11	11,02,25	11,06,07	11,07,07
	메그나칩/하이닉스	0.18μm	20			10,10,31	10,11,15		11,02,11	11,02,25	11,06,07	11,07,07
99회 (11-2)	TowerJazz	0.18μm(RF)	2			10,11,20	10,12,06		11,02,21	11,03,07	11,05,11	-
	동부	0.35μm (BCDMOS)	3			10,11,20	10,12,06		11,02,22	11,03,09	11,06,01	11,07,01
	동부	0.13μm	23			10,11,20	10,12,06		11,03,21	11,04,06	11,07,06	11,08,06
100회 (11-3)	동부	0.35μm (BCDMOS)	3			10,12,05	10,12,20		11,04,07	11,04,20	11,07,12	11,08,12
	삼성	0.13μm	48			10,12,05	10,12,20		11,04,25	11,05,09	11,08,25	11,09,10
101회 (11-4)	TowerJazz	0.18μm(RF)	2			10,12,15	10,12,30	11,02,01	11,05,02	11,05,16	11,07,19	-
	메그나칩/하이닉스	0.18μm	20			10,12,15	10,12,30	11,02,01	11,05,13	11,05,27	11,08,05	11,10,05
102회 (11-5)	동부	0.35μm (BCDMOS)	3			11,01,05	11,01,20	11,03,15	11,05,25	11,06,08	11,08,31	11,09,30
103회 (11-6)	TowerJazz	0.18μm(CIS)	1			11,02,06	11,02,20	11,04,06	11,06,21	11,07,05	11,09,21	-
	동부	0.35μm (BCDMOS)	3			11,02,06	11,02,20	11,04,06	11,07,07	11,07,20	11,10,12	11,11,12
104회 (11-7)	TowerJazz	0.18μm	2	10,12,05	10,12,20	11,03,02	11,03,15	11,05,06	11,08,29	11,09,14	11,11,15	-
	메그나칩/하이닉스	0.35μm	20			11,03,02	11,03,15	11,05,06	11,08,29	11,09,14	11,12,20	12,01,20
	메그나칩/하이닉스	0.18μm	20			11,03,02	11,03,15	11,05,06	11,08,29	11,09,14	11,12,20	12,01,20
105회 (11-8)	삼성	65nm	20			11,03,02	11,03,15	11,05,06	11,08,19	11,09,05	12,01,15	12,02,15
	TowerJazz	0.18μm(CIS)	1			11,04,15	11,04,29	11,07,15	11,10,10	11,10,24	12,01,11	-
	동부	0.11μm	13			11,04,15	11,04,29	11,07,15	11,10,10	11,10,26	12,01,10	12,02,10
106회 (11-9)	동부	0.35μm (BCDMOS)	3			11,04,15	11,04,29	11,07,15	11,10,13	11,10,26	12,01,18	12,02,18
	KEC	4μm	20	11,01,20	11,02,08	11,04,15	11,04,29	11,07,15	11,10,14	11,10,28	12,01,27	12,02,27
	KEC	0.5μm	20			11,04,15	11,04,29	11,07,15	11,10,14	11,10,28	12,01,27	12,02,27
107회 (11-10)	삼성	0.13μm	48			11,05,15	11,05,30	11,08,15	11,11,05	11,11,25	12,03,09	12,04,09
	메그나칩/하이닉스	0.18μm	20			11,06,30	11,07,15	11,08,31	11,12,15	11,12,30	12,04,10	12,05,10

참여 대상 : IDEC Working Group(WG) 대학의 학부생 및 대학원생






(*)는 2011 새롭게 지원되는 공정임.
 - 지원 공정 내역 및 일정은 사정에 따라 변경이 될 수 있음.
 - 우선모집 / 정규모집의 참가신청일은 50:50으로 모집하며, 후기모집은 정규모집 미달시에만 실시함.
 - 공정별 라이브러리 배포와 기술 지원은 IDEC에서 수행함.
 - 설계설명회는 정규모집을 기준으로 개최하며, 일정은 모집이후 공지함.
 - MPW 설계공모전은 지식경제부의 반도체설계인력양성사업의 일환으로 참여기업의 지원금 범위 수혜함.
 - 자세한 공정내역 및 신청방법은 IDEC 홈페이지 (<http://idec.org>) 참조.
 - 문의처 : 이익숙 (tel. 042-350-4428, E-mail: yslee@idec.kaist.ac.kr)