

IDEC 참여 매뉴얼

- 참여교수 배포용 -

2022.02



반도체설계교육센터
IC DESIGN EDUCATION CENTER

목 차

참여교수 신청	2
1. 개요	2
2. 지원 사항	2
3. 신청 시기	2
4. 신청 조건	2
5. 참여교수 의무사항	2
6. 선정 방법	3
7. 선정 제외 대상	3
8. 신청 절차	4
9. 우수 참여교수 선정	20
MPW 참여 안내	21
1. MPW 참가 대상 및 설계 참여시 이행 사항	21
2. 2022년 MPW 지원 내역 및 일정	23
3. MPW 참여 방법	26
4. 참여 방법(지정공정)	30
5. 참여방법(희망공정)	44
EDA Tool 사용 안내	53
1. 개요 및 지원현황	53
2. 지원방식	55
3. 정규 라이선스 사용	55
4. Network license 사용	59
5. EDA Tool 지원 서비스	59
CDC (Chip Design Contest)	63
1. CDC 소개	63
2. CDC 참여 절차	64
3. CDC 평가	73
JICAS (IDEC Journal of Integrated Circuits and system)	74
1. JICAS 소개	74
2. JICAS 진행 절차	74

1

참여교수 신청

1. 개요

- 1) 지능형반도체 전문인력 양성과 핵심 IP연구개발을 위해 다각적인 전국 대학의 교수를 참여교수로 선정하여 칩제작기회(MPW) 및 설계환경(EDA Tool) 등 지원
- 2) 반도체설계 분야의 연구 경쟁력을 확보하기 위해 참여교수의 유사 연구 분야를 조사하여 연구분야 특성화를 제공

2. 지원 사항

- 1) 최신 기술 공정의 MPW 칩 제작 지원(Cell Library 포함)
- 2) 최신 EDA Tool 지원
- 3) IDEC 보유 Analog IP 제공

3. 신청 시기

- 1) 연 1회 (매년 1-2월)

4. 신청 조건

- 1) 전국 대학의 반도체설계 관련분야 교수 (전임직 조교수부터 신청 가능)
- 2) 단, 순수 교육 및 연구 목적이 아닌 특수목적 대학소속의 교수의 경우 IDEC 지원이 제한됨 (참고 : 전문대학의 경우, IDEC 지원이 제한 될 수 있음)

5. 참여교수 의무사항

- 1) "IDEC 주최 행사(Congress 외)"에 **2년에 1회 이상 반드시 참여한다.**
- 2) IDEC에서 협조하는 사항(뉴스레터 원고 기고, JICAS 논문 제출(분기별), IDEC 관련 평가(CDC(2,6,11월) 등), IDEC 강좌 강사 활동 등)에 대해 **3년 이내 1회 이상 참여 한다.**
- 3) IDEC 지원을 받아 달성한 **연구실적(논문, 특허, 지도학생 취업현황 등)은 IDEC에 보고 한다.**

* IDEC 참여교수로 활동 시에 위의 세가지 사항 모두 이행을 부탁드립니다.

[참고 내용]

- IDEC Congress : 참여대학의 주요실적에 대한 결과 발표 및 현안 논의가 이뤄지는 IDEC 주관 행사로, 참여교수는 본 행사에 **2년에 1회 이상 필수 참석**
- JICAS : 매년 4 회 발행되는 IDEC 공식 국제 저널인 JICAS 에 MPW 칩 설계 결과물 (또는 기타) 을 논문으로 작성하여 제출 (논문 상시 접수)
- CDC : IDEC CDC 행사에 제출된 논문의 채택 여부를 결정하기 위해 온라인 평가 진행 (2년마다 IDEC CDC 평가위원 위촉)
- IDEC 교육 : 본센터(KAIST)와 8 개 캠퍼스에서 연간 170 건 정도의 설계 및 Tool 교육 등이 개설/진행되고 있으며, 이에 주도적으로 강의 개설
- IDEC 사사문구 : IDEC의 지원을 받아 발행된 논문에는 반드시 IDEC 사사문구를 기입해야 하며, 사사문구 있는 논문만 참여교수 실적으로 인정

구분		사사문구 예시
국문	MPW 지원받은 경우	본 연구는 IDEC 에서 MPW 를 지원받아 수행하였습니다.
	EDA Tool 지원받은 경우	본 연구는 IDEC 에서 EDA Tool 를 지원받아 수행하였습니다.
영문	MPW 지원받은 경우	The chip fabrication was supported by the IC Design Education Center(IDEC), Korea.
	EDA Tool 지원받은 경우	The EDA tool was supported by the IC Design Education Center(IDEC), Korea.
	MPW 와 EDA Tool 모두 지원받은 경우	The chip fabrication and EDA tool were supported by the IC Design Education Center(IDEC), Korea.

6. 선정 방법

- 1) 기존 참여교수 : 전년도 참여계획 및 의무사항 이행, IDEC이 인정하는 실적 제출시 선정
- 2) 신규 참여교수 : 신청서 및 이력서를 토대로 IDEC 운영위원 평가를 통해 선정

7. 선정 제외 대상

- 1) 기존 참여교수 : 참여교수 의무사항을 이행하지 않거나, 최근 3년간 IDEC에서 인정하는 실적을 제출하지 않은 자
- 2) 신규 참여교수 : 신청조건에 불충족하거나, IDEC 운영위원 평가시 미승인된 자

8. 신청 절차

1) 기존 참여교수

① www.idec.or.kr 로그인 -> 참여교수 클릭

IDEC 반도체설계교육센터
IC DESIGN EDUCATION CENTER

홈 회원가입 로그인

센터소개 교육/세미나 VOD서비스 MPW EDA Tool **참여교수** 홍보마당 IDEC Library

공지사항 Notice

- 제26회 한국반도체학술대회 C... 2018.09.11
- (중요!) 2018년 EDA Tool 사.. 2018.08.27
- [IDEC CDC]ISOCC 2018 CDC 논.. 2018.08.02
- (중요!) 2018년 IDEC 신규 도.. 2018.07.24
- [외부공지] [채용] Synopsys .. 2018.08.22

자료실 Library

- EDA Tool Vendor 의 System Re.. 2018.06.21
- EDA Tool Vendor 의 System Re.. 2018.01.30
- EDA Tool Vendor 의 System Re.. 2017.10.30
- 칩 테스트 보드 Ver2.0 2017.08.17
- EDA Tool 패키지 설치(설치 자.. 2017.05.12

② 참여교수 신청 클릭 - 2021년 참여교수 신청 클릭

참여교수

참여교수신청안내

참여교수신청

성과 : 논문
성과 : 특허
성과 : IP

참여교수신청

“한국 반도체산업의 경쟁력”
IDEC에서 설계인력양성의 발판을 마련하겠습니다.

2021년 참여교수 신청

신청기간	2021-01-19 ~ 2021-02-19	신규 참여교수 평가	2021-02-22 ~ 2021-02-26	신청중
활동기간	2021-03-01 ~ 2022-02-28	결과보고제출기간	2022-01-01 ~ 2022-01-31	상세보기

③ 참여교수 신청페이지 하단의 신청하기 클릭

운영위원 활동(캠퍼스 참석)	3	참석 횟수
육성위원 활동	10	참석 횟수
기타	0	내부 검토 후 반영

이전으로 **참여신청**

④ 인력배출 현황 작성

- 인력배출현황 제출 페이지 이동 확인버튼 클릭
- 2021년도 2, 8월 졸업생의 취업현황을 제출 * 취업/진학 구분을 명확히 기재
전년도 졸업생 중 취업현황에 변동이 있으면 반드시 수정 (IDEC 중요 실적자료로 활용되므로 졸업학위, 취업기관 등 정확한 기재를 부탁드립니다.)

○ 2020년 참여교수 신청

신청기간	신규참여교수 평가	활동기간	결과보고 제출기간
2020-04-14 ~ 2020-04-22	2020-04-23 ~ 2020-04-26	2020-03-01 ~ 2021-02-28	2020-12-18 ~ 2021-02-19

신청 정보 상세 결과보고제출

○ 2020년도 결과보고 (졸업/취업 현황) 제출

■ 인력배출 현황 (2020년 2월, 8월 졸업자)

- 지도 학생 중 졸업생이 있을 경우 학위, 지도교수, 졸업년월, 취업기관, 부서명을 기입하신후 [적용]버튼을 클릭해주시고.
- 졸업생이 없을 경우에도 [적용] 버튼을 클릭하셔야 합니다.
- "출업자구분" 항목 중 재직 중(직장인)은 학위 시작 전 취업한 학생을 말하며, 이외는 신입(일반)으로 선택해 주십시오.

성명	출업학위	지도교수	출업년월	출업자 구분 취업/진학 기관	취업/진학 구분 부서명
	석사	테스트	2020년 01월		선택

- 수행지침동의서 제출

참여교수

참여교수신청안내

- 참여교수신청
- 참여교수성과
- 성과:논문
- 성과:IP
- 성과:특허

참여교수신청

출 1 참여교수 1 참여교수신청

"한국 반도체산업의 경쟁력"
IDEC에서 설계인력양성의 발판을 마련하겠습니다.

○ 참여교수 수행 지침 동의서

- 사업명 : 지능형반도체 전문인력양성 사업
- 사업기간 : 2019년 3월 1일 ~ 2020년 2월 29일
- 총괄 책임자 : 반도체설계교육센터 소장 박인철
- 참여교수 : KAIST 교수 테스트
- 본 수행지침 동의서는 "반도체설계교육센터(이하 IDEC)" 참여교수 협약 체결을 대신한다.
- 참여교수 선정 시 관련 법적 책임은 본인에게 있으므로, 아래 내용을 검토하여 승인하도록 한다.

제9조(개인 정보 사용 동의)

참여교수는 "참여교수 지원 신청서"의 내용을 실적보고 등 필요에 따라 관계 기관에 제공됨에 동의한다.

☐ 위의 모든 내용에 동의합니다.

확인 취소

⑤ 차년도 참여교수 신청서 작성

- 신청서 상의 특성화 분야 작성 버튼 클릭

참여교수

참여교수신청안내

■ 참여교수신청

참여교수성과]

성과::논문

성과::IP

성과::특허

참여교수신청

홈 | 참여교수 | 참여교수신청

“한국 반도체산업의 경쟁력”
IDEC에서 설계인력양성의 발판을 마련하겠습니다.



참여교수 신청서 작성

참여구분	● 참여교수	특성화분야	*특성화 분야 팝업창 띄우기 작성
회원ID	test	이름	테스트
학교명	KAIST	학과명(학부명)	전자과1
email	ksmoon98@kaist.ac.kr	홈페이지	aaa123a.com
전화번호	070-3333-3333	FAX	
학교주소	35373 우편번호 찾기 대전 서구 관저로 84 1234		

* 지도학생이 없는 경우 삭제 버튼을 클릭 하세요

- 특성화 분야 작성 : 작성버튼을 클릭하면 등록 또는 수정이 가능

▶ SoC 설계 방법 및 구조

▼ 응용분야

대분류 중분류 소분류

			Digital		Design methodology	Analog/RF			
			Programmable core	Special function block		Data Converters	Timing & High-Speed Interface	RF	Power
Consumer	대형 Media(TV등)								
	Handheld Multimedia								
	Display (LCD/OLED/PDP/display Driver 등)								
Car/Robot	Car infotainment (navi/audio/DMB)								
	Car chassis(brake/suspension/steering)								
	Body/security(충돌방지 등)								
Communication	Wired	Robot							
		Level 2/3 switch							
		MODEM							
		Access network							
	Wireless(무선통신)	PAN							
		LAN/MAN/WAN/CAN							
		USN/Rfid							
		Wimax,Wibro,LTE							
Cellular phone									
Ubiquitous									
Military/Space									
신 재생 에너지	Energy Harvesting(태양광/열전 등)								
	Energy Storage(배터리 등)								
	Energy transfer System(Grid 등)								
Medical/Bio									
분류되지 않은 기타									

* 가로와 세로가 만나는 셀을 선택(최대6개)하시고 등록 및 수정 완료 버튼을 클릭해주세요***

등록 및 수정 완료
특성화 분야 확인 페이지로..
닫기

- 특성화 자료 활용동의여부 체크 후 페이지 하단 확인 버튼 클릭

● 참여교수 특성화 등록시 아래 사항을 확인하세요.

■ 기본자료 활용 동의

"참여교수 특성화 (Platform) 구축에 기본 자료로 활용" 하는 것에 동의하십니까?

☒ 예, 동의 합니다.

■ 개인정보 정책

"참여교수 특성화 (Platform) 웹페이지에 기본정보(소속, 성명, 연락처, E-mail),
일반정보(연구분야)등 정보제공" 에 동의하십니까?

☒ 예, 동의 합니다. ☐ 아니요, 동의하지 않습니다.

확인

취소

- 지도학생 기입 : 전년도 지도학생 중 졸업생을 제외한 재학생은 자동으로 등록된다. 신규 지도학생을 추가할 수 있으며, 실무 담당자를 선택한다.
- 금년도 참여계획 : 참여교수 의무사항 항목이며, 참여계획 건수를 입력한다.
- 입력란을 모두 기입하고 신청 버튼을 클릭하면 성과 제출 페이지로 이동한다.

* 지도학생이 없는 경우 삭제 버튼을 클릭 하세요

성명	교과과정	휴대폰	email	열추가
강 검색	석사과정 ▼ 1학기 ▼	010-000-0000	0@kaist.ac.kr	삭제
강 검색	석사과정 ▼ 1학기 ▼	010-0000-0000	00@kaist.ac.kr	삭제

지도학생

실무 담당자 ☐ 테스트 ☒ 강경구 ☐ 강민철.

활동분야 ABC를 위한 VLSI 시스템 설계

항목	건수	설명
IDEC사사논문	1 건	IDEC의 지원을 받아 발행된 논문에는 반드시 IDEC 사사문구를 기입해야 하며, 해당 실적은 참여교수 실적으로 카운트된다.
CDC평가참여	1 건	1년에 3회 개최되는 IDEC CDC 행사에 제출된 논문의 채택 여부 및 수상 여부를 결정하기 위해 온라인 또는 오프라인 평가를 진행 (담당자가 직접 요청)
IDEC강좌개설	건	본센터(KAIST)와 8개 캠퍼스에서 연간 170건 정도의 설계 및 Tool교육 등이 개설/진행되고 있으며, 이에 주도적으로 강의를 열 경우를 말한다.
교육자료제출 (VOD포함)	1 건	IDEC 강좌 진행시, 교육자료 활용에 동의해주시거나, 강의 녹화 및 활용에 동의해주시는 경우
뉴스레터기고	건	매달 1회 발행되는 IDEC 뉴스레터에 반도체 설계와 관련된 기술 동향 또는 연구 분야, 학회 참가 후기, 반도체 인력 양성과 관련한 칼럼 등을 작성하여 제출 (원고 상시 접수)
JICAS제출	건	매년 4회 발행되는 IDEC 공식 국제 저널인 JICAS에 MPW 칩 설계 결과를 (또는 기타)를 논문으로 작성하여 제출 (논문 상시 접수)
IDEC Congress참여	1 건	참여대학의 주요실적에 대한 결과 발표 및 원안 논의가 이뤄지는 IDEC 주관 행사로, 참여교수는 본 행사에 2년에 1회 이상 참석 의무가 있다.

금년도 참여계획

가입목적 ☒ MPW 참가 ☒ EDA Tool 사용 ☐ 기타

X

? 웹 페이지 메시지

참여교수 신청이 완료 되었습니다.
성과 제출 페이지로 이동하시겠습니까?

⑤ 성과 제출

- 해당기간 : 전년도 03월 1일~당해연도 2월 28일
- 해당기간의 성과를 IDEC 홈페이지 성과 제출 게시판에 업로드
- 제출 시기 : (참여교수 신청 기간 외에도) 수시 제출 가능
- 제출 방법
 - 참여교수성과 탭에서 해당 실적 게시판 클릭
 - 작성 완료후 수정사항이 있을시 상단 오른쪽 마이페이지에서 수정가능
- 제출 내용 : 논문, 특허, IP, JICAS Citation
 - IDEC 사사 논문은 참여교수 실적 점수로 인정되며, 추후 우수 참여교수 선정시 반영



● 제출 항목 및 배점 대상 구분표

항목	분류	제출 내용	배점대상
논문	IDEC지원받았으며, IDEC 사사문구가 있음	• 논문/저널명 풀네임으로 기입 • (Published된 경우) 출판일 기입	O
	IDEC지원받았으나, IDEC 사사문구 없음	• IDEC 사사문구가 들어간 페이지번호 기입 • 논문 전체 첨부파일로 업로드	X
	IDEC지원받지않음	• 논문/저널명 풀네임으로 기입 • (Published된 경우) 출판일 기입	X
특허	IDEC 지원	출원증이나 등록증 첫장만 업로드	X
	IDEC 미지원		
IP	IDEC 지원	등록기관과 등록내역이 함께 캡처된 파일 업로드	X
	IDEC 미지원		

● 논문(입력 항목 화면)

반도체설계교육센터
IC DESIGN EDUCATION CENTER

[홈](#) [관리자](#) [로그아웃](#) [마이페이지](#)

[센터소개](#)
[교육/세미나](#)
[VOD서비스](#)
[MPW](#)
[EDA Tool](#)
[참여교수](#)
[홍보마당](#)
[IDEC Library](#)

참여교수

참여교수신청안내

참여교수신청

■ 참여교수성과

■ 성과::논문

성과::IP

성과::특허

성과 :: 논문

홈 | 참여교수 | 참여교수성과 | **성과::논문**

“한국 반도체산업의 경쟁력”
IDEC에서 설계인력양성의 발판을 마련하겠습니다.

논문제목	Algorithm for Synthesis and Exploration of Clock Spines		등록일	2017.08.04 11:32
ID	tkim	작성자	대학교)	
국외/국내	국외	SCI구분	비SCI	
학회/저널	학회	논문집명	ASP-DAC	
IDEC지원여부	IDEC지원-ACK없음	지원내역	EDA Tool	
상세내역	Synopsys			
주저자	김	공동저자	김	
발행일	2017-01-16	페이지(시작-끝)		

[DOWNLOAD](#)
[Algorithm for Synthesis and Exploration of Clock Spines.pdf\(131 Kb\)](#)

● IP(입력 항목 화면)

반도체설계교육센터
IC DESIGN EDUCATION CENTER

[홈](#) [관리자](#) [로그아웃](#) [마이페이지](#)

[센터소개](#)
[교육/세미나](#)
[VOD서비스](#)
[MPW](#)
[EDA Tool](#)
[참여교수](#)
[홍보마당](#)
[IDEC Library](#)

참여교수

참여교수신청안내

참여교수신청

참여교수성과

■ 성과::논문

■ **성과::IP**

성과::특허

성과 :: IP

홈 | 참여교수 | 참여교수성과 | **성과::IP**

“한국 반도체산업의 경쟁력”
IDEC에서 설계인력양성의 발판을 마련하겠습니다.

IP Name	Low drop out (LDO) regulator in FlexRay Communication		등록일	2016.10.18 11:39
이름	학교명			
IP Code	KU423H0796	등록기관	KIPEX	
거래수	1	등록일	2016-04-29	
IDEC지원여부	IDEC지원	지원내역	MPW	
상세내역	매그나칩반도체/SK하이닉스 180nm			
Category	Analog			

[DOWNLOAD](#)
[Low drop out %28LDO%29 regulator.docx\(54 Kb\)](#)

KU423H0796 / Register

IP Code : KU423H0796 | IP 등록일 : 2016-04-29 | 승인일 : 2016-05-12 15:08:31

[수정하기](#)

IP Name	Low drop out (LDO) regulator in FlexRay Communication
IP Version	1.0
Category	Analog & Mixed Signal > Amplifier/Filter/Bias Circuit > Voltage Reference
Description	The Designed IP is the Low drop out (LDO) in FlexRay communication. The designed IP cor
Feature	- Low Dropout Voltage : 500mV - Output Current : 1.3mA - Wide range of supply voltage(2.8V~6V) and temperature(-40°C~80°C) - Adjustable Output
Foundry	Magnachip Semiconductor
Technology	0.18um s ~ < 0.25um
IP Type	Hard IP
Format	Spice
Silicon Verification Status	개발검증
적용된(될) Chip의 Function	LDO regulators are used to derive lower output voltages from a main supply or battery. Th
적용된(될) Chip의 Application	- Power management IC, Voltage monitor etc. - This IP can be applied to variety of chips which is demanded using the various supply
Biz 범위	- 한 상하조만 판매가능함 - 기술지원 가능함 - 관련원 (신규)등록가능함

● 특허(입력 항목 화면)

참여교수

참여교수신청안내
참여교수신청
참여교수성과
성과::논문
성과::IP
■ **성과::특허**

성과 :: 특허

홈 | 참여교수 | 참여교수성과 | **성과::특허**

“한국 반도체산업의 경쟁력”
IDEC에서 설계인력양성의 발판을 마련하겠습니다.



특허명	MULTI-REFERENCE CORRELATED DOUBLE SAMPLING DETECTION METHOD AND MICROBOLOMETER USING THE SAME		등록일	2016.10.24 19:12
이름	학교명	KAIST		
국제/국내	국제	출원/등록	출원	
출원/등록번호	CN-201610847293.6	등록일	2016-10-24	
IDEC지원여부	IDEC지원	지원내역	MPW	
상세내역	매그나칩반도체/SK하이닉스 350nm			

DOWNLOAD P-13487-CN(OP2016-055) 출원서류 (1).pdf(1 M)

기존의 열전 냉각기 및 기계적 셔터를 제거할 수 있는 전기적 셔터를 회로 동작을 통해 구현함으로써, 회기적으로 모듈 비용을 감소 시킬 뿐만 아니라, 넓은 동작 온도를 보장하며, 이를 자유롭게 조정할 수 있음.

● JICAS Citation

- 참여교수 실적에 등록된 논문 중 JICAS 내용을 인용한 논문 실적 인정

『논문 추가 실적_JICAS Citation』 실적 제출 방법

게재된 논문 중 JICAS 내용을 인용한 것이 포함된 논문에 대해 실적에 추가하고자 합니다. 해당 논문이 있는 연구실에서는 아래 표를 작성하시어 보내주시기 바랍니다.

● 조건

- JICAS 내용을 논문 인용구에 기재한 경우

● 제출 방법

- 이메일 접수(이경옥, kyungoklee@idec.or.kr)
- 접수 기한 : 상시 접수

● 신청서

IDEC 참여교수 논문 실적 추가_JICAS Citation

대학		참여교수명	
학회 or 저널		논문집명	

발행일		IDEC 지원 여부	Yes or No
논문제목			
주저자		공동저자	
첨부파일 (PDF로 제출)	1) 논문 전체 사본 2) 논문 게재 확인 내역(해당 학회 명과 게재 내역이 함께 나온 증빙서 1~2쪽)		

⑥ 신청내역 확인 및 수정

- 마이페이지 → 참여교수 신청내역에서는 지금까지 참여한 참여교수 신청 상세 내역을 확인 할 수 있으며 지도학생 수정 및 인력배출현황 기입 가능


반도체설계교육센터
 IC DESIGN EDUCATION CENTER

홈 로그인 마이페이지

센터소개 교육/세미나 VOD서비스 MPW EDA Tool 참여교수 홍보마당 IDEC Library

마이페이지

회원수정
 비밀번호변경
 IDEC 참여내역
 교육신청내역
 SoC설계과목이수제
 VOD신청내역
■ 참여교수신청내역
 MPW신청내역

IDEC 참여내역

홈 | 마이페이지 | IDEC 참여내역 | **참여교수신청내역**

“한국 반도체산업의 경쟁력”
IDEC에서 설계인력양성의 발판을 마련하겠습니다.

○ 참여교수 신청내역

제목	활동기간	신청일자	상태
2019년 참여교수 신청	2018-11-01~2019-10-31	2018-10-17	신청완료
2018년 참여교수 신청	2017-11-01~2018-10-31	2018-04-04	활동기간

- 참여교수 신청내역의 상세 페이지를 보면 실적산정기간 중 달성한 실적과 실적 별 배점기준에 따라 부여한 점수가 보여지고 해당 점수를 클릭하면 상세 내역도 확인 가능



반도체설계교육센터
IC DESIGN EDUCATION CENTER

[홈](#)
[로그아웃](#)
[마이페이지](#)
[f](#)
[t](#)
[N](#)

[센터소개](#)
[교육/세미나](#)
[VOD서비스](#)
[MPW](#)
[EDA Tool](#)
[참여교수](#)
[홍보마당](#)
[IDEC Library](#)

마이페이지

[회원수정](#)
[비밀번호변경](#)
[IDEC 참여내역](#)

[교육신청내역](#)
[SoC설계과목이수제](#)
[VOD신청내역](#)

[참여교수신청내역](#)
[MPW신청내역](#)
[EDATool신청내역](#)
[CDC신청내역](#)
[적립금내역](#)
[참여교수평가](#)
[MPW평가](#)
[CDC평가](#)
[주문/배송 내역확인](#)

IDEC 참여내역

[홈](#)
[마이페이지](#)
[IDEC 참여내역](#)
[참여교수신청내역](#)

“한국 반도체산업의 경쟁력”
IDEC에서 설계인력양성의 발판을 마련하겠습니다.



○ 참여교수 신청내역 상세

참여교수 정보

- 참여신청 취소는 참여교수 관리 담당자에게 문의하시기 바랍니다.

2019년 참여교수 신청				신청완료
신청기간	2018-10-18 ~ 2018-11-07			
활동기간	2018-11-01 ~ 2019-10-31	결과보고제출기간	2019-10-14 ~ 2018-11-02	

참여교수 실적

- 활동기간 동안의 실적을 확인할 수 있습니다..
- 점수를 클릭하시면 자세한 정보를 확인할 수 있습니다.

MPW	0건 / 0점	논문	0건 / 0점
기타성과	점		

신청 정보

참여구분	☒ 참여교수	특성화분야	*특성화 분야 팝업창 띄우기 작성
회원ID	test	이름	테스트
학교명	KAIST	학과명(학부명)	전자과1

⑦ 최종 선정 안내

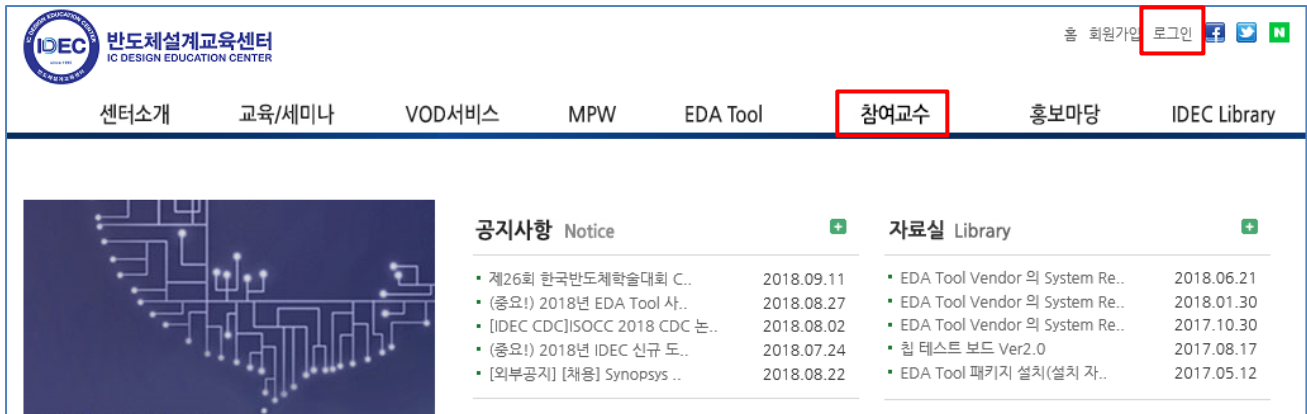
- 내부 평가 진행 후 최종 선정 안내 이메일 발송 예정

IDEC 반도체설계교육센터

13

2) 신규 참여교수

① www.idec.or.kr 로그인 -> 참여교수 클릭



IDEC 반도체설계교육센터
IC DESIGN EDUCATION CENTER

홈 회원가입 로그인

센터소개 교육/세미나 VOD서비스 MPW EDA Tool **참여교수** 홍보마당 IDEC Library

공지사항 Notice

- 제26회 한국반도체학술대회 C... 2018.09.11
- (중요!) 2018년 EDA Tool 사... 2018.08.27
- [IDEC CDC]ISOCC 2018 CDC 논... 2018.08.02
- (중요!) 2018년 IDEC 신규 도... 2018.07.24
- [외부공지] [채용] Synopsys .. 2018.08.22

자료실 Library

- EDA Tool Vendor 의 System Re... 2018.06.21
- EDA Tool Vendor 의 System Re... 2018.01.30
- EDA Tool Vendor 의 System Re... 2017.10.30
- 칩 테스트 보드 Ver2.0 2017.08.17
- EDA Tool 패키지 설치(설치 자... 2017.05.12

② 참여교수 신청 클릭 - 2021년 참여교수 신청 클릭



참여교수신청

홈 | 참여교수 | **참여교수신청**

"한국 반도체산업의 경쟁력"
IDEC에서 설계인력양성의 발판을 마련하겠습니다.

참여교수신청안내

- 참여교수신청**
- 성과 : 논문
- 성과 : 특허
- 성과 : IP

2021년 참여교수 신청			
신청기간	2021-01-19 ~ 2021-02-19	신규 참여교수 평가	2021-02-22 ~ 2021-02-26
활동기간	2021-03-01 ~ 2022-02-28	결과보고제출기간	2022-01-01 ~ 2022-01-31

신청중 ●

상세보기

- 페이지 하단

운영위원 활동(캠퍼스 참석)	3	참석 횟수
육성위원 활동	10	참석 횟수
기타	0	내부 검토 후 반영

이전으로 **참여신청**

③ 수행지침동의서 제출
- 온라인 제출


반도체설계교육센터
 IC DESIGN EDUCATION CENTER

[홈](#)
[로그아웃](#)
[마이페이지](#)
[f](#)
[t](#)
[n](#)

[센터소개](#)
[교육/세미나](#)
[VOD서비스](#)
[MPW](#)
[EDA Tool](#)
[참여교수](#)
[홍보마당](#)
[IDEC Library](#)

참여교수

참여교수신청안내

- **참여교수신청**
- 참여교수성과
 - 성과::논문
 - 성과::IP
 - 성과::특허

참여교수신청

홈 | 참여교수 | 참여교수신청

“한국 반도체산업의 경쟁력”
IDEC에서 설계인력양성의 발판을 마련하겠습니다.



○ **참여교수 수행 지침 동의서**

- 사업명 : 지능형반도체 전문인력양성 사업
- 사업기간 : 2019년 3월 1일 ~ 2020년 2월 29일
- 총괄 책임자 : 반도체설계교육센터 소장 박인철
- 참여교수 : KAIST 교수 테스트

■ 본 수행지침 동의서는 “반도체설계교육센터(이하 IDEC)” 참여교수 협약 체결을 대신한다.

■ 참여교수 선정 시 관련 법적 책임은 본인에게 있으므로, 아래 내용을 검토하여 승인하도록 한다.

제9조(개인 정보 사용 동의)
참여교수는 “참여교수 지원 신청서”의 내용을 실적보고 등 필요에 따라 관계 기관에 제공됨에 동의한다.

☐ 위의 모든 내용에 동의합니다.

확인

취소

④ 참여교수 신청서 작성

- 특성화 분야 작성 : 작성버튼을 클릭하면 등록 또는 수정이 가능

참여교수신청
홈 | 참여교수 | 참여교수신청

참여교수
참여교수신청안내
■ 참여교수신청
참여교수성과]

성과:논문
성과:IP
성과:특허

참여교수 신청서 작성

참여구분	☒ 참여교수	특성화분야	*특성화 분야 팝업창 띄우기 작성
회원ID	test1	이름	테스트1
학교명	KAIST	학과명(학부명)	전기및전자
email	00000000@kaist.ac.kr	홈페이지	www.idec.or.kr
전화번호	043-0000-0000	FAX	
학교주소	34141 우편번호 찾기 대전 유성구 대학로 291		

- 특성화 분야표에서 해당 분야 클릭

▼ 응용분야		Digital		Design methodology		Analog/RF				Embedded memory	MEMS	Software		분류되지 않은 기타
대분류	소분류	Programmable core	Special function block			Data Converters	Timing & High-Speed Interface	RF	Power	기타 IP		OS compiler	Embedded application SW	
Consumer	대형 Media(TV)													
	Handheld Multimedia													
	Display (LCD/OLED/POD/Display Driver S)													
Car/Robot	Car Infotainment (navi/audio/DAB)													
	Car chassis(brake/suspension/steering)													
	Robot/Security(호출장치 등)													
Communication	Robot													
	Level 2/3 switch													
	MODEM													
Wired	Access network													
	PAN													

- 특성화 자료 활용여부동의 체크 후 페이지 하단 확인 버튼 클릭

기본자료 활용 동의

참여교수 특성화 (Platform) 구축에 기본 자료로 활용 하는 것에 동의하십니까?

☒ 예, 동의 합니다.

개인정보 정책

참여교수 특성화 (Platform) 웹페이지에 기본정보(소속, 성명, 연락처, E-mail), 일반정보(연구분야)등 정보제공 에 동의하십니까?

☒ 예, 동의 합니다. ☐ 아니요, 동의하지 않습니다.

확인 **취소**

- 지도학생 기입 : 지도학생 입력 후, 실무 담당자를 선택한다.
- 금년도 참여계획 입력 : 참여교수 의무사항이며, 계획 건수를 입력한다.
- 이력서(국문) 제출 : 양식은 자유이며, 별도 파일로 첨부하여 제출한다. (신규 참여교수 선정평가시 활용)

* 지도학생이 없는 경우 삭제 버튼을 클릭 하세요

성명	교과과정	휴대폰	email	열추가
A: 검색	석사과정 v 학기 v	010-000-0000	00@kaist.ac.kr	삭제
D: 검색	박사과정 v 학기 v	010-000-0000	000@kasit.ac.kr	삭제

실무 담당자 ☐ 테스트1, ☒ A, ☐ D

활동분야

항목	건수	설명
IDEC사사논문	1 건	IDEC의 지원을 받아 발행된 논문에는 반드시 IDEC 사사문구를 기입해야 하며, 해당 실적은 참여교수 실적으로 카운트된다.
CDC평가참여	1 건	1년에 3회 개최되는 IDEC CDC 행사에 제출된 논문의 채택 여부 및 수상 여부를 결정하기 위해 온라인 또는 오프라인 평가를 진행 (담당자가 직접 요청)
IDEC강좌개설	1 건	본센터(KAIST)와 8개 캠퍼스에서 연간 170건 정도의 설계 및 Tool교육 등이 개설/진행되고 있으며, 이에 주도적으로 강의를 열 경우를 말한다.
교육자료제출 (VOD포함)	1 건	IDEC 강좌 진행시, 교육자료 활용에 동의해주시거나, 강의 녹화 및 활용에 동의해주시는 경우
뉴스레터기고	1 건	매달 1회 발행되는 IDEC 뉴스레터에 반도체 설계와 관련된 기술 동향 또는 연구 분야 학회 참가 후기, 반도체 인력 양성과 관련한 칼럼 등을 작성하여 제출 (원고 상시 접수)
JICAS제출	1 건	매년 4회 발행되는 IDEC 공식 국제 저널인 JICAS에 MPW 칩 설계 결과를 (또는 기타)를 논문으로 작성하여 제출 (논문 상시 접수)
IDEC Congress참여	1 건	참여대학의 주요실적에 대한 결과 발표 및 현안 논의가 이뤄지는 IDEC 주관 행사로, 참여교수는 본 행사에 2년에 1회 이상 참석 의무가 있다.

가입목적 ☒ MPW 참가 ☒ EDA Tool 사용 ☐ 기타

이력서(국문)

⑤ 신청 완료

- 신규참여교수는 제출할 전년도 성과가 없으므로 본 화면에서 신청 종료
- 수정사항이 있을 시 상단 오른쪽 마이페이지에서 수정 가능

참여교수

참여교수신청안내

- 참여교수신청
- 참여교수성과
- 성과논문
- 성과CIIP
- 성과특허

참여교수신청

홈 > 참여교수 > 참여교수신청

"한국 반도체산업의 경쟁력"

IDEC에서 선택의견약서의 반파은 마려하겡스니다

웹 페이지 메시지

참여교수 신청이 완료 되었습니다.
성과 제출 페이지로 이동하시겠습니까?

☐ 이 페이지에서 추가 메시지를 만들도록 허용하지 않음

확인

취소

■ 참여교수 신청이 완료되었습니다.

등록된 주소는 회원정보에 적용됩니다.



참여구분	참여교수		
회원ID	test1	이름	테스트1
학교명	KAIST	학과명(학부명)	전기및전자
email	00000000@kaist.ac.kr	홈페이지	www.idec.or.kr
전화번호	043-0000-0000	FAX	
학교주소	우편번호 : 34141 대전 유성구 대학로 291 ○ ○ ○ ○ ○ ○ ○ ○ ○ ○		

성과제출

홈으로

참여교수 신청내역

⑥ 최종 선정 안내

- 내부 평가 진행 후 최종 선정 안내 이메일 발송 예정

[참고] 참여교수 배점기준표

(2021 년 1 월 기준)

구분		대항목	소항목	배점기준
기존 참여 교수	1	MPW	칩제작(MPW)	DB제출 수 X 10점
			칩설계 활용 Know-how 공유	건수 X 5점
			CDC (Chip Design Contest)	패널전시: 5점 불참시 : 불참수 X (-10점)
	2	EDA Tool	EDA Tool 활용 Know-how 공유	건수 X 5점
	3	교육	IDEC강좌/세미나 개설	2점 / 1시간
			교육 VOD 제작 참여	건수 X 5점
	4	연구	논문 (게재된 논문 중 'IDEC 사사문구'가 명시된 논문)	국제학회 : A급-15점, B급-10점, C급-7점, D급-4점, E급-2점 저널 : A급-15점, B급-10점, C급-5점, D급 -2점
	5	참여	뉴스레터 기고	건당 20점/저자수
			JICAS 논문 투고	건수 X 10점
			JICAS 리뷰어 활동	건수 X 5점
			JICAS 편집위원 활동	10점
			JICAS Citation	건수 X 3점
			IDEC 행사 참여/대외협력/언론홍보	건수 X 10점
			설문응답	건수 X 2점
			평가 (CDC, MPW 선정평가 등)	온라인 : 5점, 현장 : 10점
			운영위원, 육성위원 활동	본센터회의: 5점/1회 캠퍼스회의: 3점/1회 육성위원회회의: 10점/1회
	6	기타	항목 외 참여 실적이 발생할 경우 회의를 통해 기여 정도를 결정하여 반영	
신규 참여 교수	1	금년도 참여계획	참여목적 및 이력서 등을 토대로 IDEC 운영위원 심사를 거쳐	
	2	이력서(국문)	승인여부 결정	

※ 학회 및 저널 등급표

구분	등급	내용
학술 대회	A	ISSCC / Symposium & VLSI circuit and Technology(SOVC) / CICC: DAC / ICCAD
	B	ASSCC / IEEE RFIC Symposium / ESSCIRC
	C	ISCAS / ASP-DAC / COOLCHIPS / BIOCAS / EMBC / HOTCHIPS
	D	기타 국제 학술대회
	E	국내 학술대회
저널	A	IEEE TCAS I / IEEE TCAS II/ IEEE JSSC / IEEE Transaction on Electron Devices/ IEEE Transaction On CAD / IEEE Transactions on Microwave Theory and Techniques (*또는 이에 준하는 저널)
	B	A등급외 관련분야 IEEE 저널 (단, IEEE Transactions on Consumer Electronics는 제외) / ACM / SCI / SCI-E
	C	기타 국제 저널
	D	국내 저널

9. 우수 참여교수 선정

1) 5년 이상 활동한 참여교수 중, 최근 1년 동안 참여활동이 우수한 교수를 선정하여 시상

2) 선정 방법

- ① 최종 산출된 실적 점수를 근거로 상위 점수자를 선정(3~5명 내외)
- ② 해당 실적 : IDEC 참여 실적, 논문실적(IDEC 사사문구가 들어간 논문만 해당)
- ③ 점수 산출 방법
 - IDEC 참여실적 점수와 논문실적 점수의 비율 = 2:1 적용
 - 위 비율 적용된 값의 총합계 산출
 - 필요조건 : 총 합계 170점 이상, IDEC 참여점수 100점 이상, 논문점수 2점 이상
 - 선정 제외 대상 : 전년도 수상자, 수상 대상자 중 불참자

④ 참여교수 운영위원 검토후 최종 선정

3) 시상

- ① 시기 : IDEC Congress 우수참여교수 시상 시
- ② 부상 : 상패 및 부상은 매년 상이함

2

MPW 참여 안내

1. MPW 참가 대상 및 설계 참여시 이행 사항

1) 개요

- ① MPW(Multi-Project Wafer)는 대학의 칩제작 지원 프로그램으로 국내 전문설계인력 양성을 위해 공정사의 공정 지원으로 운영.
- ② 창의적인 아이디어를 실제 칩으로 구현할 수 있는 기술 지원을 제공하여 실질적인 교육 및 연구 지원
- ③ Layout 과정까지 수행되던 교육 및 연구를 실제 chip의 제작, 시험, 응용까지 연계시킴으로써 설계능력을 갖춘 고급 인력 양성 가능
- ④ 1996년부터 시행하였으며, 매년 250여개의 칩제작 지원함.

2) 참가 대상

- ① IDEC 참여교수로 협약서 체결이 완료된 대학교의 연구실
- ② 참여교수는 매년 2월에 선정함. 추가는 3월 접수 가능(관련 : 참여교수 담당자)
- ③ 반드시 교육 및 비상업적 연구 목적으로만 제작 참여해야 한다.
- ④ 이외 목적으로 참여시는 참여교수 참여 박탈한다.

3) MPW 참가시 의무 이행 사항

[공통]

- ① Design Rule file 관리 의무
 - 설계를 위해 배포된 Design rule file은 NDA 작성한 연구실 담당자만 사용 가능
 - 해당 설계 외 사용 및 외부 유출이 되지 않도록 철저한 보안유지
 - 관리 소홀로 외부 유출이 될 경우 법적 책임이 주어져지며, IDEC 참여교수 활동 제한함.
 - 설계를 위해 배포된 Design rule file은 NDA 작성한 연구실의 담당자만 사용 가능
- ② 결과보고서 제출(칩제작 완료 후 2개월 이내 제출)
 - 영문 5쪽 이상으로 작성하여 제출(2015년 설계자부터 적용)
 - 결과보고서 내용은 선별하여 JICAS에 게재될 수 있음. 게재팀으로 선정 시 설계

자와 최종 내용에 대해 상의함.(희망공정 참여시 JICAS 참여의무를 가짐.)

③ 결과 발표 : IDEC Chip Design Contest 논문 제출 및 데모(패널) 전시

- 불참 시 패널티 적용(MPW 참여 제한)
- 횡수만큼 MPW 참가 신청비의 1.5배를 적용하며 2회 이상 미참여 시 해당 연구실은 MPW 참여가 제한됨.
- CDC 개최 학회 : KCS(1~2월 개최), IDEC Congress(6월 개최), ISOCC(10월 개최)

④ MPW 참여시 제출 및 미 작성된 내역을 해당 기간에 미 제출한 경우 이후 진행되는 MPW 신청이 불가함. 반드시 해당 내역을 모두 수행되어야 함.

[희망공정 지원팀 추가 내용]

① JICAS 게재 의무

- 제출 기한 : Fab out 후 1년 이내(상황에 따라 기간 연장 가능함.)
- 결과보고서 제출 내역 확인 후 제출을 요청할 예정
- 참여 의무 내역 별 제출 방법

구분	제출시기	제출 방법	내용
IP 보고서 작성	Tape out 전 기재	홈페이지 - MYIDEC- 희망공정- 해당회차	layout 사진과 10 줄 내외로 간단한 설명을 하는 글을 올려 주셔야 합니다.
칩설치확인서	칩수령 후 3 주내	칩배포 안내시 별도로 파일으로 발송 중	설치에 대한 내역서 작성하여 제출(1~2 쪽), 칩배포 안내 메일 참고
결과보고서	칩제작 완료 후 2 개월 내	홈페이지 - MYIDEC- 희망공정- 해당회차	양식은 별도로 배포하고 있음. 영문 5 쪽내외 작성
CDC	칩제작 완료 후 1 년내	ISOCC CDC, KCS CDC, IDEC Congress CDC 중 선택하여 참여	칩 수령시 참여해야 하는 CDC 목록을 확인 가능함. 제작 완료 후 대상자에게 참여 메일을 전송하고 있음.
JICAS	칩제작 완료 후 1 년내	IDEC 홈페이지	2018~2020 년 참여팀은 1chip 당 1 편 제출 의무 2021 년부터는 우수학회 제출시 대체 가능

- 위의 내역이 기간내 제출이 안된 경우 MPW 참여가 제한됩니다. 기한을 지며내 주지 않은 설계팀은
- 2021 년 희망공정팀부터 JICAS 참여 대체 학회(매년 학회 및 저널의 등급에 따라 대상이 변경될 수 있음.)

학회	저널
- ISSCC - CICC - Symposium on VLSI circuit(SOVC) - ASSCC - RFIC Symposium - ESSCIRC	JSSC, T-BioCAS, Transaction on Power Electronics TCAS I, T-MTT, TCASII, MWCL * 저널은 매년 조정될 수 있습니다.

2. 2022년 MPW 지원 내역 및 일정

1) 2022년 MPW 지원 내역

① 당해년도 지원 공정과 일정에 대한 결정 시기 : 2월 중

② 2022년 변경 내역

- MPW 참가비와 희망공정 지원 금액은 조정 예정임.
- 설계팀 선정시 논문 실적(사사문구 기재된 실적) 여부를 적용함.

③ 2022년 MPW 지원 공정 내역 : 정확한 지원 수와 지원 규모는 2월말에 공지 예정

- 지정공정 : 지원하는 공정을 결정하고 정해진 일정으로 일괄 진행
⇒ **2개 공정 최대 95chip 제작 지원**(*키파운드리(구)매그나칩) 180nm은 지원 여부 협의 예정)
- 희망공정 : 설계팀이 연구를 고려하여 제작을 희망하는 공정을 직접 선택하여 제작 참여하도록 지원하는 공정 => **2회 모집으로 최대 60chip 내외 지원**

지원 구분	회사	공정	공정내역	Size (mmx mm)	칩수 /1 회	모집 횟수	Package 사용 pin 수(Design)	Package type
지정 공정	삼성	28nm RFCMOS	CMOS RF 1-poly 8-metal	4x4	40	2	208pin	LQFP 208pin
	DB Hitek	180nm BCDMOS	CMOS 1-poly 4-metal TM	5x5	15	1	지원하지 않음.	
희망 공정	국내외 공정 (자유선택)	250nm ~28nm BCD/RF 등	MPW 지원 공정 외 TSMC 공정 등 희망하는 공정에 대해 제작 지원	자유 선택	60	2		
*키파운드리(구)매그나칩)의 제작 지원에 대해서는 재 협의 예정임.								

- Package 지원 : QFP type 으로 제작 지원 함.

④ 지원 공정 세부 내역 확인 방법(아래 창에서 참여 방법과 일정 확인 가능)

MPW / CDC

MPW참여안내

홈 | MPW / CDC | [MPW참여안내](#)

"한국 반도체산업의 경쟁력"

IDEC에서 설계인력양성의 발판을 마련하겠습니다.



■ MPW참여안내

MPW신청

희망공정신청

CDC소개

CDC신청

CDC영상

IP Library

Socket/Board

Package업체정보

테스트보드업체정보

● MPW(Multi-Project Wafer)

- 국내 대학(원)에서 시스템반도체 실무설계 능력을 가진 인력 양성을 위해 칩설계에서 제작까지 경험할 수 있도록 기회 제공
- 삼성전자, 메그나칩반도체, SK하이닉스, 동부하이텍, TowerJazz의 칩제작 지원
- Semiteq, Amkor 패키징 사업 지원
- 매년 10개 내외의 공정으로 공모전 진행, 300여개의 Chip 제작
- 참여 대상 : IDEC 참여교수/참여학생

● MPW Flow



2) 2022년 MPW 진행 일정

① 진행 일정

- 회사 표기 방법 변경 : "공정코드-년도모집순서" (예시) **삼성28nm 2022년 01회차 : S28-2201**
- 국내외 MPW 공정 추가 지원(DB Hitek 공정과 희망공정)은 정부과제 예산으로 지원됩니다. 예산 변경에 따라 지원 수는 조정될 수 있습니다.
- 아래 일정 및 지원 내역은 최종 확정 전으로 조정될 수 있습니다. (**2월 말 최종 공고 예정)

회차구분 (공정_회)	정규모집 (신청마감)	제작 칩수	DB 마감 (Tape-out)	DB 전달 (Fab-in)	Die-out	공정 사	공정
S28-2201	2022.03.11	40	2022.07.04	2022.07.25	2022.12.16	삼성	28nm
S28-2202	2021.05.20	40	2023.01.09	2023.01.30	2023.06.16		RF
D180-2201	2022.03.11	15	2022.07.11	2022.07.25	2022.11.11	DB Hitek	180nm BCD
HM-2201	2022.03.11	30	2022.05.01 ~ 08.31		2022.08.01~ 11.15	희망 공정	250nm ~ 28nm
HM-2202	2022.06.07	30	2022.09.01 ~ 12.31		2022.11.10~ 2023.02.28		BCD, RF 등

- 모집 : 정규모집이 미달시 추가모집은 선착순 마감 완료(** 신청접수 기간: 모집 마감 2주전부터 접수)
- 선정 결과 : 모집 마감 후 20일내 개별 통보(추가 모집시는 일정이 지연될 수 있음.)
- Package 제작 지원 공정 : Die out 이후 1개월 소요됨.
- 분할 모집 공정 : 삼성 28nm과 DB Hitek 180nm 공정 일부 면적은 참여 희망팀이 많을 경우 Half 면적으로 나눠 지원함.

3) MPW 지원 공정별 내역 정리

- 공정별 진행 절차

공정		NDA체결	설계 설명회	DB 제출 (IP소개서)	Fab out	결과보고서/CDC 참여	JICAS
삼성	28nm RFCMOS	설계팀-삼성 계약 (IDEC 취합)	선정 후 4주 이내 개최 (온라인 제공 필 수 구독)	1차) DB 제출 서 작성 (Web) 2차) 설계데이 터 제출 (DB-지정 된 Ftp)	IDEC에서 배포	(전체동일) 결과보고서 - 칩 제작 후 2개월 이내 제출 CDC - 칩 제작 완료일 기준 1년 이내 참여	우수팀에 제출 요청
DB Hitek	180nm BCDMOS	IDEC에 제출(web)					지정/희망 지원팀은 제출 의무 - 칩수령후 1년 이내
국내외 MPW 공정으로 설계팀이 제작을 희망하는 공정 (250nm ~ 65nm 공정 RF/ BCD 등)		설계자가 공정사와 직접 체결	간담회 개최 (설계자 간 설계 사례 발 표)	공정사에 직접 제출	IDEC 지 원분은 IDEC 수 령 후 배 포		

- 참가비(2021년 기준임. 2022년 지원액은 2월 공지시 조정될 예정임.)

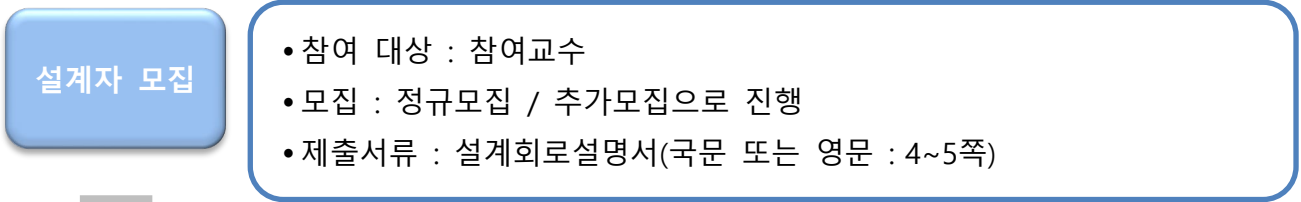
구분	공정		참가비(*2021년 기준임. 2022년 기준은 2월말 재 공지 예정)		참가신청	선정평가구분
지정 공정	삼성	28nm RFCMOS	250만원	IDEC에 납부	설계회로 설명서 (4쪽 내 외)	모집팀수 > 제작가능수
	DB Hitek	180nm BCDMOS	150만원			평가로 선정
희망 공정	국내외 MPW 공정으로 설 계팀이 희망하는 공정 (250nm~28nm 공정 RF/ BCD 등)		IDEC지원 금 (2020기준 70% 최대980만원 지원)	대학별 공정사 와 계약에 직접 납부(IDEC은 추 가 납부)		평가로 선정

3. MPW 참여 방법

1) 참여 대상 및 준비사항

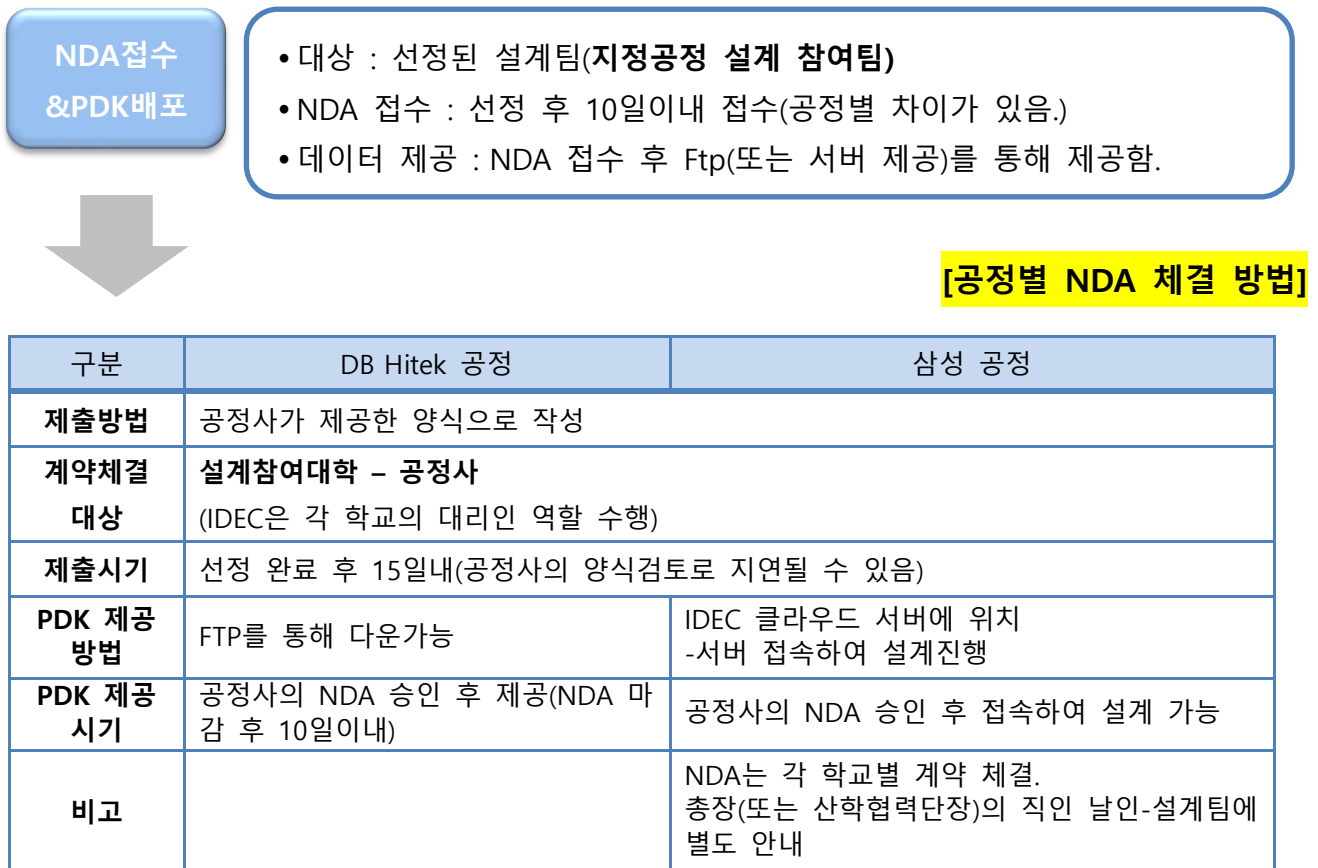
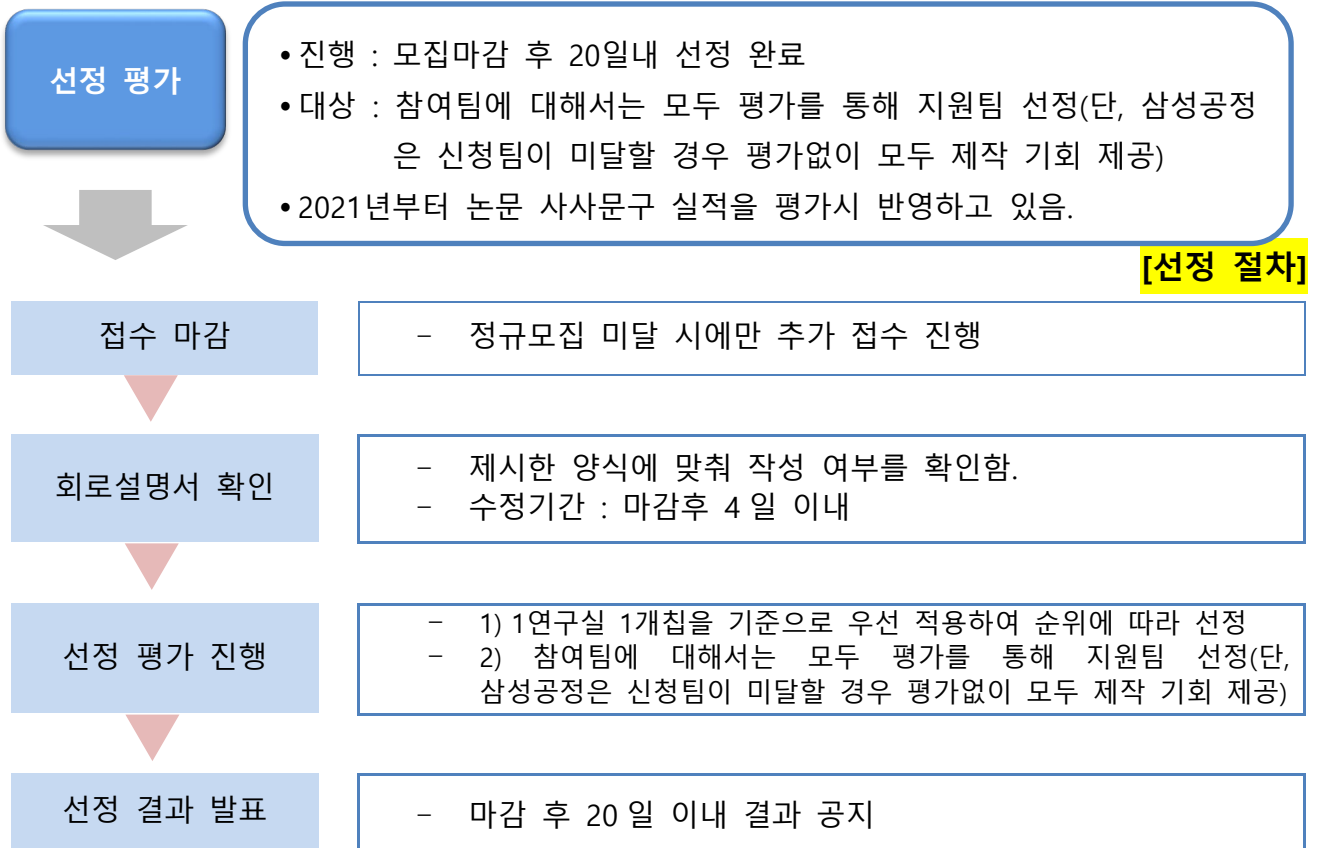
- ① 참여 가능 대상자 : IDEC 참여 대학 협약서 체결이 완료된 대학교의 연구실
- ② **설계회로설명서**(설계계획서로 사전 작성하여 신청 시 첨부해야 함.)
 - 공정사 제출 및 평가 자료로 활용(실 설계 내용과 동일해야 함.)
 - 국문 또는 영문으로 4쪽 이상으로 작성. (2016년부터 양식 변경함.)
 - **설계회로설명서 양식 및 작성요령**(*IDEC 홈페이지-MPW-MPW참여안내 다운로드)
- ③ 삼성 공정 설계 참여팀은 IDEC 클라우드 서버를 접속하여 설계가 가능함.
 - 서버 접속 : NDA 계약 체결자(지도교수와 실설계자 - 참여신청 설계명단)
 - IDEC 클라우드 서버 접속 방법 등 관련 안내 : 선정팀에게만 별도 안내함.

2) 진행 절차(Flow)



[모집별 운영 방법]

모집구분	정규모집	추가모집
모집팀수	제작 가능 칩 수의 100% 이내 모집	미달시 진행 (선착순 마감)
선정방법	삼성공정 : 모집팀수 > 제작 가능 수 =>의 경우 평가로 선정 이외 공정 : 모든 참여팀을 평가하여 제작 지원팀을 선정함.	
설계설명회	회차별 개최(선정 후 4 주 이내 개최) 또는 온라인 자료 제공	
NDA 체결	선정 안내 후 제출(지정공정 : IDEC 을 통한 일괄 체결, 희망공정 : 설계팀의 개별 체결)	
Design Kit(DK)배포	지정공정 NDA 제출 이후 IDEC 에서 일괄 배포(수령 방법은 채택 통보시 안내) · M/S 공정 및 DB Hitek 공정: ftp 를 통해 데이터 수령 · 삼성공정 : IDEC 클라우드 서버 접속으로만 사용 가능 희망공정 설계팀이 NDA 체결 후 직접 수령, NDA 체결 업체를 통해 제공받음.	
참가비 납부 (지정공정)	선정 안내 후 1 개월 이내 납부 완료	



설계설명회
개최

- 대상 : 지정공정)선정된 설계팀 중 NDA 제출팀 참여 가능
희망공정)설계팀 간담회 개최(참여 필수)
- 개최 : 지정공정은 선정 후 4주 이내 개최
(희망공정팀 간담회는 년2회 개최로 해당 기간과는 별도 개최)
- 참여의무 : 1개팀 1인 이상 참여(단, 해당년도 1회 이상 참석자는 제외)

참가비 수납
(지정공정)

- 수납 : 선정 발표 후 4주 이내
- 절차 : Web 납부 신청 -> 해당 서류 발급 -> 수납 확인
- 방법 : 신용카드 및 계산서(영수증) 발행, 원내계정대체
- 희망공정은 칩제작비 지원을 위해 개별 계약 진행(별도 안내)

[납부 방법]

처리방법	1)전자계산서 발행	2)카드결제	3)KAIST 원내 대체
처리 요청 확인	Web)관리자페이지-MPW-결재관리		
처리절차	채권생성->계산서발행 (요청 후 3~4일내 발행)	결제 확인->관련서류 발 급 ->승인처리	발행 서류 요청 ->발급-> 계정대체 서류 접수
발급 서류 (web에서 발급)	전자계산서 거래명세서 및 견적서 등	카드처리 영수증 거래명세서	칩제작 확인서 거래명세서 요청

참가비 지원
(희망공정)

- 지원 금액 확인 : IDEC 지원분 견적서를 받아 결재 진행(fab in 4주 전)
- 지원 절차 : 해당 설계팀에게 개별 연락하여 해당업체에 칩제작비 지원
- 지원시 참고 : 지원금액에 해당하는 칩은 IDEC에서 1차 수령 후 설계팀
에 전달

DB 접수
(지정공정)

- DB 제출 안내 : 제출일 4주전 공지
- DB 접수
: 1)Web-DB제출 검증(DB공정 제외) 2)Web-DB 제출서 작성 3)Ftp DB
업로드(삼성공정은 클라우드 서버)

- 팀별 Device Logo 및 Login account No. 지정
- DB 제출시 : IP개요 및 Layer 사진도 업로드 해야 제출 가능함.

DB 검토

- DB 검토 : 접수 후 2주~4주 내 검토하여 공정사 전달
- 검토 진행 : 담당 연구원(지정공정)
- 희망공정은 설계팀에게 개발 검증



- 매그나칩 공정 : web에서 사전 검증 후 지정된 ftp에 DB 제출
- DB Hitek 공정 : 제시된 ftp에 제출
- 삼성 공정 : 1~2주전부터 검토 작업 후 머지 진행
- 희망 공정 : 설계팀 내에서 자체 검증하여 제출

칩 배포

(지정공정)

- 칩제작 기간 : DB 전달 후 12주~22주 소요(공정별 제작기간이 상이함.)
- 배포 : 직접 수령이 원칙임. 특별한 경우 우편 배송 가능함.
- 배포기간 : 제작 완료 후 3주 이내 수령하게 함.
- 칩사진 : web에 업로드 후 안내

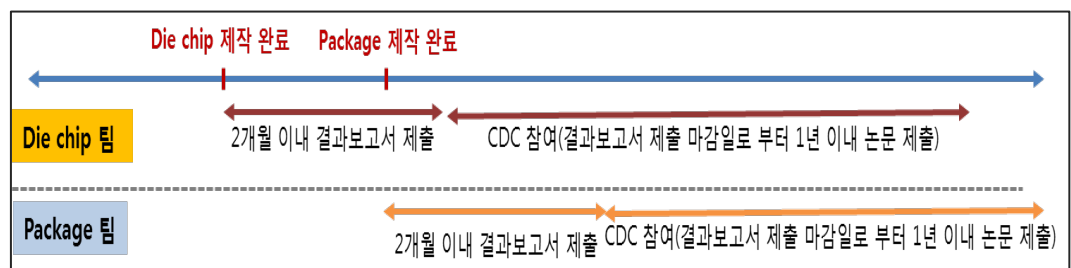


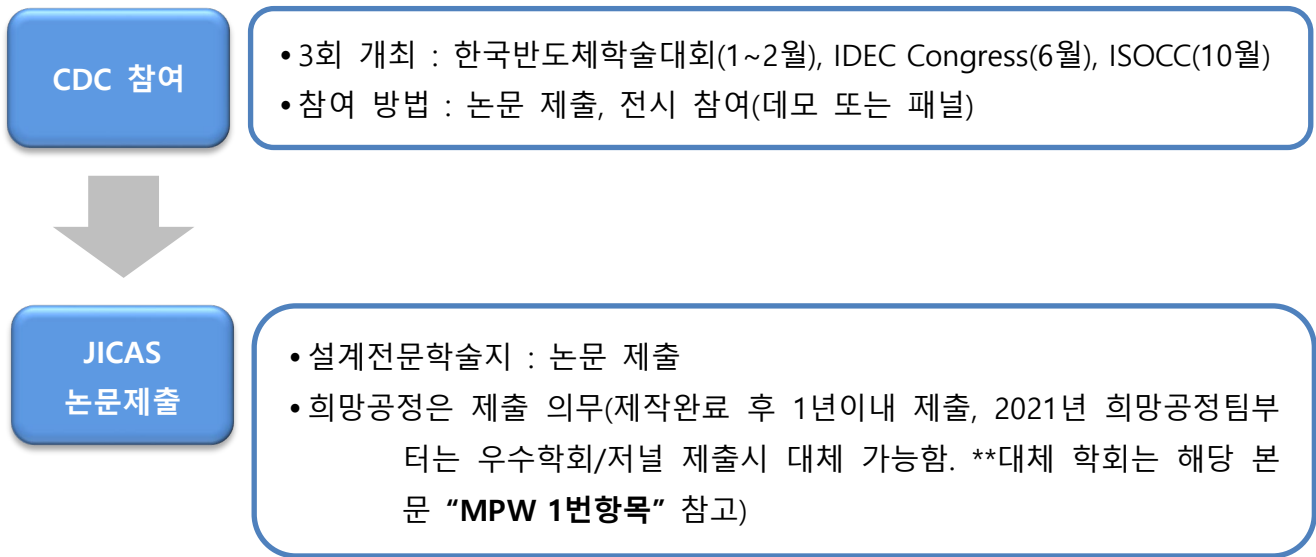
(희망공정)

- 칩제작 기간 : 공정별 차이가 있음.(6주~15주)
- 배포 : IDEC 지원분에 대한 칩은 IDEC에서 수령하여 설계자에게 배포.
- 제작 완료 후 1주 이내 수령하게 함.
- 수령 후 설계확인서 제출(3주 이내)

결과보고서
/NDA폐기확
인서 제출

- 제출 : 칩 제작완료 일로부터 2개월내
- 방법 : Web에서 제출
- 결과보고서: 영문 5쪽 이상으로 작성
- NDA 폐기확인서: 모든 설계팀 서명 필수(결과보고서 제출시 함께 제출)





4. 참여 방법(지정공정)

1) 모집 구분

- 모집 방법 : 정규 모집을 진행하고 미달인 경우 추가 모집을 진행한다. 추가모집은 선착순 마감(1개월 이내 모집 종료).
- 모집별 운영 방법

모집구분	정규모집	추가모집
모집팀수	제작 가능 칩 수의 100% 이내 모집	미달시 진행 (선착순 마감)
선정방법	삼성공정 : 모집팀수 > 제작 가능 수 =>의 경우 평가로 선정 이외 공정 : 모든 참여팀을 평가하여 제작 지원팀을 선정함.	
설계설명회	회차별 개최(선정 후 4 주 이내 개최)	
NDA 체결	선정 안내 후 제출(지정공정 : IDEC 을 통한 일괄 체결, 희망공정 : 설계팀의 개별 체결)	지정공정의 경우 선정후 제출 안내
Design Kit(DK)배포	지정공정) NDA 제출 이후 IDEC 에서 일괄 배포(수령 방법은 채택 통보시 안내) · M/S 공정 및 DB Hitek 공정: ftp 를 통해 데이터 수령 · 삼성공정 : IDEC 클라우드 서버 접속으로만 사용 가능 희망공정) 설계팀이 NDA 체결 후 직접 수령	
참가비 납부 (지정공정)	선정 안내 후 1 개월 이내 납부 완료	

2) 설계 참여팀 사전 준비 사항

- 설계회로설명서(설계계획서로 사전 작성하여 신청 시 첨부)
 - 설계 내용 확인 및 평가시 자료로 활용(실 설계 내용과 동일해야 함.)

- 내용 구성 : 설계회로설명, 기존회로와의 비교, 회로설계방법, Simulation, 설계정보, 칩 검증 방법, 설계면적에 대해 내용 기재
- **국문(또는 영문) 4~5 쪽으로 작성**(2016 년 MPW 부터 적용)
- **[회로설명서 양식 및 작성요령 파일 다운로드](#)**(*IDEC 홈페이지/MPW/참여안내)
- 삼성 공정 설계는 IDEC 클라우드 서버로 접속해서만 설계가 가능함.
- 접속 방법은 설계 참여자에게 별도 안내

3) 신청 확인

- 지도교수 ID - 마이 페이지에서 확인
- 접수 기간 내에만 수정/취소 가능
- 신청 기간 외는 수정/취소 요청해야 함.(취소기간에 따라 패널티 적용 범위가 다름.(참가비 항목 참조))

① 신청서 수정 방법

- 모집 기간 내 수정
 - 마이페이지에서 내역을 수정할 수 있음.
 - 예외)경쟁률이 높아 평가 진행되는 회차는 평가 준비 기간 내도 수정 가능함.
- 모집 기간 후 수정
 - 마이페이지 - 수정 - 메일로 전달 - 이후 수정 처리됨. (아래 그림 참조)

이메일 수정신청

회사	MS180-1502(정규모집)	공정명	매그나칩반도체/SK하이닉스 0.18μm
이름	박창근	학교명	승실대학교
회로제목	CMOS 기반의 선형 고주파 전력 증폭기		

수정내용(자세하게 기재해주세요)

제출/수정

뒤로가기

웹 페이지 메시지



(수정 가능 기한) 신청서 작성 세부 내용은 평가전일까지 가능합니다. 단, 설계회로설명서는 내용 변경시 DB 제출 마감일까지 재업로드 가능합니다.e-mail 수정 신청하세요.

확인

4) 설계팀 선정

① 채택확인

- 지도교수 ID - 마이 페이지에서 확인
- 선정 안내 : 마감 후 15일내 선정 안내함. (평가 진행 시 다소 선정이 지연될 수 있음.)
- 선정 방법 : 경쟁률이 높은 경우 아래의 기준으로 평가 진행하여 선정함.

마이페이지

IDEC 참여내역
홈 | 마이페이지 | IDEC 참여내역 | MPW신청내역

"한국 반도체산업의 경쟁력"
 IDEC에서 설계인력양성의 발판을 마련하겠습니다.

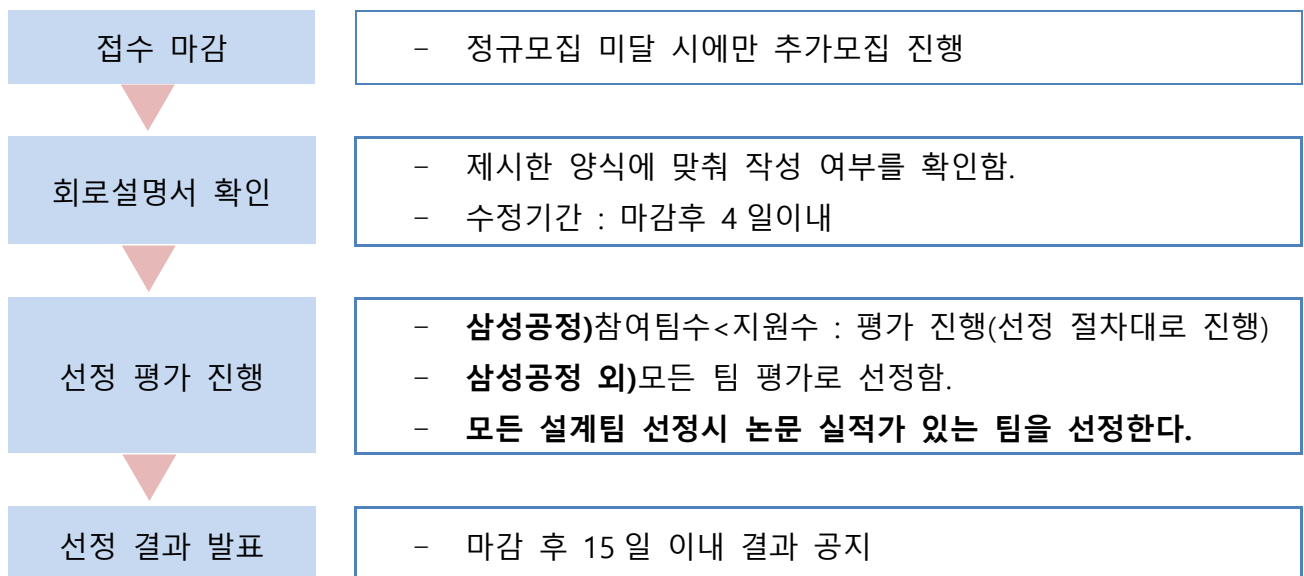
MPW신청내역

회사	공정	모집구분	신청일자	채택여부	공정상태						
MS180-1505회	매그나칩반도체/SK하이닉스 0.18μm	우선모집	2015-02-23	채택	힘제작 대기(2015.12.21)						
	<table border="1" style="width: 100%;"> <tr> <td>NDA제출</td> <td>DB제출</td> <td>결과보고제출</td> <td>CDC참여</td> </tr> <tr> <td>제출</td> <td>제출</td> <td>-</td> <td>-</td> </tr> </table>	NDA제출	DB제출	결과보고제출		CDC참여	제출	제출	-	-	
NDA제출	DB제출	결과보고제출	CDC참여								
제출	제출	-	-								



- 많은 설계팀이 참여가 가능하도록 효율적 설계 면적 활용에 배점을 추가하여 평가 진행.

② 설계팀 선정 : 논문실적 유무가 선정 결정의 첫번째 요건이 되며, 실적이 없을 경우 설계팀 선정이 어려움. 단, 임용 3년 이내 교수님은 평가 점수로 선정 여부를 결정하게 됨.



- 선정 평가 진행(**지정공정 - 삼성공정에 해당**)
 - 평가 : 모집수에 따라 평가 진행 여부 결정
- 참여팀수 >= 지원수 : 평가없이 전체 선정
- 참여팀수 < 지원수 : 평가를 통해 선정
 - 선정 절차

- 1연구실 1개칩을 기준으로 우선 적용하여 순위에 따라 선정
- 설계 면적 재조사를 통해 전체 면적 조정
- ①~② 적용으로 조정이 이뤄지지 않을 경우 평가 진행하여 순위에 따라 선정
 - 평가 진행 기준

★ **평가 자료** : 설계회로설명서(평가 시는 소속, 대학, 설계자명, 회로제목 삭제하여 수정)

★ **평가위원** : 공정 참여 지도 교수로 위촉

평가위원 참여 연구실에는 평가 가산점 부여

★ **평가 항목 및 배점 내역(100점)**(배점 조정 : 2015.2월 모집부터 적용)

- 1) 디자인의 우수성 30점 2) 회로설계방법 (단계별로 사용한 CAD Tool 기재 등) 15점
- 3) Chip수령 후 검증방법 15점 4) Design size(공간 활용도) 25점 5) 활용계획 5점
- 6) 평가위원들의 주관적 점수 10점

★ **선정 원칙**

경쟁률이 높을 경우 '1연구실 1개칩'을 기준으로 우선 적용하여 순위에 따라 선정

우선 선정 후 남은 면적에 대해서는 평가 결과에 따라 제작 기회 제공

*추가 가산점 : 면적을 1/2 또는 1/4로 조정한 경우

- **삼성공정 외 공정** 지정 및 희망공정 지원 매뉴얼에서 확인 가능

5) NDA(Non-disclosure agreement) 접수 및 설계데이터(PDK) 배포(지정공정에 해당됨.)

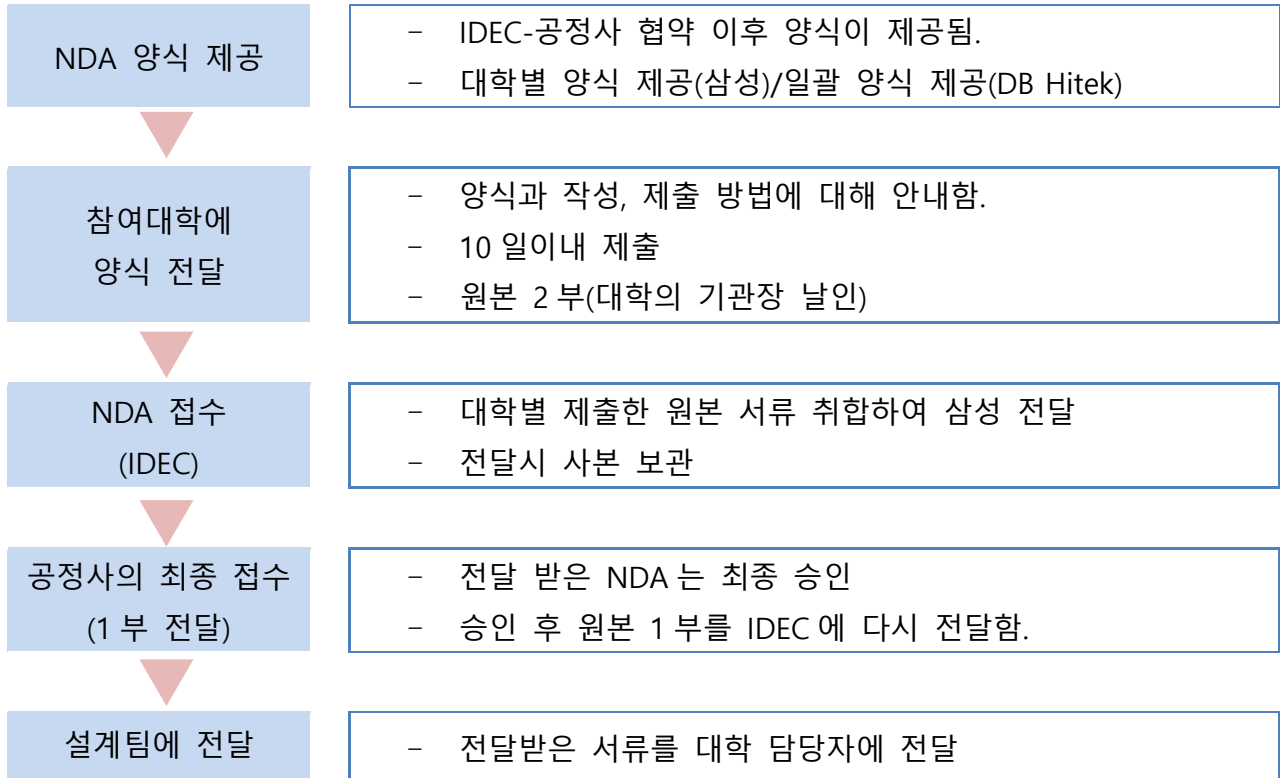
- ① NDA(Non-disclosure agreement) : 설계시 필요한 PDK(Process Design Kit) 제공을 위해 설계자-공정사(대리: IDEC)간 보안유지협약서
- ② NDA 체결 대상 : MPW 선정 팀
- ③ 공정별 NDA 접수 및 PDK 전달 방법(2018년부터 적용)

구분	DB Hitek 공정	삼성 공정
제출방법	공정사가 제공한 양식으로 작성	
계약체결 대상	설계참여대학 - 공정사 (IDEC은 각 학교의 대리인 역할 수행)	
제출시기	선정 완료 후 15일내(공정사의 양식검토로 지연될 수 있음)	
PDK 제공 방법	FTP를 통해 다운가능	IDEC 클라우드 서버에 위치 -서버 접속하여 설계진행
PDK 제공 시기	공정사의 NDA 승인 후 제공 (NDA 마감 후 10일 이내)	공정사의 NDA 승인 후 접속하여 설계 가능
비고		NDA는 각 학교별 계약 체결. 총장(또는 산학협력단장)의 직인 날인-설계팀에 별도 안내

- MPW 설계 참여자는 반드시 제출해야 하며, 삼성공정의 경우 설계자의 추가 시는 별도의 NDA의 별첨(비밀유지서약서)을 제출해야 함.

④ 공정별 NDA 접수 방법

- 삼성/DB Hitek 공정
 - 날인된 원본 우편 접수 - 실사를 통해 PDK 제공



- NDA 체결
 - MPW 참여 대학 - 삼성과 체결(IDEC 은 대리인 역할)
 - 각 대학의 대표는 기관장으로 한다.(총장 또는 산학협력단장)
 - 체결은 대학에서 설계 참여시 진행됨.
- 체결 방법
 - 대학에서 날인한 원본 2 부를 IDEC 에서 접수
 - 접수한 서류를 삼성에 전달
 - 공정사에서 최종 직인 날인하여 대학별 1 부를 IDEC 에 발송해 줌
 - 발송된 내역은 각 대학 담당자에게 발송해 준다.
 - 참고) IDEC 에서는 해당 서류의 사본을 보관한다.
- 특이 사항

- 대학별 1 년에 1 회 체결로 동 대학의 모든 설계팀은 참여 가능. 단, 이외 설계팀은 약식의 NDA 제출을 해야 함.(공정사의 사정에 따라 달라질 수 있음.)
- 계약자는 '참여학교- 공정사'이며, 학교별 NDA 승인은 총장(또는 산학협력 단장)이 해야 함.

⑤ 설계데이터(PDK) 배포 방법 및 시기

- 체결 대상 : PDK는 설계에 필요한 데이터로 NDA 체결한 설계팀에게만 전달됨.
- 공정별 배포 방법과 시기에 차이가 있음.
- 해당 데이터는 IDEC에서 보유하며, 설계팀의 보안도 IDEC에서 관리 감독한다.
- DB Hitek 공정
 - Web 에서 접수 - Ftp 로 PDK 제공
 - Ftp 접속 방법 및 배포
- NDA 접수 마감일 이후 마이페이지-NDA 제출(web)에서 접속 Host 및 ID/PW 를 확인할 수 있도록 설정됨.
- ID/PW 는 매일 변경되며, 데이터 수령시 마이페이지에서 재 확인 필요
 - 배포 기간 : NDA 접수 마감일 후 ~ DB 제출 전까지
 - PDK 폐기 : 칩 테스트 완료 후 폐기. 또는, 설계 중 제작 포기시(폐기시 반드시 NDA 폐기확인서 제출되어야 함.)

이용약관

4. 설계된 칩은 IDEC IP로 등록되며, 칩제작 완료 후 2개월 이내 결과보고서 및 설계데이터 폐기확인서를 제출해야 함.
 5. Chip Design Contest에 논문제출과 전시(패널 or 데모)에 참여해야 함.
 6. 칩제작이 지연될 경우 환불규정에 따라 금액을 해당 연구실 앞으로 제공됨.
 7. (MPW 외 추가 지원 공정 설계팀의 경우)JICAS에 설계방법 중심의 내용으로 기고해야 함.
 위의 사항이 이행되지 않을 경우 해당 연구실은 관련 책임을 지어야하며, 후후 MPW 참여에 제한을 받을 수 있음.

수령 **NDA제출** **결제하기/내역확인** **취소신청** **목록으로**

NDA 제출

NDA 작성

- [NDA 인쇄]를 클릭하여 작성 => 출력하기 => 서명 후 스캔하여 제출 **NDA인쇄**
- 삼성 65nm 공정은 선정 안내시 배포한 별도의 양식으로 제출해야 함

NDA 제출

- 출력한 NDA 문서를 서명 후 제출(파일형식:PDF)
- 삼성 65nm 공정은 해당 사항 없음(별도의 양식을 원본으로 제출해야 함)

설계자료(PDK)다운로드(FTP 정보)

- PDK 종류 : 매그나칩반도체/SK하이닉스 0.18um (Full-Custom)
- 접속HOST : [redacted]
- FTP ID : [redacted]
- PTP Password : [redacted]
- 해당 접속정보는 매일 자정(0시) 자동 변경 됩니다. 착오 없으시길 바랍니다.
- 접속오류 관련 문의 : 문관식 연구원 042-350-4427 mks@idec.or.kr

**Ftp 접속 및 ID/PW 확인
=> NDA 접수 마감일 이후
해당 코드를 확인하여 접속**

파일정보

등록된 파일 : 20180717_061916_0000.pdf **찾아보기...**

제출/수령 **뒤로가기**

(그림 1)DB 공정 PDK 수령 방법(web)

- 삼성 공정
 - IDEC 클라우드 서버에 접속하여 사용 가능함.
 - 접속 및 사용 방법은 설계팀별로 안내함.
- 공통) 설계자 추가 시
 - 이후 설계자의 추가 참여자가 있을 경우 NDA 를 추가 제출해야 함.
 - - web 에서 수정 신청 비고란에 추가자 이름 기재하여 수정 신청함.
 - - 수정 신청 접수 후 처리 방법을 회신 받으면 NDA 를 추가 제출하면 됨.
 - 단, 수정 신청하여 설계자는 설계지도교수의 학생으로 web 에 등록되어 있어야 함.(등록방법 : 설계지도교수 – 참여교수란에서 학생 추가 가능)
- NDA Design Kit 보안 유지 관련 공지
 - 주기적인 공지를 통해 보안에 대해 인식을 강화시킨다.

IDEC 의 MPW 참가를 통해 전달받은 Design Kit 일체는 NDA 를 통해서 법적인 구속력을 가지며, 관리 소홀로 데이터 유출 시 개인은 물론 소속된 참여교수에도 자격 박탈 등 강력한 규제가 가해질 수 있습니다. 뿐만 아니라 해당 공정사의 이의 제기 시 민,형사상 책임을 물을 수 있습니다.

MPW 참여자 분들은 Design Kit 및 관련 자료의 관리를 철저히 하시어 불이익을 당하는 일이 없도록 거듭 당부 드립니다.

NDA 체결 후 수령한 Design Kit 일체는 NDA 상에 기재된 폐기 날짜 안에 반드시 폐기하여 주시고 폐기확인서를 제출하여 제 3 자에 의한 공개 및 유출이 일어나지 않도록 주의 바랍니다.

6) 설계설명회 개최(지정공정)

- ① 개최 시기 : 회차별 정규모집 선정 완료 후 1개월 이내 개최
- ② 참여 대상
 - MPW 선정팀으로 NDA 제출한 팀 설계자(해당 회차의 설명회 참석해야 함.)
 - NDA 제출시 서명한 설계자만 참여 가능함.
 - 해당 설계 참여자 1인 이상 반드시 참석해야 함. 단, 같은해 동일공정에 대해 여러 회차 참여시 해당 공정 첫 회만 참석해도 됨.
- ③ 내용 : 공정 설명 및 설계시 유의사항 등
- ④ 자료 배포
 - 설계자로 NDA 제출팀에만 제공
 - DB Hitek 공정: 교재 제작하여 제공
 - 삼성공정: 보안관계상 교재 제작을 하지 않음. 자료는 서버에서 직접 확인 가능

7) 참가비 납부

① 납부 금액

- 선정 안내 시 공지되며, 마이 페이지에서도 확인 가능함.
- (사전 확인) login시 'MPW 참여 안내-공정 내역'에서 확인 가능.

② 참가비 납부 기준

- 참가비 납부 기간 : 선정 완료 후 1개월 이내 납부

③ 참가비 납부 방법

- 납부 방법 : 각 처리방법은 아래 내용 참고
 - 계산서 발행을 통한 이체
 - 카드 결제
 - 계정대체 : KAIST 는 해당 방법으로만 납부 가능함..
- 납부 신청 :
 - 마이페이지->MPW 신청내역->결제하기/내역확인
 - 반드시 위의 절차에 따라 납부 처리해야 향후 납부 내역을 마이 페이지에 확인 가능함.
 - 관련서류 발급경로 : 결제하기/내역확인 -> 요청서류
- 참고 사항 :
 - 분할 납부가 가능함. 단 2 회로 제한함.
 - IDEC 에서 발행되는 계산서에는 세금이 부과되지 않음. (비과세 기관)

④ 결제 요청 작성 방법

본 공모전은 IDEC에서 수행하는 '차세대반도체인력양성 성과활용사업'의 일환으로 진행되고 있습니다. MPW에 설계 참여할 경우 아래의 사항에 대해 준수함을 동의합니다. ☒ 동의

- 1. 설계를 위해 배포되는 설계 데이터에 대한 철저한 보안 관리. 위반시 법적 책임이 가해짐.
- 2. IDEC에서 제공한 설계기준에 맞춰 설계 진행함. 설계팀은 설계설명회에 반드시 참석해야 함.
- 3. DB 제출 마감일 준수. 마감일 위반시 칩 제작 및 칩 제작비 환불(이환)이 되지 않음.
- 4. 설계된 칩은 IDEC IP로 등록되며, 칩제작 완료 후 2개월 이내 결과보고서 및 설계데이터 폐기확인서가 제출해야 함.
- 5. Chip Design Contest 논문제출, 전시(패널 or 데모)를 통한 결과 발표 의무가 있음.
- 6. 칩제작 지연일 경우 환불규정에 따라 금액을 해당 연구실 앞으로 적립됨. 위의 사항의 불이행시 추후 MPW 참여에 제한을 받을 수 있습니다.

수정 NDA제출 **결제하기/내역확인** DB제출 결과보고서제출 목록으로

MPW 결제

MPW 결제금액

565-1501회 삼성전자 65nm

공정가격	비고	최종 결제금액
4mmx4mm : 765만원 (Die chip 기준) - 옵션 선택 : Package +30만원 Library사용 무료	2개이상 참여시 할인적용50% (Die chip 기준 할인)	2,800,000원

현재까지 결제내역

신용카드 결제일 경우 결제종류 (신용카드)를 클릭하시면 영수증을 확인할 수 있습니다.

결제금액	적립금사용	결제종류	등록일	결제상태	결제일	요청서류
2,800,000원	0원	이체/입금	2015-11-18	입금대기		

결제완료 금액 : 0원

결제 하기

분할하여 결제하실 경우 결제금액을 수정하여 결제하시기 바랍니다.

총 결제금액	남은 결제 금액	현재 적립금액	적립금 사용금액	결제금액
2,800,000원	2,800,000원	1,880,000 원	0원	2800000원

카드결제 계좌이체/입금 KAIST입내 뒤도가기

결제 방법을 선택하여 내역 기재

거래명세서 등 필요 요청 서류 다운

(MPW 참가비 납부 신청 방법)

계좌이체/입금 계산서/영수증 발행시

565-1501회 삼성전자 65nm

총 결제 금액	남은 결제 금액	적립금 사용	결제금액
2,800,000 원	2,800,000 원	0 원	2,800,000 원

영수증/계산서 발급여부

☒계산서 ☐영수증 ☐필요없음

기련명: 계산서 수신자: 성명:

대표자명: 이메일: 이메일:

사업자번호: 전화번호:

사업자등록증사본: [찾아보기](#)

발행요청일: 발행요청금액: 2800000원

영구/영수: ☐영구 ☐영수 품목:

필요서류요청: ☐견적서 ☐거래명세서 ☐사업자등록증사본, 통장사본 [기타사항은 비교란에 입력해주세요](#)

비고:

[결제신청완료](#) 취소

KAIST원내 결제 KAIST내 처리 방법시

565-1501회 삼성전자 65nm

총 결제 금액	남은 결제 금액	적립금 사용	결제금액
2,800,000 원	2,800,000 원	0 원	2,800,000 원

필요서류요청: ☐견적서 ☐거래명세서 ☐사업자등록증사본, 통장사본 [기타사항은 비교란에 입력해주세요](#)

비고:

결제 안내

- KAIST의 경우 ERP시스템을 통해 계정대체 처리해야 함 (IDEC은 KAIST소속기관으로 KAIST 법인명의로 계산서를 발행할 수 없음)
- 계정대체한 서류는 담당자에게 e-mail로 발송하여 입금확을 확인할 수 있음
- 처리를 위해 추가로 필요한 내역이 있는 경우 '비고'란에 기재해 주시면 발송해 드립니다

KAIST내부인 참가비 납부방법

IDEC ERP - KAIST내 처리 방법 가이드

[결제신청완료](#) 취소하기

MPW 신용카드결제 신용카드 결제시

565-1501회 삼성전자 65nm

총 결제 금액	남은 결제 금액	적립금 사용	결제금액
2,800,000 원	2,800,000 원	0 원	2,800,000 원

필요서류요청: ☐견적서 ☐거래명세서 ☐사업자등록증사본, 통장사본

수신자 성명: 이메일: 전화번호:

[카드결제하기](#) [뒤로가기](#)

위의 결제시 적립금 사용을 희망할 경우 '적립금'란에 해당 금액을 기재해 주시고 나머지 금액은 '결제금액'란에 기재

(MPW 참가비 납부 신청 방법(신청 방법별 선택))

⑤ 적립금 관리 및 사용 방법

- 설계팀 적립금 확인 방법 : 마이페이지 - 적립금내역(Web)

마이페이지

회원수령

비밀번호변경

IDEC 참여내역

교육신청내역

VOD신청내역

WG참여내역

MPW신청내역

EDATool신청내역

CDC/공모전신청내역

적립금내역

MPW평가

CDC/공모전평가

주문/배송 내역확인

IDEC 참여내역

준 : 마이페이지 | IDEC 참여내역 | 적립금내역

“한국 반도체산업의 경쟁력”
IDEC에서 설계인력양성의 발판을 마련하겠습니다.

적립금 내역

총 적립금액 : 0 원

번호	적립 및 차감 내용
적립금 내역이 없습니다.	

(설계팀이 적립금 확인 창)

⑥ 설계 취소시 참가비 환급 조건

- 설계 포기시 패널티 적용
 - 취소 기간별에 따라 납부 금액을 차등으로 환급
- 정규선정 후 ~1 개월 : 80% 환불
- 선정 1 개월 후 ~ DB 마감일 1 개월 전 : 50% 환불
- DB 마감 1 개월 미만시 : 환불 없음.
- 환급금(적립금) 사용 방법

- IDEC 본센터에서 유료 서비스 프로그램에 비용처리 가능(MPW, EDA tool, 교육)

⑦ MPW 참가비 환불 조건

- 참가비 환불 조건(2011년부터 적용)
 - 칩제작 일정이 지연될 경우 아래와 같이 적용하여 환불
 - 납부한 전체 금액에 대해 적용함.
- 지연 기간별 환불 비율

제작지연기간 (month : M/week:w)	1M 이하	1M+2w	2M	2M+2w	3M	3M 이상
환불(납부금액의%)	적용되지 않음.	5%	10%	15%	20%	25%

⑧ 참가비 할인

- 논문할인 : 아래 할인 조건에 해당하는 학회(또는 저널) 게재 논문이 있는 경우
 - 할인 대상 : MPW 설계 내용이 포함된 논문(저널)으로 'IDEC 에서 MPW(또는 칩설계) 지원 받음'이라는 사사 문구가 반드시 있어야 함.
 - 적용 학회 : 2016 년 MPW 부터 적용 기준 변경
- 할인 대상 학회(저널)는 주요 학회를 단일 등급으로 하여 15% 할인 적용

할인율	학회	저널
15% (Die chip 가격에만 적용)	- ISSCC - Symposium&VLSI circuit and Technology(SOVC) - CICC - DAC - ICCAD - ASSCC - IEEE RFIC Symposium - ESSCIRC	IEEE 저널 (IEEE Transactions on Consumer Electronics 는 제외)

- 논문할인 적용(2018 년 적용)
 - 참여교수 평가시 논문 제출 실적을 확인하고 할인 적용함.(15%할인)
 - 할인 쿠폰은 설계팀이 참가비 납부시 선택하여 자동 할인되도록 함.
 - 단, 2018 년까지는 기존의 방법과 함께 진행할 예정임.
 - 논문 할인혜택 신청서 양식(*홈페이지-MPW-참여안내에서 다운로드)
 - 제출 방법 : 신청서 양식에 제출 항목이 있음.
 - 추가 할인 혜택(삼성공정에 한함.) : 1개 연구실에서 2개이상 참여시 2개 이후 참여에 50% 할인

- 할인 대상 : 참여율이 미달일 경우 1 개 연구실에서 2 개 이상 참여시 2 개 이후의 설계에 할인 MPW 설계 적용(정규모집 마감 후 확인 가능함.)
- 대상 확인 : 선정 안내 후 마이페이지에서 확인(금액은 할인 금액으로 자동 적용)
 - 할인 범위
- 2 개 이후 설계 참가비 50% 할인. 단, 논문 할인과 중복 할인되지 않음.
 - iPDK 활용 설계에 대한 할인 : IDEC에서 개발한 iPDK활용에 대한 금액 할인(할인 신청 방법)
 - 할인 대상
- IDEC 에서 개발한 iPDK 활용에 대한 금액 할인(할인 신청 방법 ???)
- 대상 확인 : 선정 안내 후 마이페이지에서 확인(금액은 할인 금액으로 자동 적용)
 - 할인 범위
- 설계 참가비 50% 할인. 단, 논문 할인과 중복 할인되지 않음.
- 할인은 Die chip 에 해당되는 금액만 적용됨.

8) DB 접수(지정공정)

① DB 제출 절차

- 1)제출서 작성(web) -> DB 제출 ftp ID/PW 확인 가능 =>2)DB 제출 : ftp 업로드

② 절차 1 : DB 제출서 작성

- 마이페이지 -> IDEC 참여내역 -> 해당 공정 -> 하단 "DB 제출" 클릭하고 작성
- 설계회로설명서와 설계 내용이 상이한 경우 : 최종 설계 내용에 맞게 작성해서 재 제출 요청
- 재제출 방법 : 수정 신청(내용 : 설계회로설명서 변경요청) -> 메일로 전송 -> 내용 수정 처리
- IP 개요 : 반드시 50~100자 이내로 기재
- 해당 제출서 작성 후 DB 제출 ftp ID/PW 확인 가능

③ 절차 2 : DB 제출 방법

- 접수 기간 : 마감일로부터 20일전부터 접수(공정별 별도 안내함.)
- 제출 Ftp IP : 143.248.230.161
- ID/PW : web에서 DB 제출서 및 IP 등록신청서 작성시 확인
- DB 제출시 확인 사항
 - PW 는 telnet 접속 후 변경

- PW 변경한 경우 DB 제출 후 재 접속하여 정상적인 제출 확인 필요
- DB 미제출 경우 납부한 칩제작비 환불 불가함.
- DRC 재 검토 시 비용 추가 : DB 검토 오류가 있을 경우 2 회부터는 ₩50,000(/회)
- DB 재검토 의뢰서=> 오류가 많아 검토가 지속되면 칩제작 일정이 지연될 수 있어 적용된 패널티 임.(*양식은 DB 제출 안내문을 통해 전달됨.)

9) DB 검토(사전 검증)

- ① 공정별 담당 연구원이 검토는 진행
- ② DB 검토 기간 : 2~4주(공정과 접수 사정에 따라 기한이 조정될 수 있다.)
- ③ 공정별 담당 연구원

삼성 28nm	삼성28nm(Analog) / DB Hitek 180nm
선혜승 책임	조인신 책임

10) 칩 배포

- ① 칩제작 기간
 - 공정별 12~22주 소요됨
 - 제작 기한에 2~3주 전부터 완료일 확인(공정사)
 - 제작이 지연될 경우 설계팀에 사유와 제작 예정 일정 공지
- ② 칩 배포 절차
 - : IDEC 칩도착 ->설계팀에 안내 ->수령 신청서(web, 설계팀) ->방문하여 수령
- ③ 칩배포 기간 : 제작 완료일 ~ 3주 이내
- ④ 칩사진 제공
 - 칩사진 -> web에서 받을 수 있도록 업로드
 - Web에서 다운 가능(마이페이지 - 신청자 정보(아래 그림 참조))

신청자정보

- 신청 취소는 MPW 담당자에게 문의하시기 바랍니다.
- 칩 사진 다운로드 : S65_1501_01_GILHK.jpg

- ⑤ 칩 배포
 - 칩 수령은 직접 수령을 원칙으로 함.(분실 및 파손 우려)

- 칩 수령 전 반드시 수령 신청서를 web에서 작성하고 방문해야 하며, 수령 당사자에게만 배포한다.

마이페이지
회원수정
비밀번호변경
IDEC 참여내역↓
교육신청내역
VOD신청내역
WG참여내역
MPW신청내역
EDATool신청내역
CDC신청내역
JICAS논문투고내역
적립금내역
WG평가
MPW평가
CDC평가

“한국 반도체산업의 경쟁력”
IDEC에서 설계인력양성의 발판을 마련하겠습니다.

● **MPW신청내역**

회사	공정	모집구분	신청일자	채택여부	공정상태
S65-1601회	삼성전자 65nm	정규모집	2016-02-01	채택	DB마감일 변경 (06.27->08.01), Die chip 완료일 (2017.01.09->02.13)
	NDA제출	DB제출	칩 수령	결과보고제출	
	해당없음				
S65-1503회	삼성전자 65nm	우선모집	2015-04-20	채택	제작중
	NDA제출	DB제출	칩 수령	결과보고제출	
	해당없음	제출			
S65-1501회	삼성전자 65nm	정규모집	2015-03-25	채택	제작완료
	NDA제출	DB제출	칩 수령	결과보고제출	
	해당없음	제출	2015-12-14		

(설계팀의 칩수령 신청서 작성 페이지)

● **CDC 참여 일정 등록 및 칩 수령 일정 등록**

■ **먼저 MPW 참여 회사를 선택해주세요**

MPW 참여 회사 선택	S65-1501 정규모집(회로제목:)		
참여예정 CDC선택 1지망	☐ 2016 IDEC SoC Congress(ISC)(논문제출:2016-04-11 ~) ☒ ISOCC 2016 Chip Design Contest(CDC) (논문제출:2016-06-27 ~) ☐ 제24회 한국반도체학술대회 Chip Design Contest(CDC)(논문제출:2016-10-17 ~)		
참여예정 CDC선택 2지망	☒ 2016 IDEC SoC Congress(ISC)(논문제출:2016-04-11 ~) ☐ ISOCC 2016 Chip Design Contest(CDC) (논문제출:2016-06-27 ~) ☐ 제24회 한국반도체학술대회 Chip Design Contest(CDC)(논문제출:2016-10-17 ~)		

칩 수령 희망일		칩 수령인	
설계자와의 관계		디바이스 로고	
연락처		이메일	

등록하기

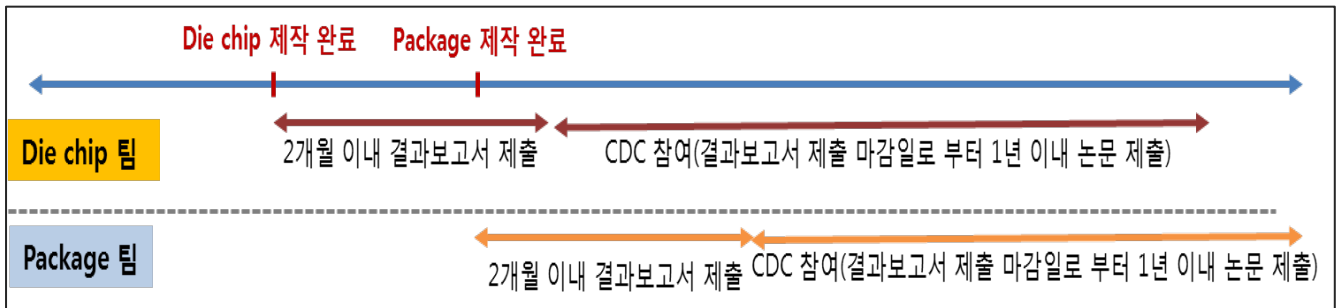
홈으로..

(설계팀 CDC 참여 확인 내역 기재 창)

11) 결과보고서 제출

- ① MPW 설계팀은 칩제작 완료 후 2개월이내 제출 의무를 가진다. (2015년 MPW 설계팀부터 적용)
- ② 접수
 - 칩제작 완료 후 2개월이내 제출

- 결과보고서 미제출 시 해당 연구실은 MPW 신청이 불가함.
- ③ 내용 : 설계회로설명서의 내용을 바탕으로 설계 결과를 포함하여 작성
- ④ 활용
 - MPW 지원 공정사에 보고서로 제출
 - 우수 내용을 선별하여 JICAS에 게재할 예정입니다. 단, 게재팀으로 선정시 설계자와 최종 내용에 대해 상의한 후 게재한다.
- ⑤ 제출 기한
 - 칩제작이 완료된 후 2개월 이내 제출해야 함.
 - 해당 기간 내 미제출한 경우 이후 MPW 참가 신청이 되지 않음.
 - ※참고 : 결과보고서 및 CDC 참여 기한



- ⑥ 작성 방법
 - 영문 5쪽 이상으로 작성하여 제출(2015년 설계자부터 적용, 공정지원사에 제출)
 - 결과보고서 내용은 선별하여 JICAS에 게재될 수 있음. 게재팀으로 선정시 설계자와 최종 내용에 대해 상의함.(JICAS 페이지 바로가기)
 - 참가 신청시 제출한 '설계회로설명서' 내용을 바탕으로 기재해야 함.
- ⑦ 작성 양식 : 칩배포 안내시 전달됨.

12) 관련서류 발급 방법

- ① 참가확인서
 - 설계자 개인 ID 로그인 -> MPW 참여실적 -> 참가확인서 발급 가능
- ② 방문확인서
 - 설계자 개인 ID 로그인 -> MPW -> 방문확인서 발급 요청

13) MPW 업무 담당 및 관계자 내역

- ① MPW 담당

- 지정 희망 공정/소켓구매 : 이의숙 책임(yslee@idec.or.kr, 042-350-4428)

② MPW 설계에 필요한 기술 문의 (DB 제출 관련)

: 문의 내용은 공정별 담당자에게 e-mail 로 보내주시면 회신드립니다.

공정	삼성 28nm	삼성 28nm(Analog)/DB Hitek 180nm
연구원	선혜승 책임	조인신 책임
메일주소	smkcow@idec.or.kr	ischo@idec.or.kr

- ③ CDC 개최 담당 : 이의숙 책임(yslee@idec.or.kr, 042-350-4428)

- ④ JICAS / 참여교수 담당 : 이경옥 주임(kyungoklee@idec.or.kr 042-350-8538)

14) MPW 관련 물품 판매 소켓/보드 등 판매

- ① 소켓 및 보드 등 MPW 관련 판매
- ② MPW 설계공모전을 통해 제작된 칩의 test를 위해 공정별 IC socket&Board 판매
IDEC MPW를 통해 칩 제작하는 설계팀에게만 판매한다.
- ③ 판매 절차 :구매 신청서 접수 ->입금 -> 우편 발송
- ④ 물품 내역

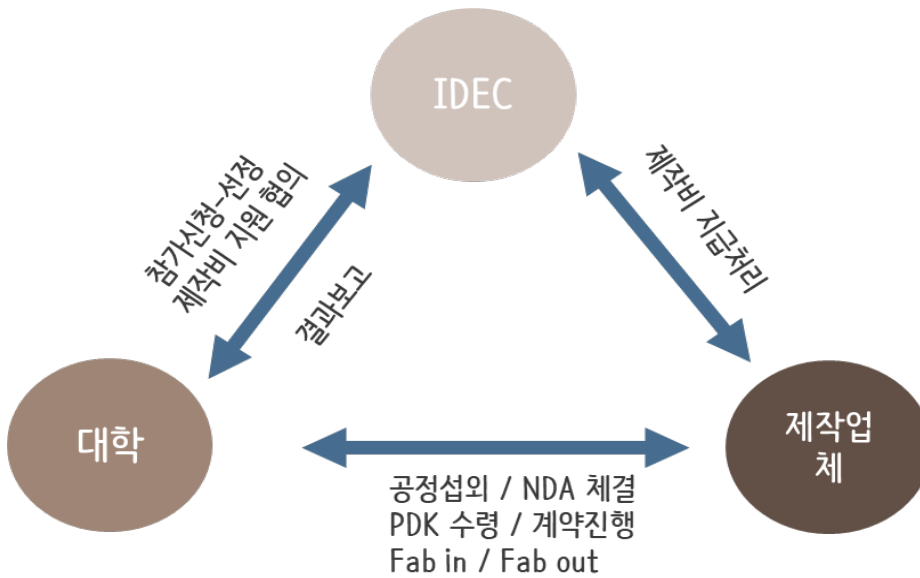
품목	사용 가능 환경 (IDEC MPW 를 통해 제작된 칩 적용)	가격(원)
Soket 208pin(LQFP) (FPQ-208-0.5-10)	삼성 65nm & 28nm	110,000
Board 208pin (LQFP/LQFP 208pin)	삼성 65nm & 28nm	22,000
Gel-Pak	IDEC MPW 설계팀 중 Bare chip 수령을 위한 케이스임.	13,200

5. 참여방법(희망공정)

1) 국내외 MPW 공정 지원 프로그램 운영(2018년부터 시작)

- ① 배경 및 목적
 - 최근 에너지 효율을 증대하기 위한 Green IT, 웨어러블 등 IoT를 위한 집적화된 시스템 개발의 중요성이 부각되고 있어 파워부문(BCDMOS)과 초고주파(RFCMOS)의 제작 기회 확대 필요
 - 해당분야의 전문설계인력양성으로 국내 기술력 향상 도모
- ② 재원 : 지능형반도체 전문인력양성사업에 편성

2) 지원 체계



3) 참가시 조건 (희망공정)

- ① 설계계획서 제출(평가 대상)
- ② 대학의 연구와 교육을 위한 칩설계(산업체 과제 연계된 설계 참여는 제한함.)

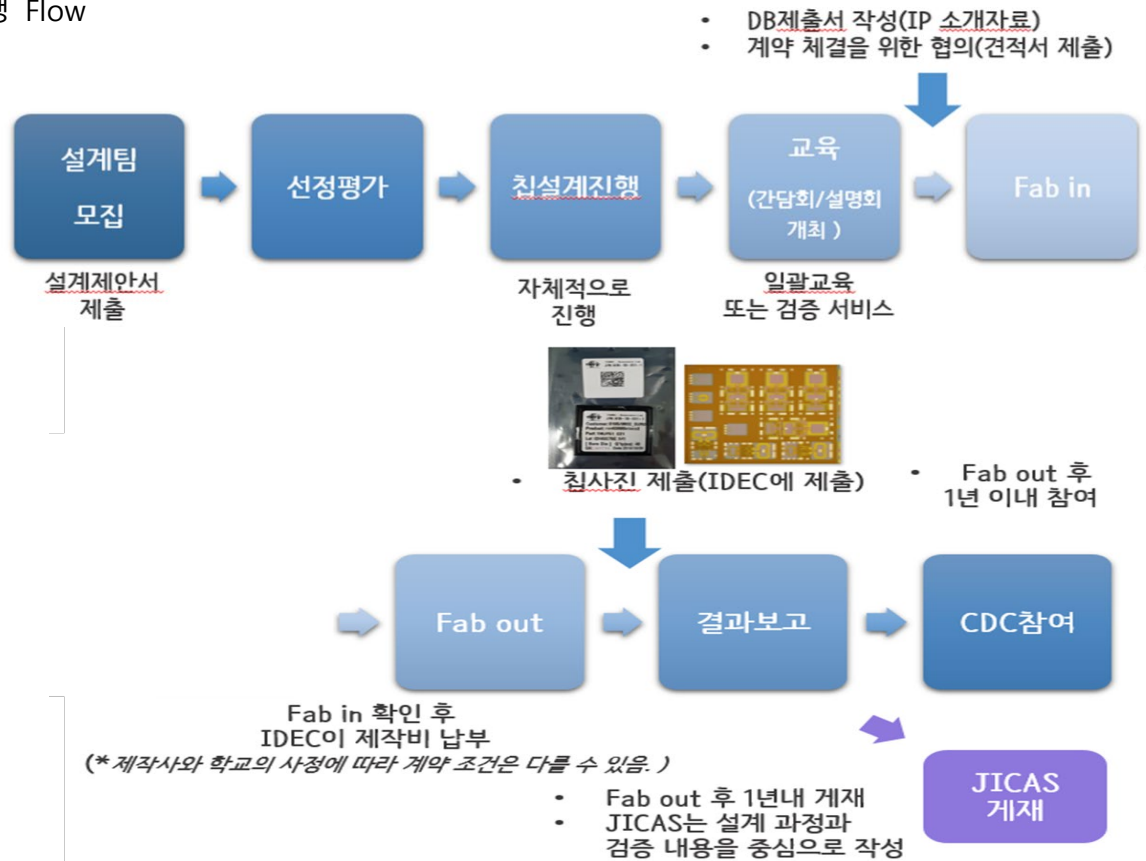
구분	설계팀 희망공정(개별지원)
지원 내용	설계팀의 제작을 계획하는 공정에 대해 지원
지원 공정	설계자 희망 공정(TSMC, IBM 등)
제작 지원 : Fab in 기준일	2022년 05월~2023년 1월 10일 까지 Fab in하는 공정
지원 규모	2022년 지원액은 예산 책정 완료 후 별도 공지 예정 (참고 : 2021년 기준 - 제작비의 70%(최대 980만원)내 지원)
선정 기준	설계 내용(아이디어), 면적활용, 활용 계획 등(기존 MPW 신청서 양식 사용)
기술 지원	설계팀이 운영, 필요시 IDEC 개설 교육 참여 설계 팀 간담회 및 세미나를 통해 설계자간 교류
지원 방법	설계에 필요한 모든 절차는 연구실에서 진행. IDEC 지원금은 제작업체에 직접 납부 처리할 수 있도록 설계팀에서 협조가 필요함.
지원 금액	설계별 제작 공정의 최종 견적서를 확인하고 지원 금액 통보

③ 설계팀 수행 의무 사항

- 논문 사사 문구에 "IDEC 지원" 임을 표기
- IP 내용 소개(Fab in 전 자료 제출)

- 기존 MPW 참여 의무 이행 : 결과보고서 제출(2개월 이내), CDC 참여(1년 이내)
- JICAS 게재 의무(칩 수령 후 1년 이내 게재)
- 설계 참여 인력 내용 공유(인력양성사업으로 실적 관리 필요한 항목임)

4) 진행 Flow



5) 진행 절차의 상세 내용

① 설계자 모집

- 지원 대상
: IDEC 참여 대학 협약서 체결이 완료된 대학교의 연구실(IDEC 참여교수)
- 모집 구분
 - 모집 방법 : 정규 모집을 진행하고 미달인 경우 추가 모집함.
 - 모집별 운영 방법

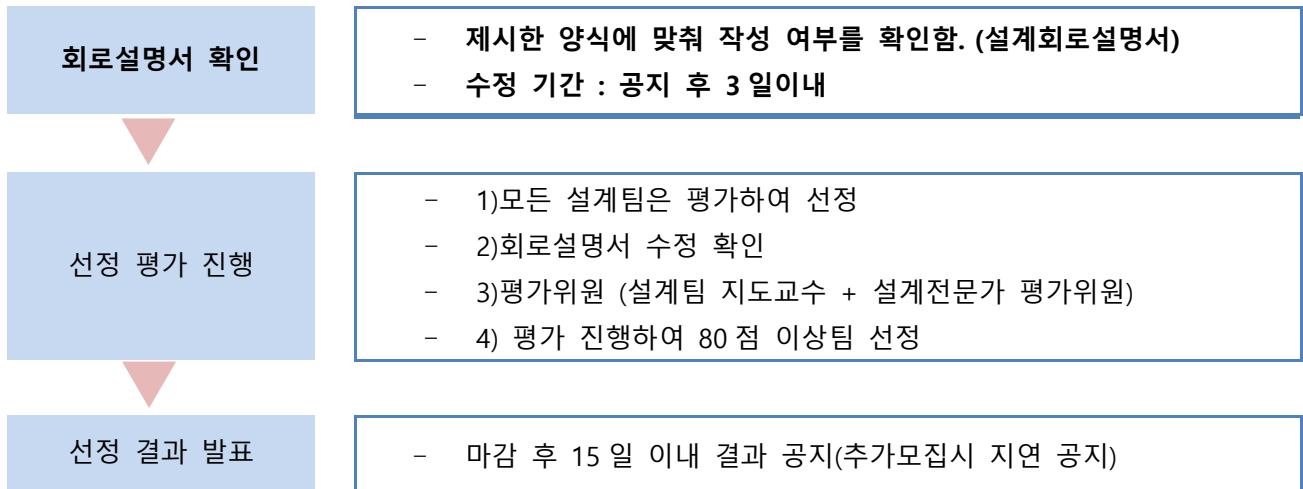
구분	설계팀 희망공정(개별지원)
지원내용	설계팀의 제작을 계획하는 공정에 대해 지원
지원 정	설계자 희망 공정(TSMC, IBM 등)
제작지원: Fab in 기준일	2022년 05월~2023년 1월 10일 까지 Fab in되는 공정
지원규모	2020년 지원액은 예산 확정 후 책정하여 안내할 예정임.(2월 예정) * 참고 : 2021년 기준 - 제작비의 70%(최대 980만원)내 지원
기술지원	설계 팀 간담회 및 세미나를 통해 설계자간 교류
지원방법	설계에 필요한 모든 절차는 연구실에서 진행. IDEC 지원금은 제작업체에 직접 납부 처리 *상세한 내용은 설계모집 공고시 매뉴얼과 함께 안내

② 설계 참여 희망팀 사전 준비 사항

- 설계회로설명서(설계계획서로 사전 작성하여 신청 시 첨부)
- 설계 내용 확인 및 평가시 자료로 활용(실 설계 내용과 동일해야 함.)
- 내용 구성
: 설계회로설명, 기존회로와의 비교, 회로설계방법, Simulation, 설계정보, 칩 검증 방법에 대해 내용에 포함
- 국문(또는 영문) 4~5쪽으로 작성
- 설계회로설명서 양식 및 작성요령(*홈페이지-MPW-참여안내에서 다운로드)

- ③ 설계팀 선정 : 논문실적 유무가 선정 결정의 첫번째 요건이 되며, 실적이 없을 경우 설계팀 선정이 어려움. 단, 임용 3년 이내 교수님은 평가 점수로 선정 여부를 결정하게 됨.

- 선정 절차



- 회로설계설명서 확인

- 해당 양식에 맞춰 작성이 되었는지 확인
- 양식 오류 시 : 수정하여 제출 안내. 제출은 마감 후 4 일 이내 해야 함.
- 설계회로설명서는 평가 진행시 평가자료로 사용함.

- 선정 평가 진행

- 평가 : 참여수가 미달일 경우라도 평가하여 선정
- 평가 진행 기준

★ **평가 자료** : 설계회로설명서(평가 시는 소속, 대학, 설계자명, 회로제목 삭제하여 수정)

★ **평가위원** : 공정 참여 지도 교수로 위촉

평가위원 참여 연구실에는 평가 가산점 부여

★ **평가 항목 및 배점 내역(100점)**(배점 조정 : 2015.2월 모집부터 적용)

- | | |
|----------------------|--|
| 1) 디자인의 우수성 30점 | 2) 회로설계방법 (단계별로 사용한 CAD Tool 기재 등) 15점 |
| 3) Chip수령 후 검증방법 15점 | 4) Design size(공간 활용도) 20점 |
| 5) 활용계획 10점 | |
| 6) 평가위원들의 주관적 점수 10점 | |

★ **선정 원칙**

- 80점 이상 : 우수팀으로 발표평가없이 선정 완료
- 80점 미만 : 탈락

★ **발표평가 (~2021년까지 유효, 2022년부터는 80점 이상인팀만 선정)**

- 선정팀 중 80점 미만인 팀 대상
- Fab in 전 설계 진행 내용에 대해 별도 발표평가하여 최종 선정 결과를 확정함.

- 선정 결과 발표
 - 평가 점수 취합시 참고 사항 :평가위원 평가 경우 가산점 책정함.
 - 설계팀 최종 선정 결과 안내
 - 참고)설계팀 채택 확인 : 설계팀의 마이페이지에서 확인 가능(그림 참조)

마이페이지

회원수정
비밀번호변경
IDEC 참여내역
교육신청내역
VOD신청내역
WG참여내역
■ MPW신청내역

IDEC 참여내역

홈 | 마이페이지 | IDEC 참여내역 | MPW신청내역

“한국 반도체산업의 경쟁력”
IDEC에서 설계인력양성의 발판을 마련하겠습니다.

○ MPW신청내역

회차	공정	모집구분	신청일자	채택여부	공정상태
MS180-1505회	매그나칩반도체/SK하이닉스 0.18 μ m	우선모집	2015-02-23	채택	실제작 대기(2015.12.21)
	NDA제출	DB제출	결과보고제출	CDC참여	
	제출	제출			

(그림 2)설계팀 설계 참여 진행 내역 확인 창

- 참여팀 내역 변경 (변경 시기)
 - 평가 진행 전)설계자가 마이페이지에서 직접 수정이 가능함.
 - 평가 기간 이후)설계자가 수정 내역을 '수정 신청'란에 기재하여 신청해야 함. : 접수된 내역은 MPW 담당자가 수정하고 회신 메일을 발송함.
 - 설계회로설명서 수정시 : 평가를 통해 선정된 내용이므로 임의 변경은 불가. 꼭 변경이 되어야할 경우 수정된 설계회로설명서를 접수받아 확인절차가 필요함.
 - Fab in 연기사 필요시에 따라 패널티가 적용될 수 있음.(예 - 지원 불가 또는 향후 1 년이내 지원 대상 제외)
- ④ NDA(Non-disclosure agreement) 체결 및 설계데이터(PDK) 배포
- 희망공정의 경우 설계팀이 업체와 NDA를 체결하여 PDK 직접 수령
- ⑤ 간담회(또는 설계설명회) 개최
- 개최
 - 다양한 공정을 진행하고 있고 설명회 대신 간담회 개최(년 1~2 회)
 - 설계팀은 참여 의무가 있음.
 - 개최 내용
 - 설계팀의 설계 내용 보고 및 과정 발표 (설계 참여팀 전체)
 - 설계 완료팀은 설계 내용과 오류시 대처 방법 등 설계 노하우에 대해 공유

⑥ 제작비 지원

- 지원 조건
 - 2022 년 지원분은 미정임.(2 월중 안내 예정)
 - 연구실별 년간 지원 횟수는 예산 상황에 따라 제한될 수 있음.
 - 지원 절차는 선정팀에게 개별적으로 공지하여 진행하도록 함.
- 참가비 지원 절차 : 모집 공고시 매뉴얼을 통해 안내 예정임.

⑦ DB 제출서 접수

- DB 제출서 작성
 - DB 제출서 작성(web) : IP 보고서 기재가 함께 이뤄져야 함.
 - Fab in 후 7 일 이내 작성 완료
 - 작성 절차
- 마이페이지 -> IDEC 참여내역 -> 해당 공정 -> 하단 "DB 제출" 클릭하고 작성
 - 설계회로설명서와 설계 내용이 상이한 경우
- 최종 설계 내용에 맞게 작성해서 재 제출 요청
- 재제출 방법 :

: 수정 신청(내용 : 설계회로설명서 변경요청) -> 메일로 전송 -> 평가 결과에 따라 선정되었기에 해당 내용 재검토하여 선정 결과를 안내함.

 - IP 개요 : 반드시 10 줄 이상 기재. 상세한 설명 필요

[※ IDEC에서 제작된 MPW 설계칩에 대한 'IDEC IP'로 등록(2013년부터 실시)]

- **내용:** 칩설계인력양성의 일환으로 진행되는 칩제작 사업(MPW)에 대한 IP 내역을 DB 로 구축(정부부처 요청)
- **IP 등록대상 :** IDEC MPW 참여팀
- **관리방법 :** IDEC 내에서 IP 내역을 DB 로 구축하여 관리, IP 에 대한 권리는 설계자에게 있음.

⑧ 칩 배포

- 칩제작 기간 및 수령
 - Fab in : 설계팀이 계약이 종료되면 해당일에 DB 를 넘김
 - Fab out : 일반적으로 2~4 개월 칩제작 기간이 소요
 - 칩 수령 : KAIST 가 계약 조건에 따라 칩을 수령. 칩 수령 사진 보관
 - 칩 배포 : 칩 수령 사진과 함께 설계팀에서 배송 정보를 전달. 설계팀에 발송
- 회차의 칩이 모두 나온 경우 CDC 참여 일정 확인

- CDC 참여 일정을 수령시 web 에서 확인해야 함.

CDC 참여 일정 등록 및 칩 수령 일정 등록

- 먼저 MPW 참여 회차를 선택해주세요

MPW 참여 회차 선택	S65-1501 정규모집(회로제목:)
참여예정 CDC선택 1지망	☐ 2016 IDEC SoC Congress(ISC)(논문제출:2016-04-11 ~) ☒ ISOCC 2016 Chip Design Contest(CDC) (논문제출:2016-06-27 ~) ☐ 제24회 한국반도체학술대회 Chip Design Contest(CDC)(논문제출:2016-10-17 ~)
참여예정 CDC선택 2지망	☒ 2016 IDEC SoC Congress(ISC)(논문제출:2016-04-11 ~) ☐ ISOCC 2016 Chip Design Contest(CDC) (논문제출:2016-06-27 ~) ☐ 제24회 한국반도체학술대회 Chip Design Contest(CDC)(논문제출:2016-10-17 ~)

칩 수령 희망일		칩 수령인	
설계자와의 관계		디바이스 로고	
연락처		이메일	

등록하기
홈으로..

(그림)설계팀 CDC 참여 확인 내역 기재 창

⑨ 결과보고서 제출

- MPW 설계팀은 칩제작 완료 후 2 개월이내 제출 의무를 가진다.
- 칩제작 완료 후 2 개월이내 제출
- 결과보고서 미제출 시 해당 연구실은 MPW 신청이 불가함.
- 내용
 - 설계회로설명서의 내용을 바탕으로 설계 결과를 포함하여 작성
- 결과보고서 제출 기한 및 작성 방법
 - 제출 기한
 - 칩제작이 완료된 후 2개월 이내 제출해야 함.
 - 해당 기간 내 미제출한 경우 이후 MPW 참가 신청이 되지 않음.
 - ※참고 : 결과보고서 및 CDC 참여 기한
 - 작성 방법
 - 영문 5쪽 이상으로 작성하여 제출
 - 참가 신청시 제출한 '설계회로설명서' 내용을 바탕으로 기재해야 함.
- 결과보고서 제출
 - 접수 내역 확인 : 관리자페이지 - MPW - MPW 신청자(전체) - 결과보고
 - 접수 완료 조건 : 작성 양식과 영문 여부, 이전 설계와 내용이 동일한지를 확인하여 결정

- 부적합한 경우 : 보류 선택. 보완이 필요한 사항에 대해 상세하게 기재하여 안내함.

⑩ CDC 참여, JICAS 논문 제출

- CDC 참여
 - 칩제작 완료 후 1 년 이내 CDC 에 참여
- JICAS 제출
 - 칩제작 완료 후 1 년 이내 제출 의무
 - 2021 년 희망공정팀부터 JICAS 참여 대체 학회(매년 학회 및 저널의 등급에 따라 대상이 변경될 수 있음.)

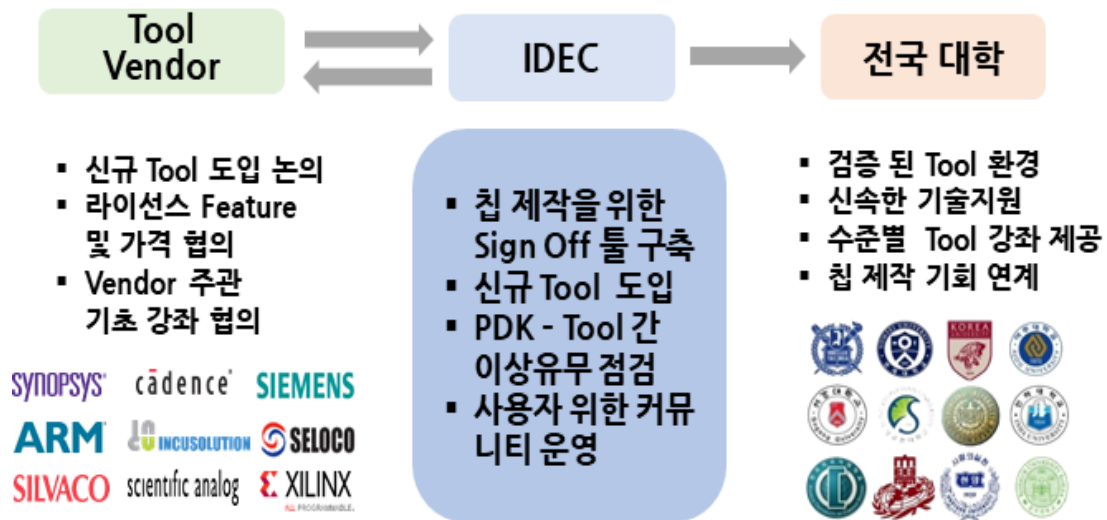
학회	저널
- ISSCC - CICC	JSSC, T-BioCAS, Transaction on Power Electronics
- Symposium on VLSI circuit(SOVC)	TCAS I, T-MTT, TCASII, MWCL
- ASSCC - RFIC Symposium - ESSCIRC	* 저널은 매년 조정될 수 있습니다.

3

EDA Tool 사용 안내

1. 개요 및 지원현황

- 1) EDA(Electronic Design Automation, 전자설계자동화) Tool 이란?
: 집적 회로부터 인쇄 회로 기판(PCBs)에 이르기까지 전자 시스템 설계 및 생산을 위한 Tool
- 2) 지원 흐름도



- 3) 지원대상 : IDEC 참여교수
- 4) 사용범위 : 대학의 학생 교육과 비상업적 연구 목적으로만 사용
참고) 필독! EDA Tool 사용범위 (63쪽 참고)
- 5) Tool 지원 Vendor사



6) EDA Tool 지원 종류 및 기능

(2022년 기준)

No.	Vendor	EDA Tool	Function
1	Aldec	Active-HDL	• FPGA Design
2	Cadence	Virtuoso	• Schematic Layout Design
3		Spectre	• Circuit SPICE Simulation
4		Xcelium	• Functional Verification
5		Innovus	• Digital Implementation
6		Assura	• Physical Verification
7		QRCX	• Physical Layout Parastic Extraction
8		AMS	• Mixed Signal Simulation
9		MMSIM	• Multi-Mode Simulation
10	CSITEK	CSiEDA	• Circuit and PCB Design
11	Intel	Quartus	• FPGA Design
12	Siemens EDA	Calibre	• Physical Verification
13		Pyxis	• Schematic Layout Design
14		AMS	• Circuit SPICE Simulation
15		Questa	• Functional Verification
16	Scientific	XMODEL	• Mixed Signal Simulation
17	Analog	MODELZEN	• SPICE/Spectre Netlist
18	Seloco	MyCAD	• Custom Design(Schematic, Simulation, Layout) Solution
19	Silvaco	SmartSpice	• Circuit SPICE Simulation
20		Expert	• Physical Layout Design
21	Synopsys	IC Compiler	• Auto Place and Route
22		Custom Designer	• Custom Design (Schematic, Simulation, Layout) Solution
23		CustomSim	• AMS Design & Simulation Solution
24		Hspice	• Circuit SPICE Simulation
25		StarRC	• Physical Layout Parasitic Extraction
26		VCS	• Functional Verification
27		Design Compiler	• RTL Synthesis
28		DFT Compiler	• Design For Test (DFT)

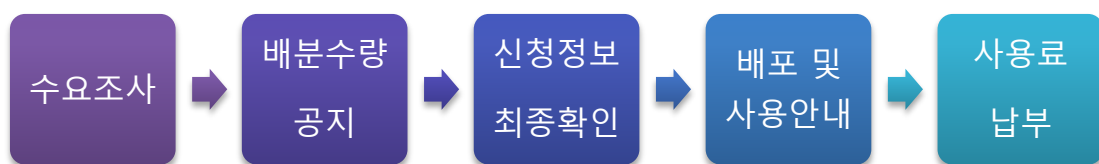
29		Formality	• Equivalence Checking (EC)
30		PrimeTime	• Pre/Post Static Timing Analysis
31		Spyglass	• RTL Design Anlysis
32		TCAD	• Process & Device Simulation
33		Saber	• Multi-domain and Mixed Signal Simulator
34		Systems	• SoC Architure Exploration & Validation
35	Xilinx	Vivado	• FPGA design

2. 지원방식

- 1) 정규 라이선스 : 연구실 서버정보로 지원되는 1년 라이선스
 - 2021년 정기 EDA Tool 수요조사시 신청된 Tool을 연간 지원
- 2) 단기 라이선스 : IDEC 본센터 보유 라이선스를 Network으로 단기간 지원
 - 정규 라이선스 미신청 연구실 또는 라이선스 추가 필요 연구실에 단기간 Tool 지원
 - 대학의 학부생 대상 정규 수업에 해당 학기 동안 Tool을 지원

3. 정규 라이선스 사용

- 1) Tool 신청 연구실의 서버정보(MAC address)로 사용기간 1년 라이선스가 발행되며, 매년 2~3월에 차년도 지원 Tool에 대해 수요조사 진행 후 지원됨
- 2) 지원절차



- 3) 수요조사 시기 : 매년 3~4월 (약 3주간)
- 4) 신청방식 : 참여교수별로 IDEC 웹페이지에서 신청
 - ① 신청경로 : IDEC 홈페이지 > EDA Tool > EDA Tool 신청 > 정기 EDA Tool 수요조사

② 신청화면

EDA Tool

EDA Tool소개
EDA Tool신청안내
■ EDA Tool신청
EDA Tool설치가이드
ASIC설계실

EDA Tool신청

홈 | EDA Tool | EDA Tool신청

"한국 반도체산업의 경쟁력"
IDEC에서 설계인력양성의 발판을 마련하겠습니다.



신청자정보

** 2019년 정기 EDA Tool 수요조사 **			
신청 제목			
지도 교수명	(한글) : 테스트 (영문) : test	학교명	(한글) : KAIST (영문) : Korea Advanced Institute
학과명	(한글) : 전자과1 (영문) : Electronic Engineering	email	ksmoon98@kaist.ac.kr
Tool 담당자(정)	이름 (한글) : 김대한 (영문) : Kim Daehan	email	반드시 학교 이메일을 입력하세요
	전화번호	042-111-1111	휴대폰번호
Tool 담당자(부)	이름 (한글) : 김민국 (영문) : Kim Minkook	email	반드시 학교 이메일을 입력하세요
	전화번호	042-111-1111	휴대폰번호

☒ 신청 ARM 사 SoC Designer Plus, Model Studio (가격 : 미정)

배포예정일	2019-06-30	사용기간	2019-07-01 ~ 2020-06-30	총 신청수량	2	Copy
서버정보	OS	MAC Address(12자리) (MAC Address란?)		개별수량		
	리눅스	12ab34cd45ef		2		
비고						

사용계획서

사용인원	학사과정 : 명, 석사과정 : 5 명, 박사과정 : 1 명	☐ 교육용 ☒ 연구용	
연구과제명	abc설계를 위한 def 개발 연구		
연구기간	2019.08.01~2020.07.30	참여인원수	6
연구개요			

③ 신청시 제출서류

- 사용계획서 : Tool 신청시 각 신청 Tool별로 웹페이지에서 작성
- 결과보고서 : 전년도 지원된 Tool에 대하여 웹페이지에서 작성
(사용계획서 및 결과보고서 제출완료되어야 Tool 신청 완료 됨)

EDA Tool 결과보고서 작성

EDA Tool		Cadence사 Cadence University Package		수량	1 Copy
사용자	참여교수 등록학생	등록		사용처	☒ 교육용
	참여교수 미등록학생	학사	0 명, 석사		2 명, 박사
교과과정명	회로설계		교육대상	석사과정	
교육기간	2018.03.01~2018.06.30		수강생수	10	
교과과정설명					
연구과제명	abc를 이용한 회로설계에 관한 연구				
연구기간	2018.01.01~2018.10.31	참여인원수	5		
연구개요					

④ (중요 !!) 신청시 유의사항

- Hostname 및 IP 주소 입력 (Cadence 및 Siemens EDA)
 - EDA Tool을 사용할 기기의 Hostname 및 IP 주소 등록 필수
 - 타 연구실과 동일한 Hostname 및 IP 주소 등록 불가
 - 추후 변경 가능
- MAC address 기입
 - 라이선스 설치 머신의 O/S(Linux) MAC address(12자리)를 입력
(예 : 0012345678ab)
 - MAC address 확인 방법 : '/sbin/ifconfig' 명령으로 확인
 - 라이선스는 재발행 되지 않으니, 신청정보 기입시 MAC address를 재차 확인해주시기 바랍니다.
- VMWare가상 머신 사용시
 - Windows가 설치된 컴퓨터에 VMWare 가상 머신을 통해 Linux를 사용하는 연구실에서는 라이선스 신청시 Linux의 MAC address가 아니라 Windows의 MAC address를 기입하시기 바랍니다.

5) 배분수량 공지

- ① 신청수량 < 배분수량 : 신청수량만큼 배분
- ② 신청수량 > 배분수량 : 전년도 참여교수별 실적에 따라 EDA Tool 차등지원
(신규 참여 교수인 경우 수요가 많은 일부 툴에 대해 공급이 제한될 수 있음)
- ③ 배분수량 확인 경로
 - IDEC 홈페이지 → MYIDEC → EDA Tool 신청내역 → 정기 EDA Tool 수요조사 화면을 통해 Tool별로 배분수량 확인

EDA Tool 신청정보 입력

☒ 신청	Aldec 사 Active-HDL (가격 : 20,000 원)		
배포예정일	2018-04-30	사용기간	2018-05-01 ~ 2019-04-30
신청수량	1 Copy	배분수량	1 Copy
서버정보	라이선스 서버 대수 : 1 서버추가 OS : 리눅스 ▼ NIC Number(12자리) : 000000000000 개별수량 : 1		
비고			

- 신청정보 최종확인
 - 라이선스 오류시 재발행이 불가하므로, 라이선스 발급 전 신청정보(신청 Tool, 수량, MAC address) 재확인 작업 진행

- 신청정보 최종확인 경로

- IDEC 홈페이지 → MYIDEC → EDA Tool 신청내역 → 정기 EDA Tool 수요조사 → 신청정보 최종확인

라이선스 신청정보 최종확인

- 라이선스 신청정보 최종확인 기간 : 2018-05-02 ~ 2018-05-04
- EDA Tool 수요조사시 기업별/대학/연구기관에 라이선스 신청 정보로 라이선스가 발행되며, 배분된 라이선스는 재발급 되지 않습니다. 가끔 연결확인 대신으로 라이선스 신청해주시고, EDA Tool 신청서 기업/학사 NIC number or hostID 역상여부를 재차 확인해주시기 바랍니다.
- 악재 라이선스 신청 정보에 수검이 필요할 경우 EDA Tool 담당자에게 연락 주시기 바랍니다.
- EDA Tool 담당자 : 석은주 (eunjuseok@idec.or.kr, 042-350-8538)

라이선스 신청정보

2018년 정기 EDA Tool 수요조사

EDA Tool명	배분수량	서버별 배분수량	OS	NIC Number / HOST ID	최종확인
Cadence University Package	1	1	리눅스	123456789012	☐
Mentor University package	1	1	리눅스	123456789012	☐
Synopsys Back-end package	1	1	리눅스	123456789012	☐
Synopsys Front-end Package	1	1	리눅스	123456789012	☐

라이선스 신청정보 최종확인에 대한 유의 사항

1. 위 라이선스 신청정보에 이상이 없을지 확인하고 이상이 있을시 [라이선스 신청정보 최종확인 기간] 내에 담당자에게 통지 하여야 합니다.
2. 위 라이선스 신청정보로 배포된 라이선스는 재발행되지 않습니다. 오류/기타에 대한 책임은 신청자에게 있으며 위 라이선스 신청정보로 발행된 라이선스의 재발급 불가에 대해 이의를 제기 할 수 없습니다.

☐ 위 내용 확인 후 최종확인 클릭

(1) 내용 확인 후 틀별 최종확인 클릭

(2) 클릭

(3) 위 내용 재차 확인 후 클릭

최종확인 | 뒤로가기

6) 배포 및 사용안내

- ① Tool별 사용기간 및 배포시기 : 매년 06.30 전후로 배포, 1년(07.01-06.30) 사용
- ② 위 배포일정의 Tool 사용 시작일 1~3일 전에 라이선스 배포되며, 배포시 Tool 신청 연구실에 이메일 및 IDEC 홈페이지를 통해 배포 공지됨
- ③ Tool 및 라이선스 다운로드 경로
 - IDEC 홈페이지 → MYIDEC → EDA Tool 신청내역 → 2022년 EDA Tool 수요조사 → 신청내역 페이지 상단에서 S/W 다운로드 정보 확인 및 라이선스 파일 다운로드

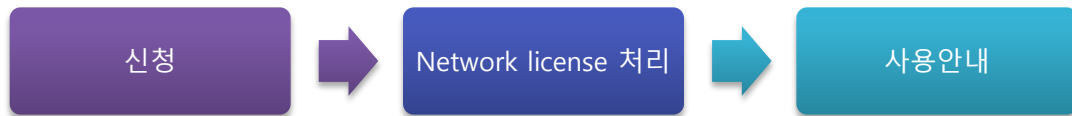
4. Network license 사용

- 1) IDEC 본센터 라이선스를 Network으로 단기간 지원
- 2) 신청 방법
 - IDEC 홈페이지를 통해 매주 금요일 오전 11시까지 신청
 - 신청 경로 : <http://www.idec.or.kr> > EDA Tool > EDA Tool 신청 > Network license 신청
 - 신청 가능 Tool이 제한적이므로 신청 전 확인 후 신청

Tool 담당자	이름		email	반드시 학교 이메일을 입력하세요
	전화번호		휴대폰번호	

☒ 신청	Aldec 사 Active-HDL (가격 : 0 원)			
사용기간(1개월 단위)		~		총 신청수량 Copy
서버정보	☒ 연구실 HOSTNAME 사용 ☐ 개별 HOSTNAME 사용 연구실 HOSTNAME 등록 / 수정			
사용목적				

3) 진행 절차



- 4) 사용 안내 : Network license 처리 후 사용안내 메일 발송
 - 사용안내 메일

* 예시) Synopsys - Linux 용 Tool 사용 경우

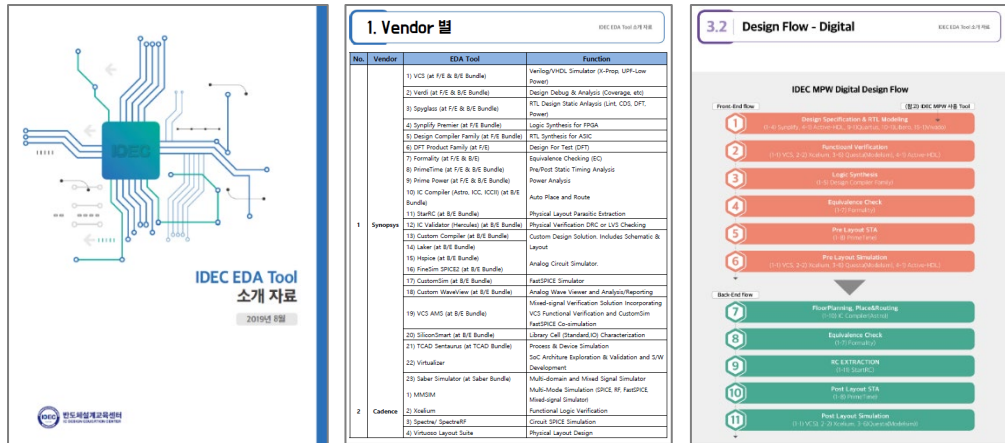
- 1) C-shell 사용 시 설정 방법

Tool 환경 설정 파일에 추가하여 사용하세요.
(라이선스 파일 및 데몬 구동 필요없음)

```
setenv LM_LICENSE_FILE 00000@license_server_IP
```

5. EDA Tool 지원 서비스

- 1) EDA Tool 소개자료 제공
 - IDEC에서 제공하는 Tool을 보다 쉽게 이해할 수 있도록 Tool별 세부 기능과 활용법, MPW Flow 적용 가능 여부 등을 파악할 수 있는 자료로 IDEC 홈페이지를 통해 PDF로 제공



2) EDA Tool 설치가이드 제공

- IDEC에서 제공하는 Tool중 주로 사용되는 Tool에 대한 Tool 설치가이드 동영상 및 문서 제공

반도체설계교육센터
 IC DESIGN EDUCATION CENTER

홈 관리자 로그아웃 마이페이지

[센터소개](#)
[교육/세미나](#)
[VOD서비스](#)
[MPW](#)
[EDA Tool](#)
[참여교수](#)
[홍보마당](#)
[IDEC Library](#)

EDA Tool

- EDA Tool 소개
- EDA Tool 신청안내
- EDA Tool 신청
- EDA Tool 설치가이드**
- ASIC설계실

EDA Tool 설치가이드

홈 EDA Tool EDA Tool 설치가이드

“한국 반도체산업의 경쟁력”
 IDEC에서 설계인력양성의 발판을 마련하겠습니다.

EDA Tool Vendor 의 System Requirements

- 다운로드 : PDF Download

EDA Tool 사용을 위한 Linux OS 설치 가이드

- 다운로드 : PDF Download

Digital Tool

Vendor명	EDA Tool명	설치문서	설치동영상	비고
SYNOPSYS	Design Compiler	PDF	VOD	Synthesis
SYNOPSYS	PrimeTime	PDF	VOD	STA
CADENCE	NC_Verilog	PDF	VOD	Simulation
SYNOPSYS	Formality	PDF	VOD	Equivalence Check

3) System Requirement 및 OS 설치가이드

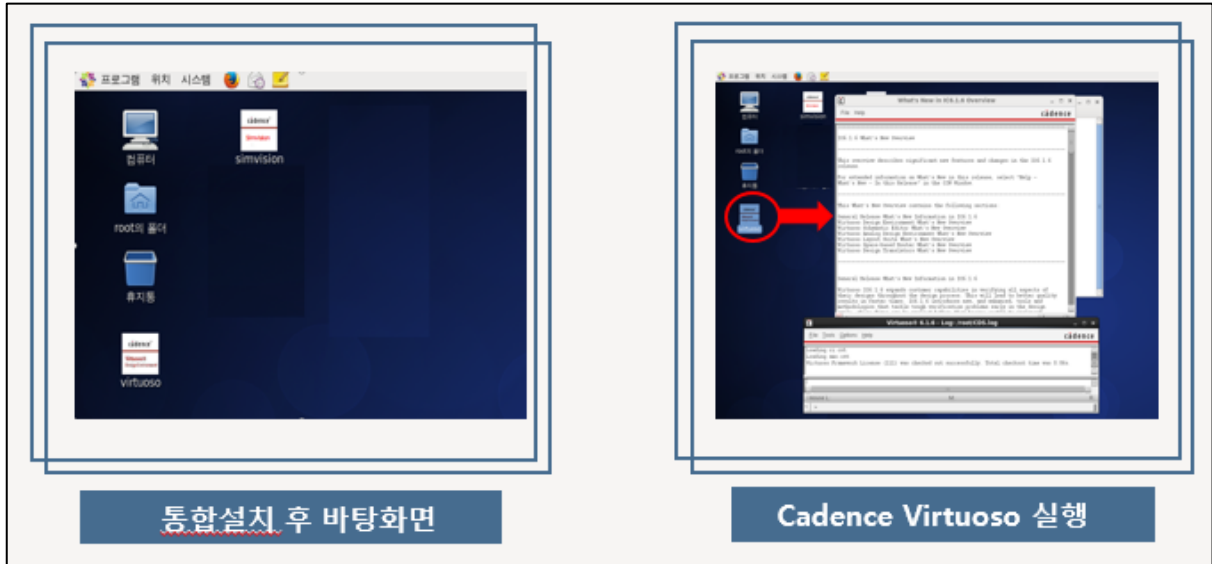
- 각 Tool에 대한 System Requirement 및 설치가이드 문서로 제공

EDA Tool 사용을 위한 Linux OS 설치 가이드
 (CentOS 6.5)

- Linux OS를 설치 하고 관련 설정을 하는데 많은 어려움을 겪는 EDA Tool사용자를 위해 [EDA Tool 사용을 위한 Linux OS 설치 가이드]를 준비 하였습니다.
- 본 가이드에서는 Linux 설치에서 부터 기본 설정, 원격연결, EDA Tool 설치 및 실행 시 문제가 되는 라이브러리 설치 까지 EDA Tool 설치를 위한 Linux의 모든 설정을 기술 하고 있습니다.

4) EDA Tool 통합 설치 환경 제공

- 신규 연구실 또는 EDA Tool 설치에 어려움이 있는 연구실을 위한 통합 설치 환경 제공.
- 리눅스 버전과 참여 공정에 맞는 Tool 버전을 자동으로 설치한 후 바탕화면의 아이콘 실행만으로 쉽게 Tool 실행



5) EDA Tool 기술지원

- IDEC을 통한 실시간 기술지원

반도체설계교육센터
IC DESIGN EDUCATION CENTER

홈 관리자 로그아웃 마이페이지

센터소개 교육/세미나 VOD서비스 MPW EDA Tool 참여교수 홍보마당 IDEC Library

IDEC Library

iPDK
Analog Cell IP
Digital IP

■ 질문/답변

자료실
경보교류
구인/구직

질문/답변
홈 | IDEC Library | 질문/답변

"한국 반도체산업의 경쟁력"
IDEC에서 설계인력양성의 발판을 마련하겠습니다.

전체 EDA Tool MPW 교육 참여교수 서버/보안 기타

Total:2472 page:(155/1)

번호	작성자	제목	등록일	조회수
공지	관리자	EDA Tool 관련 질문은 전부 공개로 전환 하고자 합니다.	14.10.13	426
2471	신종윤	IC_compiler 관련 질문드립니다. 📎	17.07.20	4
2470	선헌승	[답변] IC_compiler 관련 질문드립니다. 📎	17.07.20	1
2469	이용호	IUS 툴 문의 📎	17.07.20	8
2468	선헌승	[답변] IUS 툴 문의 📎	17.07.20	3
2467	이용호	synopsys 문의 📎	17.07.20	9
2466	선헌승	[답변] synopsys 문의 📎	17.07.20	3
2465	신종윤	IC Compiler 관련 질문 드립니다. 📎	17.07.19	2
2464	선헌승	[답변] IC Compiler 관련 질문 드립니다. 📎	17.07.19	3
2463	윤지영	verilog 문의 드립니다. 📎	17.07.19	2
2462	선헌승	[답변] verilog 문의 드립니다. 📎	17.07.19	4
2461	김치연	DRC 관련 문의드립니다. 📎	17.07.18	3
2460	김연태	[답변] DRC 관련 문의드립니다. 📎	17.07.18	5
2459	신종윤	IC_Compiler warning 관련 질문입니다 📎	17.07.18	2
2458	선헌승	[답변] IC_Compiler warning 관련 질문입니다	17.07.18	8

참고) 필독! EDA Tool 사용범위

< EDA Tool 사용 범위 >

IDEC에서는 참여대학에 배포하는 EDA Tool의 사용범위를 아래와 같이 엄격히 제한하고 있습니다.

아래 EDA Tool 사용 범주를 위반하여 툴이 사용된 사례가 발생할 경우 인재양성을 위한 교육과 비상업적 연구를 목적으로 충실히 툴을 사용하고 계시는 대다수의 교수님께 피해가 갈 수 있으며, 또한 IDEC EDA Tool 공급 사업의 근간이 흔들릴 수 있습니다.

참여교수님께서서는 아래 내용을 숙지하시어 향후 불미스러운 일이 생기지 않도록 각별한 주의를 부탁드립니다.

----- 아 래 -----

1. IDEC을 통해 제공되는 EDA Tool은 참여교수 및 지도학생에 한하여 참여대학 내에서 학생교육과 비상업적 연구의 목적으로만 사용되어야 하며 상업적인 제품개발, 생산 등 영리를 목적으로 사용되어서는 안됩니다.

즉, IDEC Tool은 참여교수 및 학생의 신분을 가진 사람만이 사용할 수 있으며, 어떠한 경우에도 회사의 제품이 될 목적으로 설계되는 칩의 설계에는 사용할 수 없습니다. 또한 학내 벤처업체 사용, 학교 외부 Networking 연결, 외부 업체 담당자 방문사용 등이 절대 불가합니다.

이는 IDEC에서 제공하는 EDA Tool의 사용범주에 벗어나는 것이며 위 사항을 준수하지 않을 경우, 참여교수 수행 지침 동의서 제 4 조에 의거하여 IDEC과의 협약은 해약 될 수 있습니다.

2. 산학 공동 Project 및 기타 영리 목적의 상업적 연구에 툴이 사용되는 경우에는 EDA Tool Vendor와 별도로 계약을 체결하여 진행해야 합니다.

< 참 고 >

* 참여교수 수행 지침 동의서*

제 4 조(자원의 사용 및 관리)

- (1) IDEC이 참여교수에게 제공하는 자원은 제 1 조의 "참여교수 지원 신청서"상의 참여교수와 지도학생으로 등록된 자에 한하여 사용할 수 있다.
- (2) IDEC이 참여교수에게 제공하는 자원은 교육 및 비상업적인 연구 외 다른 목적을 위해서는 사용할 수 없다.
- (3) 참여교수는 IDEC으로부터 제공받은 자원이 외부 유출 및 파손되지 않도록 책임자로 관리한다.

4

CDC (Chip Design Contest)

1. CDC 소개

- 1) CDC 정의: IDEC을 통해 참여 제작한 칩 결과에 대해 발표 전시를 진행하고 우수팀을 선별하여 수상하는 행사
- 2) CDC 종류: 한국반도체학술대회, IDEC Congress, ISOCC
- 3) 참여 대상
 - ① 주요 대상: IDEC MPW 참여팀 (각 CDC 논문 마감일로부터 2개월 전까지 칩 제작이 완료된 팀)
 - ② 그 외: FPGA 및 기타 설계팀 중 참여 희망팀(평가 및 수상 대상에서 제외될 수 있음)
- 4) 참여 시기: MPW 결과보고서 제출 마감일로부터 1년 이내 (1년 이내의 기준은 각 행사의 논문 마감일로 함)
- 5) 참고] CDC별 내역

구분	KCS (한국반도체학술대회) CDC	IDEC Congress CDC	ISOCC (International SoC Design Conference) CDC
주관	산·학·연 공동 주관	IDEC	반도체공학회
개최일	매년 1월-2월 (2022년 기준 : 2022.01.25)	매년 6월-7월 (2021년 기준 : 2021.06.24)	매년 10월-11월 (2021년 기준 : 2021.10.07)
개최장소	매년 변경됨 (2021년 기준 : 강원도 하이원리조트)	매년 변경됨 (2019년 기준 : KAIST 학술문화관)	매년 변경됨 (2021년 기준 : 제주 라마다)
모집분야	ASIC (FPGA 포함)		
논문마감	11월 말~12월 초	4월 말~5월 초	7월 말~8월 초
논문분량	1page		
논문양식	KCS 초록양식	IDEC 별도 지정 양식	
논문 인정여부	논문으로 인정됨	논문으로 인정되지 않음	
타학회 참여가능 여부	불가능	가능	
논문외 참여방법	참여 불가능		
등록비	70,000원 (2021년 기준)	무료	230,000원 (2021년 기준)
전시내용	포스터		
홈페이지	http://kcs.cosar.or.kr	http://congress.idec.or.kr	http://www.isocc.org

2. CDC 참여 절차

1) CDC 일정 확인

- ① IDEC 공식 홈페이지, 페이스북, 블로그 등에 사전 공지 확인
 - IDEC 홈페이지에서 일정 확인하는 방법

센터소개	교육/세미나	VOD서비스	MPW	EDA Tool	참여교수	홍보마당	IDEC
센터비전	수강안내	서비스안내	MPW 참여안내	EDA Tool 소개	참여교수신청안내	공지사항	iPK
사업소개	연간교육일정	동영상강좌	MPW 신청	EDA Tool 신청안내	참여교수신청	뉴스레터	Anal
사업성과	수강신청		CDC	EDA Tool 신청	참여교수성과!	보도자료	Digi

- IDEC 홈페이지 - 로그인 - MPW - CDC 클릭
(반드시 지도교수 계정으로 로그인)

MPW 신청	Chip Design Contest(CDC) - MPW를 통하여 제작한 칩의 결과 발표를 진행하여 우수한 칩 제작팀을 선별하고 각 참여 제작팀에게 경쟁력 있는 칩 제작에 참여할 수 있도록 유도하여 질적 향상을 도모할. 또한, 참여대학에서 설계한 FPGA(Xilinx, Altera)는 물론 설계 동아리에서 제작한 칩에 대해서도 참여할 기회를 확대 함으로써 학부생들까지 참여할 수 있도록 진행할. - 연 3회 개최(ISOCC CDC, 한국반도체학술대회 CDC, ISC CDC)																																																		
CDC	<table border="1"> <thead> <tr> <th>구분</th><th>한국반도체학술대회 Chip Design Contest(CDC) 2017</th><th>IDEC SoC Congress(ISC) Chip Design Contest(CDC) 2017</th><th>International SoC Design Conference(ISOCC) Chip Design Contest(CDC) 2017</th></tr> </thead> <tbody> <tr> <td>주관</td><td>산학연 공동주관</td><td>IDEC 주관</td><td>(사)대한전자공학회</td></tr> <tr> <td>개최일</td><td>2017.02.14</td><td>2017.06.29</td><td>2017.11.07</td></tr> <tr> <td>개최장소</td><td>울진 비발디파크</td><td>KAIST K빌딩</td><td>서울 힐튼호텔</td></tr> <tr> <td>모집분야</td><td colspan="3">ASIC (FPGA) 포함</td></tr> <tr> <td>논문마감</td><td>2016.11.08</td><td>2017.05.10</td><td>2017.08.11</td></tr> <tr> <td>논문작성분량</td><td colspan="3">1 page</td></tr> <tr> <td>논문 template</td><td>KCS 양식</td><td colspan="2">IDEC 양식</td></tr> <tr> <td>논문인정</td><td>O</td><td colspan="2">X</td></tr> <tr> <td>등록비</td><td>70,000원</td><td>무료</td><td>200,000원</td></tr> <tr> <td>전시내용</td><td>Oral / Poster</td><td colspan="2">Demo / Poster</td></tr> <tr> <td>홈페이지</td><td>http://kcs.cosar.or.kr</td><td>http://isc.idec.or.kr</td><td>http://www.iso.org</td></tr> </tbody> </table>			구분	한국반도체학술대회 Chip Design Contest(CDC) 2017	IDEC SoC Congress(ISC) Chip Design Contest(CDC) 2017	International SoC Design Conference(ISOCC) Chip Design Contest(CDC) 2017	주관	산학연 공동주관	IDEC 주관	(사)대한전자공학회	개최일	2017.02.14	2017.06.29	2017.11.07	개최장소	울진 비발디파크	KAIST K빌딩	서울 힐튼호텔	모집분야	ASIC (FPGA) 포함			논문마감	2016.11.08	2017.05.10	2017.08.11	논문작성분량	1 page			논문 template	KCS 양식	IDEC 양식		논문인정	O	X		등록비	70,000원	무료	200,000원	전시내용	Oral / Poster	Demo / Poster		홈페이지	http://kcs.cosar.or.kr	http://isc.idec.or.kr	http://www.iso.org
구분	한국반도체학술대회 Chip Design Contest(CDC) 2017	IDEC SoC Congress(ISC) Chip Design Contest(CDC) 2017	International SoC Design Conference(ISOCC) Chip Design Contest(CDC) 2017																																																
주관	산학연 공동주관	IDEC 주관	(사)대한전자공학회																																																
개최일	2017.02.14	2017.06.29	2017.11.07																																																
개최장소	울진 비발디파크	KAIST K빌딩	서울 힐튼호텔																																																
모집분야	ASIC (FPGA) 포함																																																		
논문마감	2016.11.08	2017.05.10	2017.08.11																																																
논문작성분량	1 page																																																		
논문 template	KCS 양식	IDEC 양식																																																	
논문인정	O	X																																																	
등록비	70,000원	무료	200,000원																																																
전시내용	Oral / Poster	Demo / Poster																																																	
홈페이지	http://kcs.cosar.or.kr	http://isc.idec.or.kr	http://www.iso.org																																																

- CDC 소개 : 전반적인 CDC 일정을 개략적으로 확인 가능

MPW 신청

CDC

CDC 소개

CDC 신청

IP Library

해외MPW

제목	ISOCC 2017 Chip Design Contest(CDC)			비록 마감일 연장 (~08.27)
제출기간	2017-07-03 ~ 2017-08-27	평가일정	2017-08-22 ~ 2017-09-04	
최종논문 수정기간	2017-09-04 ~ 2017-09-13	발표자료 제출기간	2017-09-18 ~ 2017-10-02	

상세보기

● CDC 신청 - 상세보기 클릭

MPW 참여안내

MPW 신청

CDC

CDC 소개

■ CDC 신청

IP Library

해외MPW

Socket/Board

Package 업체정보

칩 테스트

제목	ISOCC 2017 Chip Design Contest(CDC)			TOP 논문 마감일 연 장 (-08.27)
신청기간	2017-07-03 ~ 2017-08-27	평가일정	2017-08-22 ~ 2017-09-04	
최종논문수정기간	2017-09-04 ~ 2017-09-13	발표자료제출기간	2017-09-18 ~ 2017-10-02	

상세설명

IC Design Education Center (IDEC)

ISOCC 2017 Chip Design Contest

▶ 일정 및 개최지

- 일정 : 2017년 11월 7일 (화)
- 개최지 : 그랜드 힐튼 서울

▶ 논문 접수 일정

- 논문 마감일 : 8월 11일 (금) => 8월 21일 (금)
- 선정 결과 안내 : 9월 4일 (월)

▶ 참여 안내

- 참여 대상 : MPW 설계 참여팀 (외 기타 참여팀)
- 참여 분야 : FPGA / ASIC
- 전시 형태 : 데모 / 포스터
 데모 참여팀 : 데모 시연 및 포스터 전시 (동작율이 80% 이상일 경우 반드시 참여)
 포스터 참여팀 : 포스터 전시
- 자세한 내용은 선정 발표시 안내 드리겠습니다.
- 비록장 칩의 경우 반드시 참여하여야 합니다.

● 해당 CDC 에 대한 상세한 일정 확인 가능

② 참여팀 대상 전체 발송 안내 메일 확인

※ 담당자 (김하연 주임: 042-350-8535, hama1124@idec.or.kr)

2) 참여 가능 CDC 확인

IDEC 참여내역
홈 | 마이페이지 | IDEC 참여내역 | MPW신청내역

마이페이지
회원수정
비밀번호변경
IDEC 참여내역
교육신청내역
SoC 설계과목이수제
VOD신청내역
참여교수신청내역
■ **MPW신청내역**

MPW신청내역

회차	공정	모집구분	신청일자	채택여부	공정상태
MS350-1401회	메그나칩반도체/SK하이닉스 0.35μm	정규모집	2014-01-06	채택	제작완료
	NDA제출 DB제출 칩수령 결과보고제출 제출 제출 . 제출	CDC참여 참여	결재 완납		
S65-1503회	삼성전자 65nm	우선모집	2015-04-20	채택	제작완료
	NDA제출 DB제출 칩수령 결과보고제출 해당없음 제출 2016-08-16	CDC참여	결재 완납		

① IDEC 홈페이지 - 로그인 - 마이페이지 - MPW 신청내역에서 확인

(반드시 지도교수 계정으로 로그인)

- 참여의 경우 "참여"로 표시, 미참여의 경우 "."로 표시

CDC 참여 정보	
■ 참여 가능 CDC 중 1개 이상 반드시 참여 하셔야 합니다.	
참여 가능 CDC	제24회 한국반도체학술대회 Chip Design Contest(CDC)(논문제출:2016-09-09 ~) 2017 IDEC SoC Congress(ISC)(논문제출:2017-04-01 ~) ISOCC 2017 Chip Design Contest(CDC)(논문제출:2017-06-30 ~)
CDC 참석 여부	

- 해당 CDC를 클릭하면 기한 내 참여해야 하는 3개의 CDC 확인 가능

3) CDC 논문 작성

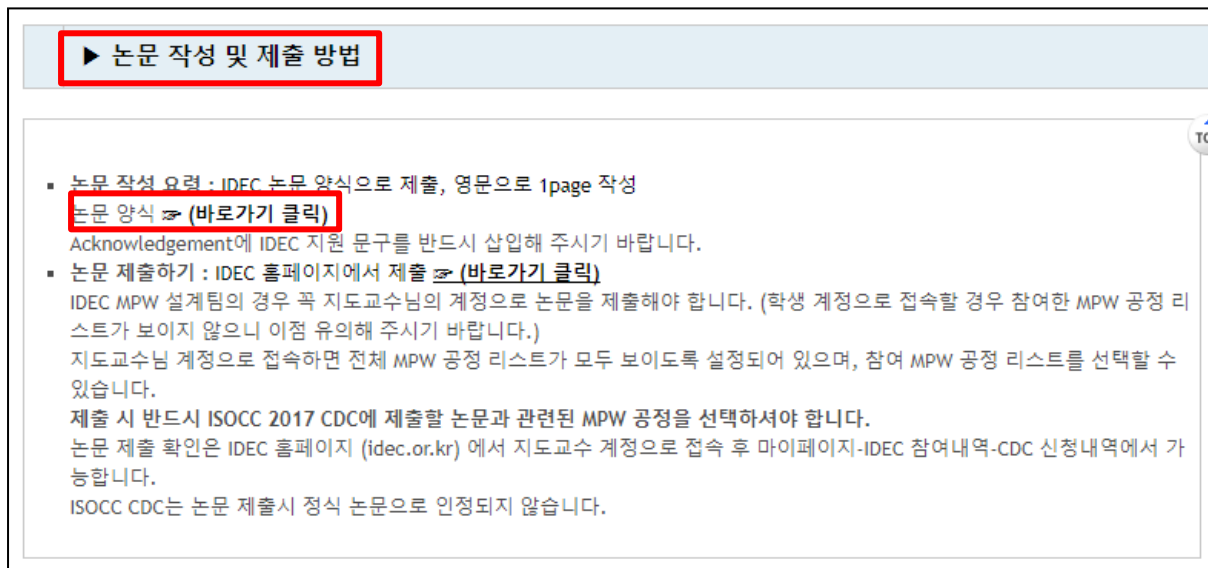
① 논문 작성 요령 및 양식 확인하는 방법



- IDEC 홈페이지 - 로그인 - MPW - CDC 클릭
(반드시 지도교수 계정으로 로그인)



- CDC 신청 - 해당 CDC의 상세보기 클릭



- 스크롤을 내리면 논문 작성 및 제출 방법 확인 가능
 - 논문 양식 : 바로가기 클릭을 통해 다운로드 가능
- ※ 논문 작성 및 제출 방법 외 나머지 내용도 상세히 필독!!!

4) CDC 논문 제출

- ① 한국반도체학술대회 : 학회 홈페이지를 통해 진행
(http://kcs.cosar.or.kr, 자세한 내용은 사무국 측에서 안내)
- ② IDEC Congress, ISOCC : IDEC 홈페이지를 통해 진행

 반도체설계교육센터 IC DESIGN EDUCATION CENTER		홈 관리자 로그아웃 마이페이지					
센터소개	교육/세미나	VOD서비스	MPW	EDA Tool	참여교수	홍보마당	IDEC
센터비전	수강안내	서비스안내	MPW 참여안내	EDA Tool 소개	참여교수신청안내	공지사항	iPDK
사업소개	연간교육일정	동영상강좌	MPW 신청	EDA Tool 신청안내	참여교수신청	뉴스레터	Anal
사업성과	수강신청		CDC	EDA Tool 신청	참여교수성과	보도자료	Digit

- IDEC 홈페이지 - 로그인 - MPW - CDC 클릭
(반드시 지도교수 계정으로 로그인)

MPW 신청					
CDC					
CDC 소개					
CDC 신청					
IP Library					
해외MPW					

제목	ISOCC 2017 Chip Design Contest(CDC)			논문 마감일 연장 (~08.27)
제출기간	2017-07-03 ~ 2017-08-27	평가일정	2017-08-22 ~ 2017-09-04	
최종논문 수정기간	2017-09-04 ~ 2017-09-13	발표자료 제출기간	2017-09-18 ~ 2017-10-02	

상세보기

- CDC 신청 - 해당 CDC의 상세보기 클릭
- 맨 하단의 참여 신청하기 클릭

CDC신청

홈 | MPW / CDC | CDC신청

"한국 반도체산업의 경쟁력"
IDEC에서 설계인력양성의 발판을 마련하겠습니다.



참여교수 일정

제목	2020 IDEC SoC Congress		
신청기간	2020-01-09 ~ 2020-04-30	평가일정	2020-05-08 ~ 2020-05-28

신청자정보

MPW참여 구분	☒ IDEC MPW design team ☐ other MPW design team			
참여MPW공정	Selection ▼			
Title(논문명)				
Author(주저자)	Affiliation		Name	
	email		HP	
Co-Author (공동저자)	Affiliation		Name	+ ✕
Adviser (지도교수)	Affiliation	KAIST	Name	김영지
	email	yjkim@idec.or.kr	Tel	
Contact Author (전시담당자)	Affiliation		Name	
	email		HP	
	☐ 주저자와 동일			
Design Catogory	☒ analog ☐ digital ☐ communication ☐ processor ☐ memory ☐ etc		Design type ☒ ASIC ☐ FPGA	
Poster attached	파일 선택 선택된 파일 없음			

이전으로

참여신청

- CDC 참여 신청서 작성

- MPW 참여 구분 : 해당 참여구분을 선택
(IDEC MPW 참여팀의 경우 IDEC MPW design team 선택. 지도교수님 계정 이외의 계정으로 MPW design team 선택 불가)
- 참여 MPW 공정 : 해당 공정을 선택
- Title (논문명) : 논문명 입력
- Author (주저자) : 주저자의 소속, 이름, 연락처 및 e-mail 기입
(채택 안내 및 기타 관련 공지가 전달되니 반드시 정확히 기재)
- Co-Author (공동저자) : 지도교수를 제외한 주저자 외 해당 논문의 공동저자를 모두 입력해야 함
- Adviser (지도교수) : 지도교수의 계정으로 접속하면 자동으로 정보가 입력됨

- Contact Author (전시 담당자) : 해당 내용 모두 입력
(주저자와 전시 담당자가 동일할 경우, 주저자의 정보를 기입)
- Design Category : 해당 카테고리에 체크
- Chip Working (칩 동작률) : 해당하는 숫자 표기
- Exhibitor : 전시 형태 선택, 동작률이 80% 이상일 경우 데모 참여
(데모 선택시 멀티탭, 유선랜을 선택하는 부분이 나타남)
- Design Type : 디자인 타입 선택
- Poster Attached : 포스터 형식의 논문 제출 (KCS 제외)

5) CDC 논문 채택여부 확인

- ① 한국반도체학술대회 : 학회 측에서 통보 진행
(<http://kcs.cosar.or.kr>, 자세한 내용은 사무국 측에서 안내)
- ② IDEC Congress, ISOCC : IDEC 홈페이지를 통해 확인 가능 (담당자가 채택확인 요청 메일 송부 예정)

제목	주저자	신청일자	채택여부	상태
ISOCC 2016 Chip Design Contest(CDCI)	홍영희	2016-08-12	채택	마감
ISOCC 2016 Chip Design Contest(CDCI)	김민준	2016-08-10	채택	마감
ISOCC 2016 Chip Design Contest(CDCI)	김민준	2016-08-09	채택	마감
ISOCC 2016 Chip Design Contest(CDCI)	김민준	2016-07-25	채택	마감
2016 IDEC SoC Congress(ISC)	김민준	2016-04-29	채택	마감

- IDEC 홈페이지 - 로그인 - 마이페이지 - CDC 신청내역 클릭 - 채택여부에 "채택" 또는 "미채택"으로 표시되어 확인 가능(지도교수 계정으로 로그인)

6) CDC 최종 논문 제출

- ① 한국반도체학술대회 : 따로 제출하지 않음
- ② IDEC Congress, ISOCC : IDEC 홈페이지를 통해 제출

MY IDEC

- 교육신청내역
- SoC설계과목이수제
- VOD신청내역
- 참여교수 신청내역
- MPW신청내역
- 희망공정신청내역
- EDA Tool신청내역
- CDC신청내역**
- 소켓/보드 주문내역
- 참여교수 평가
- MPW평가
- CDC평가
- 적립금/쿠폰내역

"한국 반도체산업의 경쟁력"
IDEC에서 설계인력양성의 발판을 마련하겠습니다.

ISOCC 2017 Chip Design Contest(CDC)

신청기간	평가기간	포스터(논문)수정기간	발표자료제출기간
2017-07-03 ~ 2017-08-27	2017-08-28 ~ 2017-09-12	2017-09-14 ~ 2017-09-22	2017-09-18 ~ 2017-11-03

신청 정보 상세

채택 및 발표자 선정

- 채택 되었습니다.
- 발표자로 선정 되었습니다.

신청자 정보

논문번호	201702071		
MPW참여 구분	☒ IDEC MPW design team ☐ other MPW design team		
참여MPW공정	S65-1602회 삼성전자 65nm (신청일자 : 2016-06-17)		
Title(논문명)			
Author(주저자)	Affiliation	KAIST	Name
	email		HP
Co-Author (공동저자)	Affiliation	KAIST	Name
Adviser (지도교수)	Affiliation	KAIST	Name
	email		Tel
Contact Author (전시담당자)	Affiliation	KAIST	Name
	email		HP
☐ 주저자와 동일			
Design Category	☐ analog ☒ digital ☐ communication ☐ processor ☐ memory ☐ etc		
Design type	☒ ASIC ☐ FPGA		
Poster attached	파일 선택 선택된 파일 없음		

- IDEC 홈페이지 - 로그인 - 마이페이지 - CDC 신청내역 - 해당 CDC 클릭
- Paper attached (최종논문) 란에 파일 업로드 - 수정 클릭
- 수정 및 보완사항이 없을 경우 따로 제출하지 않음

7) 발표자료 제출

- ① 제출 대상 : 우수팀으로 선정되어 평가 대상인 팀 (대상자에게는 별도 연락)
- ② 제출 기간 : 행사 당일 약 3주 전부터 접수
- ③ 제출 방법 : IDEC 홈페이지를 통해 제출
 - IDEC 홈페이지 - 로그인 - 마이페이지 - CDC 신청내역 - 해당 CDC 클릭 - 맨 하단의 발표자료 등록 클릭 (반드시 지도교수 계정으로 로그인)

SoC설계과목이수제

VOD신청내역

참여교수 신청내역

MPW신청내역

희망공정신청내역

EDA Tool신청내역

CDC신청내역

소켓/보드 주문내역

참여교수 평가

MPW평가

CDC평가

적립금/쿠폰내역

2020 IDEC SoC Congress

신청기간	평가기간	포스터(논문)수정기간	발표자료제출기간
2020-01-09 ~ 2020-04-30	2020-05-08 ~ 2020-05-28	2020-05-29 ~ 2020-06-08	2020-01-09 ~ 2020-06-26

신청 정보 상세

채택 및 발표자 선정

- 채택 되었습니다.
- 발표자로 선정 되었습니다.

신청자정보

논문번호	202003001			
MPW참여 구분	☐ IDEC MPW design team ☒ other MPW design team			
참여MPW공정	Selection			
Title(논문명)	test			
Author(주저자)	Affiliation	test	Name	test
	email	test	HP	test
Co-Author (공동저자)	Affiliation	est	Name	tes
Adviser (지도교수)	Affiliation	KAIST	Name	김영지
	email	yjkim@idec.or.kr	Tel	tset
Contact Author (전시담당자)	Affiliation	set	Name	est
	email	set	HP	tes
Design Catogory	☒ analog ☐ digital ☐ communication ☐ processor ☐ memory ☐ etc		Design type	☒ ASIC ☐ FPGA
Poster attached	파일 선택 선택된 파일 없음 2019 2학기 운영위 시간표.png			
Presenter (발표자)	Name		HP	
	email			
Presentation	파일 선택 선택된 파일 없음			

8) 행사 참여하기

- ① 관련 전체 내용에 대한 상세 공지는 최종 채택 팀에게 담당자가 사전에 메일로 송부 (전시 및 발표 시간, 장소 / 포스터 전시 / 배치도 번호 / 사전등록 등)

- ② 행사 당일 공지된 일시 및 장소에 전시 진행, 나머지 일정은 추후 공지

3. CDC 평가

- 1) 평가 위원 : IDEC CDC 평가위원 (임기 2년, IDEC에서 선정 후 위촉)
- 2) 평가 종류 : 온라인 평가
- 3) 평가 방법

① 온라인 평가

- CDC에 제출된 논문의 채택 여부를 판단
- IDEC 홈페이지를 통해 주어진 평가 항목을 기준으로 평가
(기타 상세한 내용에 대해서는 담당자가 메일로 안내)

마이페이지

회원수경
비밀번호변경
IDEC 참여내역

교육신청내역
VOD신청내역
WG참여내역
MPW신청내역
EDATool신청내역
CDC신청내역
JICAS논문투고내역
적립금내역
WG평가
MPW평가
CDC평가
주문/배송 내역확인

IDEc 참여내역

홈 | 마이페이지 | IDEC 참여내역 | **CDC평가**

"한국 반도체산업의 경쟁력"
IDEc에서 설계인력양성의 발판을 마련하겠습니다.

CDC 평가

평가제목	평가대기	평가완료	평가기간	상태
Best Design 평가 제23회 한국반도체학회대회 (Ch)	5명	0명	2016-01-22~2016-02-01	평가전행중

TOP

5

JICAS (IDEC Journal of Integrated Circuits and system)

1. JICAS 소개

- 1) JICAS 정의 : IDEC을 통해 배출되는 연구 결과물의 관리 체계를 확보하고 나아가 연구의 질적 향상을 위해 우수 사례를 모아 제작하는 공식 학술지
- 2) JICAS 개요
 - ① 발행 형태 : 온라인 저널 (연 4회 발행, 1월, 4월, 7월, 10월)
 - ② 배포 형식 : JICAS 공식 홈페이지 및 이메일 등
 - ③ 논문 주제 : IDEC MPW 및 EDA Tool 지원을 통해 나온 연구 결과물 외
 - ④ 논문 투고 대상 : IDEC 참여교수 및 소속 학생 외

2. JICAS 진행 절차

- 1) 논문 투고
 - ① 논문 모집 일정
 - 논문은 상시 모집, 마감일은 사전 홈페이지 공고
 - 상세 투고 일정은 담당자와 조율 후 결정
 - ※ 담당자 (이경옥 전임: 042-350-8533, kyungoklee@idec.or.kr)
 - ② 논문 작성 가이드
 - JICAS 규정, 작성 요령, 논문 양식: JICAS 홈페이지에서 확인 가능
- 2) 논문 제출
 - JICAS 홈페이지 (<http://jicas.idec.or.kr/>) 가입 후 제출(Make a submission 클릭)
- 3) 논문 평가 및 수정
 - ① 편집위원단 및 리뷰어에 의해 평가
 - ② 창의성, 독창성 보다는 설계 과정 및 방법 등을 중심으로 평가
 - ③ 평가는 약 3주 내외로 소요
 - ④ 평가 의견에 따라 논문 보완
- 4) 발간

5) 참여 혜택

① 논문 게재 혜택

- MPW 칩 제작 경쟁 과열 시 선정 우선권 제공 1회 (/편) 제공
- 해당 연구실에 50만원 (/편) 적립

② 혜택 사용

- 혜택 확인
 - 담당자가 확인 메일 발송
 - 홈페이지 내 확인 방법

- 지도교수님 계정으로 접속 후 마이페이지 - 적립금내역에서 확인 가능

마이페이지

MPW신청내역
EDATool신청내역
CDC신청내역
적립금내역

마이페이지

총 11개의 마이페이지

"한국 반도체산업의 경쟁력"
IDEC에서 설계인력양성의 발판을 마련하겠습니다.

적립금 내역

총 적립금액 : 6,975,000 원

번호	적립 및 차감 내용	금액(원)	날짜
5	JICAS (Vol.3, No.2, April 2017) 논문 투고	1,000,000	2017.04.06
4	2016.10.11 JICAS (Vol.3, No.2, April 2017) 논문 투고	1,000,000	2016.10.11
3	JICAS (Vol.3, No.2, April 2017) 논문 투고	1,000,000	2016.09.08
2	2015.08.21 JICAS (Vol.3, No.2, April 2017) 논문 투고	2,000,000	2015.08.23
1	2014.09.17 JICAS (Vol.3, No.2, April 2017) 논문 투고	775,000	2014.09.17

③ 혜택 사용처 : 본센터 MPW, EDA Tool, 교육 (캠퍼스 제외)

④ 혜택 사용 방법 : 각 담당자에게 문의

- MPW 담당자 : 이의숙 책임 (yslee@idec.or.kr)
- EDA Tool 담당자 : 이경옥 전임 (kyungklee@idec.or.kr)
- 교육 담당자 : 김영지 주임 (yjkim@idec.or.kr)